

オーディオ・コーデック製品TLV320AIC32x4の 設計と構成の手引き

Jorge Arbona

High-Performance Analog/Audio and Imaging Products

概要

このアプリケーション・レポートでは、システム設計者やプログラマがオーディオ・コーデック製品TLV320AIC3204とTLV320AIC3254の設計の流れや構成を考える場合に役立つと思われる、ガイドライン、アプリケーション例、レジスタのプログラミング手順などの情報を紹介します。また、サンプル・スクリプトも提供します。

目次

1 はじめに.....	2
2 システム・レベルの考慮事項.....	3
3 レジスタのプログラミング手順と構成.....	15
4 参考文献.....	16
付録A クロックとPLLのスクリプト.....	17
付録B 処理ブロックのスクリプト.....	19
付録C 電源スクリプト.....	21
付録D ADCチャンネルのスクリプト.....	23
付録E DACチャンネルのスクリプト.....	25

図目次

図 1 AIC32x4のハードウェア・端子配列.....	3
図 2 クロック分配ツリー.....	4
図 3 電源スキーム: 簡略ブロック図.....	9
図 4 標準的な電源回路構成.....	10
図 5 ADCチャンネル: 簡略ブロック図.....	12
図 6 アプリケーション例.....	13
図 7 DACチャンネル: 簡略ブロック図.....	14
図 8 レジスタのプログラミング手順.....	15

PowerTuneはTexas Instrumentsの商標です。

SPIはMotorola, Inc.の商標です。

I²C、I²SはNXP Semiconductorsの商標です。

その他の商標はすべて、各所有者の知的財産です。

1 はじめに

TLV320AIC3204とTLV320AIC3254は、Texas Instrumentsの新世代オーディオ・コーデック製品としては最初のものです。2つの特長は、リアルタイム・フィルタリングと、パフォーマンスと消費電力(PowerTune™)のどちらを優先させるかを定める機能です。また、ポータブル・オーディオ市場向けの製品として、ダイナミック・レンジ圧縮(DRC: dynamic range compression)等の機能も備えています。どちらのコーデックにも端子位置互換性があります。2つの製品の主な違いは、TLV320AIC3254が「プログラマブルminiDSP」という特長を持っていることです。

便宜上、本書では特に断りのない限り、どちらのデバイスに言及する場合でも「AIC32x4」という短縮形を使用します。

オーディオ・コーダ/デコーダ(コーデック)というデバイスを構成する主要な部品は、アナログ-デジタル・コンバータ(ADC)、デジタル-アナログ・コンバータ(DAC)、そして変換後のデータをコーデックとマイクロコントローラ(MCU)/DSP間で転送するためのデータ・インターフェイス・バスです。ポータブル・アプリケーションのシステムの複雑度が増し、大きさが小さくなる傾向にあるため、機能の統合(feature integration)という特長は設計者にとって魅力的な選択肢となります。AIC32x4では、プロセッシング機能を組み込むことにより、外部DSPのオーバーヘッドを減らすことを可能にしています。また、MCUとともに単純にシグナル・プロセッサとして機能させることもできます。

AIC32x4は、通信プロトコルI²C™またはSPI™を使用してアクセスできるレジスタへ書き込みを行うことでプログラミングされます。このデバイスが何百ものレジスタの付いた多くのページを持っているということは、始めは圧倒的なように思えますが、実際にはたいいていの標準的なオーディオ・アプリケーションでは、それほど多くのレジスタを操作する必要はありません。本書の目的は、システム設計者の作業の目安となるように、操作する必要があるレジスタを選択する流れを紹介することです。また、一般的なアプリケーションの場合に、システムの残りの部分にデバイスをどのように接続するかについても解説します。TLV320AIC3254のminiDSPの機能は、本書では扱いません。このレポートの目的は、処理ブロックの使用方法を解説することです。本書の記述をなるべく簡素にするために、デバイスの動作全体についてのいくつかの重要な詳細事項が省略されることもあります—したがって、個々の製品のデータ・シートにも目を通されることを強くお勧めします(セクション4参照)。

2 システム・レベルの検討事項

各システムには、電源電圧、クロック周波数、アナログ入力/出力の数、シリアル・インターフェイス、サンプリング・レート等についていくつかの制約事項がある場合があります。このセクションでは、設計者が知っていると思われるこれらの制約についての情報を提供し、信号処理に関する他の役立つ情報についても説明します。また、アプリケーション例も紹介します。

2.1 ハードウェアの端子配列

AIC32x4の端子配列を良く見ると、ハードウェア・端子が機能(電源、デジタル、ADC チャンネル、DAC チャンネル)別の4つのグループに分類されているのがわかります。

AIC32x4では、他の電源構成に加えて、単一電源動作の機能もサポートしています。これらの端子のハードウェア接続(図1のように赤で示してあります)は、実際に使用される個別の構成によって変わります。詳細についてはセクション2.4を参照してください。

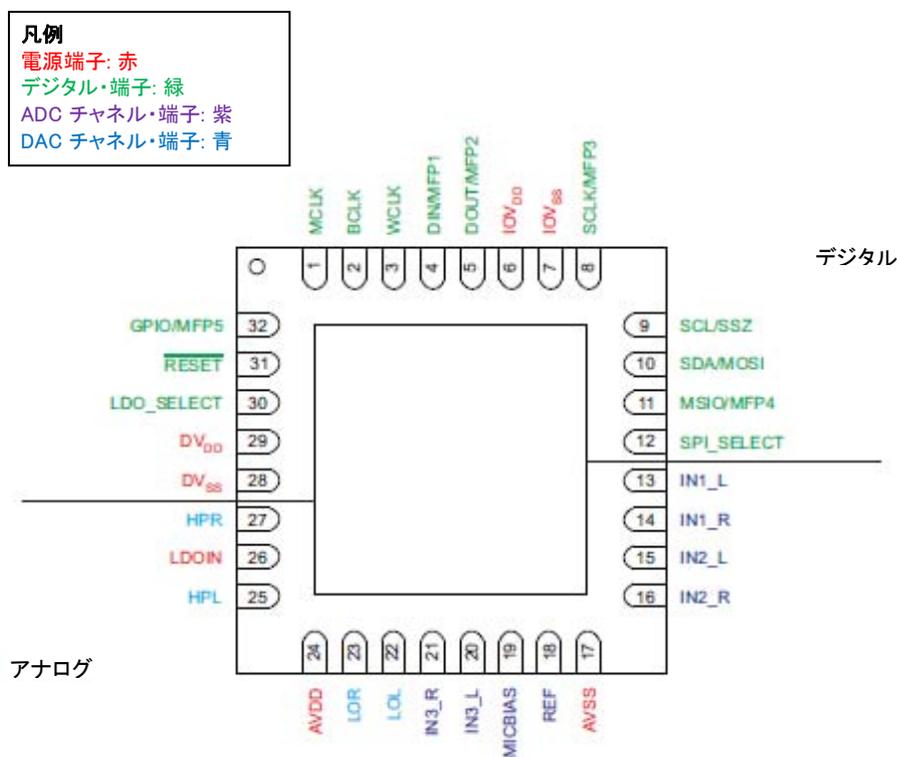


図 1 AIC32x4のハードウェア・端子配列

AIC32x4から最高のパフォーマンスを引き出すには、プリント回路基板(PCB)の設計とレイアウトに注意して、外部ノイズをデバイスと結合させないようにする必要があります。特に、高周波デジタル信号がアナログ信号と結合しないように、デジタル部とアナログ部を分離しておく必要があります。図1に示すように、端子配列はデジタル部とアナログ部を分離した基板レイアウトに合わせて配置されています。そのため分離したアナロググランドプレーンを用い、デジタルグランドプレーンとの接続はAIC32x4の近くにて一点で行なって下さい。

2.2 クロック

AIC32x4は、以下のことを可能にするために使用できる柔軟なクロッキング・スキームを特長としています。

- ・内部デルタ-シグマ型モジュレータ(変調回路)と処理ブロックを駆動させるために必要なクロックを導出(derive)する
- ・オーディオ・インターフェイス・クロックを生成する
- ・多目的端子を介して、外部デバイス用のクロックを出力する

このセクションでは、コンバータと処理ブロックを動作させるのに必要なクロックに重点を置いて説明します。(TLV320AIC3254のminiDSPクロッキング・スキームについては、本書では言及しません。詳細については、製品のデータ・シートを参照してください。) 図2は、コーデック製品AIC32x4のクロック分配ツリーです。

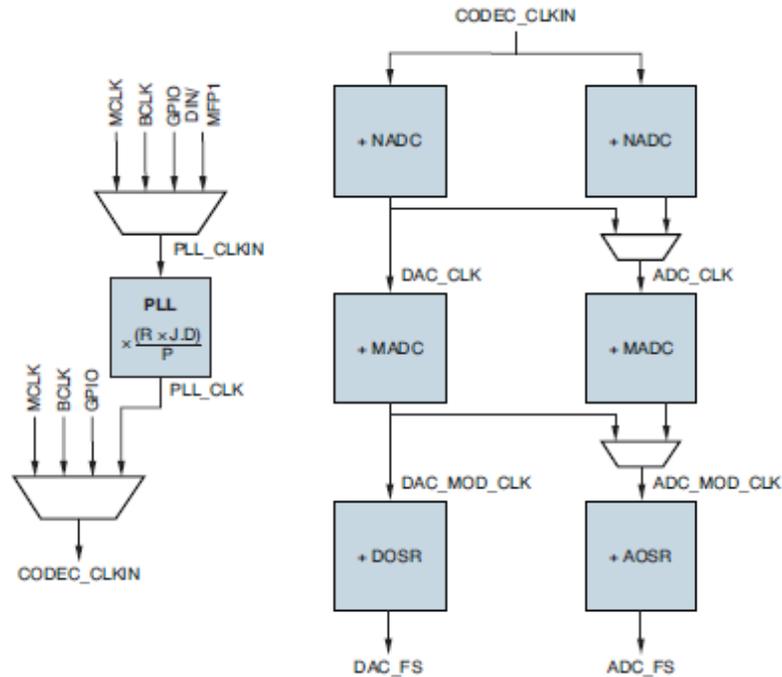


図 2 クロック分配ツリー

マスタ・クロックは、MCLK、BCLK、GPIO端子のいずれかを介してCODEC_CLKINノードへ直接供給できます。あるいは、内部PLLを使用して適切な周波数を供給することも可能です。消費電力を最低限に抑えるために、内部マルチプレクサを使用して、ADC_MOD_CLKノードとADC_CLKノードに対してそれぞれDAC_MOD_CLKノードとDAC_CLKノードから電源を供給することも可能です。これらのマルチプレクサパスの切り替えは、NADCおよび/またはMADCの分周回路(ディバイダ)をパワーオフ/パワーオンにすることで可能です。ADCを使用する場合には、MADCとNADCの分周回路がパワーダウンしても、それぞれの分周回路の値が対応するDAC分周回路と等しくなるように設定する必要がありますことに注意してください。

もし標準的なマスタ・クロック周波数がシステムにより提供可能な場合には、クロック分周回路の値を選択するために有効な方法として、用いるサンプリング周波数の側から算出して行く方法も可能です。表1は、クロック分周回路の値を正しく選択するための手順をステップごとに示したものです。表に指定した順番は、対応するレジスタをプログラミングする時に守る必要のある順番とは異なるため、注意してください。

各製品のデータ・シートのPLLのセクションには、様々なPLLクロック入力信号についての非常に徹底した説明を記載してあります。また、関連する制約事項や構成例も紹介しています。

表 1 クロック分周回路の選択プロセス

ステップ	ADC チャンネル	DAC チャンネル
1. AOSR と DOSR の選択	等式:	
	$ADC_MOD_CLK = AOSR \times ADC_FS$	$DAC_MOD_CLK = DOSR \times DAC_FS$
	制約:	
	フィルタ A の場合: AOSR は 128 または 64 が可能 フィルタ B の場合: AOSR は 64 である必要がある フィルタ C の場合: AOSR は 32 である必要がある $ADC_MOD_CLK \leq 6.758 \text{ MHz}$	フィルタ A の場合: DOSR は 8 の倍数である必要がある フィルタ B の場合: DOSR は 4 の倍数である必要がある フィルタ C の場合: DOSR は 2 の倍数である必要がある $ADC_MOD_CLK \leq 6.758 \text{ MHzxx}$ (クラス D の動作では 4.2MHz)
コメント: フィルタ A は通常、48kHz 以下のサンプリング周波数に使用され、フィルタ B と C はそれぞれ 96kHz と 192kHz に使用されます。低消費電力(low-power)モードの種類によっては、フィルタ B を 96kHz より低い周波数に使用することもできます。AOSR と DOSR の選択の詳細については、各データシートの PowerTune™ セクションを参照してください。		
2. MADC と MDAC の選択	等式:	
	$ADC_CLK = MADC \times ADC_MOD_CLK$	$DAC_CLK = MDAC \times DAC_MOD_CLK$
	制約:	
	$(MADC \times AOSR) / 32 \geq RCPRB_Rx$ 1.65V より小さい DVDD の場合: $ADC_CLK \leq 25 \text{ MHz}$ 1.65 V より大きい DVDD の場合: $ADC_CLK \leq 55.296 \text{ MHz}$	$(MDAC \times DOSR) / 32 \geq RCPRB_Py$ 1.65V より小さい DVDD の場合: $DAC_CLK \leq 25 \text{ MHz}$ 1.65V より大きい DVDD の場合: $DAC_CLK \leq 55.296 \text{ MHz}$
コメント: AIC32x4 には様々な処理ブロック(PRB_Rx と PRB_Py という呼称で、それぞれ録音用と再生用のブロックです)があり、多段のバイカッド・フィルタ(multiple biquad filters)、DRC、3D、トーン発生回路(tone synthesizer)等の信号処理機能へのアクセスを提供します。各処理ブロックは、信号処理能力と消費電力に直接関係するリソース・クラス(RC)を持っています。データ・シートの ADC と DAC のセクションにある処理ブロック表には、各処理ブロックで使用可能な機能が記載されています。またその他にも、リソース・クラスの要件等の役立つ情報が記載されています。		
3. NADC と NDAC の選択	等式:	
	$CODEC_CLKIN = NADC \times ADC_CLK = NDAC \times DAC_CLK$ 注: CODEC_CLKIN へは、MCLK 端子、BCLK 端子、GPIO 端子により、あるいは PLL_CLK ノードにより電源を供給することが可能です。	
	制約:	
	1.65V より小さい DVDD の場合: $CODEC_CLK \leq 50 \text{ MHz}$ DVDD より大きい 1.65 V の場合: $CODEC_CLK \leq 137 \text{ MHz}$ 、NADC 偶数、NDAC 偶数	

	CODEC_CLK ≤ 112 MHz、NADC 奇数、NDAC 偶数 CODEC_CLK ≤ 110 MHz、NADC 偶数、NDAC 奇数 CODEC_CLK ≤ 110 MHz、NADC 奇数、NDAC 奇数	
	コメント: この時点では ADC_CLK と DAC_CLK でのクロック周波数が分かっています。また、サンプリング・レートが ADC と DAC では異なる場合や、異なるオーバーサンプリング・レートが必要な場合には(例えば ADC と DAC 両方のサンプリング・レートが 8kHz である場合)、ADC_CLK と DAC_CLK の値が異なることもあります。ADC_CLK と DAC_CLK の値が異なる場合は、両方が等しくなるように NDAC と NADC を選択する必要があります。 MCLK、BCLK、GPIO 端子のどれかを介して、内部 PLL を使用せずに CODEC_CLKIN ノードに外部マスタ・クロックを直接供給することもできます。この場合は、CODEC_CLKIN 周波数の最大値は 50MHz、最小値は 512kHz になります。あるいは、内部 PLL を使用して CODEC_CLKIN ノードへのクロックを提供することもできます。(その場合には、別の制限事項が適用されることに注意してください)。	
4. PLL 値の選択(オプション)	ADC チャンネル	DAC チャンネル
	コメント: PLLは、次の場合に使用するのが最適です。 <ul style="list-style-type: none"> ・ MADC/AOSRあるいはMDAC/DOSRの組み合わせが、特定処理ブロックのリソース・クラスの最低要件を満たしておらず、より高い周波数クロックが必要な場合。 ・ MADC/NADCまたはMDAC/NDACの整数値では、特定のマスタ・クロックから必要なサンプリング周波数が生成されない場合。 PLLに関するその他の詳細および制約については、それぞれの製品データ・シートのPLLセクションを参照してください。	

2.3 オーディオ・インターフェイス

AIC32x4では、I²S™、DSP、左揃え(Left-Justified)、右揃え(Right-Justified)の4つのオーディオ・インターフェイス・モードをサポートしています。DSPモードは一般的に、カスケード接続されたコーデックと、1本の4線式バス(4-wire bus)に接続した1つのアプリケーション・プロセッサ間で2つ以上のオーディオ・チャンネルを伝送する、時分割多重化(TDM)アプリケーションに使用されます。

標準的なオーディオ・インターフェイス・バスは、ワード・クロック、ビット・クロック、データ・イン(DACデータ)、データ・アウト(ADCデータ)の4つの信号からなります。AIC32x4には2つのオーディオ・バスがあり、基本のバスでは信号がWCLK、BCLK、DIN、DOUTの各端子に固定されますが、予備のバスとADCワード・クロックは多機能端子(multifunction pins)を用いることができます。ADCワード・クロック(ADC_WCLK)の使用は、ADCとDACでサンプリング・レートが異なる場合に適しています。オーディオ・バス信号は、外部プロセッサから供給することも、AIC32x4で生成することもできます。

表2は、オーディオ・インターフェイス関連の全レジスタとその説明です。標準的なシステム構成であれば、これらのレジスタに多くの変更を加える必要はありません。たとえば、ホスト・プロセッサでI²SクロックをBCLKとWCLK(AIC32x4をスレーブとする)にワード長16ビットで供給している場合は、オーディオ・インターフェイスに関するレジスタ・プログラミングは必要になりません。BCLKとWCLKを出力として設定するには、BCLKの分周回路を設定しなければなりません。(ページ 0 / レジスタ 29およびページ 0 / レジスタ 30のビットD1-D0)、また、それにしたがって方向を設定する必要があります(ページ 0 / レジスタ 27のビットD3-D2)。

表 2 AIC23x4のオーディオ・インターフェイス関連レジスタ

レベル	ページ	レジスタ	ビット	説明
オーディオ・インターフェイス・モード	0	27	D7-D6	一次・二次両方のインターフェイス用のオーディオ・インターフェイス・モードを設定。I ² S(デフォルト)、DSP、左揃え(Left-Justified)、右揃え(Right-Justified)の各モードをサポート。デフォルトモードはI ² S。
オーディオ・データ・ワード長	0	27	D5-D4	オーディオ・ビット分解能を 16 (デフォルト)、20、24、32 ビットに設定。
BCLK 命令	0	27	D3	BCLK 端子を入力(デフォルト)または出力に設定。
WCLK 命令	0	27	D2	WCLK 端子を入力(デフォルト)または出力に設定。
未使用タイム・スロット中のトライステート DOUT	0	27	D0	タイム・スロットが未使用の間は DOUT 端子が高インピーダンスになるように設定。
データ・オフセット	0	28	D7-D0	デフォルト値について、n ビット・クロック・サイクル分のデータをオフセット。通常、時分割多重(TDM: time division multiplexing)方式でタイム・スロットを割り当てるために使用。DSP のオーディオ・インターフェイス・モードでは、ワード・クロックの立ち上がりエッジに対してデータ・オフセットが'0'に設定されます。
オーディオ・バス・ループバック	0	29	D5	オーディオ・バスのデータ入力を、オーディオ・コンバータを迂回してオーディオ・バスのデータ出力に接続。通常はホスト・プロセッサのオーディオ・バスの診断に使用。デフォルトではディセーブル状態。
デジタル・ループバック	0	29	D4	ADC の出力を DAC の入力に接続。データ入力端子に供給されたデータは無視されます。デフォルトではディセーブル状態。
ビット・クロック極性	0	29	D3	特定のオーディオ・インターフェイス・モードのデフォルト値について、ビット・クロックを反転。
BCLK と WCLK の電力制御	0	29	D2	ADC または DAC がパワーダウンしている場合でも、BCLK バッファと WCLK バッファを起動。
ビット・クロックの分周回路の信号源	0	29	D1-D0	出力として構成された場合に、BDIV_CLKIN のクロック源を選択。
ビット・クロックの N 分周回路の電源	0	30	D7	ビット・クロックの N 分周回路を起動。
ビット・クロックの N 分周回路の値	0	30	D6-D0	N 分周回路の値を設定。
予備インターフェイス・端子の割り当て	0	31	D6-D0	ADC のワード・クロック同様、予備のビット・クロック(secondary bit clock)、ワード・クロック、データ入力にも端子を割り当てます。
インターフェイス・ブロック信号の選択	0	32	D3-D0	オーディオ・シリアル・インターフェイスに、オーディオ・ビット・クロック、ADC ワード・クロック、DAC ワード・クロック、データ入力の各信号を割り当てます。
インターフェイス出力信号源	0	33	D7-D0	基本および予備両方のビット・クロック、ワード・クロック、データ出力の各信号の出力信号源(output source)を選択します。
多機能端子の構成	0	52、53、54、55、56	N/A	GPIO、DOUT、DIN、MISO、SCLK の各端子に予備のオーディオ・インターフェイスを割り当て、GPIO、MISO、SCLK の各端子のどれかに ADC ワード・クロックを割り当てます。

2.4 処理ブロック

AIC32x4には18のADCチャンネル事前定義処理ブロック(pre-defined processing blocks)と、25のDACチャンネル事前定義処理ブロックがあります。これらの処理ブロックでは、多段バイカッド部(multiple biquad sections)、3D、DRC等のいくつかの機能へのアクセスを提供します。製品データ・シートのADCセクションとDACセクションにある処理ブロック表には、各処理ブロックで使用可能な機能が記載されています。また、リソース・クラスの要件に関する重要な詳細についての考察もこれらのセクションに記載されています。

これらのコーデックを使用すれば、アダプティブ・フィルタリング・モードを使用して、フィルタ係数をオンザフライ(on the fly)で変更することが可能になります。バッファAおよびバッファBの2つにより、制御インターフェイスと処理ブロックがフィルタ係数にアクセスできるようになります。これらのバッファは、ADCチャンネルとDACチャンネル両方の処理ブロックで使用可能です。

DAC用に特定の固定周波数レスポンスが必要なアプリケーションでは、アダプティブ・フィルタリング(adaptive filtering)は必須ではありません。この場合は、バッファBが必要でないため、次に簡単に示した手順に従ってください。

手順1. フィルタ係数をDACのバッファA(ページ44で開始)に書き込みます。

手順2. DAC(ひとつまたは複数)を起動します。

バスブーストやトレブルブースト(bass-boost and treble-boost)等のように、フィルタ係数がオンザフライで変更されるアプリケーションの場合は、**アダプティブ**フィルタリングを使用する必要があります。この場合は、バッファは両方とも必須になります。次に簡単に示した手順に従ってください。

手順1. アダプティブ・フィルタリングをイネーブルにします。

手順2. フィルタ係数をDACのバッファAとDACのバッファB(正確に同じもの)に書き込みます。デフォルトの係数(全域通過)を使用している場合は、このステップは必要ありません。

手順3. DAC(ひとつまたは複数)を起動します。この時点では、オーディオの再生開始が可能です。

手順4. 周波数レスポンスを変更するには、新しいフィルタ係数をバッファAのアドレス(ページ44で開始)に書き込みます。

手順5. バッファを切り替えるには、ページ44/レジスタ1/ビットD0に'1'を書き込みます。

手順6. ビットD0がクリアされて'0'になるまで、ページ44/レジスタ1をポーリング(poll)します。これにより、バッファの切り替えが確実に行われます。

手順7. 正確に同じ係数をバッファAのアドレス(ページ44で開始)に再度書き込みます。この手順により、2つのバッファの同期が確実にとられます。

ADCのフィルタ係数を変更するには、ページ44をページ8に置き変えて前述の手順を行います。

フィルタリングに関するスクリプト例については、付録Bを参照してください。また、バッファ切り替えの仕組みと係数メモリのマッピングの詳細については、各製品のデータ・シートの「アダプティブ・フィルタリング」セクションを参照してください。

2.5 電源/LDO

図3は、電源スキーム(power-supply scheme)と、関連するレジスタ・ビット(pP_rR_bM-Lと表示。P、R、M、Lはそれぞれページ、レジスタ、MSB、LSBを指します)の簡略ブロック図です。AIC32x4には4つの電源端子AVDD、DVDD、IOVDD、LDOinがあります。AVDDとDVDDは外部的に、または(内部LDOを使用して)内部的に供給可能です。どちらの方法を使用する場合でも、各電源端子(power pin)にはデカプリング・コンデンサ(decoupling capacitors)を接続して、ノイズをフィルタリングする必要があります。

図3のように、ヘッドフォンとライン出力アンプ両方用の電源は、内部AVDDノードから、またはLDOin端子に接続した電源から供給可能です。

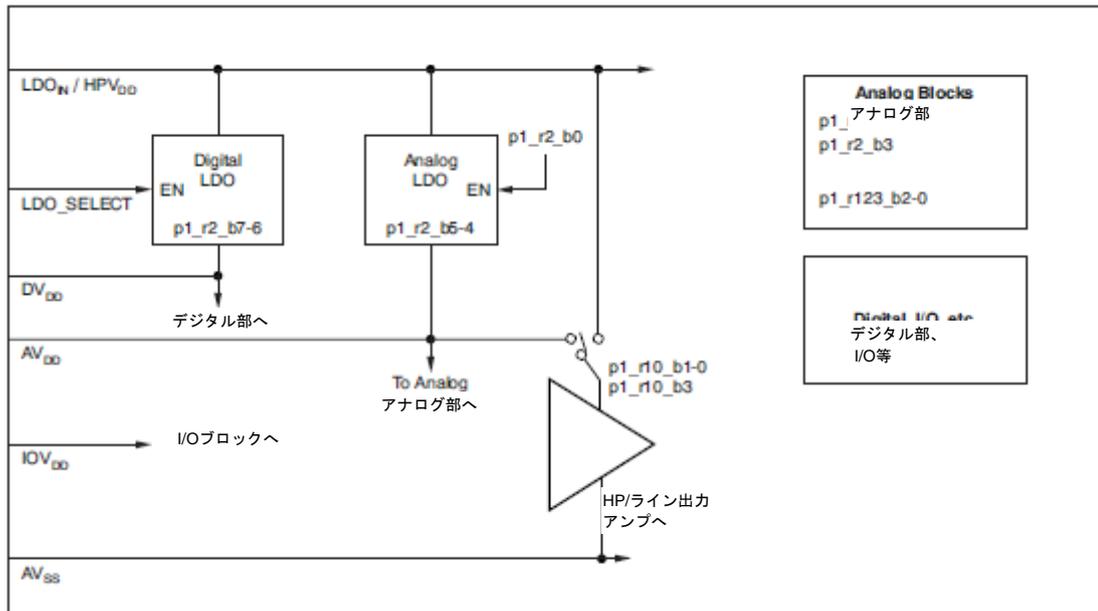


図3 電源スキーム: 簡略ブロック図

内蔵の低ドロップアウト・レギュレータ(LDO: low-dropout regulators)を使用して、内部デジタル部およびアナログ部に電源を供給する内部DVDDノードとAVDDノードに電源を供給することができます。どちらのLDOを使用する場合も、電源電圧(1.9V～3.6 V)をLDOin端子に接続する必要があります。ページ1/レジスタ2をプログラミングすることにより、各出力電圧を個別に設定できます。

プルアップ抵抗を介してLDO_SELECT端子をIOVDDに接続することにより、デジタルLDOをイネーブルにできます。

ページ1/レジスタ2のビットD0を‘1’に設定することにより、アナログLDOをイネーブルにできます。

図4に、標準的な電源回路の接続方法を示します。回路Aは、AVDDとDVDDを生成するためにアナログ・デジタル両方の内部LDOを使用する、単レール(single-rail)動作の標準的な接続です。この構成では、LDO_SELECT端子がIOVDDにプルアップされて(pull)います。(1.8V等の)低電圧電源しか使用できず、かつ消費電力を低く抑える必要がある場合は、回路Bに示すように、電源を直接AVDD端子とDVDD端子に供給することもできます。(オプションとして、LDOinによる電源供給(supply)も可能です)

この場合は、LDO_SELECTはIOVSSに接続されます。

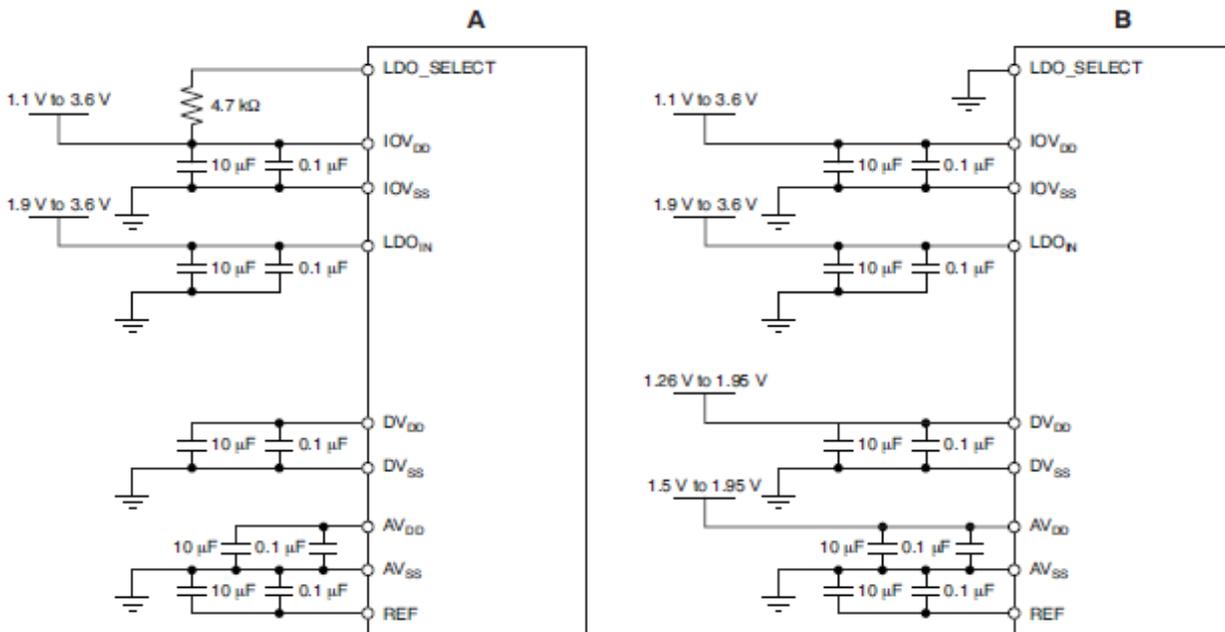


図4 標準的な電源回路構成

前述のように、ヘッドフォン・ドライバとライン出力ドライバ両方用の電源としてLDOin端子を使用することもできます。このオプションを使用すれば、AVDD電源に規定されたフルスケール電圧よりも出力信号電圧振幅を大きくすることも可能になります。この機能は、内部LDOを使用している場合や、外部から電源を供給している場合に使用可能です。

IOVDDからの電源供給は、すべての電源が安定するまで **RESET** 端子をLow に保持しながら、他の電源端子と同時かそれより前に行うことを推奨します。この手順により、最低電力消費モード状態、およびLDO_SELECT端子での論理レベルが正確な状態でコーデックを起動させることができます。最後に、AVDDへの電源供給が可能になります。

2.6 PowerTune™

アプリケーションによっては、電力消費とパフォーマンスのどちらかを犠牲にするための設定が必要になることもあります。PowerTuneを使用すれば、AIC32x4にその種のタスクを行う機能を付与することが可能になります。ADCチャンネルにもDACチャンネルにも4つのPowerTuneモードがあり、PTM_Rx、PTM_Py(それぞれ記録と再生用)と呼ばれます。PTM_RxとPTM_Pyでは、xおよびyがそれぞれ別個に1~4の範囲で変化します。PowerTuneモード4では最高のオーディオ・パフォーマンス、PowerTuneモード1では低電力消費がそれぞれ可能になります。

PowerTuneストラテジー(strategy)の一環として、処理ブロックを正しく選択すれば、消費電力をさらに低下させることが可能になります。各処理ブロックには、消費電力に比例したリソース・クラス(RC)があります。リソース・クラスが低いほど、消費電力も小さくなります。電源電圧と構成、内部バイアス電圧設定(common mode settings)とサンプリング周波数も、消費電力に関わってきます。

ADCのPowerTuneモードは、次に示すレジスタに書き込みをすることで選択できます。

	PTM_R1	PTM_R2	PTM_R3	PTM_R4
Pg 1, Reg 61, D(7:0)	0xFF	0xB6	0x64	0x00

DACのPowerTuneモードは、次に示すレジスタに書き込みをすることで、各出力チャンネルごとに独立して選択できます。AIC32x4の高いSNRパフォーマンスを最大限に利用するには、PTM_P4用のビット分解能を20ビット以上にする必要があります。

	PTM_R1	PTM_R2	PTM_R3	PTM_R4
Pg 1, Reg 3, D(4:2)	0x2	0x1	0x0	0x0
Pg 1, Reg 4, D(4:2)	0x2	0x1	0x0	0x0
オーディオ・データのワード長 Pg 0, Reg 27, D(5:4)	16ビット 0x0	16ビット 0x0	16ビット 0x0	20以上の ビット 0x1, 0x2, 0x3

PowerTune™ の例

表3は、サンプリング・レートが48kHzのステレオADCの例です。PowerTuneモード列の「X」は、その構成ではそのモードが使用できないという意味です。特定の構成で使用できない特定のモード例としては、コモン電圧設定(common-mode setting)が0.75Vの場合のPTM_R1では、375mV_{RMS}に関して最大-2dBまでの入力レベルが可能になるというものがあります。この値が意味するのは、ADC入力では最大-2dB(0.298mV_{RMS})までが許容されるということです。MicPGAへの各入力のプログラマブル入力抵抗は、MicPGAから出てADCに入る電圧の最大値がこの電圧を超えないように選択する必要があります(ADCチャンネルのセクションを参照)。その後、ADCのゲインを補正することにより(ページ0/レジスタ83および84)、差分-2dBを補償できます。代替的な処理ブロックの(PRB_R7についての)消費電力の差分概算値も次に示します。

表 3 ADC、ステレオ、48kHz、最高パフォーマンス、DVDD = 1.8 V, AVDD = 1.8 V⁽¹⁾

	デバイスのコモン電圧設定値 = 0.75 V				デバイスのコモン電圧設定値 = 0.9 V				単位
	PTM_R1	PTM_R2	PTM_R3	PTM_R4	PTM_R1	PTM_R2	PTM_R3	PTM_R4	
0dB フルスケール	375	X	375	X	X	X	500	X	mV _{RMS}
0dB フルスケールについての 最大許容入力レベル	-2	X	0	X	X	X	0	X	dB フルスケール
最大許容入力レベルについての 有効 SNR	86.0	X	88.1	X	X	X	90.4	X	dB
消費電力	8.4	X	11.4	X	X	X	11.5	X	mW

(1) AOSR = 64、処理ブロック = PRB_R7 (デシメーション・フィルタB)。

表 4 代替処理ブロック (ADC、ステレオ)

処理ブロック	フィルタ	電力変化概算値(mW)
PRB_R8	B	+0.7
PRB_R9	B	+0.7
PRB_R1	A	+2.0
PRB_R2	A	+3.4
PRB_R3	A	+3.4

同様に、(コモン電圧がそれぞれ0.75Vまたは0.9Vの場合に)375mV_{RMS}または500mV_{RMS}に等しい出力電圧が必要な場合は、DACのPowerTuneモードPTM_P1およびPTM_P2についての出力ゲインを補正する必要があります。表5に示すように、フルスケールより低い電圧でのPTM_P1は14dBです。ヘッドフォン出力のゲイン(ページ1/レジスタ16および17)およびライン出力ゲイン(ページ1/レジスタ18および19)を補正して、差分-14dBを補正することもできます。

表 5 DAC、モノラル、48kHz、最高パフォーマンス、DVDD = 1.8 V、AVDD = 1.8 V⁽¹⁾

		デバイスのコモン電圧設定値 = 0.75 V				デバイスのコモン電圧設定値 = 0.9 V				
		PTM_P1	PTM_P2	PTM_P3	PTM_P4	PTM_P1	PTM_P2	PTM_P3	PTM_P4	単位
0dBフルスケール		75	225	375	375	100	300	500	500	mVRMS
HPアウト (負荷32Ω)	0dBフルスケール についての有効SNR	88.1	96.1	98.7	99.5	90.4	96.3	99.4	100	dB
	消費電力	5.8	6.2	6.5	6.5	5.8	6.2	6.5	6.5	mW
ラインアウト	0dBフルスケール についての有効SNR	89.6	97.1	100.3	100.3	90.5	96.3	100	100	dB
	消費電力	5.0	5.4	5.7	5.7	5.0	5.4	5.7	5.7	mW

(1) DOSR = 128、処理ブロック = PRB_P13 (補間フィルタB)。

2.7 ADC チャンネル

図5は、ADCチャンネルのアナログ入力内部配線(analog input internal routing)の簡略ブロック図です。AIC32x4には6つのアナログ入力端子があり、これらを様々な方法で接続して様々な目的を実現できます。

シングルエンド入力構成と差動入力構成の両方がサポートされています。

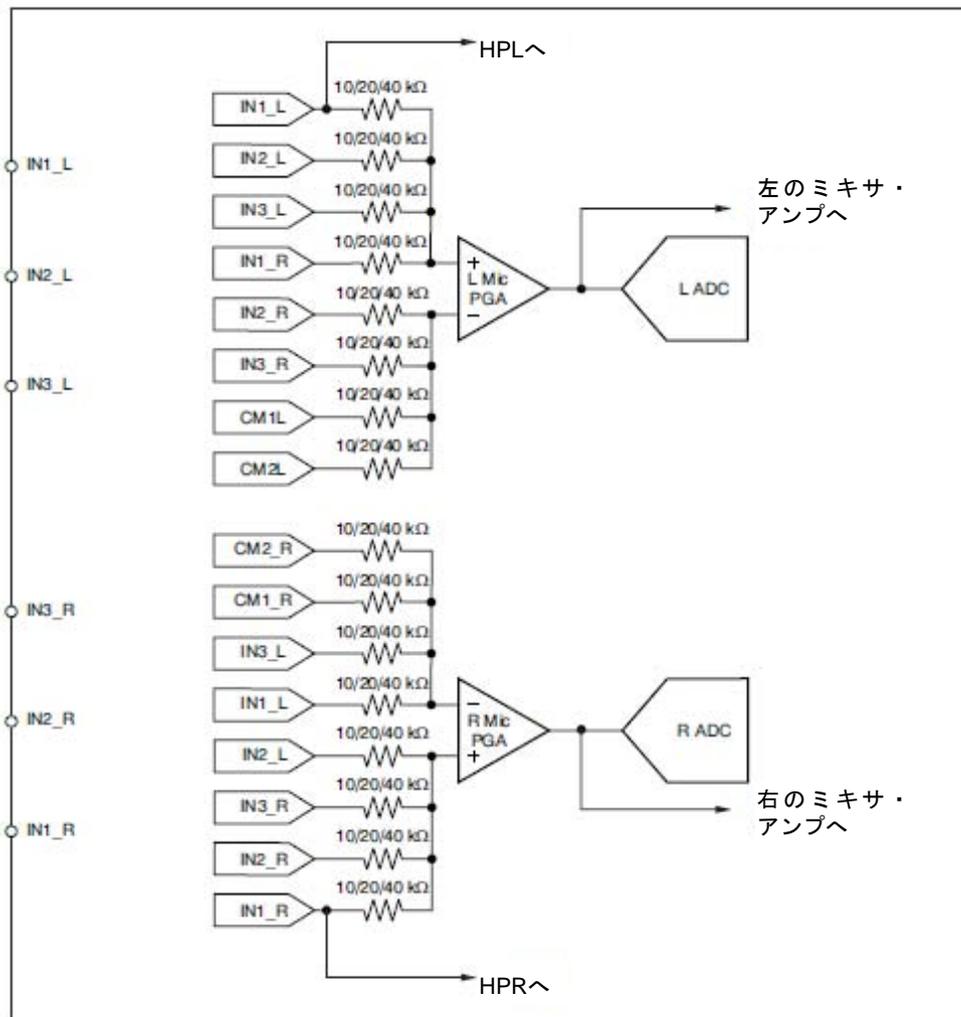


図 5 ADCチャンネル: 簡略ブロック図

アプリケーション例

図6に示すように、あるシステムで、3つの信号をミックスして左ADCに入れる必要があると仮定します。3つの信号を入力IN1_L、IN2_L、IN3_Lに接続して、左MicPGAアンプの入力に非反転入力にルーティングすることができます。より多くのヘッドルームが許容されるようにするには、入力抵抗を40k Ω に設定します。これにより、シングルエンド・チャンネル1つにつき12dBの減衰が得られます。MicPGAの反転および非反転入力のバランスを取るため、CM1Lを20k Ω 、CM2Lを40k Ω に設定することができます。

前述の例のように、シングル・エンド構成の場合は、反転入力に接続したコモン電圧(プログラマブル電圧)がMicPGAアンプに必要になります。接続された入力端子はこの電圧にバイアシングされるため、入力信号源(input source)と端子の間にAC結合コンデンサが必要になります。

未使用の入力は、フロート状態のままにしておくことも、グラウンドにAC結合することもできます。(後者の方が推奨されます)

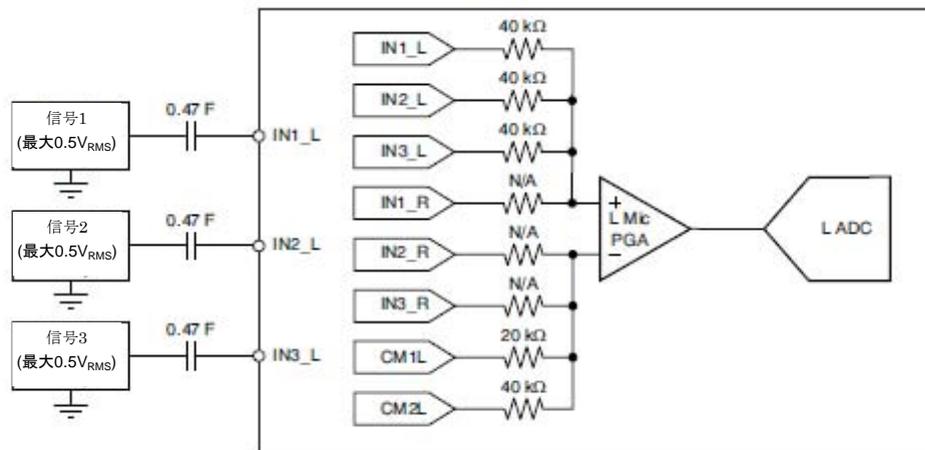


図 6 アプリケーション例

2.8 DAC チャンネル

AIC32x4には、2つのハイパワー・アンプ出力とライン出力の機能があります。これらのアンプの入力は、図7のようにDACチャンネル出力やアナログ入力等の様々なソースからミキシングすることが可能です。

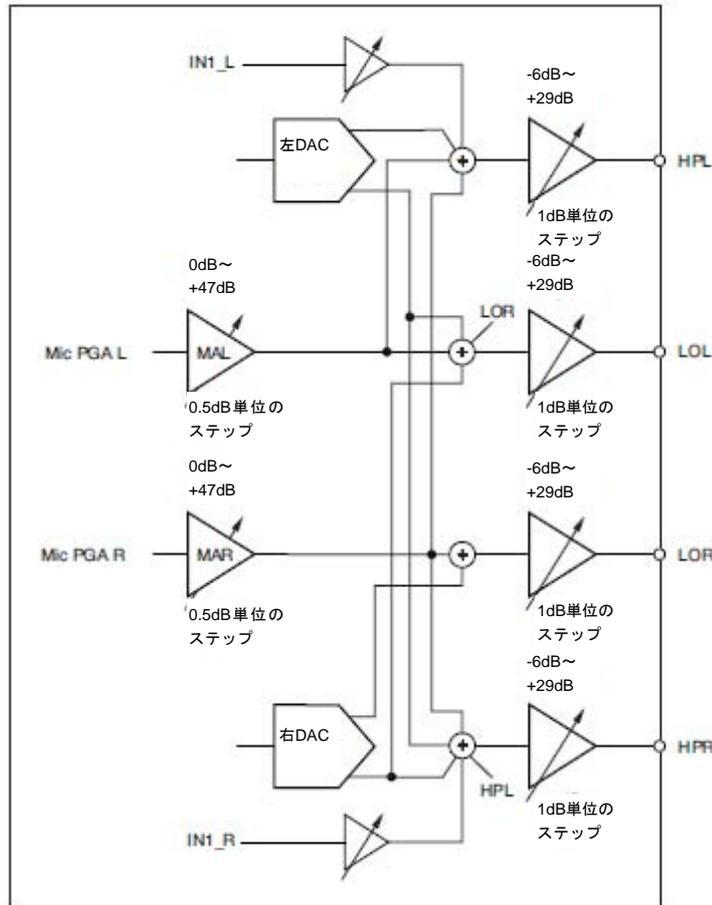


図7 DACチャンネル: 簡略ブロック図

ミキサ・アンプ(MALとMAR)は、MicPGAの出力(前セクション参照)から入力信号を取得します。また、IN1_LとIN1_Rの入力は、HPL出力とHPR出力にそれぞれミキシングできます。

ヘッドフォン出力とライン出力は両方とも、プログラマブルなコモン電圧を基準電圧とします。これらの出力がシングルエンド方式で駆動されるアプリケーションでは、出力端子と負荷の間にDCブロッキング・コンデンサ(DC blocking capacitor)が必要になります。このコンデンサの値は、必要なカットオフ周波数と負荷によって変わります。ポータブル・オーディオ・アプリケーションの場合は、 $47\mu\text{F}$ のコンデンサを、 32Ω の負荷とともに、 106Hz のコーナー周波数に使用するのが一般的です。 $20\text{k}\Omega$ 等の高インピーダンス負荷には、それより小さいコンデンサが使用できます。

デフォルトでは、出力アンプはコモン電圧 0.9V を基準電圧とし、フルスケール電圧 $500\text{mV}_{\text{RMS}}$ を持ちます。信号電圧の振幅(1V_{RMS} 等)がそれより高い場合は、コモン電圧を最大 1.65V に設定し、LDOin端子でより高い電圧をアンプ電源として使用することが可能です。

アンプのゲインを増加することにより、フルスケール電圧が増加します。

3 レジスタのプログラミング手順と構成

TLV320AIC32x4の構成は、通信プロトコルI²CまたはSPIを使用してアクセス可能な8ビット・レジスタへの書き込みによって行います。

正しく動作させるために、決まった順番で実行または初期化する必要のある機能もデバイスにはあります。例えばクロック分周回路は、ADCまたはDACのどちらかを起動させる前に初期化する必要があります。

詳細な情報については、それぞれの製品のデータ・シートを参照してください。

任意のレジスタに書き込む前に、ハードウェアかソフトウェアのどちらかをリセットして、デバイスを初期化する必要があります。この初期化により、コーデックがデフォルトのモードで起動することが確実にになります。ハードウェア・リセットを確実に行うには、/RESET端子を少なくとも10ns間Lowを保持しなければなりません。ソフトウェア・リセットを行うには、ページ 0/レジスタ1のビット'0'に'1'を書きこみます。

ハードウェアまたはソフトウェア・リセットによりAIC32x4が初期化された後、内部メモリが初期化されて、それぞれのデフォルト値になります。この初期化フェーズは、1ms間続きます。この時間帯には、レジスタへの書き込みをしないで下さい。

以上、クロック、処理ブロック、電源、ADCチャンネル、DACチャンネルについて解説してきました。図8は、これら要素について推奨される、コーデックを最初に起動した後のレジスタ・プログラミングのフローです。



(1) TLV320AIC3254のみ

図 8 レジスタのプログラミング手順

付録A～付録Eには、前述の手順に従ってつなぎ合わせることでできるスクリプト例を記載してあります。例1は、デバイス全体をプログラミングしてステレオDACデータをヘッドフォンで再生するためのサンプル・スクリプトです。これらのスクリプトにある'w'は、レジスタへの書き込みを意味します。続く最初のバイトはI²Cアドレス、二番目のバイトは最初に書き込むレジスタ、それ以降のバイトはデータです。これらのスクリプトは、直接コピーしてEVMソフトウェアで使用することが可能です。

例1. ステレオDACをヘッドフォンで再生

```
#####
# Software Reset
#####
#
# Select Page 0
w 30 00 00
#
# Initialize the device through software reset
w 30 01 01
#
#####

#####
# Clock and Interface Settings
# -----
# The codec receives: MCLK = 11.2896 MHz,
# BLCK = 2.8224 MHz, WCLK = 44.1 kHz
#####
#
# Select Page 0
w 30 00 00
#
# NDAC = 1, MDAC = 2, dividers powered on
w 30 0b 81 82
#
#####

#####
# Configure Power Supplies
#####
#
# Select Page 1
w 30 00 01
#
# Disable weak AVDD in presence of external
# AVDD supply
w 30 01 08
#
# Enable Master Analog Power Control
w 30 02 00
#
# Set the input power-up time to 3.1ms (for ADC)
w 30 47 32
#
# Set the REF charging time to 40ms
w 30 7b 01
#
#####

#####
# Configure DAC Channel
#####
#
# Select Page 1
w 30 00 01
#
# De-pop: 5 time constants, 6k resistance
w 30 14 25
#
# Route LDAC/RDAC to HPL/HPR
w 30 0c 08 08
#
# Power up HPL/HPR
w 30 09 30
#
# Unmute HPL/HPR driver, 0dB Gain
w 30 10 00 00
#
#
```

4 参考文献

1. TLV320AIC3204, Ultra Low-Power Stereo Audio Codec with PowerTune™ Technology (SLOS602)
2. TLV320AIC3254, Ultra Low-Power Stereo Audio Codec with miniDSP and PowerTune™ Technology (SLAS549)

付録 A クロックと PLL のスクリプト

A.1 PLL を使用しないクロック構成用スクリプト

次のスクリプトは、PLLを使用しないコーデックを構成します。デフォルト値128が使用されるため、AOSRレジスタとDOSRレジスタには書き込みを行いません。MDACとMADCが2に等しいため、このスクリプトは、8以下のリソース・クラスを持つ処理ブロックのみに有効です。8より高いリソース・クラスで処理ブロックを使用するためには、PLLを使用してMADCとMDACの値をより高くする必要があります。

MADC分周回路(divider)はパワーオフにされるため、ADC_MOD_CLKノードに電源を供給するのはDAC_MOD_CLKになります。

```
#####
# Clock and Interface Settings
# -----
# The codec receives: MCLK = 11.2896 MHz,
# BLCK = 2.8224 MHz, WCLK = 44.1 kHz
#####
#
# Select Page 0
w 30 00 00
#
# NDAC = 1, MDAC = 2, dividers powered on
w 30 0b 81 82
#
# NADC = 1, MADC = 2, dividers powered off
w 30 12 01 02
#
#####
```

デフォルトでは、BCLKとWCLKは入力です。ページ0/レジスタ27、29、30に書き込みを行うことで、この2つの端子を出力として構成することもできます。下のスクリプト中の(青で強調表示された)最後の2つのコマンドでは、BCLK周波数をプログラミングし、端子を出力として設定します。

```
#####
# Clock and Interface Settings
# -----
# The codec receives: MCLK = 11.2896 MHz
# and generates: BLCK = 2.8224 MHz,
# WCLK = 44.1 kHz
#####
#
# Select Page 0
w 30 00 00
#
# NDAC = 1, MDAC = 2, dividers powered on
w 30 0b 81 82
#
# NADC = 1, MADC = 2, dividers powered off
w 30 12 01 02
#
# BCLK frequency is generated from DAC_CLK
# and N = 4
w 30 1d 00 84
#
# Set BCLK and WCLK as outputs
w 30 1b 0c
#
#####
```

A.2 PLL を使用したクロック構成用スクリプト

より高いリソース・クラスを持つ処理ブロックが必要な場合は、PLLを使用してMとOSRの制約(constraint)に合わせる必要があります。次のスクリプトは、PLLをプログラミングしてイネーブルにし、コードのヘッダに記述されたクロック条件に基づいて適切なクロック分周回路の値を設定します。

このPLLと分周回路の構成は、128のOSR (OSR of 128)をサポートするどの処理ブロックでも有効になります。

```
#####
# Clock and Interface Settings
# -----
# The codec receives: MCLK = 11.2896 MHz,
# BLCK = 2.8224 MHz, WCLK = 44.1 kHz
#####
#
# Select Page 0
w 30 00 00
#
# PLL_clkin = MCLK, codec_clkin = PLL_CLK,
# PLL on, P-1, R-1, J-8
w 30 04 03 91 08
#
# NDAC = 2, MDAC = 8, dividers powered on
w 30 0b 82 88
#
# NADC = 2, MADC = 8, dividers powered off
w 30 12 02 08
#
#####
```

サンプリング・レートを8kHzにする必要がある場合は、DOSRを768に設定して、DACモジュレータの帯域外ノイズを可聴周波数帯域(audible frequency range)から可能な限り大きな値にする必要があります。ADCとDACではM値およびN値が異なるため、ADCの周波数分周回路をオンにしておく必要があります。

```
#####
# Clock and Interface Settings
# -----
# The codec receives: MCLK = 12.288 MHz,
# BLCK = 512 kHz, WCLK = 8 kHz
#####
#
# Select Page 0
w 30 00 00
#
# PLL_clkin = MCLK, codec_clkin = PLL_CLK,
# PLL on, P-1, R-1, J-8
w 30 04 03 91 08
#
# NDAC = 2, MDAC = 8, dividers powered on
w 30 0b 82 88
#
# DOSR = 768
w 30 0d 03 00
#
# NADC = 8, MADC = 12, dividers powered on
w 30 12 88 8c
#
#####
```

付録 B 処理ブロック用のスクリプト

B.1 フィルタ係数の書き込み

次のスクリプトは、コーナー周波数400Hz(サンプリング・レート44.1kHzの場合)で1次高域通過バターワース・フィルタを実装します。最初に、必要な処理ブロックを選択します。PRB_P2は12のリソース・クラスを持つため、セクション2.2で説明している制約に合わせてMDACとDOSRをあらかじめプログラミングしておく必要があります。二番目に、フィルタ係数を左右両方のチャンネル用のバイカッドAと、バッファAおよびBに書き込みます。(この場合等のように)アダプティブ・フィルタリングが使用されない場合は、青で強調表示されたコードは必要ありません。このスクリプトは、DACを起動する前に実行する必要があります。

係数メモリ空間の詳細については、各製品データ・シートの「User Programmable Filters(ユーザーによるプログラミングの可能なフィルタ)」セクションを参照してください。

```
#####
# Configure Processing Blocks
#####
#
# Select Page 0
w 30 00 00
#
# PRB_P2 selected
w 30 3C 02
#
#####
# High-pass first order Butterworth filter,
# fc = 400 Hz
#####
#
# Write to Buffer A:
#
# BIQUAD A, Left Channel (Page 44, Register 12, C1-C5)
w 30 00 2c
w 30 0c 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
#
# BIQUAD A, Right Channel (Page 45, Register 20, C33-C37)
w 30 00 2d
w 30 14 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
#
# Write to Buffer B:
#
# BIQUAD A, Left Channel (Page 52, Register 12, C1-C5)
w 30 00 34
w 30 0c 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
#
# BIQUAD A, Right Channel (Page 53, Register 20, C33-C37)
w 30 00 35
w 30 14 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
#
#####
```

アプリケーションによっては、フィルタ係数をオンザフライで(つまり、DACがイネーブルにされた時に)変更する必要がある場合もあります。これを行うために、下に示すようにDACを起動する前にアダプティブ・フィルタリングをイネーブルにする必要があります。フィルタがすでに実装された状態でDACを起動する必要がある場合は、バッファAとバッファBの両方に同じデータを書き込んで、バッファのミスマッチを回避する必要があります。

```
#####
# Configure Processing Blocks
#####
#
# Select Page 0
w 30 00 00
#
# PRB_P2 selected
w 30 3C 02
#
# Select Page 44, Enable Adaptive filtering for DAC
w 30 00 2c 04
#
#####
```

DACチャンネルのスクリプトを実行してDACをイネーブルにすると、下に示すように、バッファAのレジスタに書き込みを行い、バッファを切り替え、ページ44/レジスタ1のビットD0がクリアになるのを待ってから、バッファAのレジスタに再度書き込みを行うことにより、フィルタ係数を更新することができます。この書き込み手順により、今後のバッファ切り替えに備えて両方のバッファの同期を取ることができます。

```
#####
# High-pass first order Butterworth filter,
# fc = 400 Hz
#####
#
# First, write to Buffer A's registers:
#
# BIQUAD A, Left Channel (Page 44, Register 12, C1-C5)
w 30 00 2c
w 30 0c 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
#
# BIQUAD A, Right Channel (Page 45, Register 20, C33-C37)
w 30 00 2d
w 30 14 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
# Second, switch buffers and write again to Buffer A's registers:
w 30 00 2c 05
#
# Third, poll Page 44 / Register 1 and wait for bit D0 to clear.
f 30 01 xxxxxlx0
#
# BIQUAD A, Left Channel (Page 44, Register 12, C1-C5)
w 30 00 2c
w 30 0c 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
#
# BIQUAD A, Right Channel (Page 45, Register 20, C33-C37)
w 30 00 2d
w 30 14 7c 73 e4 00 c1 c6 0f 00 00 00 00 00 3c 73 e6 00 00 00 00 00
#
#####
```

付録 C 電源制御用スクリプト

C.1 AVDD と DVDD 用の外部電源を使用して電源を構成する

次のスクリプトでは、外部AVDD電源とDVDD電源とともに使用するために電源レジスタ(power registers)をプログラミングします。このスクリプトは、LDO_SELECT端子がLowにされていることを想定しています。青で強調表示されたコマンドは、デバイスが正しく動作するために必要なものです。青で強調表示された最初の2つのコマンドは、AVDDが(外部または内部に)が存在している場合のみ実行する必要があります。このスクリプトでは、ADCチャンネルとDACチャンネル両方にPowerTune™の最高のパフォーマンス・モードが使用されます。

```
#####
# Configure Power Supplies
#####
#
# Select Page 1
w 30 00 01
#
# Disable weak AVDD in presence of external
# AVDD supply
w 30 01 08
#
# Enable Master Analog Power Control
w 30 02 00
#
# Set full chip common mode to 0.9V
# HP output CM - full chip CM
# HP driver supply - AVDD
# Line output CM - full chip CM
# Line output supply - AVDD
w 30 0A 00
#
# Select ADC PTM_R4
w 30 3d 00
#
# Select DAC PTM_P3/4
w 30 03 00 00
#
# Set the input power-up time to 3.1ms (for ADC)
w 30 47 32
#
# Set the REF charging time to 40ms
w 30 7b 01
#
#####
```

C.2 内部LDOと1.65V出力コモン電圧を使用して電源を構成する

次のスクリプトでは、内部LDOとともに使用するための電源レジスタ(power registers)をプログラミングします。このスクリプトは、LDO_SELECT端子がHighに引き上げられていることと、LDOinの電圧が1.9V~3.6Vであることを想定しています。青で強調表示されたコマンドは、デバイスが正しく動作するために必要なものです。

```
#####  
# Configure Power Supplies  
#####  
#  
# Select Page 1  
w 30 00 01  
#  
# Power up AVDD LDO  
w 30 02 09  
#  
# Disable weak AVDD in presence of external  
# AVDD supply  
w 30 01 08  
#  
# Enable Master Analog Power Control  
# Power up AVDD LDO  
w 30 02 01  
#  
# Set full chip common mode to 0.9V  
# HP output CM = 1.65V  
# HP driver supply = LDOin voltage  
# Line output CM = 1.65V  
# Line output supply = LDOin voltage  
w 30 0A 3B  
#  
# Select ADC PTM_R4  
w 30 3d 00  
#  
# Select DAC PTM_P3/4  
w 30 03 00 00  
#  
# Set the input power-up time to 3.1ms (for ADC)  
w 30 47 32  
#  
# Set the REF charging time to 40ms  
w 30 7b 01  
#  
#####
```

付録 D ADC チャンネル用のスクリプト

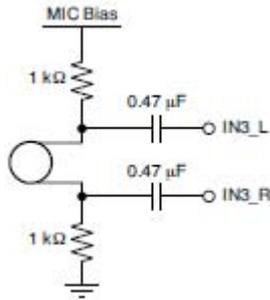
D.1 シングルエンド型ステレオ動作の ADC チャンネルを構成する

次のスクリプトでは、IN1_L端子とIN1_R端子を、それぞれ左ADCと右ADCへのシングルエンド型ステレオ入力としてプログラミングします。

```
#####  
# Configure ADC Channel  
#####  
#  
# Select Page 1  
w 30 00 01  
#  
# Route IN1L to LEFT_P with 20K input impedance  
w 30 34 80  
#  
# Route CM1L to LEFT_M with 20K input impedance  
w 30 36 80  
#  
# Route IN1R to RIGHT_P with 20K input impedance  
w 30 37 80  
#  
# Route CM1R to RIGHT_M with 20K input impedance  
w 30 39 80  
#  
# Unmute Left MICPGA, Gain selection of 6dB to  
# make channel gain 0dB, since 20K input  
# impedance is used single ended  
w 30 3b 0c  
#  
# Unmute Right MICPGA, Gain selection of 6dB to  
# make channel gain 0dB, since 20K input  
# impedance is used single ended  
w 30 3c 0c  
#  
# Select Page 0  
w 30 00 00  
#  
# Power up LADC/RADC  
w 30 51 c0  
#  
# Unmute LADC/RADC  
w 30 52 00  
#  
#####
```

D.2 差動型エレクトレット・マイクロフォン用にADCチャンネルを構成する

エレクトレット・マイクロフォンを使用するシステムの場合は、ノイズ除去性の向上のために差動構成が必要とされることがよくあります。次のスクリプトでは、IN3_L端子とIN3_R端子を左ADCへの差動ペアとしてプログラミングします。入力抵抗が10 k Ω に設定されるため、実際の入力ゲインは6dBです。



図D-1 差動型エレクトレット・マイクロフォンの構成

```
#####
# Configure ADC Channel
#####
#
# Select Page 1
w 30 00 01
#
# Power-up MIC BIAS
w 30 33 40
#
# Route IN3L to LEPT_P with 10K input impedance
w 30 34 04
#
# Route IN3R to LEPT_M with 10K input impedance
w 30 36 04
#
# Unmute Left MICPGA
w 30 3b 00
#
# Select Page 0
w 30 00 00
#
# Power up LADC
w 30 51 80
#
# Unmute LADC
w 30 52 08
#
#####
```

付録 E DAC チャンネル用のスクリプト

E.1 シングルエンド型ステレオ出力用に DAC チャンネルを構成する

次のスクリプトでは、ヘッドフォン出力とライン出力をプログラミングします。左デジタル・チャンネルと右デジタル・チャンネルは、それぞれ左DACと右DACにルーティングされます。

```
#####  
# Configure DAC Channel  
#####  
#  
# Select Page 1  
w 30 00 01  
#  
# De-pop: 5 time constants, 6k resistance  
w 30 14 25  
#  
# Route LDAC/RDAC to HPL/HPR  
w 30 0c 08 08  
#  
# Route LDAC/RDAC to LOL/LOR  
w 30 0e 08 08  
#  
# Power up HPL/HPR and LOL/LOR drivers  
w 30 09 3c  
#  
# Unmute HPL/HPR driver, 0dB Gain  
w 30 10 00 00  
#  
# Unmute LOL/LOR driver, 0dB Gain  
w 30 12 00 00  
#  
# Select Page 0  
w 30 00 00  
#  
# DAC -> 0dB  
w 30 41 00 00  
#  
# Power up LDAC/RDAC  
w 30 3f d6  
#  
# Unmute LDAC/RDAC  
w 30 40 00  
#  
#####
```

E.2 DAC チャンネルを差動型ヘッドフォン出力用に構成する

次のスクリプトでは、差動型駆動用のヘッドフォン出力をプログラミングします。左チャンネルのデジタル・データは、左DACからHP出力に入るようにルーティングされます。この場合は、AV_{DD}をアンプの電源として使用する必要があります。

```
#####  
# Configure DAC Channel  
#####  
#  
# Select Page 1  
w 30 00 01  
#  
# De-pop: 5 time constants, 6k resistance  
w 30 14 25  
#  
# Set HP outputs in BTL mode, LDAC is used  
w 30 0c 08 01  
#  
# Power up HPL/HPR  
w 30 09 30  
#  
# Unmute HPL/HPR driver, 0dB Gain  
w 30 10 00 00  
#  
# Select Page 0  
w 30 00 00  
#  
# DAC -> 0dB  
w 30 41 00 00  
#  
# Power up LDAC/RDAC  
w 30 3f b2  
#  
# Unmute LDAC/RDAC  
w 30 40 04  
#  
#####
```

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上