

**DS90C3201,DS90C3202,DS90C363B,DS90C365A,
DS90C383B,DS90C385A,DS90C387,DS90C387A,
DS90C387R,DS90CF363B,DS90CF364,
DS90CF364A,DS90CF366,DS90CF383B,
DS90CF384,DS90CF384A,DS90CF384AQ,
DS90CF386,DS90CF388,DS90CF388A,DS90CF564**

Application Note 1032 An Introduction to FPD-Link



Literature Number: JAJA269

FPD Link についての概論

National Semiconductor
Application Note 1032
Susan Poniatowski
1998 年 7 月



FPD Link チップセット

FPD Link (Flat Panel Display Link) チップセットは、グラフィック・コントローラから LCD パネルへのデータ転送のために、特別に構成されたインタフェース・デバイス・ファミリです。高速かつ低消費電力でのデータ転送を達成するために、LVDS (小振幅差動信号) 技術が採用されています。これにより SVGA (800 × 600) や、XGA (1024 × 768) などのようなハイエンド・ディスプレイの導入が可能となります。

これらのハイエンド・ディスプレイの性能の限界を支配しているのは、速度、消費電力、EMI などの問題です。ユーザーはまた、実際のインタフェースにも関心があります。これには、より少ない信号線が優れています。FPD Link チップセットはこうした問題点に、LVDS 技術と TTL 信号をより高速な LVDS 信号に変換させて、ホストとディスプレイ間のインタフェースを許容します。標準的なアプリケーション (Figure 1 参照) では、グラフィック・コントローラから送られる TTL レベルの RGB とコントロール・データは、FPD Link トランスミッタに入力されます。パラレル TTL データは、LVDS

信号に多重化・変換されます。FPD Link トランスミッタの出力は LVDS データを、ディスプレイのマザーボードに接続されているケーブルへ送ります。この LVDS データは、ディスプレイの FPD Link レシーバへケーブルを通して送られます。受け取られたデータは分離・変換されて TTL レベルの信号に戻され、タイミング・コントローラの入力に送られます。この多重化されたパラレル TTL 信号は、幅の狭いインタフェースを通過するより高速なデータを許容し、高い帯域の必要な通信を可能とします。

FPD Link チップセットは、18 ビットと 24 ビットのカラーディスプレイのために設計されたトランスミッタ (TTL から LVDS へ変換) とレシーバ (LVDS から TTL へ変換) から構成されています。さまざまなグラフィック・コントローラあるいは LCD パネル・コントローラの多様なインタフェースへの対応を図るため、データ・ストロブ信号に関して、立ち上がりエッジ品、立ち上がりエッジ品、選択可能品を揃えています。FPD Link 製品ファミリには、20MHz から 65MHz の周波数範囲をサポートする 5V または 3.3V チップセットがラインアップされています。構成は Figure 2 を参照してください。

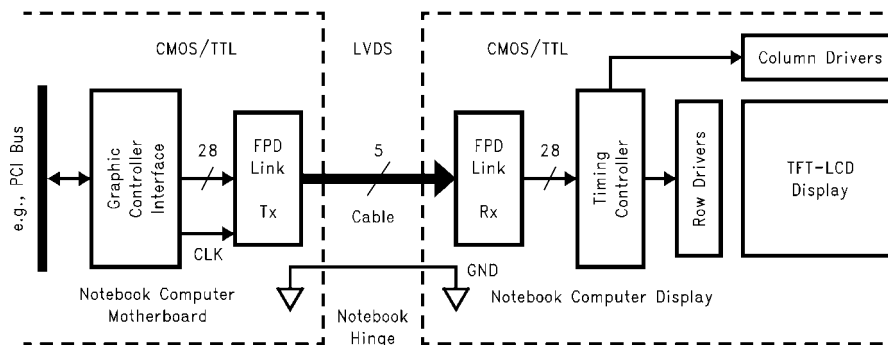


FIGURE 1. Typical FPD Link Application (24-Bit Color)

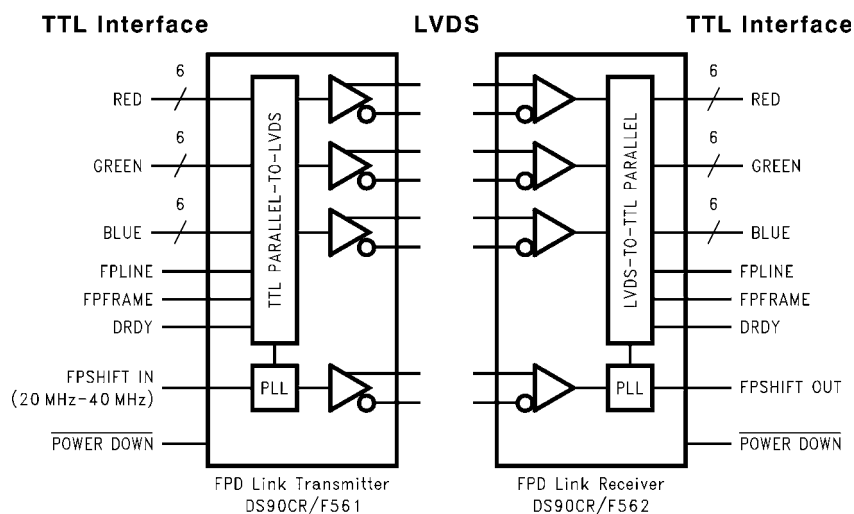


FIGURE 2. FPD Link Chipset for 18-Bit Color

LVDS- 卓越したテクノロジー

LVDS は高速のデータ伝送、コモンモード・ノイズの除去、低消費電力が要求されるアプリケーションをサポートするために開発された差動信号化技術です。小さなインダクタ電圧 (345mV) と差動信号は本質的にノイズの影響 (例えば、クロストーク) を減少させ、高い動作周波数を許容します。定電流出力ドライバは、低消費電力のために設計されました。1 つの LVDS ドライバの静止時の I_{CC} は 4mA、動作時の I_{CC} は 22mA です。これらの特質は、LVDS の低 EMI にも寄与しています。

FPD Link を使用した設計

FPD Link チップセットは、SVGA (800 × 600) や XGA (1024 × 768) などに使用される高速のディスプレイ・インタフェースの支援に必要な機能を提供します。これらの製品を使用した設計時には、LVDS の性能を完全に発揮させるために注意しなければなりません。

PCB のレイアウト : LVDS のノイズと EMI の低減の効果を獲得するためには、差動信号ラインのレイアウトに注意してください。対になる差動信号ラインは、他の信号からの干渉を防ぎ、差動信号のノイズ除去の利点を完全に引き出すために、常に隣接してなければなりません。PCB 設計者はまた、対になる信号線の長さを等しく保たなければなりません。高速なデータによる設計を行う際には、インピーダンスの不連続を制限させます (バイアスの数を減らし、直角に曲がるスルーホールをなくします)。1 つの信号線で起こるどんなインピーダンスの不連続でも、差動ペアとなるもう一方の信号線に反映されます。これらに対する検討は、高い周波数での性能と EMI に不利な影響を与える反射やクロストークを制限します。

24 ビットから 18 ビットへのインタフェース : 24 ビット・トランスミッタと 18 ビット・レシーバ (またはその逆) をインタフェースする場合は工夫が必要です。通常、最下位のカラー・ビットは 24 ビット・トランスミッタの 4 番目の LVDS チャネルに割り当てられます。この場合、上位の 3 つの LVDS データ・チャネルを 18 ビット・レシーバに接続します。残った 4 番目の LVDS データ・チャネルは開放のままにします。

終端 : 電流出力のドライバを使用するためには、レシーバの入力間に終端抵抗が必要となります。FPD Link チップセットは、1 本の 100 Ω の抵抗をそれぞれのレシーバの正負の入力端子の間に使用します (Figure 3 参照)。その他のいくつかの差動伝送方式 (PECL ; 擬似 ECL) のように、追加のプルアップまたはプルダウン抵抗は必要ありません。表面実装用の抵抗が、リード線端子を持つ抵抗によるインダクタンスの増加を防ぐために推奨されます。これらの抵抗は、スタブが形成されるのを防ぎ、差動伝送経路を効果的に終端するために、レシーバの入力にできる限り近くに実装されるべきです。

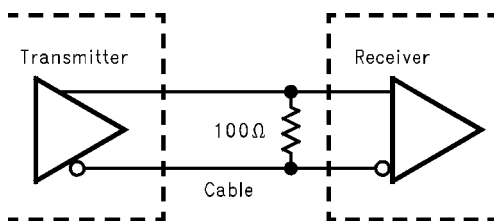


FIGURE 3. FPD Link Termination

デカップリング・コンデンサ : バイパス・コンデンサは、性能を制限するスイッチング・ノイズの影響を低減するために必要となります。デカップリング・コンデンサ (表面実装) は、それぞれの V_{CC} とグラウンド端子の間にそれぞれ実装されることが推奨されます。接続とコンデンサの容量の例については、Figure 4 を参照してください。

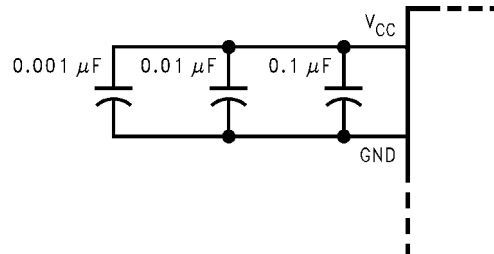


FIGURE 4. Decoupling Configuration

ケーブル : ケーブルは、トランスミッタとレシーバ間を接続し、それぞれ組になる差動 LVDS 信号を取り扱う必要があります (信号線; 2 本 / 組)。チャンネルあたり 8 ビットのチップセット (24 ビット品) に必要な信号線数は 10 本 (5 ペア) です。チャンネルあたり 6 ビットのチップセット (ビット品) に必要な信号線数は 8 本 (4 ペア) です。これは 28 本ないし 21 本の信号線が必要となる TTL インタフェースに対して、大幅なケーブル数の削減となります。シールドされたケーブルは、EMI の低減に関係があるノイズの放射を減少させます。さらに、それぞれの差動ペア・ケーブル間のグラウンド・ラインは、よりいっそうノイズに対してシールドとして働きます。このグラウンドへの接続は隣接するペア・ケーブル間のノイズの結合を防ぐ障壁となり、これにより付加的な電界の影響を減少します。また、ノイズをシールドしトランスミッタとレシーバ間の低インピーダンスでのグラウンド接続は、コモンモードのリターンパスを作ります。最低でも 2 箇所のグラウンドへの接続が、この低インピーダンスでのパスのために推奨されます。

理想的なケーブル / コネクタ・インタフェースは、100 Ω 一定の差動インピーダンスを持ちます。ケーブル・スキューは、十分なデータ・サンプリング・ウィンドウを維持するために 250ps (65MHz) 以下にすることが推奨されます。エッジ・レートの減衰は、高い周波数における信号の低下を防ぐために制限されなければなりません。スキューとエッジ・レートの減衰の双方は、ケーブルの長さの関数になります。ホストとディスプレイの間の距離が増加する場合、高品質なケーブルが信号の完全性を保護するために必要です。

ホストと LCD ディスプレイの内部接続は通常短いにもかかわらず、FPD Link トランスミッタは、5m を超える長さのケーブルをドライブできます。これにより、FPD Link はリモート・ディスプレイのアプリケーションに使用可能となります。

TTL 信号から LVDS 信号への変換

FPD Link トランスミッタは、21 ないし 28 ビット幅の TTL データを、3 または 4 ビット幅で 7 ビットの長さの LVDS データに変換します。追加されている 1 組の LVDS 信号は、クロック信号を転送するために使用されます。すべての 21/28 パラレル TTL ビットは、シングルデータ・ストロブと一緒に送られます。シングル・ストロブはまた、LVDS ポートのすべてのビットに送られます。LVDS インタフェースのクロックとデータの関係は、Figure 5 に示されています。LVDS ポートのクロックは TTL クロック入力に送られます (例 : 65MHz)。データはクロック周波数の 3.5 倍の周波数で送られます (例 : 227MHz)。

TTL データビットは、3 または 4 LVDS 信号ラインに配置されます。Figure 6、7 は、パラレル TTL データビットと LVDS Link の関係を示しています。

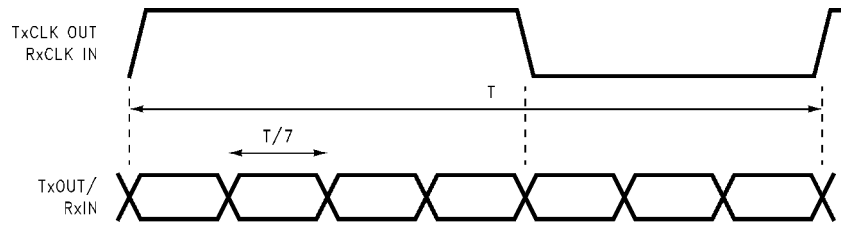


FIGURE 5. Seven Bits of LVDS in One Clock Cycle

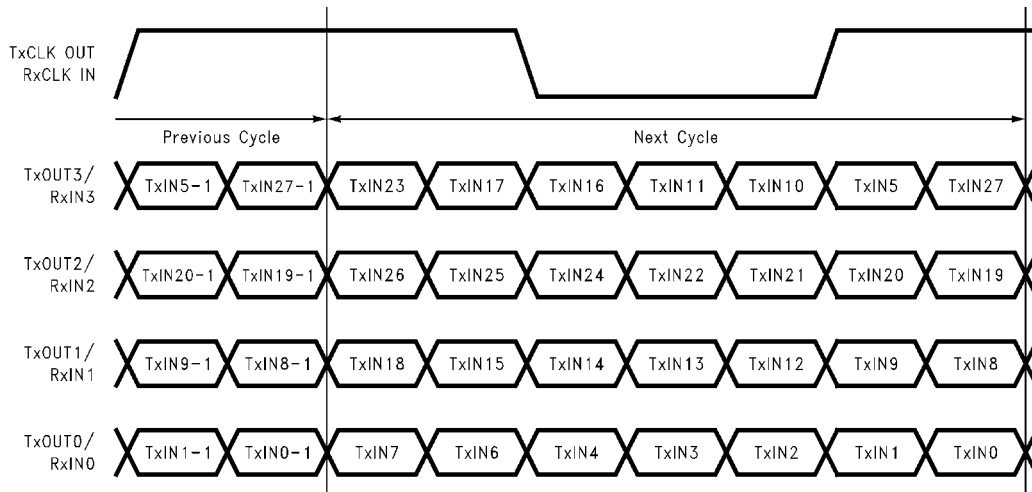


FIGURE 6. 28 Parallel TTL Data Inputs Mapped to LVDS Outputs (DS90CR581)

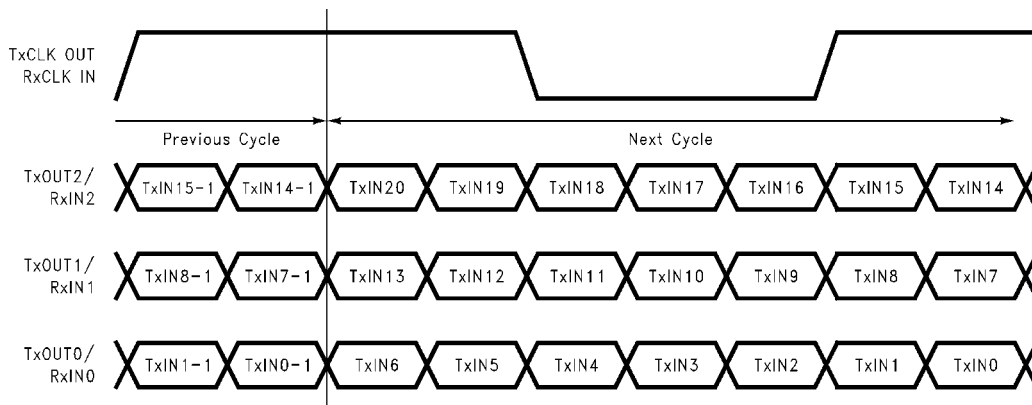


FIGURE 7. 21 Parallel TTL Data Inputs Mapped to LVDS Outputs (DS90CR561)

電源シーケンス

FPD Link トランスミッタは電源が 3V に達するまで出力を TRI-STATE 状態に維持します。パワーダウン信号をアサートするとレシーバ出力は Low になります。クロックとデータ出力は、 V_{CC} が 3V に達し、Powerdown 端子が 2V 以上になってから 10ms 後に動作し始めます。

デバイスの電源をダウンするとき、Powerdown 端子はアサートされているかもしれません。これは、過剰な電流 (55 μ A 最大) が流れることを防ぐために出力を TRI-STATE にします。この入力通常、パワーサプライ・コントロール・ロジックによってドライブされます。

FPD Link チップセットは、レシーバ、トランスミッタいずれの製品も、なんらかの障害による電源電圧の低下からデバイスを保護できる

ように設計されています。トランスミッタ実装のボードに供給されている電源がダウンした場合、レシーバのクロックは停止します (入出力とも)。データ出力 (RXOUT) は、クロックが停止した時の状態に保持されます。レシーバの実装されているボードに供給されている電源がダウンした場合、レシーバ入力はダイオードを通して V_{CC} に接続されます。電流は、電流出力のドライバにより制限されます (入力当たり 5mA)。このことによって、電源が立ち上がるまでの間、ラッチアップの起こる電位からデバイスを保護します (ラッチアップ・イムニティ > 300mA)。さらに、外部の回路を使用すると、レシーバボードがパワーダウンした場合に、トランスミッタの Powerdown ピンをプルダウンしてトランスミッタの出力を TRI-STATE にします。これで出力短絡電流は流れません。

データ・ストロープ

FPD Link トランスミッタは、データ・ストロープ信号に関して、立ち上がりエッジ品、立ち上がりエッジ品、切り替え可能品が提供されます。使用する VGA コントローラの仕様に基づいて、立ち上がりエッジか立ち上がりエッジのいずれかを選択します。レシーバは、フラットパネル・タイミング・コントローラ要件に応じて立ち下がりエッジ品を使用します。ストロープ・エッジの対象となる信号はトランスミッタの TTL 入力またはレシーバの出力のみです。LVDS インタフェースはストロープ・エッジとは独立しているため、トランスミッタとレシーバのそれぞれで、立ち上がりエッジ品と立ち下がりエッジを相互に組み合わせることが可能です。

クロック・ジッタの考慮事項

FPD Link デバイスは、クロック信号の発生と、LVDS インタフェースを通過して送られたクロック信号の回復するために PLL を使用しています。このような高速の信号は正確であり、かつ Low ノイズなクロック信号である必要があります。LVDS データビットはクロックの周期の 1/7 です。例として 40MHz のクロックの周期は 25ns で、データビットの幅は 3.6ns です。差動信号のスキュー、内部接続のスキュー、データとクロックのジッタのすべては、データ・サンプリングのためのウィンドウを狭くします。最大の周波数での動作を可能とするために、すべての部品類はできる限り小型を使用することが推奨されます。基準クロック信号の発生源は、きれいな信号を Tx クロック入力へ供給します。それぞれの V_{CC} とグラウンドは個別にバイパスすると、PLL へのノイズを減少させます。これで発生する LVDS クロックのジッタは小さくなります。これらの対策は、チャネル間のスキューにさらに余裕を与え、内部接続のスキューは全体のジッタ / スキューの一部となります。

EMI への利点

FPD Link チップと LVDS 信号を使用する利点の 1 つは、相対的に低 EMI であることです。LVDS は、他の、RS-422、PECL、CMOS (ディスプレイ・インタフェースのアプリケーションによく使用される) などの方式に比較して、スペクトル (EMI) が少ないのを証明しています。テストは DCM (Direct Contact Method) 法により、32MHz の連続した信号を使用して行われました。低い EMI は、ボックス・ツー・ボックス伝送環境下でのケーブル上に送られるノイズを低減します。内部接続のケーブル・シールドの必要性は減り、これによりコストが削減されます。

まとめ

最先端のディスプレイ・テクノロジーが必要とする広帯域インタフェースを、FPD Link チップセット・アーキテクチャと LVDS テクノロジーの組み合わせが実現します。パラレル TTL 信号からシリアル LVDS 信号への変換は、グラフィック・コントローラからディスプレイの間の幅の狭いインタフェースを許容します。幅の狭いインタフェースとは、低いケーブルのコストとノートブックのヒンジの部分の実際の接続の単純化を意味します。高速な LVDS 技術は、高速のデータ転送が必要となるアプリケーションを支援します。通常、高速伝送で発生する EMI 問題に対して、LVDS は、その特徴である小振幅と差動信号によって低減を図っています。LVDS と、その高速伝送の能力は、帯域幅の増加がこれからも必要な産業製品の支援をする FPD Link チップセットの将来の製品を可能にします。ナショナル セミコンダクター社の FPD Link は、最新のディスプレイ技術のためのソリューションを提供します。

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上