

DS40MB200

Application Note 1398 Printed Circuit Board Design Techniques for DS40MB200



Literature Number: JAJA290

DS40MB200 に適した プリント基板の設計テクニック

National Semiconductor
Application Note 1398
TK Chin
2005 年 10 月



1.0 はじめに

DS40MB200 は、最高データレート 4Gb/s の銅・バックプレーンの冗長化と延長化を実現する、高速の 2:1 マルチプレクサおよび 1:2 ファンアウト・リピータです。出力ドライバは代表値で 80ps という高速なエッジレートが特長です。各入力段は、固定量のイコライザ回路と、出力波形の整形を行う高ゲイン・リミテイング・アンプで構成されています。DS40MB200 の最低入力レベルは 100mVp-p です。DS40MB200 に限らず、あらゆる高速、かつ高ゲイン、かつ高エッジレートを特長とするシステムは、適切な性能を得るために、高速プリント基板テクニックを必要とします。本アプリケーション・ノートでは、DS40MB200 の性能を発揮させる各種実装テクニックの概要を述べます。

2.0 差動ペア

DS40MB200 は 48 リードのリードレス・パッケージ (LLP) に封止されています。LLP はパッケージの寄生成分が小さいため、高速通信デバイスのパッケージに最適です。高速差動 I/O をパッケージの中央に割り当てて、各差動ペアを電源とグラウンドでサンドイッチし、信号の分離とグラウンド・シールドを高めています。伝送ラインには、高い信号忠実度を得るために、結合マイクロストリップ・トレースが適します。最適なトレース幅は LLP-48 パッケージのランド・パッドと等しい 10mil です。5mil 程度の細かいトレースも、トレースとパッド間のパターン幅の変化によって生じるインピーダンス不整合がやや大きいものの、使用して問題ありません。差動トレースは、トレース全体でインピーダンスの整合性を確保するために、一定の間隔でルーティングしなければなりません。Figure 1 に 5mil トレースを用いたレイアウトの一部分を示します。

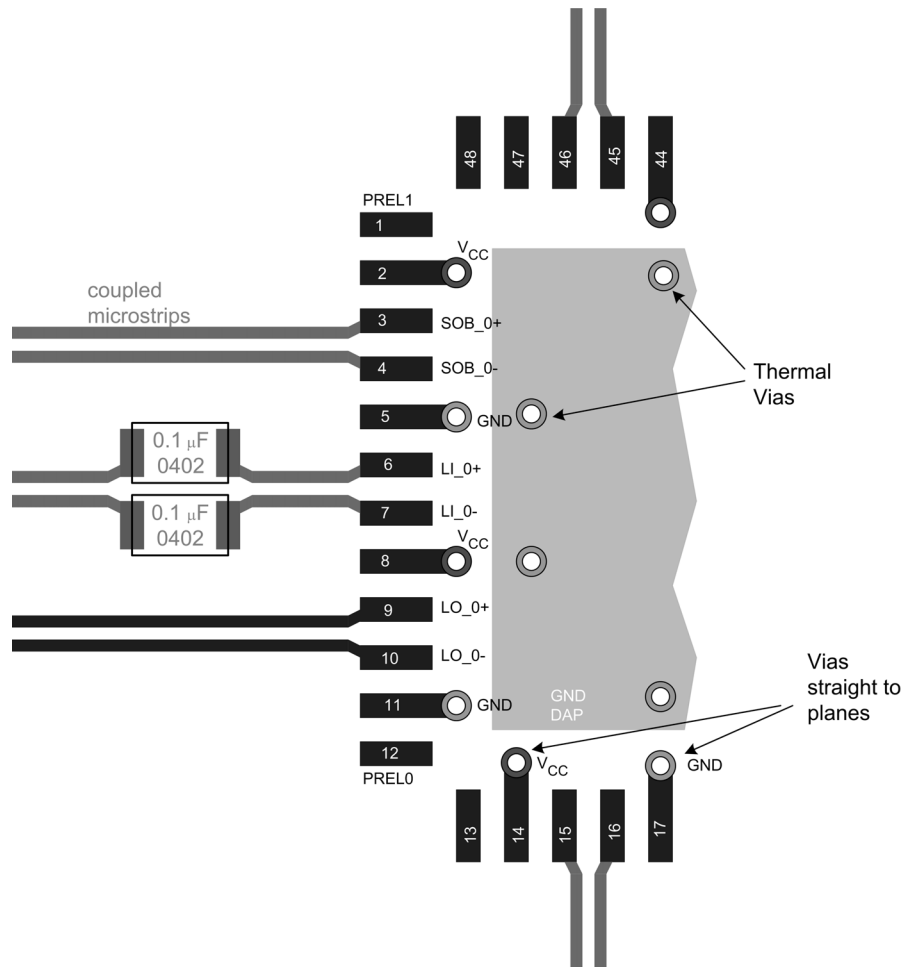


FIGURE 1. DS40MB200 Routing Example Using Coupled Microstrips

2.0 差動ペア (つづき)

高密度ボードでは結合ストリップラインが一般に使われますが、内層のトレースに接続するために、めっきスルーホールを使用しなければなりません。めっきスルーホールは寄生成分を持ち、信号忠実度を低下させます。ビアと近傍のグラウンド層または電源層との相互容量結合を最小限に抑えるには、8mil 径未満の小型ビアを使用しなければなりません。寄生容量をさらに低減するには、長円形の共有アンチパッド (ビア周囲の電源層またはグラウンド層の

クリアランス (アンチパッド) を差動信号 2 本が入るように長円または楕円で形成したものをを用いた差動ビア構造が必要です。共有長円アンチパッドを使った差動ペアのビアを Figure 2 に示します。

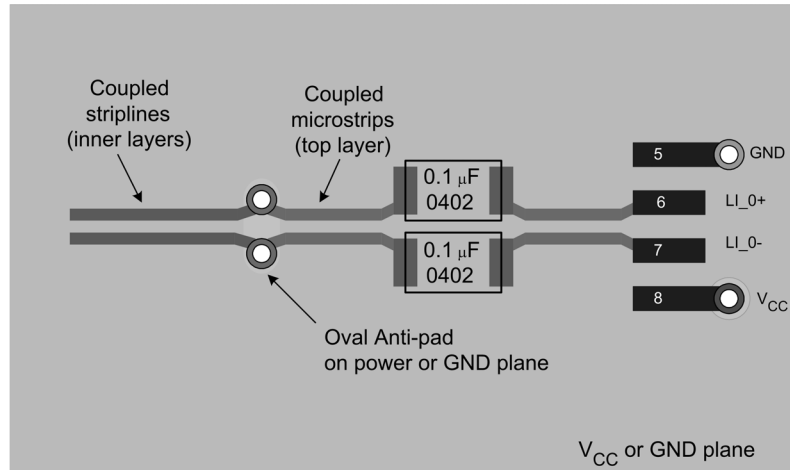


FIGURE 2. Differential Vias with Oval Anti-Pad

各差動ペアの電気的長さは正しく整合させなければなりません。経験則として、相補信号の遅延スキューは信号エッジ遷移時間の数分の 1 になるように整合させます。エッジレートがおよそ 80ps の場合、10ps 以内の遅延スキューであれば許容可能です。FR4 ボードの場合、トレース長さを 50mil 以内に整合させると、差動ペアの相補信号同士のスキューは 10ps 未満になります。ただし、物理的な長さではなく、電気的な長さを整合させなければならない点に留意してください。相補信号には同一のレーティング形状を使用してください。また、各信号層ごとにトレース幅を整合させてください。

結合ペア・トレースのトレース長を整合させる際には、差動ペア間隔の均一性を乱してはなりません。Figure 3 にトレース長を不適切に整合させた例を示します。結合差動ペアの間隔を不均一にすると、インピーダンスが不連続になり、信号品質に影響が及びます。Figure 4 にトレース長を適切に整合させた例を示します。この例では、必要な整合長が得られるように、差動ペアの非結合セグメント部分の長さを調整しています。結合トレース部分では均一な間隔を維持し、非結合トレース部分では同一インピーダンスが保たれるようにトレース幅をわずかに広くしています。

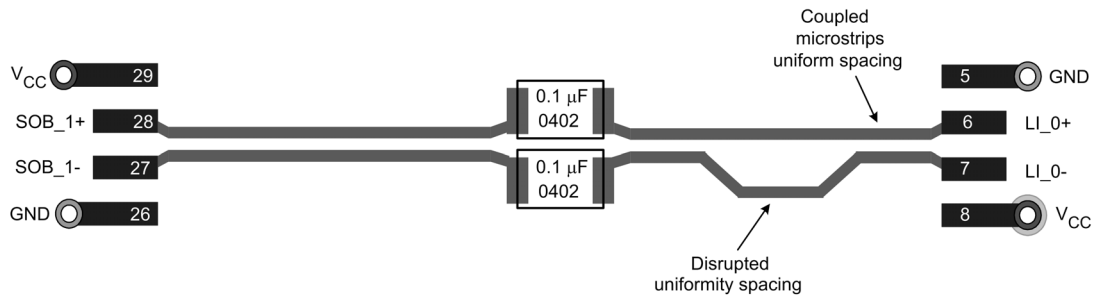


FIGURE 3. Bad Example Of Matching Trace Length Of Coupled Board Traces

2.0 差動ペア (つづき)

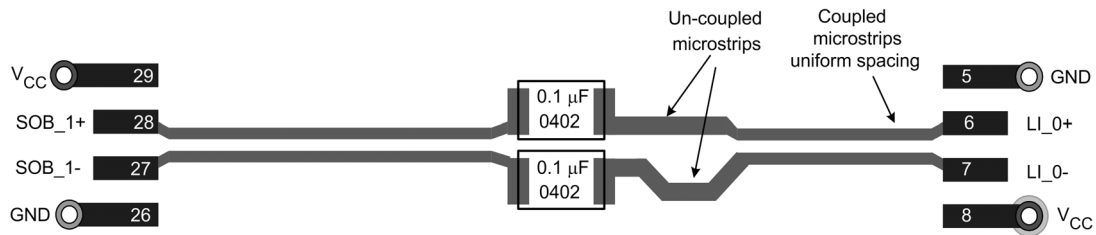


FIGURE 4. Good Example Of Matching Trace Length Of Coupled Board Traces

3.0 部品のランドパッド

DS40MB200 のレシーバ入力には AC 結合コンデンサを配置してください。受信端でのビット・ストリームの遷移は、インターコネクトによって大幅に緩やかになり、AC 結合コンデンサやそのランドパッドの寄生容量によって生じるインピーダンス不整合に対して、より許容度が大きくなります。コンデンサのランドパッドによって生じる

インピーダンス不整合を抑えるために、0402 など、物理的なサイズが小さな面実装コンデンサを使用してください。

大型部品に幅の狭いトレースを配線すると、トレース幅に比べて部品のランドパッドが相対的に大きくなります。Figure 5 に 5mil トレースを 20mil パッドのエッジ・コネクタにレーティングした例を示します。

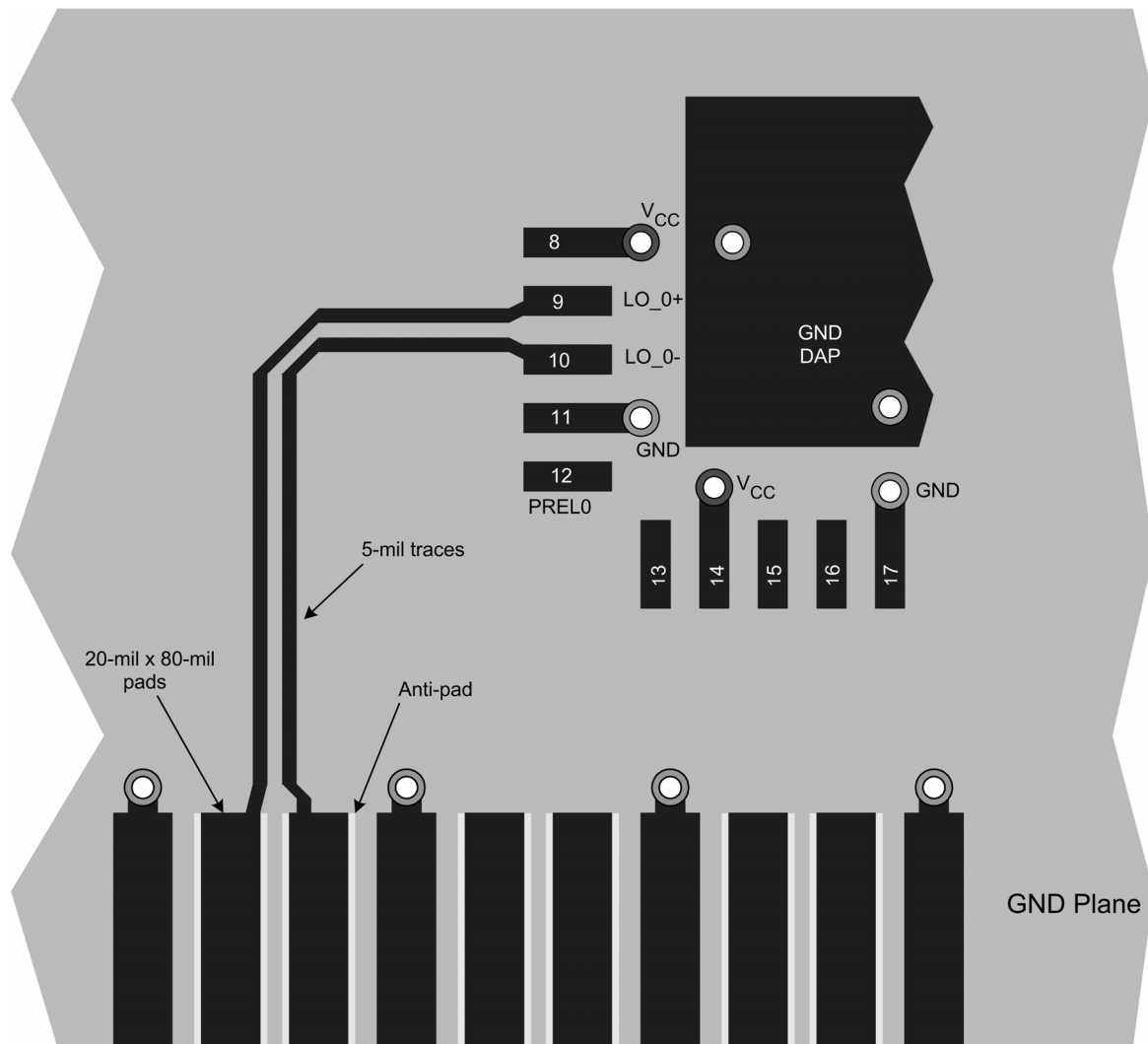


FIGURE 5. Fine Board Traces Used With large Component Landing Pads

3.0 部品のランドパッド (つづき)

エッジ・コネクタ部の大型ランドパッドは、実質的に短い幅広トレース・セグメントを形成し、インピーダンスを大きく低下させ、パッドと直下のグラウンド層との間に相対的に大きな容量が形成されま

す。Figure 6 にランドパッドによるインピーダンス低下の影響を示したボードの断面図を示します。

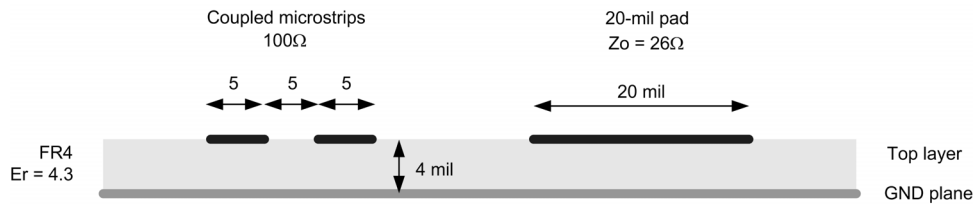


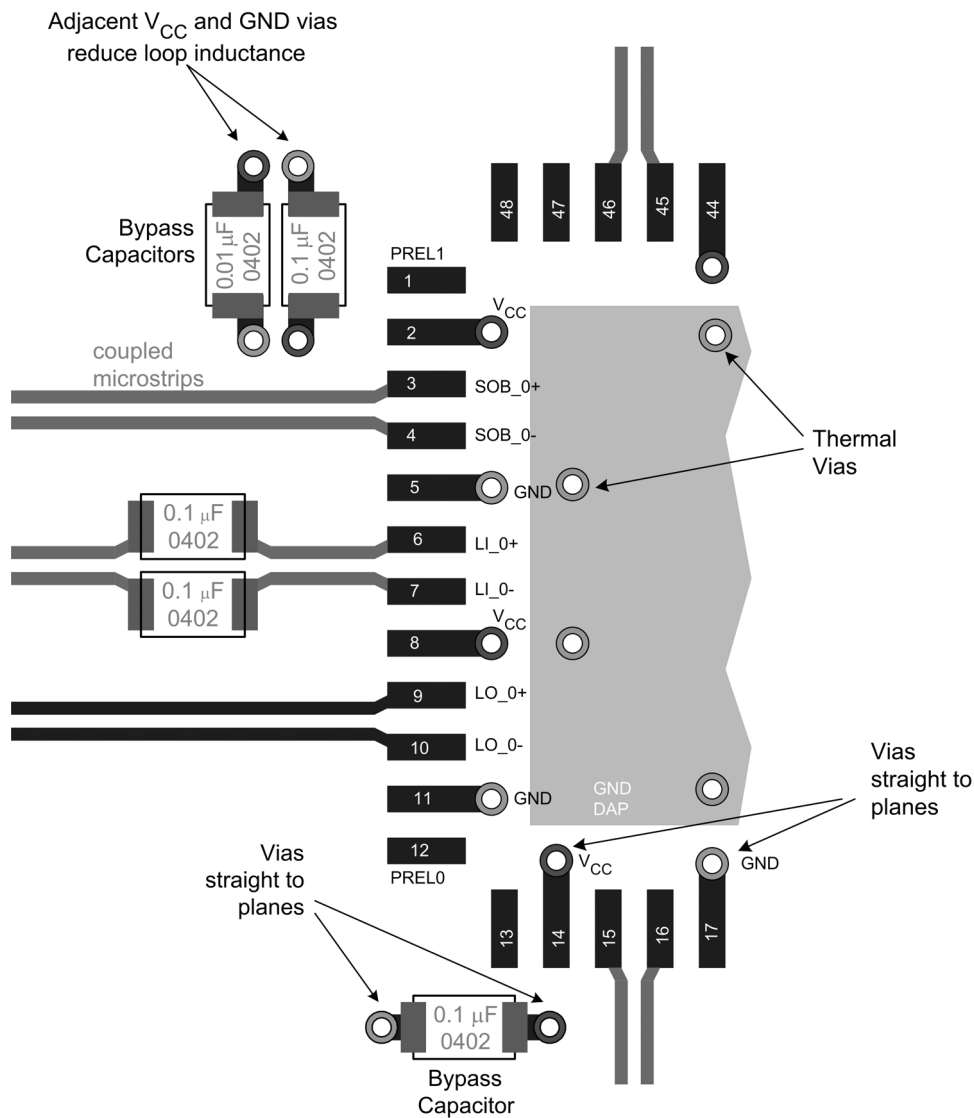
FIGURE 6. Cross-Section Of Board Trace And Component Pad

ランドパッド直下の電源層とグラウンド層にアンチパッドを使う方法も考えられます。このテクニックは、パッドと近傍の電源層またはグラウンド層の間に形成される寄生容量を抑えるために使います。Figure 5 に過度の容量を抑える目的でエッジ・コネクタ部分に使用したアンチパッドを示します。一般に 3D 電磁界ソルバーを使用してアンチパッドの大きさを求め、最適な補償を行います。

4.0 電源ピン

DS40MB200 の各電源リードとグラウンド・リードは、低インピーダンスパスを介して電源層またはグラウンド層に接続してください。適切な性能を得るために、電源ピンまたはグラウンド・ピンと電源層またはグラウンド層の接続には 1 個以上のビアを使用してください。理想的には、トレース・インダクタンスが追加されないように、IC パッドに接するようにビアを配置します。電源層をボードの表面に近い側に割り当てれば、ビアの深さを浅くでき、インダクタンス成分を抑えられます。

4.0 電源ピン (つぎ)

FIGURE 7. V_{CC} and GND Hook-Up For The DS40MB200

V_{CC} ピンの近くにバイパス・コンデンサを配置してください。LLP パッケージの四隅に配置する方法が適切です。0402 の X7R 品など、物理的サイズが小さな面実装コンデンサを使用して、コンデンサのインダクタンス分を抑えてください。各バイパス・コンデンサは、コンデンサのパッドに接するビアを介して、電源層またはグラウンド層に接続します。Figure 7 に、DS40MB200 の V_{CC} と GND の接続部分と、バイパス・コンデンサの配置例を示します。

大きさ 0402 の X7R 面実装コンデンサのボディ・インダクタンス成分はおよそ 0.5nH です。20 ~ 30MHz を超えた周波数では、X7R コンデンサは低インピーダンス・インダクタとして振舞います。コンデンサの動作周波数範囲を数百 MHz にまで広げるには、100pF、

1nF、0.01 μ F、0.1 μ F など容量の異なるコンデンサを並列に接続したアレイが一般に使われます。効率的なバイパス・コンデンサは、電源層とグラウンド層をサンドイッチにした 2 ~ 3mil の層間に形成されます。理想的な高周波バイパス・コンデンサが得られます。2mil の FR4 誘電体の場合、平方インチ (645mm²) あたりおよそ 500pF の容量があります。Figure 8 に、 V_{CC} 層とグラウンド層をボード表面に近い側に割り当てた、ボードの層構成を示します。この層構成では、高周波の「埋め込み」容量を形成するとともに、ビア深さが浅くなるようにして、電源ビアとグラウンド・ビアのインダクタンスを抑えるよう工夫しています。

4.0 電源ピン (つぎ)

パッケージ中央部分にある DAP (ダイ・アタッチ・パッド) は複数のビアを用いてグラウンド層に接続してください。ビア・アレイはグ

ラウンドに対する実効インダクタンスを低下させ、また、パッケージの熱性能を高めます。

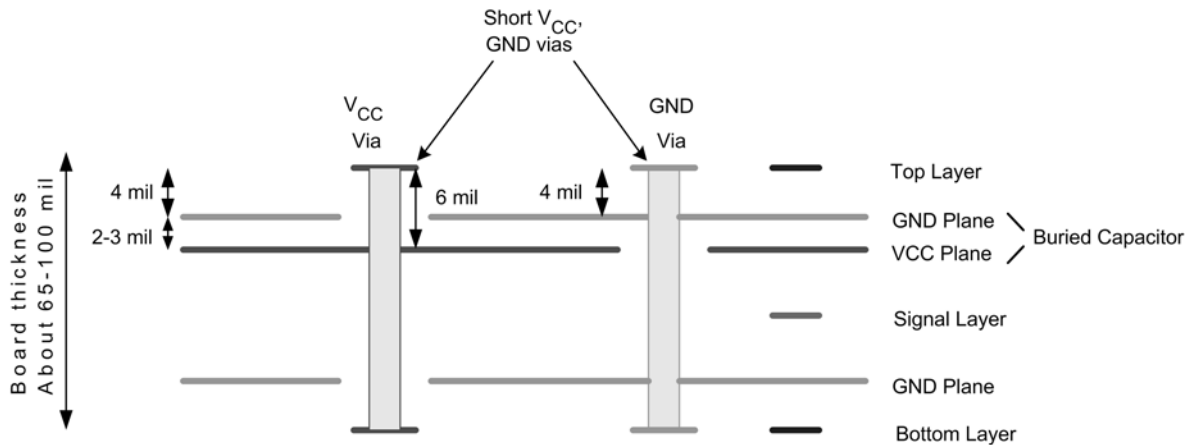


FIGURE 8. PCB Stack-Up With "Buried" Capacitor And Short V_{CC} And Short V_{CC}/GND Vias

5.0 まとめ

高速プリント基板では回路の接続以外のことも考慮しなければなりません。数ギガビットを実現するには、トレース幅、部品パッド、めっきスルーホール、アンチパッド、基板厚み、層構成など、ボードや配線の詳細な形状についても十分な注意が必要です。基板構造の選定では、誘電率や損失正接といった基板材料の特性も重要な検討課題です。本アプリケーション・ノートで説明したテクニクは、例に挙げた DS40MB200 マルチプレクサ / パッファ以外にも、数ギガビットに達するボード設計に適用してください。数ギガビットの伝送を行うボード設計では、不必要なインダクタンス成分と容量成分を把握し、それらの影響を打ち消すように形状等に工夫を行う必要があります。多くの場合、2D 電磁界ソルバーを使

用してボード・トレースの電氣的挙動を予測しますが、ビアやアンチパッドのような 3 次元の対象物に対しては 3D 電磁界ソルバーが必要です。わずかな時間を割いてここで示した項目を検討すれば、数ギガビットを超えて動作する高性能な基板が手に入ります。

参考資料

DS40MB200 デュアル 4Gb/s マルチプレクサ / パッファのデータシート、www.national.com

AN-1389 DS40MB200 デュアル 4Gb/s マルチプレクサ / パッファのプリエンファシス・レベルの設定

AN-1187 リードレス・リードフレーム・パッケージ (LLP)

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他のものを問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上