

# **DS32EL0124,DS32EL0421,DS32ELX0124, DS32ELX0421**

*Application Note 1979 LVDS Timing DS32ELX0421 and DS32ELX0124 Serializers  
and Deserializers*



Literature Number: JAJA376

# DS32ELX0421 シリアライザと DS32ELX0124 デシリアライザの LVDS タイミング

National Semiconductor  
Application Note 1979  
Shuqing Jing  
2009年7月



## はじめに

FPGA-Link の SerDes チップセット (DS32ELX0421 と DS32ELX0124) は、低コスト FPGA を使ってさまざまな高性能アプリケーションあるいは高速アプリケーションを実現する、高い機能を備えたデバイスです。このチップセットは最新のシグナル・コンディショニング (信号調整) 機能とクロック・コンディショニング機能を内蔵し、外付け部品を必要とすることなく、CAT-6 ケーブル (シールドあり 24AWG ケーブル) を使って 20m を超えるデータ伝送が可能です。

独自アーキテクチャを採用したこれらシリアライザとデシリアライザは、低コスト FPGA のインタフェース要件を想定して設計されています。データ・インタフェースには 5 ビットの LVDS パラレルを採用すると FPGA の I/O ピン数の削減を図ると同時に、シリアライザと FPGA 間、デシリアライザと FPGA 間を少ないトレース数で実装できるため、ボード・レイアウトの単純化が図れます。本アプリケーション・ノートでは DS32EL0421 / DS32ELX0421 の両シリアライザと DS32EL0124 / DS32ELX0124 の両デシリアライザに関する LVDS タイミング要件について説明します。

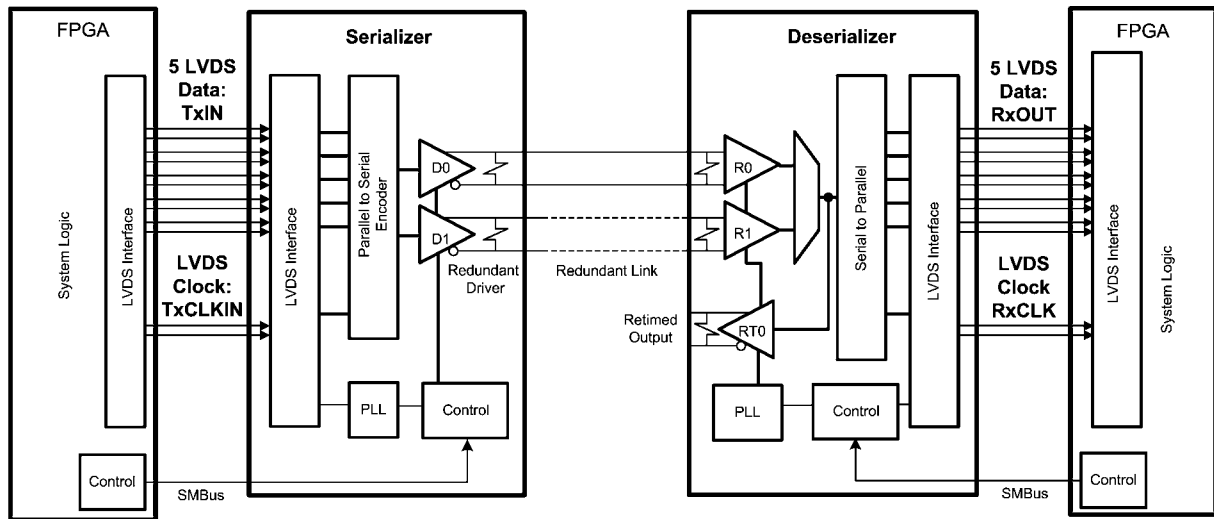


FIGURE 1. FPGA-Link System Diagram

## シリアライザ・デバイスのタイミング要件

Channel Link シリアライザ (たとえば DS90CR483A など) では、LVCMOS パラレル・インタフェース上のデータを、シングル・クロック・エッジによってサンプリングしています。つまりクロックがデータをサンプリングするのはあくまでもシングル・エッジのみ

です。たとえばセットアップ・タイムは 2.5ns、ホールド・タイムは 0ns で、Channel Link シリアライザの最適なクロック・ポジションは、Figure 2 に示すように、データ・ビット期間の midpoint になります。

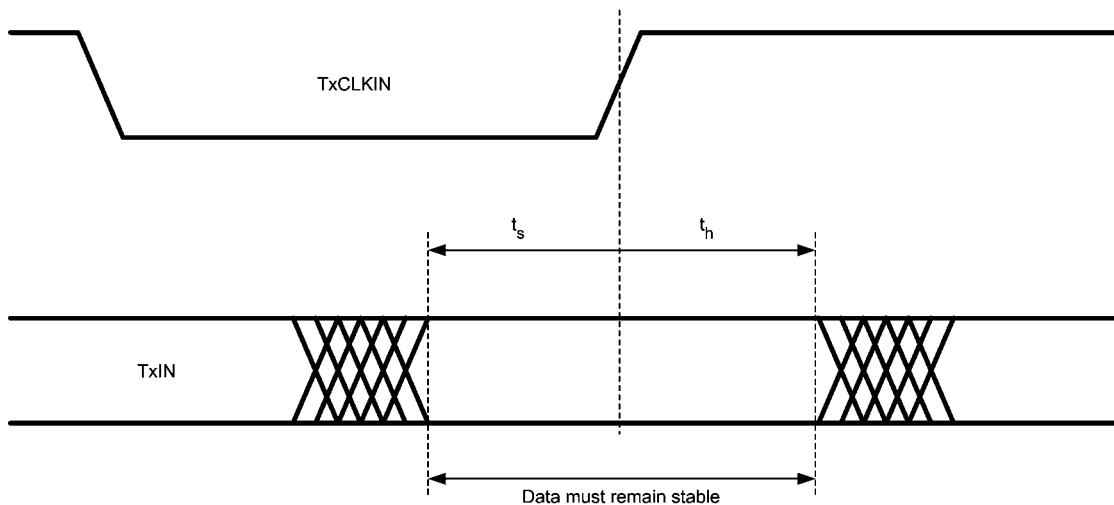


FIGURE 2. Single Clock Sampling Data Setup and Hold Time

## シリアライザ・デバイスのタイミング要件

(つづき)

一方、ダブル・データ・レート (DDR) インタフェースを採用した FPGA-Link は、クロックの両方のエッジでデータをサンプリングします。なお DDR インタフェースは、LVDS に限らず、CMOS や LVPECL にも適用することが可能です。DDR インタフェースには、クロック周波数とデータ周波数が等しいためデータスループットを最大化できる大きなメリットがあります。ただし、ビット期間の midpoint でデータをサンプリングするには両方のクロック

ク・エッジがそれぞれセットアップ・タイムとホールド・タイムの要件を満たす必要があり、クロックのデューティ・サイクルに偏りがあるとセットアップ・タイムとホールド・タイムに大きな影響が及びます。

複数のデータ・ライン間に存在するスキューやクロックのデューティ・サイクルの偏りといった非理想要因によってシステムのタイミング・マージン量は減少するため、ペア間のデータ・スキューやクロック・デューティの偏りを減らすように、あらゆる設計努力を払う必要があります。

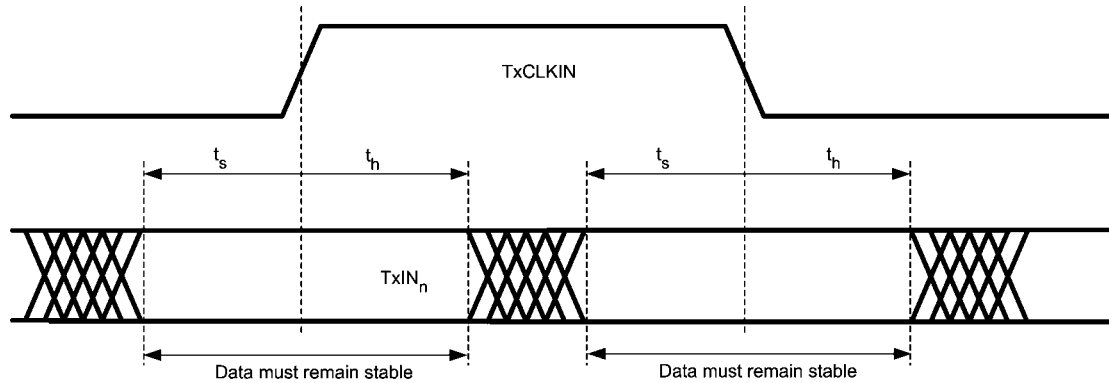


FIGURE 3. DDR Interface Setup and Hold Time

シリアライザの入力段は 5 ビットの LVDS DDR として実装されているため、ホスト FPGA 側に必要なクロック・リソースと PLL リソースはわずかです。LVDS インタフェースの入力ラッチのセットアップ・タイムとホールド・タイムの各要件は、FPGA が出力するクロックとデータのそれぞれの遷移が揃っていることを前提としています。データ・ビット期間の midpoint にクロック・エッジをオフセットする目的で特別なクロック・リソースを用意する必要はありません。

DS32ELX0421 のデータシート中で規定されている値 (セットアップ・タイムの最小値 - 550ps とホールド・タイムの最大値 900ps) はいずれもワーストケース値であり、FPGA が出力する各デー

タ・ラインがこれらタイミング要件を満たすように設計すれば、シリアライザは入力データを適切にラッチできます。セットアップ・タイムとして負の値が規定されている理由は、FPGA がクロックとデータを同一のクロック・エッジで出力できるように、シリアライザ内部でクロック・ラインに遅延を与えているためです。つまりシリアライザ内部では、データをサンプリングするために、クロックをわずかにうしろにシフトしています。そのためクロックの遷移が起きたときにサンプリングされるデータは、実際には、クロックよりも数百 ps うしろのデータ入力ピンに存在しているデータです。このタイミングの関係を Figure 4 に図示します。サンプリング・ウィンドウは 350ps です。

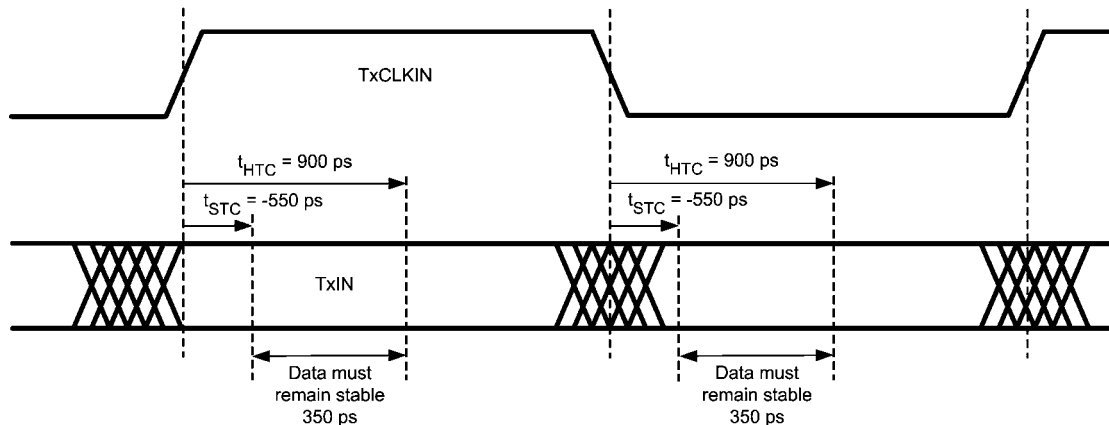


FIGURE 4. Serializer Setup and Hold Time

## レジスタを使ったシリアルライザのプログラミング

シリアルライザ内のレジスタ・ビットをプログラミングすることでデータに対するクロックのシフト量を最適化できます。この機能を使って、FPGA ホスト・デバイスが出力するデータの有効時間に対してセットアップ・タイムとホールド・タイムが最適になるように、クロック・ポジションを調整します。シリアルライザ・クロック

の遅延量はレジスタ 0x30 のビット [7:5] で設定します。データに対するクロック遅延量のデフォルト値は 725ps (011'b) です。LSB は 125ps の遅延量に相当し、設定できる遅延範囲は 350ps から 1225ps です。

設定値とシフト量の対応は Table 1 を参照してください。シリアルライザの外部から見たタイミングの関係を Figure 5 に示します。

TABLE 1. Register 0x30 bits 7:5 Setup/Hold Delay Settings (\* = default)

Register Setting Reg 0x30 bits [7:5]	Sample Time Instant (ps)	Setup Time (ps)	Hold Time (ps)	Data Valid (ps)
000'b	350	- 175	525	350
001'b	475	- 300	650	350
010'b	600	- 425	775	350
<b>011'b *</b>	<b>725</b>	<b>- 550</b>	<b>900</b>	<b>350</b>
100'b	850	- 675	1025	350
101'b	975	- 800	1150	350
110'b	1100	- 925	1275	350
111'b	1225	- 1050	1400	350

レジスタを使ったシリアライザの  
プログラミング (つづき)

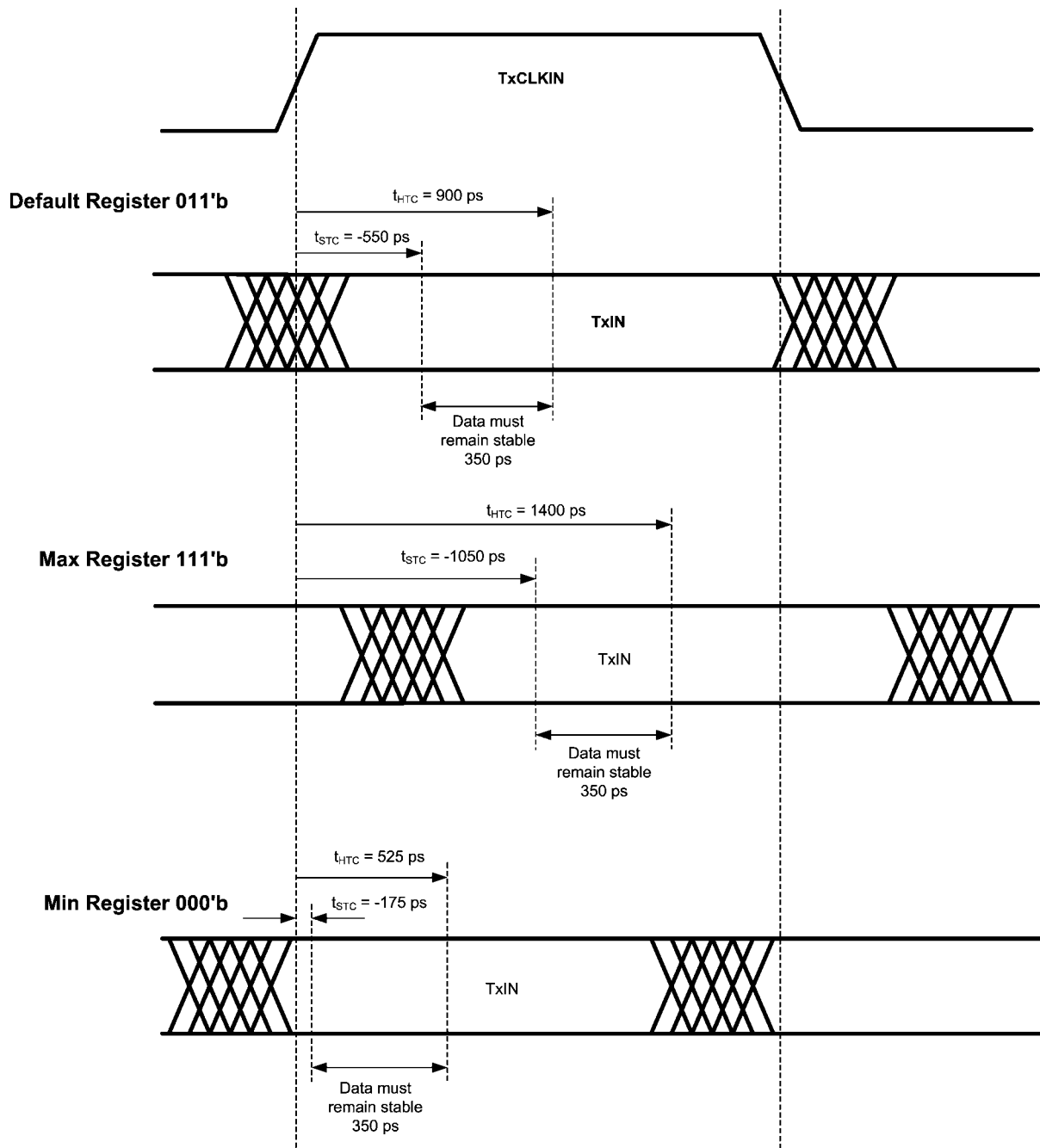


FIGURE 5. Clock and Data Phase Adjustment

## デシリアライザ・デバイスのタイミング要件

受け側となる FPGA でセットアップ・タイムとホールド・タイムをできるだけ確保できるように、デシリアライザ (DS32EL0124 と DS32ELX0124) の LVDS クロックとデータはスキューを伴って出力されます。デシリアライザのデータシートに記載のとおり、最大ライン・レートでデータ期間の midpoint にクロックがくるように、セットアップ・タイムとホールド・タイムは 800ps に設定されています。

例えばライン・レートが最大値である 3.125Gbps のとき、LVDS クロックのレートは 312.5MHz となり、すなわち周期は 3.2ns です。クロッキングは DDR なので実際のデータ期間はこの値を 2 で割って 1.6ns となります。セットアップ・タイムとホールド・タイムが 800ps であれば、Figure 6 に示すように、データ遷移の midpoint にクロック遷移が発生することになります。

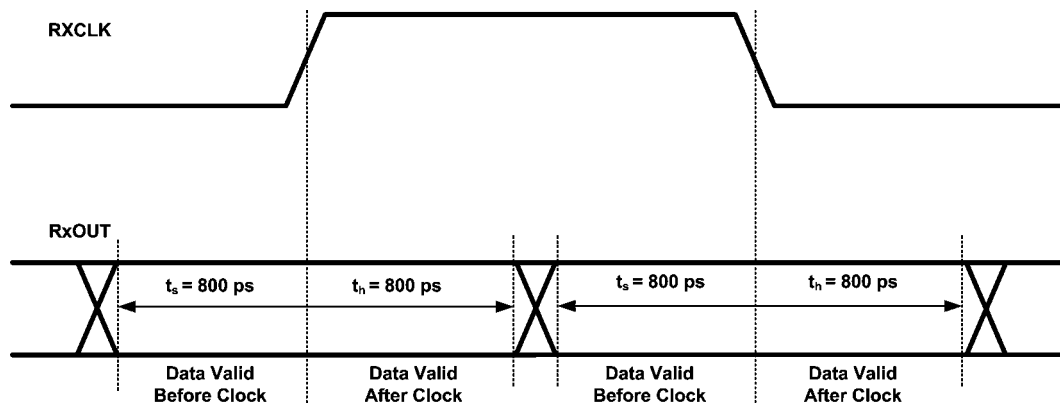


FIGURE 6. Deserializer (Setup and Hold Time) Data Valid Times

## レジスタによるデシリアライザのプログラミング

シリアライザと同様にデシリアライザも、下流側にあるデバイスの入力タイミング要件に合わせて、クロック・エッジ・ポジションを調整して最適化を図れるようになっています。デシリアライザのタイミング調整にはレジスタ 0x28 を使います。レジスタ 0x28 のビット [3:2] で、クロックの位相を 240ps の範囲で 80ps 刻みで調整できます。データとのスキュー量が 800ps に相当するレジス

タ 0x28 のデフォルト値は 10'b です。Data Valid Before Clock (セットアップ) を最小 640ps から最大 880ps までの範囲で設定でき、それに対して、Data Valid After Clock (ホールド) パラメータは 960ps から 720ps の範囲で変わります。

設定値とスキュー量の対応は Table 2 を参照してください。シリアライザの外部から見たタイミングの関係は Figure 7 に示します。なお、レジスタ 0x28 のビット [4] を設定するとクロック出力の位相を反転できます。

TABLE 2. Deserializer Clock and Data Phase Offset Settings Register 0x28 bits [3:2] (\* = Default)

Register Setting Reg 0x28 bits [3:2]	Offset (ps)	Data Valid Before Clock (ps)	Data Valid After Clock (ps)
00'b	160	640	960
01'b	80	720	880
10'b *	0	800	800
11'b	- 80	880	720

レジスタによるデシリアライザの  
プログラミング (つづき)

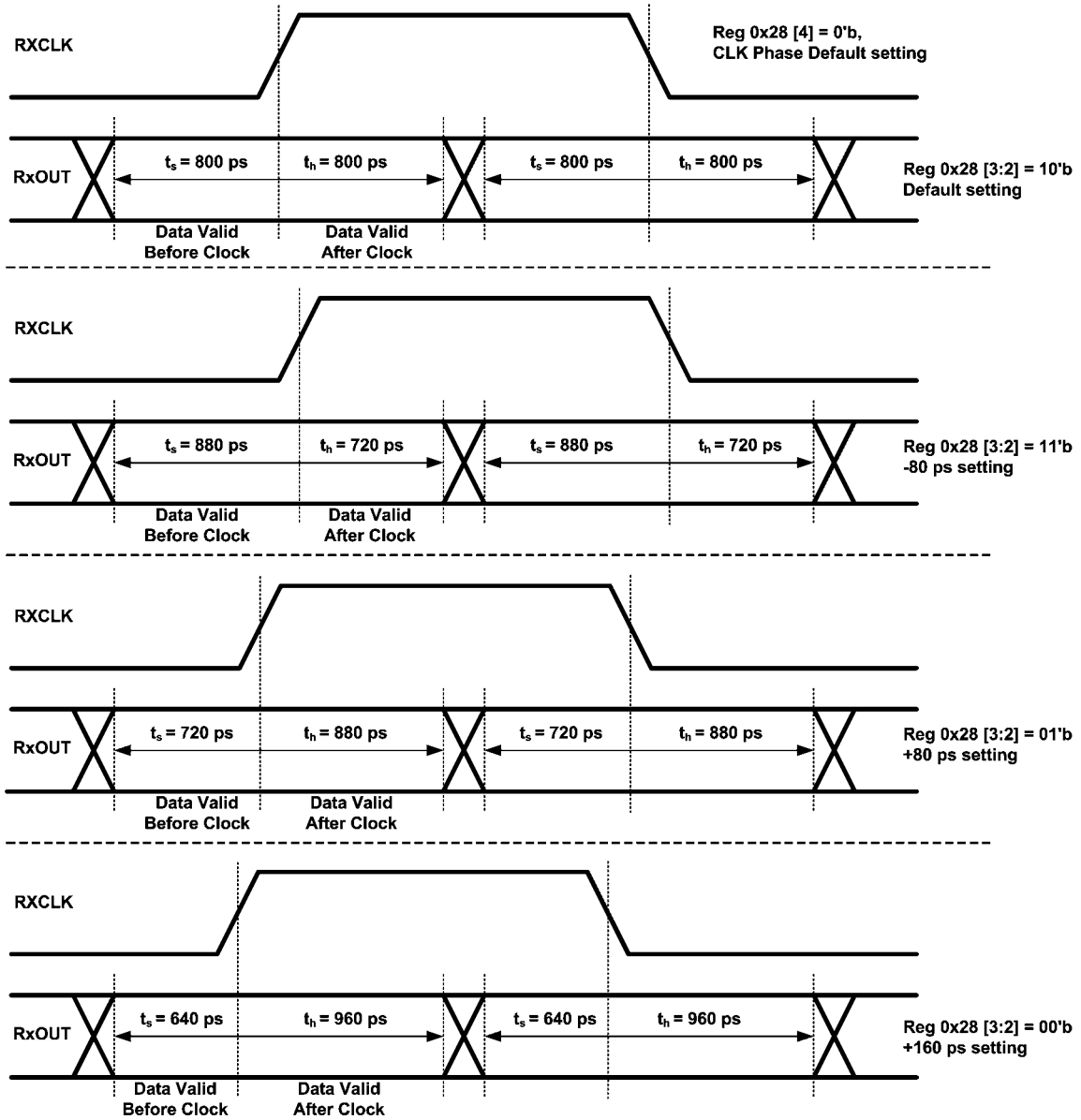


FIGURE 7. Deserializer (Setup and Hold Time) Data Valid Times Programmability

## まとめ

FPGA-Link のシリアライザとデシリアライザは、FPGA に最適な DDR タイミングとして設計されています。また、クロックとデータ間の位相シフト量の設定機能を備えているため、特定の FPGA 要件に適合するように、サンプリング・ウィンドウやクロック・エッジの調整が可能です。

## 対象部品

本アプリケーション・ノートは、DS32EL0421、DS32EL0124、DS32ELX0421、DS32ELX0124 を対象としています。



このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上