

**ADC08D1000**



Literature Number: JAJA423

# SIGNAL PATH *designer*

Tips, tricks, and techniques from the analog signal-path experts

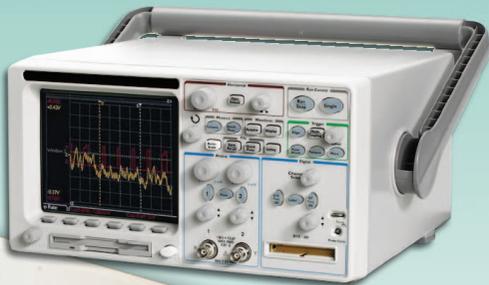
No.103

特集記事..... 1-7

医療用画像機器向けの  
高性能ソリューション..... 2

試験・計測機器向けの  
シグナルパス・ソリューション.. 4-5

設計支援ツール..... 8



## 高速信号とクロック、および データ・キャプチャを理解する

— Ian King, Applications Engineer

近年、A/Dコンバータのデータ変換サンプリング・レートが毎秒あたりギガ・サンプル(GSPS)のオーダーへと上がるにつれて、システムにはそのような高変換レートを扱える能力が、また、回路を支えるアナログ部品には高周波信号の生成と増幅に対応できることが、それぞれ求められるようになりました。設計者は、アナログ・シグナルパスのほか、高ビットレートでのサンプリング・クロック回路とデジタル・データ・キャプチャ回路についても、その詳細を理解しなければなりません。本号では、これら2つの重要な回路分野に関する推奨ソリューションを提示します。以下の情報は、特に高性能A/Dコンバータを必要とするシステムが該当します。

### クロック・ソース

高速データ変換システムでのきわめて重要なサブサーキットの1つがクロック・ソースです。その理由は、クロック信号のタイミング精度がA/Dコンバータのダイナミック性能に直接影響を与えるからです。影響を最小限に抑えるには、A/Dコンバータのクロック・ソースのタイミング・ジッタ、すなわち位相ノイズを、きわめて低いレベルに維持しなければなりません。クロック回路を選択する際にこの点を忘れて、アナログ入力回路やA/Dコンバータなど前段回路の品質に関係なく、システム全体のダイナミック性能を悪化させてしまう可能性があります。完璧なクロックとは常に正確な時間間隔のエッジ遷移を持ったクロックのことです。実際のクロック・エッジは、その間隔

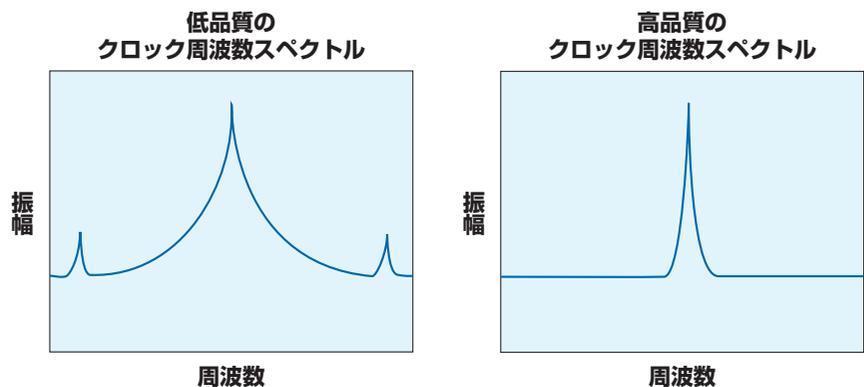


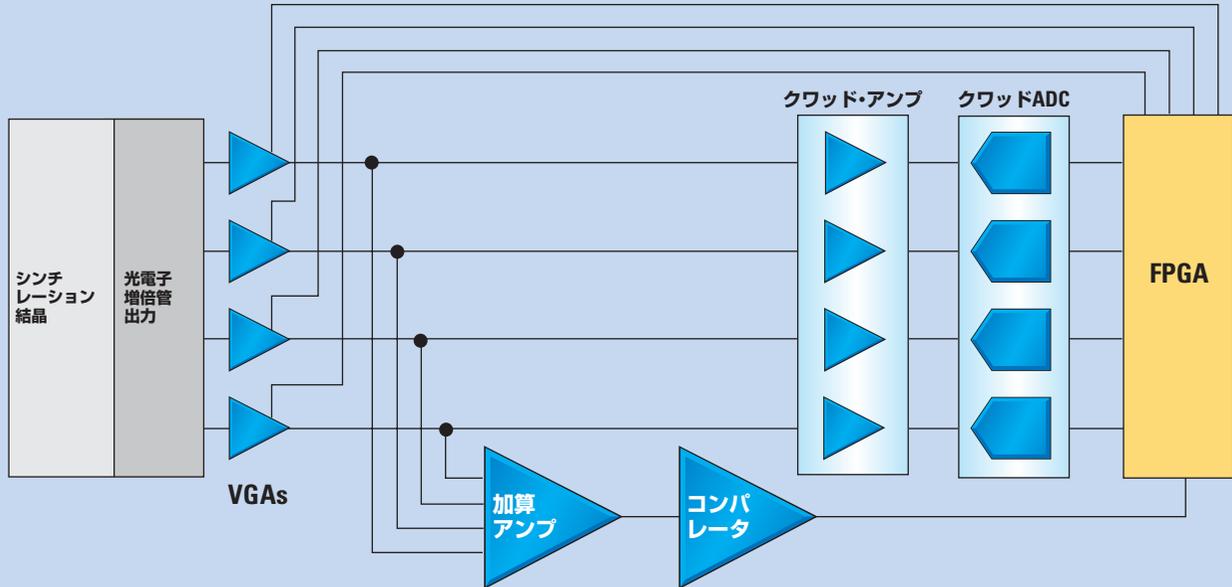
Figure 1. クロック信号スペクトル分析の例

次号予告  
高精度センサ・インタフェース

 **National  
Semiconductor**  
The Sight & Sound of Information

# 医療用画像機器向けの高性能ソリューション

## PET-CT スキャナ簡略ブロック図



### 医療用画像機器向け高速 A/D コンバータ

製品名	分解能	速度 (MSPS)	電源電圧 (V)	消費電力 (mW)	ダイナミック性能				パッケージ
					SFDR (dB)	THD (dB)	ENOB (bit)	SNR (dB)	
ADC10065	10ビット	65	3	68.4	80	-72	9.5	59	TSSOP-28
ADC10080	10ビット	80	3	78.6	79	-75	9.5	59	TSSOP-28
ADC10DL065	10ビット・デュアル	65	3.3	360	80	-78	9.8	61	TQFP-64
NEW! ADC12DL040	12ビット・デュアル	40	3	210	86	-83	11.1	69	TQFP-64
NEW! ADC12DL065	12ビット・デュアル	65	3.3	360	86	-84	11.1	69	TQFP-64
NEW! ADC12QS065	12ビット・クワッド	65	3	800	85	-83	11.0	69	TQFP-64, LLP-60
ADC14L020	14ビット	20	3.3	150	92	90	12.0	74	LQFP-32
ADC14L040	14ビット	40	3.3	236	90	87	11.9	73	LQFP-32

### 医療用画像機器向け高速オペアンプおよびコンパレータ

製品名	タイプ	SSBW (MHz, Av = 1)	スルーレート (V/ $\mu$ s, Av=1)	I <sub>CC</sub> (mA/ch)	第 2/3 次高調波歪み (dBc, V <sub>OUT</sub> = 2 V <sub>PP</sub> )	電圧ノイズ (nV/ $\sqrt$ Hz)	パッケージ
NEW! LMH6550	ディセーブル機能付き完全差動 ADC ドライバ	400	3000	20.0	-92 / -103 @ 5 MHz, R <sub>L</sub> =800	6.0	SOIC-8, MSOP-8
NEW! LMH6551	完全差動 ADC ドライバ	370	2400	12.5	-94 / -96 @ 5 MHz, R <sub>L</sub> =800	6.0	SOIC-8, MSOP-8
NEW! LMH6703	1.2GHz 低歪み、シャットダウン機能付きオペアンプ	1.2 GHz <sup>2</sup>	4200 <sup>2</sup>	11.0	-69 / -90 @ 20 MHz, R <sub>L</sub> =100	2.3	SOIC-8, SOT23-6
LMH6502	dB リニア可変ゲイン・アンプ	130 <sup>1</sup>	1800 <sup>1</sup>	27.0	-55 / -57 @ 20 MHz, R <sub>L</sub> =100	7.7	SOIC-14, TSSOP-14
LMH6503	リニア可変ゲイン・アンプ	135 <sup>1</sup>	1800 <sup>1</sup>	37.0	-60 / -61 @ 20 MHz, R <sub>L</sub> =100	6.6	SOIC-14, TSSOP-14
LMH6504	dB リニア可変ゲイン・アンプ	150 <sup>1</sup>	1500 <sup>1</sup>	11.0	-47 / -55 @ 20 MHz, R <sub>L</sub> =100	4.4	SOIC-8, MSOP-8
LMH6722	クワッド、広帯域、低消費電力オペアンプ	400	1800	5.6	-72 / -85 @ 5 MHz, R <sub>L</sub> =100	3.4	SOIC-14
LMH6725	クワッド、超低消費電力オペアンプ	370	600 <sup>2</sup>	1.0	-65 / -63 @ 5MHz, R <sub>L</sub> =100	4.3	SOIC-14, TSSOP-14
製品名	タイプ	応答時間 (ns)	立ち上がり/下がり時間	I <sub>CC</sub> (mA/ch)	CMVR	出力	パッケージ
LMV7219	7ns, 2.7V ~ 5V 出力 フルスイング・コンパレータ	7	1.3 ns	1.1	-0.2V ~ 3.8V	プッシュプル	SC70-5, SOT23-5

<sup>1</sup> A<sub>v</sub> = +10 <sup>2</sup> A<sub>v</sub> = +2

## 高速信号とクロック、およびデータ・キャプチャを理解する

が連続的に変化して回路に到着します。このようなタイミング不確実性の結果として、データ変換プロセスの過程で、サンプリングした信号の SN 比が劣化していきます。

ジッタに起因するノイズが量子化ノイズ(1/2 LSB)を超えることなく、すべてのジッタ源から出力される許容可能な最大クロック・ジッタの値は、次の式で定義されます。

$$T_{j(\text{rms})} = (V_{\text{IN}(p-p)} / V_{\text{INFSR}}) \times (1 / (2^{(N+1)} \times \pi \times f_{\text{in}}))$$

入力電圧( $V_{\text{IN}}$ )が A/D コンバータのフルスケール範囲( $V_{\text{INFSR}}$ )に等しくなるように最適化されている場合、ジッタ要件は A/D コンバータの分解能( $N$  ビット)とサンプリングされる入力周波数( $f_{\text{in}}$ )の係数になります。

8 ビットにおいてナイキスト周波数(変換レート 1GSPS では 500MHz)までの入力周波数では、総ジッタ要件は次のようになるでしょう。

$$T_{j(\text{rms})} = 1 \times (1 / (2^{(8+1)} \times \pi \times 500 \times 10^6))$$

$$T_{j(\text{rms})} = 1.2 \text{ ps}$$

この値はすべての信号ソースから出力される総ジッタを表します。A/D コンバータ・デバイス自身の内部に存在するジッタ源で生じるジッタはアパーチャ・ジッタと呼ばれます。アパーチャ・ジッタはデバイスの入力サンプル・アンド・ホールド回路に関連するタイミング不確実性で、クロック・ソースの許容最大クロック・ジッタを求めるときに考慮しなければ

なりません。

クロック回路ジッタ =

$$\text{SQRT}(T_{j(\text{rms})}^2 - (\text{A/D コンバータ} \cdot \text{アパーチャ} \cdot \text{ジッタ}))$$

ADC08D1000 を使用した場合のアパーチャ・ジッタはデータシートに 0.4 ps と記載されています。この値から、A/D コンバータ・クロックのジッタ要件は、およそ 1.1 ps にまで厳しくなります。

しかし、データ変換システムの場合に、発振器の性能データを単純に要求仕様に整合させるだけでは、見込みどおりの十分な性能を得られない可能性があります。その理由は、基本周波数に並存する周波数成分も大きな役割を担っているためです。そのため、クロック信号をスペクトラム・アナライザで精査し、基本周波数のエネルギーが広い裾野を持っていないことを確認しなければなりません。また、高周波に広がるスプリアスは測定器で目視できる場合があり、これもジッタ性能に直接影響を与えます。Figure 1 に、低品質なクロック信号の周波数スペクトルと、良好でクリーンな低ジッタ・クロック・ソースで見込まれる周波数スペクトルを示します。

Figure 2 は ADC08D1000 の推奨クロック回路です。この回路は、位相ロック・ループ(PLL)デバイス(LMX2312)に、Vari-L 社の電圧制御発振器(VCO)を接続して構成されています。PLL と VCO は、ADC08D1000 のナイキスト入力周波数まで、ADC08D1000 が要求する SN 比(46dB)を維持します。Figure 2 の回路を用いて生成したクロックを ADC08D1000 に与え、

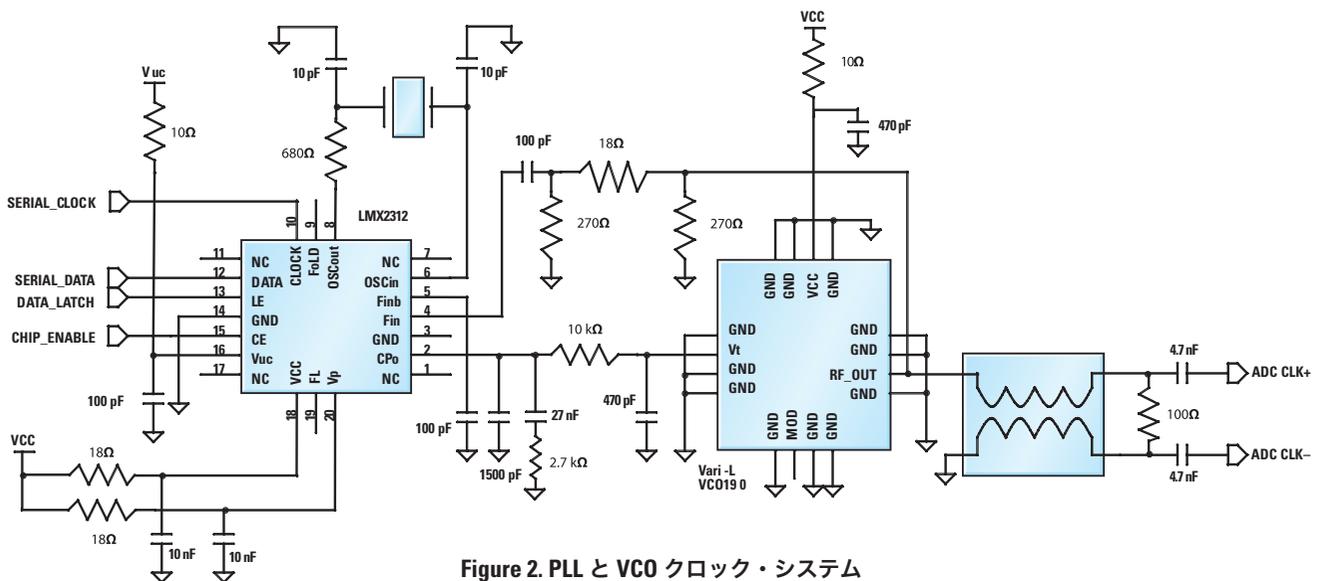
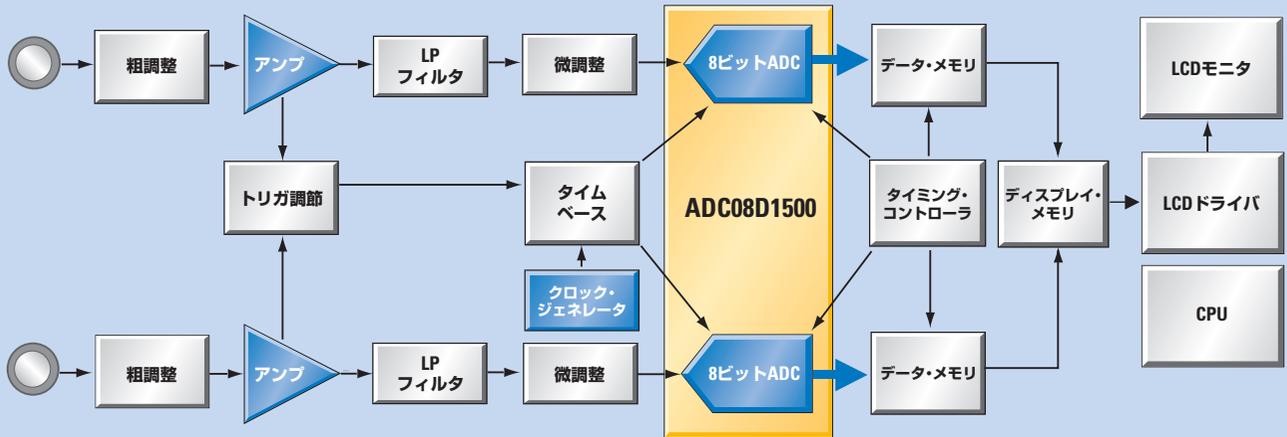


Figure 2. PLL と VCO クロック・システム

# 試験・計測機器向けのシグナルパス・ソリューション

## オシロスコープ

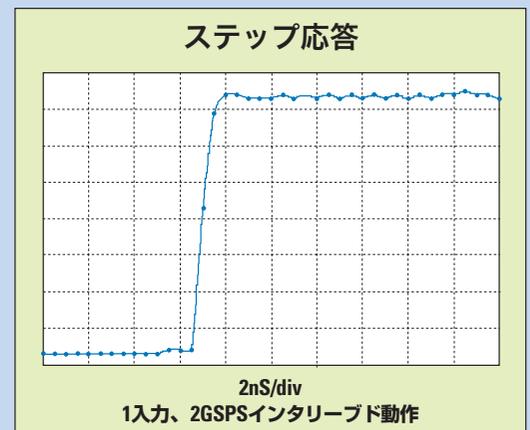


## 8ビット 1～3GSPS ADC ファミリの性能 (代表値)

- ENOB 7.3～7.5(ナイキスト周波数時)
- フルパワー帯域幅 1.75GHz
- ビット・エラー・レート  $10^{-18}$
- DNL  $\pm 0.25$ LSB
- クロストーク  $-71$ dB
- 動作時消費電力 1.4W～1.9W(ヒートシンク不要)

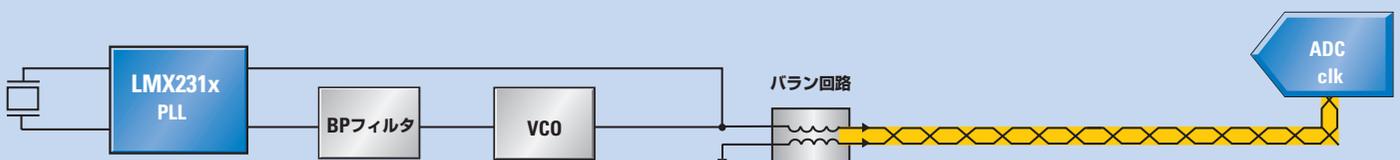
## 特長

- インタリーブド・デュアル・エッジ・サンプリング (DES) モードで最大 3GSPS 動作が可能
- シングルまたはデュアル・データレート出力クロック選択可能
- 複数の ADC との同期が可能
- ゲイン、オフセットなど、拡張制御のためのシリアル・インタフェース
- データ・キャプチャを容易にするデマルチプレクス LVDS 出力

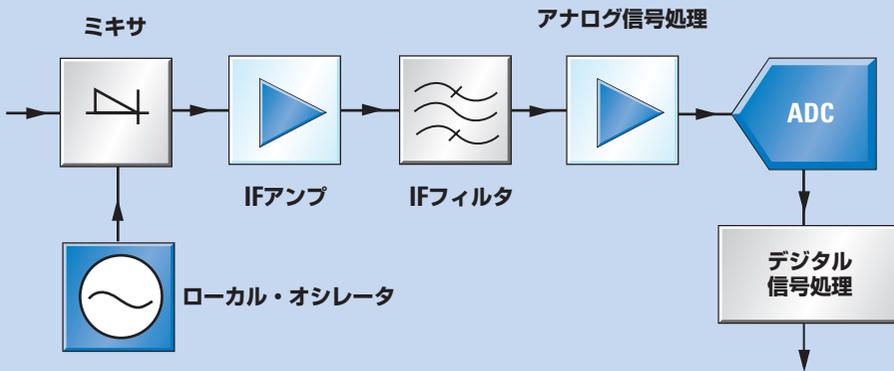


製品名	機能
ADC081000	8ビット、1GSPS
ADC081500	8ビット、1.5GSPS
ADC08D500	8ビット、デュアル、500MSPS (1GSPS DES モード時)
ADC08D1000	8ビット、デュアル、1GSPS (2GSPS DES モード時)
ADC08D1500	8ビット、デュアル、1.5GSPS (3GSPS DES モード時)

## クロック・ジェネレータ



## 受信パス



### アプリケーション：

- スペクトラム・アナライザ
- レーダ・システム
- マイクロ波中継装置
- 無線インフラ

## ローカル・オシレータ PLLatinum®

製品名	タイプ	周波数	公称位相ノイズ	位相ノイズ @ オフセット周波数	パッケージ
LMX2434	高周波数 インテジャー N デュアル PLL	1.0 ~ 5.0 GHz	-219 dBc/Hz	—	UTCSP-20, TSSOP-20
LMX2430	インテジャー N デュアル PLL	0.2 ~ 3.0 GHz	-219 dBc/Hz	—	UTCSP-20, TSSOP-20
LMX2470	デルタ-シグマ フラクショナル N PLL	0.5 ~ 2.6 GHz	-210 dBc/Hz	—	UTCSP-24
LMX2364	フラクショナル N PLL	0.5 ~ 2.6 GHz	-210 dBc/Hz	—	UTCSP-24, TSSOP-24
LMX2347	インテジャー N シングル PLL	0.2 ~ 2.5 GHz	-217 dBc/Hz	—	CSP-16, TSSOP-16
LMX2512	VCO 内蔵 周波数シンセサイザ・システム	~ 1.0 GHz	—	-139 dBc/Hz @ 900 kHz	LLP-28

## 試験・計測機器向け A/D コンバータ

製品名	分解能	速度 (MSPS)	電源電圧 (V)	消費電力 (mW)	ダイナミック性能				パッケージ
					SFDR (dB)	THD (dB)	ENOB (bit)	SNR (dB)	
ADC08D1000	8ビット・デュアル	1000	1.9	1600	55	-55	7.4	47	LQFP-128 Exp. Pad
NEW! ADC08D1500	8ビット・デュアル	1500	1.9	1840	53	-53	7.3	46	LQFP-128 Exp. Pad
NEW! ADC10DL065	10ビット・デュアル	65	3.3	360	80	-78	9.8	61	TQFP-64
ADC12L080	12ビット	80	3.3	425	80	-77	10.7	66	LQFP-32
NEW! ADC12DL040	12ビット・デュアル	40	3	210	86	-83	11.1	69	TQFP-64
NEW! ADC12DL065	12ビット・デュアル	65	3.3	360	86	-84	11.1	69	TQFP-64
NEW! ADC12QS065	12ビット・クワッド	65	3	800	85	-83	11.0	69	TQFP-64, LLP-60
NEW! ADC14L040	14ビット	40	3.3	236	90	87	11.9	73	LQFP-32

## 試験・計測機器向けアンプおよびコンパレータ

製品名	タイプ	SSBW (MHz, Av = 1)	スルーレート (V/μs, Av=1)	I <sub>CC</sub> (mA/ch)	第 2/3 次高調波歪み (dBc, V <sub>OUT</sub> = 2 V <sub>PP</sub> )	電圧ノイズ (nV/√Hz)	パッケージ
NEW! LMH6550	デイスエーブル機能付き完全差動 ADC ドライバ	400	3000	20.0	-92 / -103 @ 5 MHz, R <sub>L</sub> =800	6.0	SOIC-8, MSOP-8
NEW! LMH6551	完全差動 ADC ドライバ	370	2400	12.5	-94 / -96 @ 5 MHz, R <sub>L</sub> =800	6.0	SOIC-8, MSOP-8
LMH6702	超低歪み CFB オペアンプ	1.7 GHz <sup>1</sup>	3100 <sup>1</sup>	12.5	-100 / -96 @ 5 MHz, R <sub>L</sub> =100	1.8	SOIC-8, SOT23-5
NEW! LMH6703	1.2GHz 低歪み、シャットダウン機能付きオペアンプ	1.2 GHz <sup>1</sup>	4200 <sup>1</sup>	11.0	-87/-100 @ 5 MHz, R <sub>L</sub> =100	2.3	SOIC-8, SOT23-6
LMH6609	900MHz、ユニティ・ゲインで安定動作、VFB オペアンプ	900	1400	7.0	-87 / -82 @ 5 MHz, R <sub>L</sub> =100	3.1	SOIC-8, SOT23-5
LMH6574	4:1 Mux、-70dB クロストーク	500 <sup>1</sup>	2200	13.0	-65 / -86 @ 5 MHz, R <sub>L</sub> =100	5.0	SOIC-14
製品名	タイプ	応答時間 (ns)	立ち上がり/下がり時間	I <sub>CC</sub> (mA/ch)	CMVR	出力	パッケージ
LMV7219	7ns、2.7V ~ 5V 出力 フルスイング・コンパレータ	7	1.3 ns	1.1	-0.2V ~ 3.8V	プッシュプル	SC70-5, SOT23-5

<sup>1</sup> A<sub>v</sub> = +2

## 高速信号とクロック、およびデータ・キャプチャを理解する

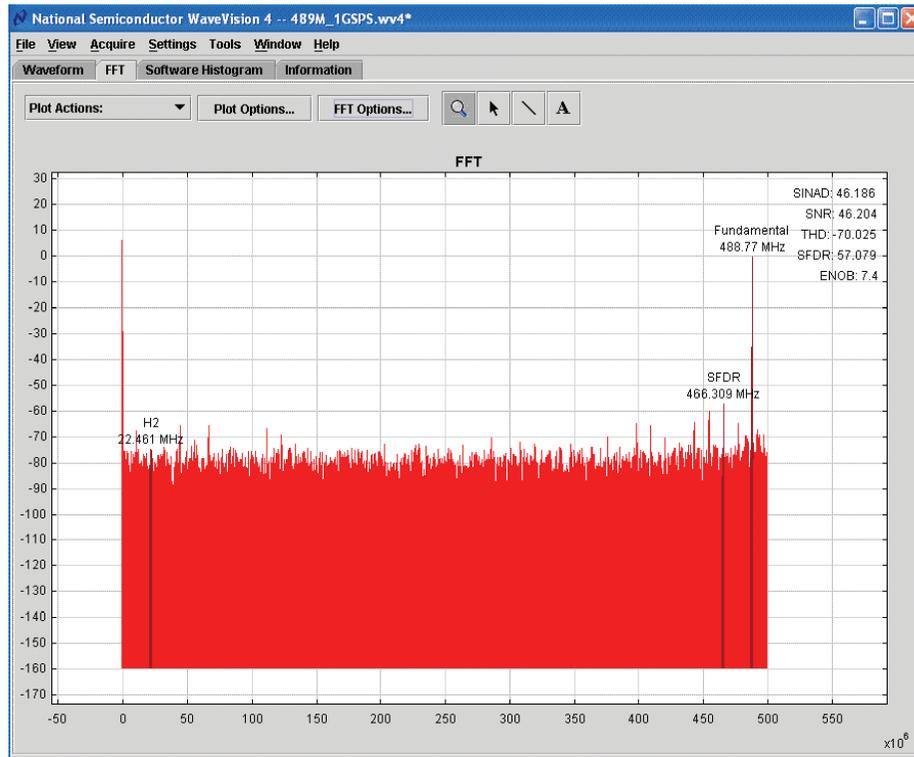


Figure 3. 489 MHz 正弦波を 1 GSPS でサンプリングした FFT グラフ

489 MHz の入力周波数を 1 GSPS でサンプリングしたときのダイナミック性能を、Figure 3 の FFT グラフに示します。

### データ・キャプチャ

信号を高い変換レートで(1GSPS 以上)でサンプリングするのは、変換で生成されるデジタル出力データをきわめて高速に格納しなければならないことを意味します。毎秒あたり数億回もの変換を取り扱う場合、システム内のデジタル部品間のシグナル・インテグリティ(信号品質)の維持と、クロック・サイクルごとのデータ転送レートの 2 点が重要になります。

高速 A/D コンバータのデジタル出力のシグナル・インテグリティを最大限に高めるには、小振幅差動信号方式、すなわち LVDS を使用します(Figure 4 参照)。

LVDS 信号方式の最大の利点は、高データレートをきわめて低い消費電力で実現できることです。これは、ボードあるいは

ケーブル上の各信号を、2 本の信号線を使って伝送すれば実現されます。2 本の信号線の電圧は互いに反対方向に振幅し、また、CMOS や TTL のようなシングルエンド信号に比べて小振幅(代表値で 350 mV)です。振幅を小さく抑えられる理由は、差動回路にもともとノイズ耐性が備わっているからです。言い換えると、信号の立ち上り時間を短くして、信号周波数を高くします。

差動波形を運ぶボード上の信号線路は  $100\ \Omega$  の特性インピーダンス(LVDS スタンドにより規定)を備えるように設計しなければなりません。これらの線路は  $100\ \Omega$  の抵抗を使ってレシーバ端で差動終端を行い線路インピーダンスに整合させます。 $100\ \Omega$  終端抵抗の両端には、トランスミッタ回路が内蔵する 3.5mA の電流源によって、レシーバ回路が検出できる振幅 350 mV の信号電圧が発生します。

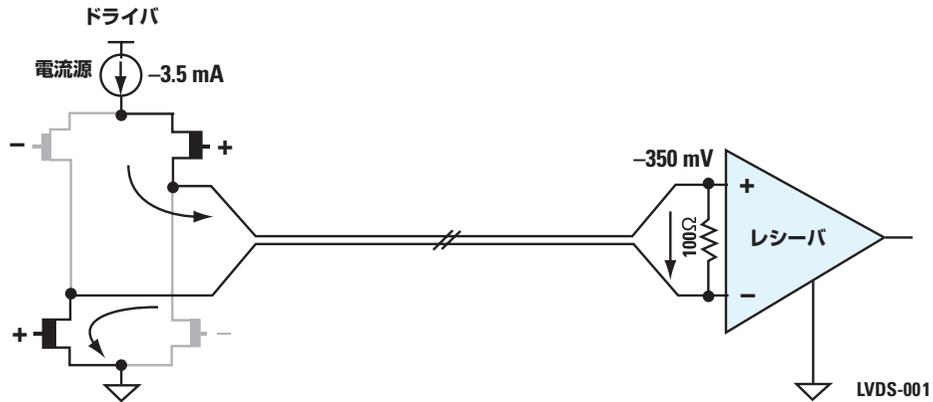


Figure 4. 代表的な LVDS 回路

もう1つの課題は高速なデータ転送の実現です。後段での処理を目的としてメモリ・アレイにデータを格納することも考慮しなければなりません。A/D コンバータ ADC08D1000 は2チャンネルのそれぞれにデマルチプレクスされたデータを出力します。サンプリング・レートに等しいデータレートで動作する単一8ビット・バスを持つ代わりに、ADC08D1000 は、2系統の8ビット・データ・バス上を備え、2つの連続したサンプリング・データを同時に出力します。この方法はデータレートを半分に低減しますが、データの出力ビット数は倍加します。サンプリング・レートが1GSPSの場合、A/D コンバータから出力される変換データレートは500MHzです。速度を落としたこのデータレートでも、一般のディスクリット・メモリあるいはFPGA内蔵メモリは、このような高速データを信頼性高くキャプチャすることは困難です。そのような場合、クロックの立ち上りエッジと立ち下りエッジの両方でデータが出力されるダブル・データレート(DDR)方式を採用するとメリットが得られます。DDR方式ではデータレートを同一に維持しながらクロック周波数をさらに半分の250MHzにまで下げられるため、信号の取り扱いが容易になります。この周波数であればCMOSメモリ回路の対象範囲です。データをメモリに格納する前に、FPGAデバイスへの入力点でデータの中間ペアをラッチしなければなりません。ペアを構成するラッチの半分はデータ・クロックの正位相でデータをラッチし、残りの半分は位相を180°ずらしたデータ・クロック、すなわち反転させたデータ・クロックを使ってラッチします(Figure 5 参照)。

このクロック要件を単純化するために、デジタル・クロック制御回路をPLL(位相ロック・ループ)またはDLL(遅延ロック・ループ)の回路形態でFPGAに搭載します。このようなFPGAは位相を入力クロックにロックさせたクロック信号を内部で生成するとともに、同時に位相遅延が90°、180°、270°の信号も得られます。このようなクロック制御機能を使って精度高い180°位相シフト・クロックを得ることで、DDRクロック方式を効率よく動作させることが可能です。言い換えると、立ち下りエッジに同期した入力データを、信頼性高くデータ・ラッチでキャプチャできるようになります。

入力データをラッチしたあとはFIFOメモリまたはブロックRAMに転送します。システムのマイクロコントローラは、後処理を目的として、はるかに遅い速度でFIFOメモリまたはブロックRAMからデータを読み出します。

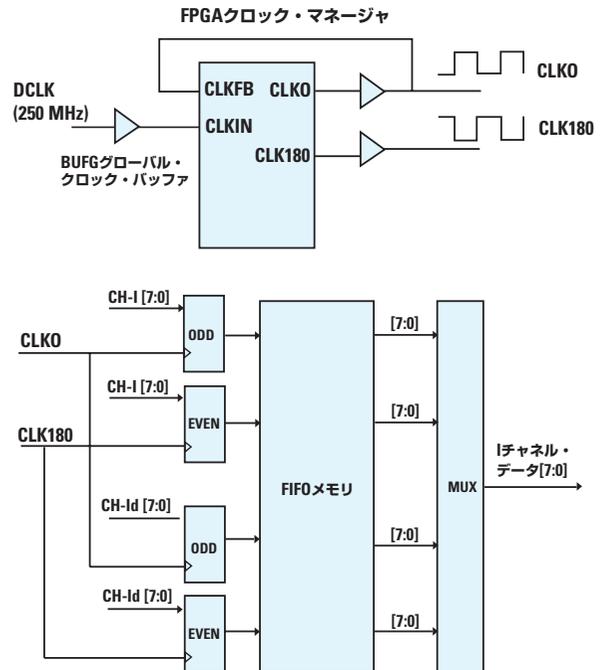
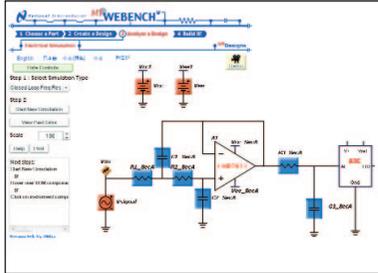


Figure 5. FPGA データ・キャプチャ・アーキテクチャ

### まとめ

超高速でのデータ変換はシステム設計者に多くの課題を突きつけます。ミクスト信号環境では、A/Dコンバータが最適なダイナミック性能を発揮できるように、すべてのサブサーキットを注意深く検討しなければなりません。低ジッタ要件を満たすクロック系は市販の部品を使って低コストで実現可能です。また現在では、LVDS規格の完全なサポートやクロック制御回路など、システムを支えるさまざまな機能を搭載したFPGAも入手可能です。■

# 設計支援ツール



## シグナルパス回路設計ツール

ナショナルでは、WEBENCH® プラットフォーム上で、新たに開発した Signal Path Designer の提供を開始しました。オンライン上で利用できるこのユニークなアナログ回路設計ツールを使用すれば、お客様のニーズを正確に満たす、アンチ・エイリアシング・フィルタの合成、アンプの選択、A/D コンバータとの最適な組み合わせ選定が可能になります。

フィルタを選択してから適合する ADC を選択します。あるいは先に ADC を選択した場合は、ツールがその ADC に適合する最適なフィルタを提示します。簡単な操作で回路設計を加速する Signal Path Designer は、組み合わせ動作時に最適な性能を発揮する部品の選択を支援し、コストと性能の両面でお客様のシステム要件を満たします。

今すぐ [webench.national.com/jpn](http://webench.national.com/jpn) へアクセスしてお試しください。

## WaveVision 4.0 評価ボード

A/D コンバータのテストと評価には、使いやすいナショナルの WaveVision 4.0 評価ボードを。各評価ボードは USB インタフェースを備え、ソフトウェアが同梱されています。

### 特長と利点

- ADC 評価ボードとプラグ・アンド・プレイ
- パソコンと接続する USB インタフェース
- パソコン上で動作するデータ・キャプチャ機能
- データ・キャプチャと評価が容易
- 高調波と SFDR 周波数を表示
- 波形確認が容易
- FFT グラフの生成と表示
- FFT と合わせてダイナミック性能パラメータを表示
- ヒストグラムの生成と表示



ナショナルの  
シグナルパス製品サイト：  
[www.national.com/JPN/signalpath/](http://www.national.com/JPN/signalpath/)

お問い合わせ：  
[JPN.feedback@nsc.com](mailto:JPN.feedback@nsc.com)

## どの号もお見逃しなく！

Signal Path Designer のバックナンバーは  
ナショナルのサイトでご覧いただけます。  
[signalpath.national.com/jpndesigner](http://signalpath.national.com/jpndesigner)

Power Designer もぜひお読みください。  
オンラインで提供しています。  
[power.national.com/jpndesigner](http://power.national.com/jpndesigner)



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上