

LMH0030,LMH0031,LMH0044,LMH1981



Literature Number: JAJA426

SIGNAL PATH | *designer*

Tips, tricks, and techniques from the analog signal-path experts

No. 106

特集記事.....1-7

高性能アナログ・ビデオ・ソリューション.....2

HDI-SDIシグナルパス・ソリューション.....4-5

設計支援ツール.....8

放送ビデオ信号のシグナルパスは タイミングがすべて

— By Mark Sauerwald, Applications Engineer

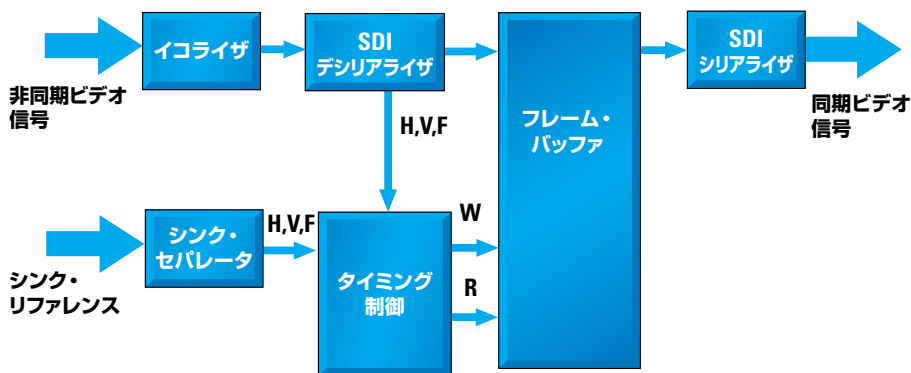


Figure 1. Genlockシステムの主な構成ブロック

今や世界中には数多くの放送スタジオが存在し、現場ではさまざまなフォーマットが用いられ、しかもフォーマットにはアナログもあればデジタルもあるという事態はご承知のことと思います。米国では現在、高品位テレビ向けに複数のラスタ・フォーマットが用いられています。SMPTE 292M HDスタンダードが規定しているラスタ・フォーマットの種類を数えようとすれば、両手の指どころか両足の指すべてを使っても足りないでしょう。かくしてスタジオ内では複数の信号が混在していますが、すべての信号は横一線に並ぶように同期がとられています。ビデオ業界ではこれを「Genlock」(ゲンロック)と呼んでいます。

Genlockを行ってれば、たとえば信号を定時番組からCMへ切り換えた場合でも、視聴者のレシーバに内蔵されている同期回路にタイミングの乱れは生じません。そのためには、外部から入力されるすべての信号に対しても、スタジオ内の他の信号と同様にGenlockを行わなければなりません。ところで、ほとんどのスタジオではアナログ信号がタイミング基準信号として使用されています。したがって外部入力信号をGenlockするには、アナログ信号からタイミング情報を抽出する必要があります。

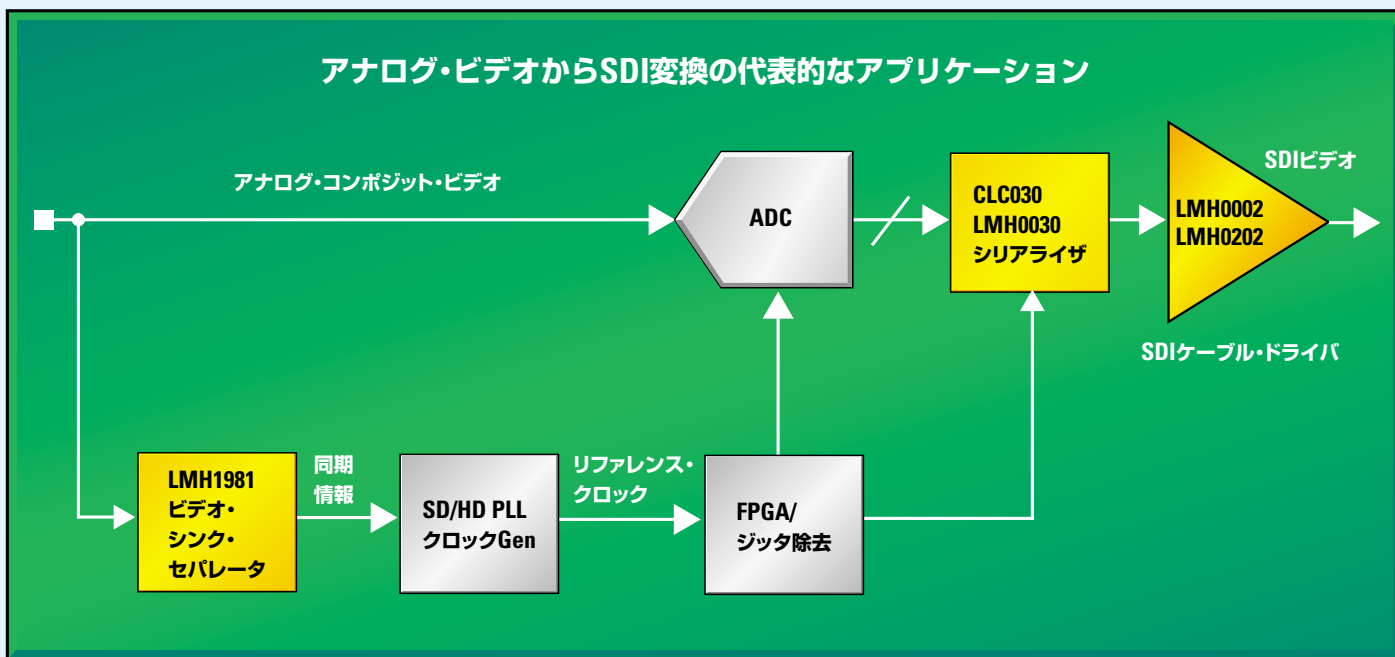
衛星レシーバやビデオカムなどビデオソースによらず新たな信号をスタジオに持ち込む場合、最初のステップとして、Genlock回路を使ってスタジオ内の信号に対して同期を確保しなければなりません。

SDI (シリアル・デジタル・インタフェース) で与えられた入力信号をアナログ基準信号に同期させるGenlock回路のブロック図をFigure 1に示します。今回のSignal Path Designerではこのアプリケーションの詳細を説明し、合わせて6つの回路ブロックの設計課題を取り上げます。

次号予告
遅延キャリブレーション

高性能アナログ・ビデオ・ソリューション

アナログ・ビデオからSDI変換の代表的なアプリケーション



製品名	種類	対応するビデオ・フォーマット	入力	出力	電源電圧範囲 (V)	パッケージ
シンク・セパレータ						
LMH1981	50%スライシング	NTSC, PAL, SECAM, 480i/p, 576i/p, 720p, 1080i/p	0.5 ~ 2.0 Vpp	H-sync, V-sync, 奇数/偶数, バースト/クランプ, ビデオ・フォーマット, コンポジット同期	3.3 ~ 5	TSSOP-14
LM1881	70mV固定	NTSC, PAL, SECAM	0.5 ~ 2.0 Vpp	V-sync, 奇数/偶数, バースト/クランプ, コンポジット同期	5 ~ 12	SOIC-8, DIP-8
ビデオ・コンバータ						
LMH1251	YPbPrからRGBHVへの変換	480i/p, 576i/p 720p, 1080i, 1080p XGA, SXGA, UXGA	YPbPr	RGBHV	5	TSSOP-24

製品名	種類	SSBW (MHz)	A _v (V/V)	スルーレート (V/μs)	I _{cc} (mA/チャンネルあたり)	電源電圧範囲 (V)	パッケージ
アナログ・クロスポイント・スイッチ							
LMH6582	16 x 8	500	1	3000	110 mA (全体)	±3.3V ~ ±5V	TQFP-64
LMH6583	16 x 8	500	2	3000	110 mA (全体)	±3.3V ~ ±5V	TQFP-64
アナログ・マルチプレクサ							
LMH6570	2:1 Mux	500	2	2200	15	6 ~ 12	SOIC-8
LMH6572	トリプル 2:1 Mux	350	2	1400	23	6 ~ 12	SSOP-16
LMH6574	4:1 Mux	500	2	2200	13	6 ~ 12	SOIC-14

ナショナルのビデオアンプ製品の詳細は www.national.com/JPN/videoamps をご覧ください。

放送ビデオ信号のシグナルパス

ケーブル・イコライザ

ビデオ放送機器から与えられるSDI信号は、高品位信号では140m以上、標準品位信号では300m以上など、一般に長めのケーブルを駆動できるようになっています。長いケーブルに対応した信号を扱うにはケーブル・イコライザが必要です。

ケーブル長が長いと、ケーブルの長さと同周波数の平方根に比例して入力信号が減衰してゆくローパス特性が現れます。Figure 2に、ビデオ機器に広く使われているBelden社1694Aケーブルを100m伝送させた場合の周波数応答を示します。

周波数に伴う減衰特性は信号の復元に必要な相補フィルタの設計には有用かもしれませんが、本当に知りたい情報はアイパターンではないでしょうか。アイパターンを見ればデータの復元に十分なオープニングが存在しているかどうか分かります。

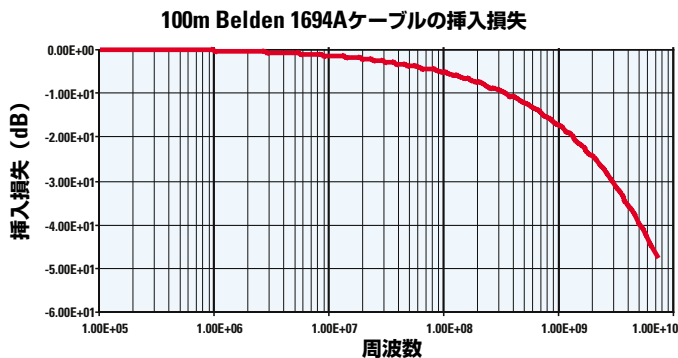


Figure 2. Belden 1694Aの周波数応答

Figure 3に、複数の長さのケーブルに1.5Gbps信号 (HD-SDI信号) を通したあとのアイパターンを示します。本稿が対象としている減衰に着目すると、表皮効果によって周波数が高くなるにつれてケーブル断面のわずかな面積のみが信号を運ぶことになるため、周波数が低い場合に比べて周波数が高い場合の減衰量ははるかに大きくなっていることが分かります。損失の応答曲線は \sqrt{f} に比例し、標準的なフィルタでの補償は容易ではありません。

ケーブルの周波数応答を整合させるには、ケーブルの \sqrt{f} 応答に近似した応答が得られるようにゼロを配置したフィルタを設計しなければなりません。

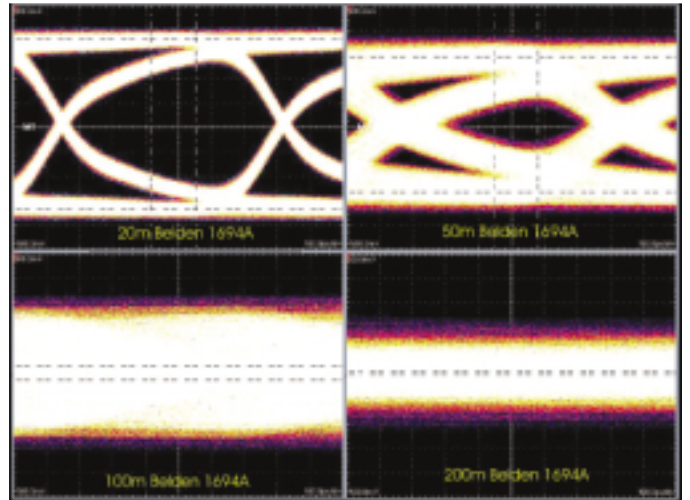


Figure 3. 同軸ケーブル通過後のHD-SDI信号のオシロスコープ波形

高ゲインと広帯域の両方が同時に必要とされることから、ナショナルの0.25 μ m BiCMOS SiGeプロセスのような高速プロセスを使ってイコライザ回路を実現します。このようなイコライザの一例がLMH0044ケーブル・イコライザです。この製品は、200mのBelden 1694Aケーブルをわたるデータレート1.5Gbpsの信号を復元します。

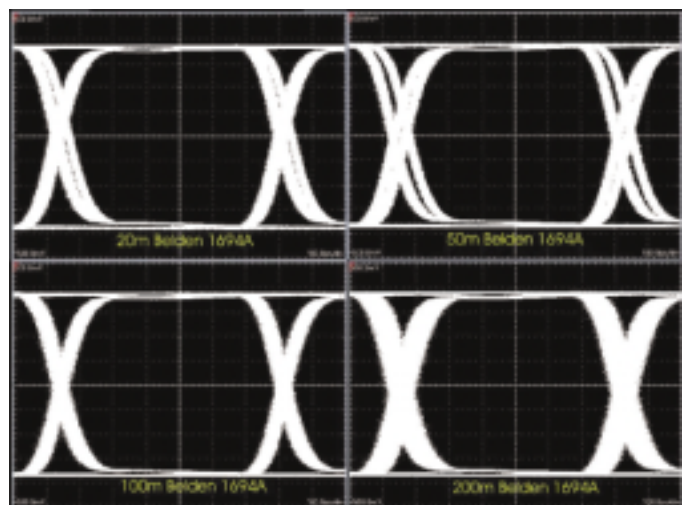
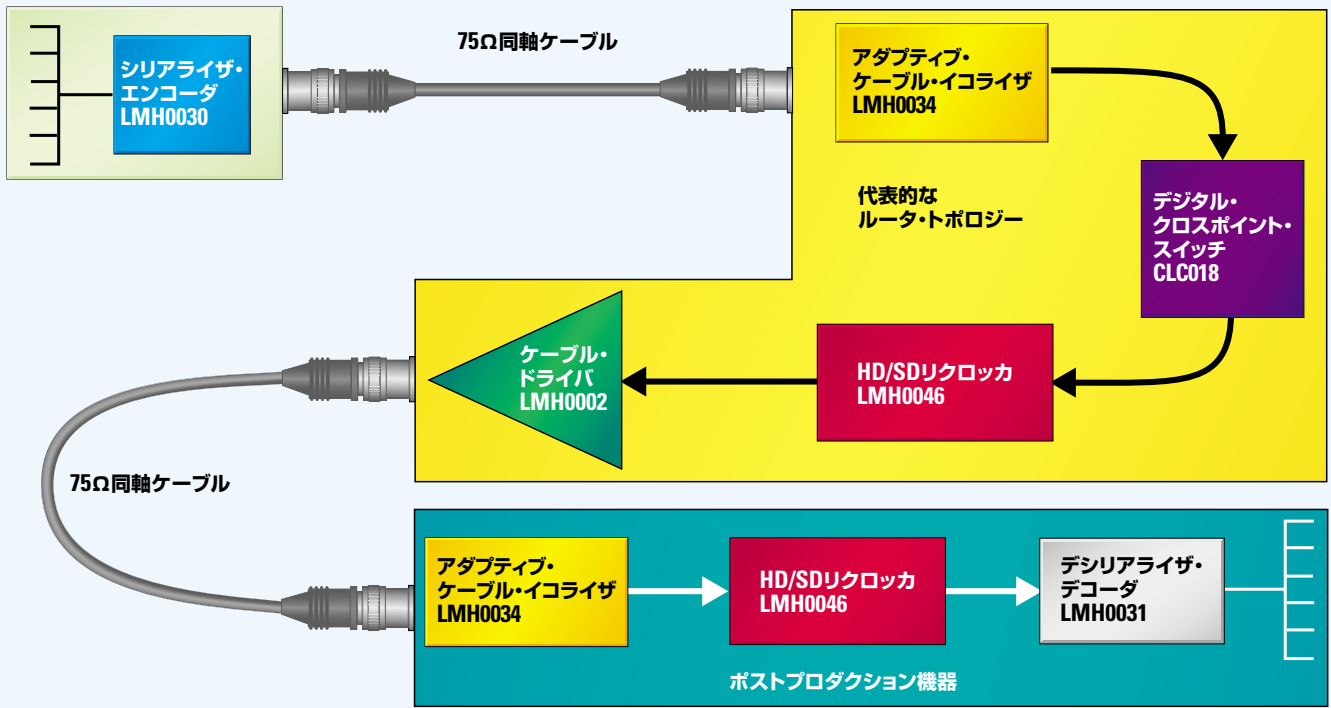
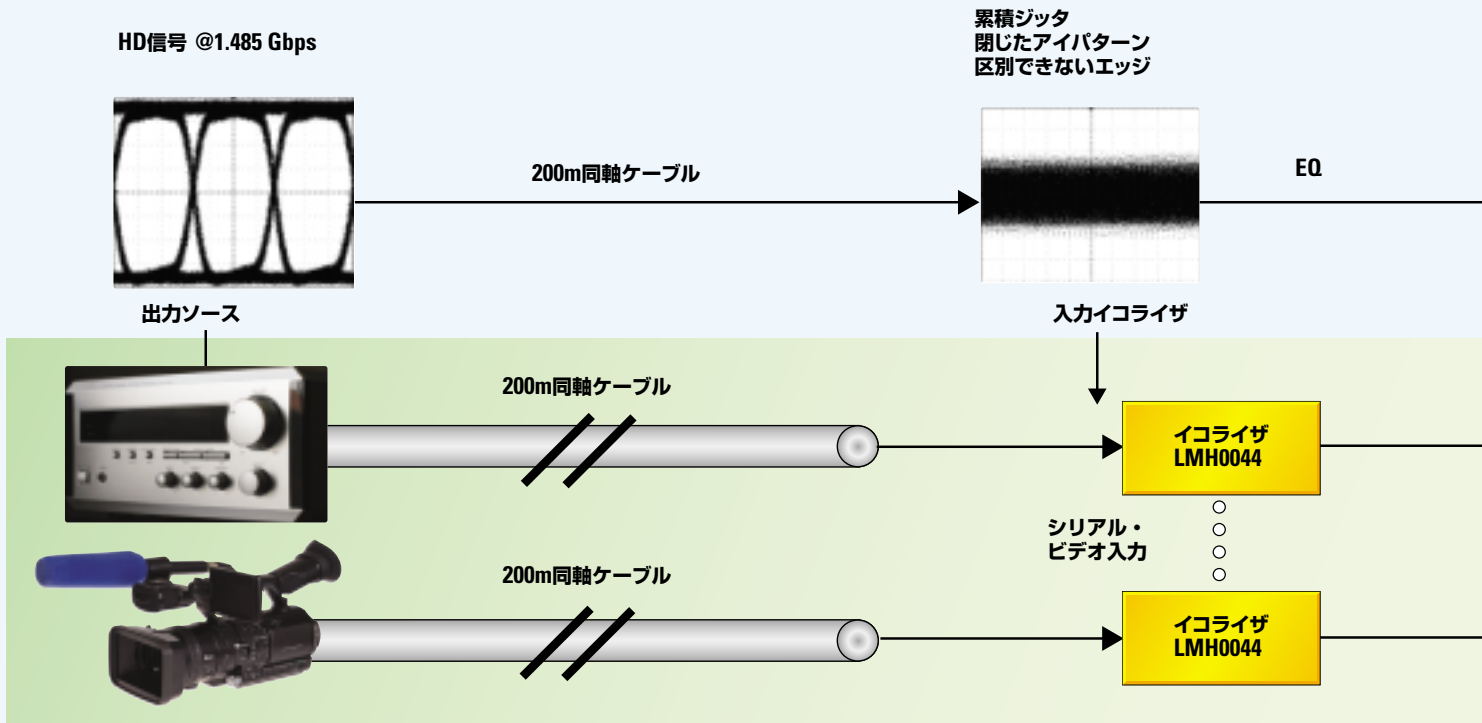


Figure 4. イコライザ出力

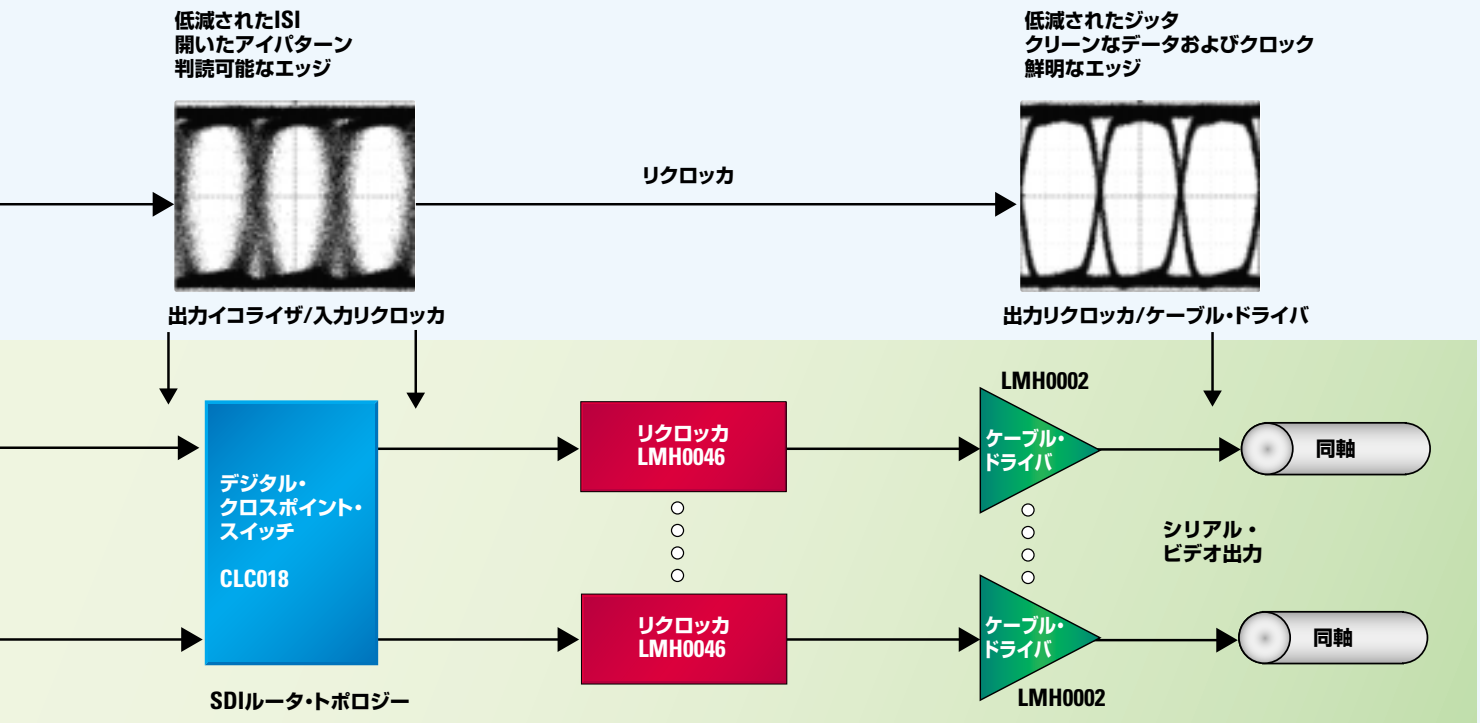
HDI-SDIシグナルパス・ソリューション



SDIシグナル・コンディショニング



製品名	機能	最大速度 (Mbps)	温度範囲 (°C)	評価ボード	備考	パッケージ
ケーブル・ドライバ						
LMH0002MA	HD/SD シリアル・ケーブル・ドライバ	1485	-40 ~ 85	SD002EVK	選択可能なスルーレート	SOIC-8
LMH0202MT	デュアル HD/SD シリアル・ケーブル・ドライバ	1485	0 ~ 70	SD0202EVK	デュアル差動入力、デュアル差動出力	TSSOP-16
アダプティブ・イコライザ						
LMH0034MA	HD/SD アダプティブ・ケーブル・イコライザ	143 ~ 1485	0 ~ 85	SD0342EVK	SMPTE 292M/259M	SOIC-16
LMH0024MA	3.3V SD アダプティブ・ケーブル・イコライザ	143 ~ 540	-40 ~ 85	SD024EVK	LMH0034 とピン互換	SOIC-16
LMH0044SQ	HD/SD アダプティブ・ケーブル・イコライザ	1.485 Gbps	0 ~ 85	SD044EVK	HD (1.485Gbps) 時に最大200mのケーブルをイコライジング	LLP-16
エンコーダ/デコーダ						
LMH0030VS	SMPTE 292M/259M デジタル・ビデオ・シリアライザ/エンコーダ	270 ~ 1485	0 ~ 70	SD130EVK	SD130EVK ケーブル・ドライバ内蔵、FIFO、BIST、および TPG	TQFP-64
LMH0031VS	SMPTE 292M/259M デジタル・ビデオ・シリアライザ/デコーダ	270 ~ 1485	0 ~ 70	SD131EVK	FIFO、BIST、および TPG	TQFP-64
リクロック						
LMH0046MH	HD/SD リクロック	1.485 Gbps	-40 ~ 85	SD046EVK	デュアル差動出力、オプション・データレート・クロック；27MHzリファレンス	TSSOP-20



放送ビデオ信号のシグナルパス

デシリアライザ

入力信号のアイパターンのオープニングを広げる努力の次は、送られてきたビットに意味を与えなければなりません。ここでデシリアライザの出番です。さて、ビデオ画像は定常的な繰り返しフォーマットを有します。データ構造の最上位レベルの次のレベルで見ると、データは10ビット・ワードに分割される個別のビットで構成され、その10ビット・ワードはピクセルに分割されます。一連のピクセルがラインを構成し、一連のラインがフィールドを構成し、ひとつかふたつのフィールドがひとつのビデオ・フレームを構成します。このような構造化を行うために、SMPTEでは、タイミング・リファレンス信号 (TRS) として知られる特別シーケンスを各ラインの最初と最後に送出するよう定めています。このTRSを解析することにより、レシーバは信号のワード/ライン・アライメントを知ることができます。レシーバにライン番号を教える追加ワードが各ラインの終わりにいくつか挿入されます。また、CRCも追加されます。したがってレシーバは、ラインの全データを適切に受信できたかどうか分かります。ところで、信号にDC成分が重畳していたり、あるいはデータの遷移が長時間にわたって存在しないと、レシーバで問題が生じます。ほとんどの通信システムには、このような問題を回避する工夫が施されています。SMPTE 292シリアル・スタンダード (HD-SDI) では、データ・スクランプリングとエンコーディングの組合せが採用されています。

豊富な機能を備えたデシリアライザなら、必要とする情報をすべて抽出し出力してくれるでしょう。今回のアプリケーション例では画像データとタイミング・データが必要です。LMH0031のようなデシリアライザがこの処理を行い、2つの10ビット・データバス上に画像データを出力します。タイミング・データは、H (水平

ラインの開始)、V (垂直期間の開始)、F (フレームの開始) を表す3本のデジタル信号で出力されます。ラスタ・フォーマットがインタレースではない場合、フレーム間に違いはないため、HとVのみを使用するだけで構いません。

シリアル・データはデコードとデスクランブルが行われるデシリアライザに与えられます。デシリアライザは信号を解析してTRSを検出し、ビットをワードに分解する方法を理解します。デシリアライザはTRSをさらに解析してエンコードとデータ・スクランブルを行ったタイミング情報を抽出し、そのタイミング情報を使ってデコードとデスクランブルを行い、最後にフレーミングを決定します。最終的に、デシリアライズされたデータ・ワードは正しい並びになります。これらのすべては一般にデシリアライザ内で処理されます。

シンク・セパレータとPLL

ビデオ業界はほとんどがデジタルに移行していますが、スタジオ内の各機器の同期化に使用されているシンク・リファレンス信号には依然としてアナログが使われています。最も一般的なリファレンスは画像情報を含まないビデオ信号です。このビデオ信号は、各ビデオ・ラインの開始を示す一連のパルスと、各フィールドまたは各フレームの終わりを示す特定パターンで構成されています。Figure 1に示したGenlock回路内のこのブロックでは、シンク・セパレータがリファレンス信号からH、V、F (水平ラインの開始、フィールドの開始、新フレームの開始) を抽出し、PLLがリファレンス信号に同期したピクセル・クロックを生成しています。

たとえば、LMH1981は高性能なマルチフォーマット・シンク・セパレータのひとつです。2値シンクか3値シンクのスタンダー

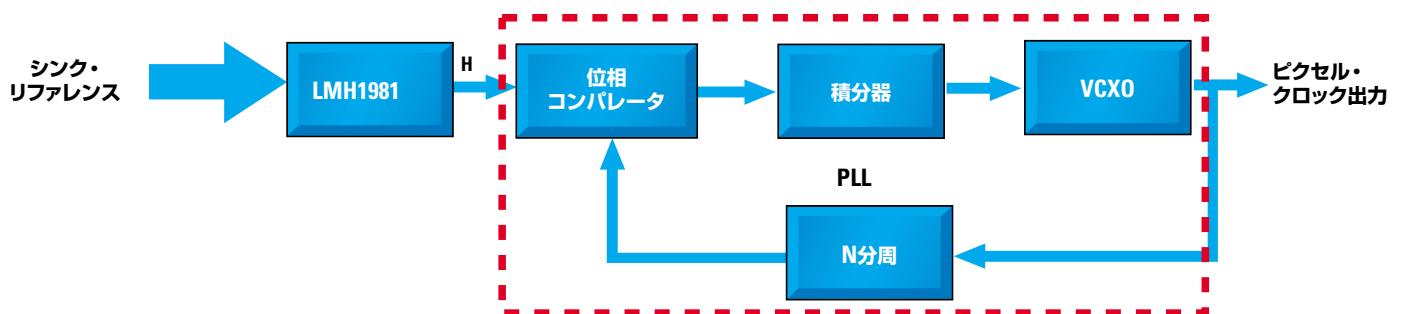


Figure 5. ピクセル・クロックを生成するLMH1981シンク・セパレータ/PLLのブロック図

ド・アナログSDビデオ信号またはHDビデオ信号に対応しています。LMH1981は自動的に入力ビデオ・フォーマットを検出するとともに、振幅50%での高精度なシンク・スライシング処理を適用して、振幅、オフセット、あるいはノイズ条件が不規則な入力から正確なシンク抽出を行います。なお、ピクセル・クロックを生成するために、PLLはLMH1981のHsync出力にロックさせて、所望のクロック周波数を生成するようにセットアップしなければなりません。ピクセル・クロックの周波数は、SDの場合に27MHz、HDの場合に74MHzです。PLLを使ってクロックを作成する場合、注意が必要です。分周比を大きく、ループ帯域を狭くとると、PLLはHsyncのジッタに敏感になります。したがって、超低ジッタのHsync出力を持つシンク・セパレータを選定することが重要です。

フレーム・バッファ

フレーム・バッファは、少なくとも画像の1フレーム全体を保持するのに十分な容量を持った単なるメモリです。このバッファはデュアル・ポートとして構成する必要があり、デシリアライザが出力するデータをバッファに書き込みながら、シリアライザに向けてデータをバッファから読み出さなければなりません。連続したピクセルがラインを形成し、連続したラインがフレームを形成するように、バッファはビデオのイメージと同じように構成する必要があります。

タイミング制御

タイミング制御はGenlockシステム全体の心臓部です。基本的な機能は、フレーム・バッファへの書き込み制御と、フレーム・バッファからの読み出し制御です。タイミング制御は2系統のタイミング・ドメインで動作するように設計しなければなりません。ひとつはデシリアライザから出力されるデータ、タイミング情報、クロックを取り扱うドメインです。データはピクセル情報とライン情報を追跡する一連のカウンタを使ってフレーム・バッファに書き込まれます。データの書き込みはデシリアライザで復元されたクロックに同期して行われます。また、タイミング制御部は、シンク・セパレータが出力するタイミング情報とピクセル・クロックを取り扱うドメインを備えます。先ほどとは別のカウンタを用いてフレーム・バッファからデータを読み出します。データ読み出しはリファレンス・シンク信号に同期して行われ、デシリアライザが受信した画像は、この段階でリファレンスとの同期が取られます。読み出されたデータはピクセル・クロックと一緒にシリアライザに送出され、その後出力されます。なお、ビデオ信号のタイミング仕様はきわめて厳格に規定されている

ものの、入力データレートと出力データレートの差が大きければ、フレーム・バッファが空になったり、あるいはオーバーフローしてしまうことがあります。タイミング制御回路はこのような状況を検出し、入力データレートと出力データレートの差がフレーム・バッファ容量よりも小さく維持されるように、フレームの繰り返しやフレームの間引きを周期的に処理しなければなりません。

シリアライザ

フレーム・バッファからデータが読み出された段階でのフォーマットはパラレル形式です。次段の機器に送出する前に、SMPTE 292M HD-SDIスタンダードに準拠するように、シリアル化とデータの再構成を行わなければなりません。まず、デジタル処理に必要なTRS文字を新規に生成して挿入します。新しいライン番号とCRCを計算して挿入します。次に、SMPTEスクランブル・アルゴリズムを用いてデータのスクランブルを行い、パラレル=シリアル変換のシフト・レジスタからシフト出力する前にNRZIフォーマットに変換します。これらのすべてを適切に処理する鍵は、データのシフト出力に、厳しいビデオ・タイミング仕様を満たすクリーンなクロックを使うことです。SMPTE 292Mが許容しているシリアライズ出力のピーク・ツー・ピーク・ジッタは0.2UI以下のため、クロック・ジッタはおよそ100ps p-p 未満でなければなりません。ほとんどのシリアライザは、パラレル・データレート (HDの場合およそ74MHz) の入力クロックを、内部で1.5GHzのシリアル・レートにまで通倍しています。優れたシリアライザの多くが、通倍回路内に、元々のパラレル・クロックに含まれるジッタ成分の一部を除去するPLLを備えています。ただし最高性能を得るには、できるだけクリーンなクロックを与えることが望まれます。今回のシンク・セパレータ/クロック生成回路の例では、超低ジッタのVCXOを使ってピクセル・クロックを生成しているため、シリアライザが持つジッタ除去特性がさらに加わることで、出力のジッタはきわめて小さくなります。LMH0030シリアライザにVCXOクロック源を組み合わせることで、SMPTEの仕様上のリミット値である0.2UIよりもはるかに小さい、およそ75psのシリアル・ジッタが期待できます。

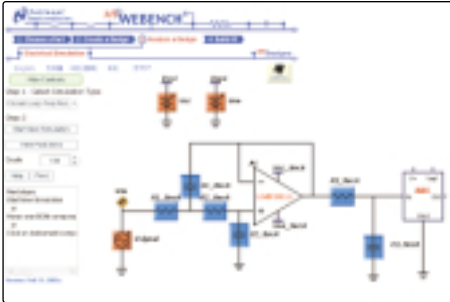
まとめ

わずかな個数の市販部品を組み合わせることで、他の指揮者によって突拍子もないリズムで演奏されたビデオ信号を受け取って、不規則なリズムを規則的なリズムに変え、そして他のビデオ信号のリズムと足並みを揃えさせることができるのです。このような方式によってテレビ画面上の画像を乱さない番組切り替えが実現されます。■

設計支援ツール

WEBENCH® Signal-Path Designer 回路設計ツール

ナショナルは、簡単な操作で回路設計を加速するSignal-Path DesignerをWEBENCHプラットフォーム上で提供しています。



機能

- アンチエイリアシング・フィルタの合成
- アンプの選択、A/Dコンバータとの最適な組み合わせを選定
- SNR、SDFR、電源電圧にもとづくトレードオフ
- SPICEを使用した実際の動作環境でのシミュレーション

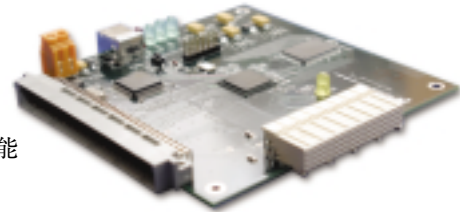
webench.national.com/jpn

WaveVision 4.0評価ボード

A/Dコンバータのテストと評価には、使いやすいナショナルのWaveVision 4.0評価ボードを。各評価ボードはUSBインタフェースを備え、ソフトウェアが同梱されています。

特長と利点

- プラグ・アンド・プレイなADC評価ボード
- パソコンと接続するUSBインタフェース
- パソコン上で動作するデータ・キャプチャ機能
- データ・キャプチャと評価が容易
- 高調波とSFDR周波数を表示
- 波形確認が容易
- FFTグラフの生成と表示
- FFTと合わせてダイナミック性能パラメータを表示
- ヒストグラムの生成と表示



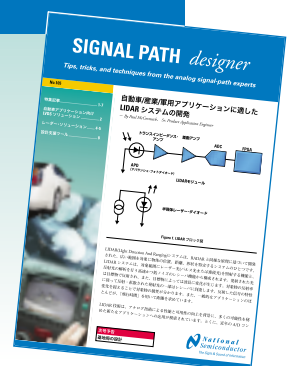
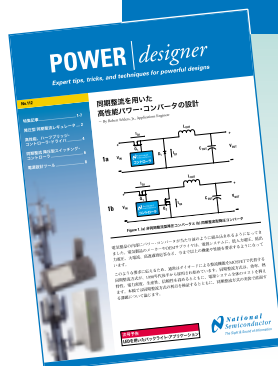
ナショナルの
シグナルパス製品サイト:
www.national.com/JPN/signalpath

お問い合わせ:
JPN.Feedback@nsc.com

どの号もお見逃しなく！

Signal Path Designerのバックナンバーは
ナショナルのサイトでご覧いただけます。
signalpath.national.com/jpndesigner

Power Designerもぜひお読みください。
オンラインで提供しています。
power.national.com/jpndesigner



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上