

**ADC12DL080,ADC14155,ADC14DS105,LMH6515,  
LMH6552,LMK02000,LMK03001**



Literature Number: JAJA431

# SIGNAL PATH | *designer*

Tips, tricks, and techniques from the analog signal-path experts

No. 111

特集記事 .....1-9

GHz帯域幅アンプ .....10

ギガビット級A/Dコンバータ ....11

## 高性能シグナルパスに最適なアンプ、ADC、およびクロックの選択

— Mike Ewer, Principal Applications Engineer

最新の高性能プロセッサやDSPにより新たなシグナル・プロセッシング技術が普及するにつれ、今日の通信、計測システム設計はますます複雑なものになっています。

速度、分解能に対するシステム要求が増大するにつれ、さらに高性能なアナログA/Dコンバータ(ADC)が登場し、それに伴いアナログ・フロントエンド(AFE)の性能向上が求められるようになってきました。多くのシステムでは、AFEはシステムの全体的な性能を大きく制約する要因のひとつとみられています。医療用超音波診断装置、レーダー、無線IDタグ(RFID)、ビデオ画像処理などのアプリケーションでは、高性能AFEが必要になります。今日AFE設計の際に技術的課題のひとつとなっているのは、ADC駆動に最適なアンプの選択です。特に重要な課題になるのが、シグナルパスのダイナミック・レンジをいかに最大化し、アプリケーションに最適なフィルタをいかに選択するかということです。本稿では、高速データ・アキュイジション・システムの設計をテーマに、ADCを駆動するAFE回路やクロック回路から生じる、システム性能全般に対する制約要因のいくつかについて解説します。

Figure 1 は、ソース電圧 ( $V_s$ )、低ノイズ・アンプ (LNA)、ADCドライバ、チャンネル・フィルタ、サンプリング・クロックおよびADC段などで構成される一般的なAFEシグナルパスを示しています。

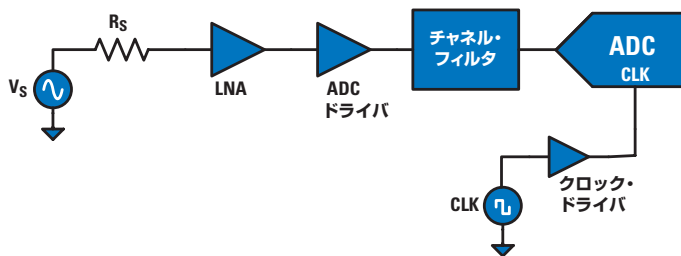


Figure 1. AFEシグナル・パス

データ・アキュイジション・システムの性能を測る上で最も重要な尺度となるのは、分解能を示す有効ビット数 (ENOB) です。処理される信号に対してAFEの各段で加わるノイズおよび歪みを最小に抑えることで、ENOBを最大化できます。特定の段で加わるノイズの指標となるのはノイズ係数Fで、これはその段の総入力換算ノイズを、前段に起因する入力ノイズで割った値です。しばしば取り上げられるノイズ指数 (NF) は  $10 \log F$  です。フィルタを無視した場合、カスケード接続されたシグナルパス全体のノイズは、Friiの式を使って次のように求められます。

## 高性能シグナルパスに最適なアンプ、ADC、およびクロックの選択

$$F_{\text{CASCADE}} = F_{\text{LNA}} + \frac{F_{\text{DRIVER}} - 1}{G_{\text{LNA}}} + \frac{F_{\text{ADC}} - 1}{G_{\text{LNA}} \times G_{\text{DRIVER}}}$$

$F_{\text{LNA}}$  = LNAのノイズ係数

$F_{\text{DRIVER}}$  = ADCドライバ段のノイズ係数

$F_{\text{ADC}}$  = ADCのノイズ係数

$G_{\text{LNA}}$  = LNAのゲイン

$G_{\text{DRIVER}}$  = ドライバ段のゲイン

ADCドライバのノイズは、LNAのゲインで除算されます。従って、可能な範囲でノイズが最も低いLNAを選択し、初段でできるだけ多くのゲインを取るのがベストです。ドライバのノイズはLNAゲインで除算されるので、その分全体的なノイズ性能に与える影響は低下します。実際、シグナルパスに沿って信号が進むにつれ、各段のノイズ性能の影響度は下がります。

LNAの後の構成ブロックはADCドライバ段です。0Hzまでの低い周波数に応答するシステムでは、DC結合アンプが唯一の選択肢となります。一方、AC結合アンプの場合は、トランスを使用することもできます。ただしトランスは、動作周波数範囲に関して限界があるため、差動入力ADCを駆動する時に重要な差動出力バランスが悪化することがあります。トランスはまた、ゲインを与える時に、ADCを駆動するソースインピーダンスを巻き線比の二乗で倍加させます。これにより、ADC入力容量で形成されるポール周波数が減少し、システム帯域幅が低下します。アンプはトランスよりも多くのノイズを付加する場合がありますが、アンプはゲイン・フラットネスに優れており、外付け抵抗を設定することで所望のゲイン範囲を得ることができます。トランスのゲインは、達成可能な巻き線比によって制約されます。一方、アンプの出力インピーダンスは低いために、ゲインの選択によってそれほど大きな影響を受けません。

各段間のシグナルパスは、最初の信号ソースに応じてシングルエンドにも差動にも設定できます。シングルエンド出力端子を持つソースのために、「シングルエンド-差動段」を使って差動駆動信号を生成することができます。差動シグナルパス

の方が高性能ですが、部品点数、基板面積、コストおよびフィルタの複雑さが増すことが欠点です。

### データ・アキュイジション・システムのタイプ

サンプルド・データ・システムは2つの主要タイプに分類できます。最も単純なのは、「第1ナイキスト・ゾーン」システムといわれるベース・バンド・システムです。第2のシステムは、しばしば「バンドパス」、「ナローバンド」、「サブ・サンプルド」、あるいは「中間周波数 (IF) サンプルド・システム」と呼ばれる、もっと複雑なアンダー・サンプルド・システムです。ベース・バンド・システムのシグナルパスは一般的にDC結合タイプであり、一方、IFバンドパス・シグナルパスにはAC結合が用いられる傾向があります。従来の第1ナイキスト・ゾーン・システムでは、ADCは、ADC入力に印加される最大信号周波数 $f_H$ の少なくとも2倍のサンプリング・レート $f_s$ で入力信号のサンプリングを行います (Figure 2a)。

Figure 2b に示すように、 $f_s/2$ を超える入力周波数によって第1ナイキスト・ゾーンでエイリアシングが発生するのを防ぐため、ADC入力では通常、ローパス・チャネル・フィルタによって第1ナイキスト・ゾーンに帯域制限されます。

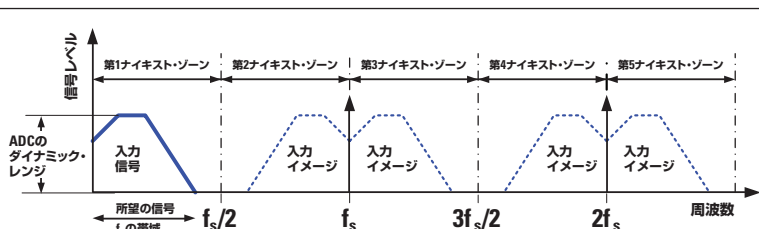


Figure 2a. 第1ナイキスト・ベースバンド・サンプリング ( $f_s > 2f_H$ )

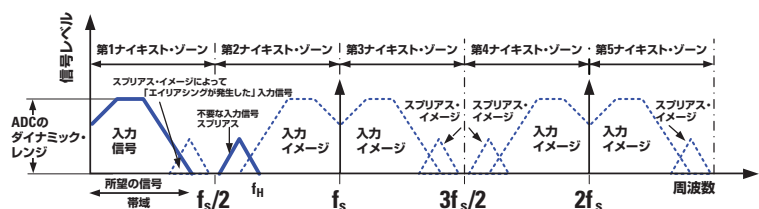


Figure 2b. ADC入力フィルタを使わない第1ナイキスト・サンプリング: 入力スプリアス  $> f_s/2$  のエイリアシングが第1ナイキスト・ゾーンで発生して入力  $< f_s/2$  に干渉

ADCのダイナミック・レンジをフルに利用するには、フィルタ処理によって、不要な帯域外信号成分をすべて、ADCの最下位ビット (LSB) 未満のレベルにまで除去します。この場合、所望の信号と不要な入力信号が $f_s/2$ に近づきすぎた時に十分に急峻なロールオフを得るため、高次フィルタが必要になります (Figure 2c)。

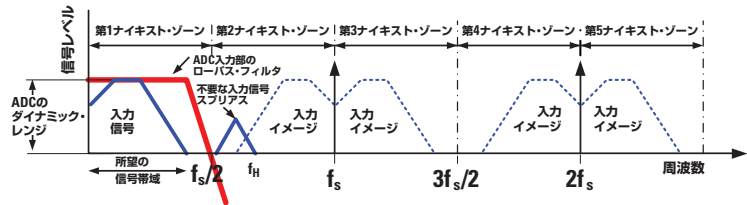


Figure 2c. ローパス・フィルタを使った第1ナイキスト・ベースバンド・サンプリング

このフィルタ回路要件を緩和させるためのひとつの解決策として、ADCのサンプリング速度を高めて入力信号をオーバー・サンプリングする方法があります。これによりナイキスト・ゾーンの周波数が広がり、チャンネル・フィルタの設計が楽になります (Figure 2d)。高速ベースバンド・サンプリングは、DCからGHzへのデータ変換が必要な多くの試験/計測アプリケーションで使用されています。

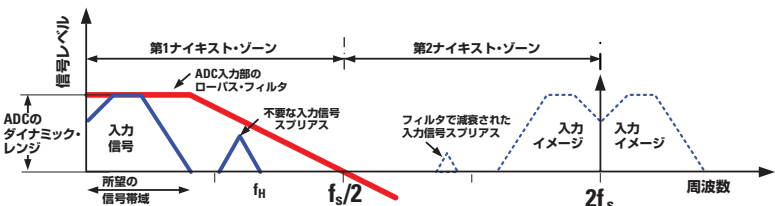


Figure 2d. ローパス・フィルタ要件を「緩和した」第1ナイキスト・ベースバンド >2xオーバー・サンプリング

アンダー・サンプリド・システムでは、 $f_s/2$ をはるかに超えるフルパワー帯域幅を持つADCを使用します。例えばサンプリング速度100MHzのADCは、1GHzの入力帯域幅を持つものが珍しくありません。この広い入力帯域幅を活用して、周波数 $>f_s/2$ に集中するナローバンド入力を従来のナイキスト $f_s$ レートよりもはるかに低レートでアンダー・サンプリングして、エイリアシングを発生させるか、または「ホールド」して第1ナイキスト・ゾーンへ戻すことができます。この様子を示したのがFigure 3aで、信号Aはコンバートされた所望の信号です。

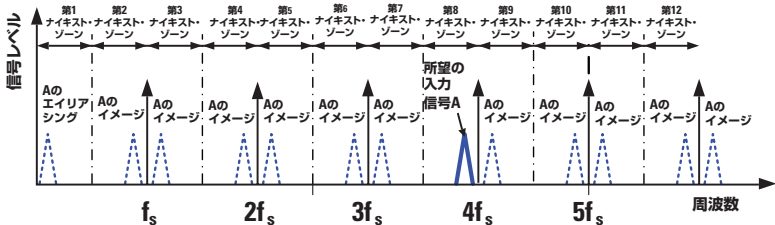


Figure 3a. 第8ナイキスト・ゾーンから第1ナイキスト・ゾーンにかけて、アンダー・サンプリングされた所望の信号A  $>f_s$

入力周波数が高くなると、ADC入力段でのスループレートが制限されます。ADCから最適な歪み特性を得るには、アンダー・サンプリングされた信号の中心周波数を、ADCの性能に応じて、ADCのフルパワー帯域幅の10%から30%に維持することを推奨します。

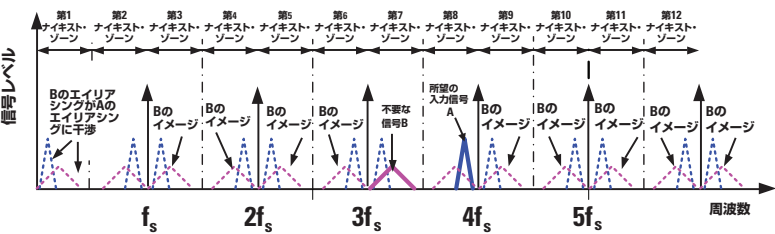


Figure 3b. 不要な信号Bをバンドパス・フィルタで除去しなかったため、第1ナイキスト・ゾーンでエイリアシングが発生し、所望の信号Aの復元に干渉しているケース

アンダー・サンプリド・システムの場合、所望の信号をベースバンドで最適に復元し、それらを他のすべてのエイリアシング成分から分離させるための鍵となるのがチャンネル・フィルタです。

ADC入力からの干渉周波数やノイズは、所望の信号と共にベースバンドに戻ってエイリアシングを発生しかねないので、すべて除去しなければならず、この除去にはバンドパス・フィルタが使われます。Figure 3b は、第7ナイキスト・ゾーンから第2の不要な信号Bがホールドされて戻ってきて信号Aに干渉し、

## 高性能シグナルパスに最適なアンプ、ADC、およびクロックの選択

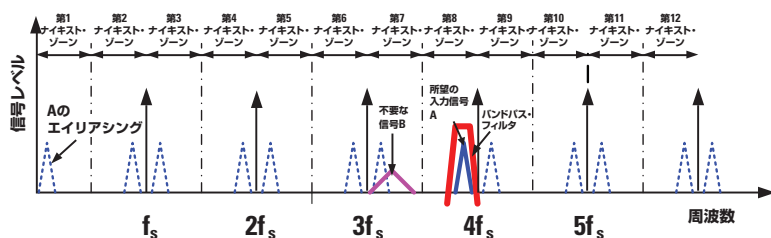


Figure 3c. バンドパス・フィルタが信号Aの周辺で不要な信号Bによるエイリアシングを防止

ベースバンドでの復元を妨げているケースです。Figure 3c は必要なバンドパス・フィルタを示しています。

アンダー・サンプルド・システムでは、システムのダイナミック・レンジを向上させるため、対象となる信号帯域幅をオーバー・サンプリングして（例えば、5MHz帯域幅の信号を100MSPSでサンプリング）、デジタル的に後段フィルタ処理するという手順がよくとられます。ADCの入力換算ノイズが第1ナイキスト・ゾーン全体にわたってゼロから $f_s/2$ まで拡散していることから、ノイズ・プロセッシング・ゲインが得られます。入力帯域幅を $f_s/2$ 未満に制限することで、ADCの入力ノイズが低減し、ダイナミック・レンジおよび分解能が向上します。付加されるプロセッシング・ゲインは次式で求められます。

$$\text{プロセッシング・ゲイン} = 10 \log [(f_s/2) / \text{BW}] \text{ dB}$$

この式で、BWは後段フィルタで処理した信号帯域幅です。 $f_s=100\text{MSPS}$ および $\text{BW}=5\text{MHz}$ の場合、プロセッシング・ゲインは10dBになります。プロセッシング・ゲインを最大化するには、極力高いサンプリング速度で信号帯域幅をオーバー・サンプリングして、極力狭い信号帯域幅を後段処理します。

1つのアナログ・ミキサ段でRF信号をIF信号にダウンコンバートする今日の多くの無線およびレーダー・システムには、アンダー・サンプリングが採用されています。この方式では、IF信号をバンドパス・フィルタで処理した後、デジタル・ベースバンドでエイリアシングが発生しますが、さらなるデジタル処理を行って最終的な信号を取り出します。これにより、多くのアナログ・ミキサおよびフィルタ段は不要になります。入力信号のアンダー・サンプリングは、ベースバンドADCとIFダウンコンバージョン・ミキサを合わせたものに相当します。アンダー・サンプリングの弱点としては、アンプやADCにより高い周波数性能が求められ

ること、ADCクロックのジッタ特性の要件がより厳しくなること、DSP処理が必要なが挙げられます。

### サンプリング・クロックの注意点

サンプリング・システムの信号対ノイズ比 (SNR) に影響を与えるもう1つの重要要素が、ADCクロックのクロック・ジッタです。高い入力信号周波数では、ADCのSNRはよく用いられる量子化ノイズ制限レベル $6.02n+1.76\text{dB}$  ( $n$ =ビット数) より

も、 $-20 \times \log (2\pi \times f_{\text{SIGNAL}} \times t_{\text{rms}})$  のジッタ・ノイズ制限レベルが支配的要素になります。変数 $f_{\text{SIGNAL}}$ は、ADCによって変換される最高入力信号周波数です。変数 $t_{\text{rms}}$ は、秒単位のトータルRMSクロック・ジッタで、これは、ADC内部のクロックソース、クロック・バッファおよび内部クロック回路を含む、クロック・パスの各段からのすべてのRMSタイミング・ジッタ成分を二乗総和平方根 (RSS) 方式で合算したものです。

例えば、300MHz入力時に74dBのSNR特性を得るには、ADCを含むクロック・パスにおけるトータルRMSジッタは105フェムト秒 (fs) RMS未満に抑える必要があります。ナショナルの最新の高サンプリング・レート・コンバータは、このADC自身で生じるジッタを最小限に抑えてSNRを最大化する、 $2V_{\text{P-P}}$ 差動クロック方式を採用しています。これらの入力は低ジッタ・クロックで駆動することが重要です。例えば70fsの外部クロック・パス・ジッタに70fsの内部ADCクロック・ジッタを組み合わせると、トータル・ジッタ (RSS方式による合算値) は100fsになります。ナショナルは、このアプリケーションをターゲットにした低ジッタ・クロック・コンディショナ製品ファミリーを提供しています。

### ADC入力段

高速ADCを駆動するアンプを選択する場合は、アンプが駆動するのに必要な負荷を理解することが大切です。入力バッファ非搭載ADCの内部フロントエンドは通常、サンプリング入力ネットワークで構成されており、このネットワークは、サンプル/ホールド回路と呼ばれ、与えられた入力信号をサンプリングするかまたは、変換するために入力状態を保持 (ホールド) するように、サンプル/ホールド (S/H) クロック信号によって制御されます (Figure 4)。

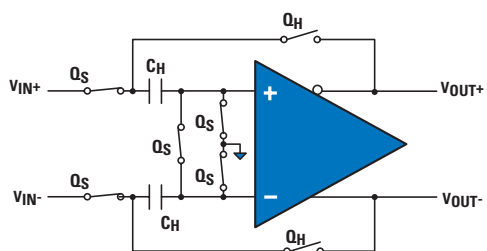


Figure 4. 入力バッファ非搭載ADC入力のサンプル/ホールド

この入力ネットワークでは、サンプルとホールド間の移行が繰り返し行われるため、ADC入力ドライバ段から見た容量性負荷が変化し、ADC入力部で過渡的なチャージ・スパイクが発生します。このスパイクは、ADCの入力駆動インピーダンスが高くなりすぎるとさらに悪化します。ADC入力ドライバ段がアンプの場合、各サンプル/ホールド移行後にセトリングして次のサンプリング・サイクルに備える必要があり、容量性負荷が変化しても十分に安定状態を維持しなければなりません。入力信号はクロック・サイクル毎にサンプリングされます。従って、アンプ出力はセトリングまでに約1/2のクロック・サイクルを要し、これは100MHzクロックでは5nsに相当します。ADCドライバを使用せず、入力信号のソース・インピーダンスが高い場合は、低いADC入力インピーダンスに正しく適応できず、精度が落ちて、変換誤差を起こすことがあります。この入力インピーダンス・マッチングは、アンプおよびチャネル・フィルタ・ブロック段における重要な機能要件です。ドライバ・アンプは、ADCのS/Hネットワークをチャージするために必要な出力ドライブを提供するほかに、入力信号のADC入力範囲に対するレベル・シフト、ゲイン調整といった他の信号コンディショニング機能も提供する必要があります。アンプとADC間に挿入されたフィルタは、ADCに与えられた信号のノイズ帯域幅を制限します。このフィルタがないと、アンプのフル帯域幅がノイズ帯域幅になってしまいます。このフィルタはまた、アンプの位相マージンや安定性を維持するためにADC入力の容量性負荷をアンプから分離したり、サンプル容量が切り換わる時にADC入力信号に発生する過渡的なチャージング・グリッチを減衰させる働きをします。フィルタを設計する際には、ADCが性能を最大限に発揮できるよう、高周波数時に十分に低いインピーダンスがADCに与えられ、かつ、アンプの歪み特性を最大限に高めるためにアンプ出力に対して十分に高い負荷が与えられるようにする必要があります。

## ADCの入力構造とドライバの選択

ADC入力はシングルエンドでも差動でもかまいません。シングルエンド入力は、低速、低分解能のADCではごく一般的です。シングルエンド入力の場合、精度やシステム性能を損なう原因となるノイズ、歪みおよびDCオフセットに対する感度が制約要因になります。コンプリメンタリ信号入力機能付きの差動入力ADCは、両方の入力に現れる誤差成分が除去されるので、S/H切り換え過程で生じるインジェクション・ノイズなどの共通モード・エラーに対して耐性を備えています。

同様に、入力インピーダンスやシグナルパス内部における他の非対称性などのミスマッチにより生じる二次高調波歪み (HD2) に代表される偶数次歪み成分も除去されます。歪みのない信号振幅がシグナルパス上のデバイスの動作信号範囲 (ヘッドルーム) の制限を受ける低電圧システムの場合には、差動アナログ信号を用いることで、シングルエンド信号に比べて2倍の低歪みの電圧振幅が得られます。ノイズ増加の許容範囲を3dBとすると、差動段では、2倍の出力振幅により6dBの信号パワーが得られるので効果的にSNRとして3dBの改善になります。このSNRの向上は、システム全体における信号/(ノイズ+歪み)比 (SINAD) およびSNRの向上に貢献します。

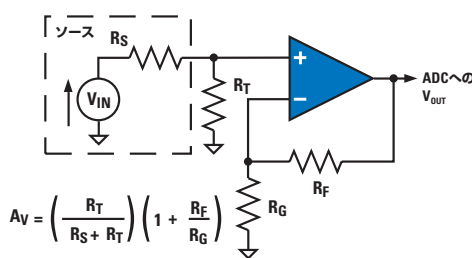
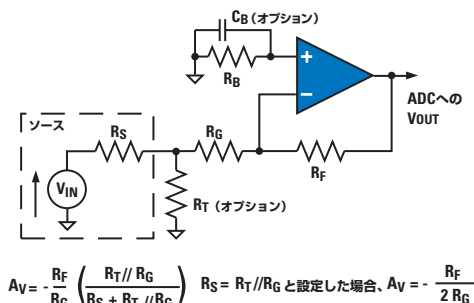


Figure 5a. 非反転シングルエンド・アンプ

シングルエンド入力ADCには、低歪み、高駆動で、しかも高ゲイン時に広い帯域幅を提供できる電流帰還型 (CFB) アンプが最適です。非反転アンプ型構成 (Figure 5a) の利点は入力インピーダンスが非常に高いため、マッチング終端抵抗  $R_T$  を追加することで、どんなソース出力インピーダンス  $R_S$  に対しても容易にマッチさせることができます。これと対照的にFigure 5bの場合には、反転アンプの入力インピーダンス  $R_S$  は  $R_G / R_T$  で決まり、 $R_G$  値と  $R_T$  の相互作用からゲインが決まります。 $R_T$  はオプシオンであり、入力ソースは  $R_T$  無しで直接に  $R_G$  とマッチングさ

## 高性能シグナルパスに最適なアンプ、ADC、およびクロックの選択



$$A_V = -\frac{R_F}{R_G} \left( \frac{R_T // R_G}{R_S + R_T // R_G} \right) \quad R_S = R_T // R_G \text{ と設定した場合、} A_V = -\frac{R_F}{2 R_G}$$

Figure 5b. 反転シングルエンド・アンプ

せることもできます。ただし、これによって、特にCFBアンプの場合、特定のゲイン、帯域幅およびゲイン・フラットネスに対して  $R_F$  が最適値とならないこともあります。電圧帰還型 (VFB) アンプの場合は、入力バイアス電流に起因する誤差をキャンセルするため、 $R_B$  を反転入力時にみられる実効インピーダンスと等しく設定します。 $R_B$  値が高い場合は、 $R_B$  に流れるアンプの入力ノイズ電流に起因する高周波ノイズを低減するのに、 $C_B$  が必要になることもあります。

反転アンプ型構成では、アンプ入力は固定の仮想グラウンドに保持されます。一方、非反転型構成では、アンプ入力はフルの入力信号振幅になります。従って、反転アンプの入力段では入力の電圧は非反転型に比べてはるかに低くなり、入力段に起因する歪みが低減されます。

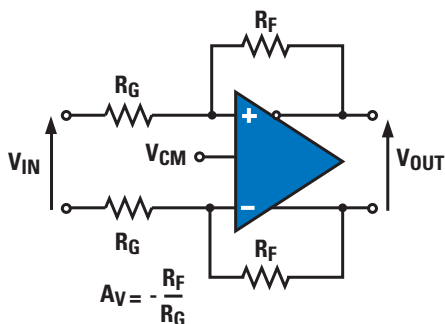
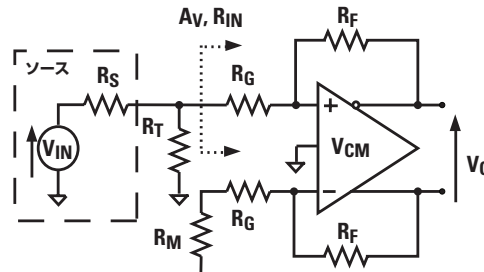


Figure 6a. 完全差動型アンプ

差動入力ADCの性能をフルに活かすには、その差動入力を差動ドライブさせる必要があります。Figure 6aは、差動出力と差動入力を持つ集積アンプです。AC結合、DC結合のどちらでも動作可能で、アンプのゲインは、図の式を用いて4つの外



回路入力インピーダンス  $R_{IN}$  をソース・インピーダンス  $R_S$  にマッチさせるには、次のように設定します。 $R_T // R_{IN} = R_S$ 、 $R_M = R_S // R_T$

$$A_V = \left( \frac{2(1-B_1)}{B_1 + B_2} \right) \quad B_1 = \left( \frac{R_G}{R_G + R_F} \right)$$

$$R_{IN} = \left( \frac{2R_G + R_M(1-B_2)}{1 + B_2} \right) \quad B_2 = \left( \frac{R_G + R_M}{R_G + R_F + R_M} \right)$$

Figure 6b. 差動出力付きシングルエンド入力

付け抵抗によって設定されます。このアンプは、未使用のグラウンド接続されたアンプ入力を用いて、シングル・差動アンプのように、シングルエンド・ソースとしても駆動できます (Figure 6bを参照)。

抵抗  $R_F$  と  $R_G$  はよくマッチさせ、PC基板レイアウト上で厳密な対称性を持たせる必要があります。これによって、この回路では低歪みを満たすのに必要な最適な出力バランスと良好な同相成分除去比 (CMRR) が確保されます。出力コモンモード・レベルは、 $V_{CM}$  コモンモード電圧制御によって、入力コモンモード・レベルとは別に独立して設定されます。このため、アンプ入力信号をレベル・シフトすることで、要求されるADC入力コモンモード・レベルにマッチさせるのに最適です。完全差動型アンプは、2本の順方向増幅チャンネルに3番目の帰還アンプを足したものとみなすことができます。帰還アンプは、2本の順方向チャンネルの出力コモンモードを検出して、これを  $V_{CM}$  ピンのレベルに合わせこむようにサーボ制御をします。 $V_{CM}$  コモンモード帰還ループは2つの出力を強制的に一致させ、互いに逆向きにします。このような動作によって、シングル・差動アンプ・アプリケーションのような、1本の入力チャンネルだけを駆動し、もう片方の入力をグラウンド接続する場合でもアンプの出力バランスをコントロールすることができます。

$V_{CM}$  ピンで出力コモンモード電圧を設定すると、アンプの入力コモンモード電圧にも影響します。データシートで規定された

入力コモンモード電圧範囲の補償範囲内に収まるようにすることが重要です。AC結合入力動作の場合、入力コモンモードは出力コモンモードまたは $V_{CM}$ ピン電圧と同じ電位になります。DC結合シングル-差動動作では、入力コモンモード電圧は出力コモンモード電圧を $R_F$ と $R_G$ で分圧した値になります。このことは、 $\pm 5V$ のような両電源電圧動作では問題になりませんが、GNDおよび $+10V$ のような単一電源動作の場合には、入力コモンモード電圧として現れる抵抗分圧された出力コモンモード電圧は、アンプの定格動作入力コモンモード電圧範囲を超えないようにしなければなりません。入力のヘッドルームが不足していると、グラウンドよりも低い負電圧の電源の使用を余儀なくされることもあります。アンプの入力または出力のヘッドルームによって制限されない最良の歪み特性を得るには、 $\pm 5V$ 両電源の使用を推奨します。

ADC入力駆動に最適なアンプとは、ADCに対して完全にトランスペアレントで、ADCの性能を損なわないものです。この点は常についてまわる課題ですが、性能低下を最小限に抑えることは可能です。DC仕様の観点からみると、最も基本的なアンプ要件は、アンプの出力電圧範囲がADCのフルスケールにわたる出力を満たすためのADC入力電圧範囲をサポートしていることです。一方、ACの観点からみると、アンプ要件は、所望の信号がアンプの周波数応答によって減衰しないよう、フラットな帯域幅とゲインを持ち、しかも、ADCの性能に影響を及ぼさない十分に低いノイズと歪みレベルを持ち合わせていることが必須条件になります。

アンプに必要とされる帯域幅は、処理される入力信号周波数スペクトル、ならびに高周波数時に良好な歪み特性を得るための要件によって決まります。最大信号周波数およびADCのフルスケール入力電圧レベルは、アンプの持つスルーレートおよび大信号帯域幅 (LSBW) により規定されます。これらの仕様から、ADC入力をフルスケールで駆動する時のチャンネル帯域幅が決まります。

アンプのオープンループ・ゲインのロールオフが要因で、入力信号周波数がアンプのLSBWよりはるかに低い周波数で、アンプの歪みは悪化し始めます。固定ゲイン帯域幅積を持つVFBアンプの場合、周波数が非常に高い信号に使えるゲインの大きさを制限することができます。周波数が非常に高い信号に対しては、比較的高ゲインの独立した帯域幅と優れたゲ

イン・フラットネスを持ったCFBアンプを選ぶのが良策です。実際には、必要なゲイン・フラットネスはアプリケーションの要件によって左右されます。

他のすべてのACおよびDC仕様を満たせると仮定した場合、特定のADCとアンプの組み合わせにとって、最終的にはノイズと歪みの2つが重要な仕様となります。これはノイズと歪みはSINADの決定要因だからです。ENOB (有効ビット) は、次式を用いてSINADから算出されます。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02 \quad \text{SINADの単位はdB}$$

歪みとノイズは、アンプとADCではそれぞれ別の仕様になるので、アンプとADCを組み合わせる場合、サブシステムの全体性能にどのような影響が出るのかを見極める必要があります。駆動用アンプのノイズとADCのノイズには相関関係はなく、解析にはRSS方式による合算値を使います。アンプのノイズでADCの性能が損なわれないようにするには、問題となる周波数帯域で発生するアンプの出力ノイズを、ADC入力ノイズよりも少なくとも6dB低いレベルに抑える必要があります。

$V/\sqrt{\text{Hz}}$  値で測られるアンプの出力ノイズ電圧スペクトル密度は、アンプの入力電圧ノイズおよび電流ノイズによる出力ノイズ電圧への影響分に、アンプ周りの外付け抵抗からの追加ノイズ分をRSS方式で合算して得られます。ADC入力に現れるトータル・ノイズは、チャンネル帯域幅に依存します。従ってノイズ特性を最大化するには、設計を最適化して、許容しうる帯域幅を最小に抑えることが重要です。チャンネル・フィルタによって制限されない限り、アンプ全帯域幅からのノイズと歪み積はADCでそのままサンプリングされ、すべてが第1ナイキスト・ゾーンに戻ってエイリアシングを発生する結果を招きます。帯域を $f_s/2$ に制限することに加えて、チャンネル・フィルタを使うことで、アンプのノイズ帯域幅を制限し、いかなる歪み積も減衰させることができます。

理想を言えば、いかなる帯域内アンプ歪み積も、ADC自身の歪み積より6dB低いレベルに抑える必要があります。所望の信号に対してサンプル周波数を綿密に選択することで、ベースバンド全体にわたって現れる歪み積を防止できます。複数の近接周波数トーンを内包するアプリケーションでは、アンプに、良好な混変調歪み (INTERMODULATION DISTORTION: IMD) とそれに関連する出力3次インターセプト・パワー (OIP3)



## 高性能シグナルパスに最適なアンプ、ADC、およびクロックの選択

を持たせる必要があります。そうでないと、差周波数歪み積が問題となる信号に近すぎる形で発生し、これらはフィルタで除去しなければなりません。良好な混変調歪みとOIP3をアンプに持たせることで、差周波数歪み積は最小限に抑えられます。理想としては、アンプに関して引き合いに出される歪み仕様はすべて、アプリケーションで要求される信号レベルおよび負荷条件に見合うものでなければなりません。ダイナミック・レンジが信号処理系のゲインで増幅される多くのアプリケーションでは、分解能の最大化をはかるうえで最大の問題点は歪みです。

ADC直前の最終段となるのはノイズ・フィルタです。DC結合ベースバンド・アプリケーションのための最も単純なソリューションは、受動素子による1次ローパスRCフィルタです。このシンプルな1次フィルタについては、-3dB周波数（カットオフ周波数） $F_{-3dB}$ は次式で求められます。

$$F_{-3dB} = \frac{1}{2\pi RC}$$

0.1dBの帯域幅は $0.15 \times F_{-3dB}$ で、ノイズ計算のための実効ノイズ帯域幅は $1.57 \times F_{-3dB}$ で算出されます。特定のパスバンド・フラットネス（通過帯域の平坦性）の要件を満たすために、バターワース型、ベッセル型、チェビシェフ型などのさまざまなフィルタ多項式に基づく、より高次のフィルタも設計可能です。これらのフィルタは、Figure 2c に示す急峻なロールオフ要件を容易に満たすことができるほか、より急峻なロールオフおよびより低ノイズの帯域幅を提供できます。Figure 7は、1次ローパスフィルタの例です。この例では、ナショナルの新製品LMH6552 1GHz完全差動型アンプが、ADCの入力容量に対して並列接続された2つの125Ω出力直列抵抗と2.2pF出力コンデンサで構成される65MHzの1次ローパス・フィルタを介し

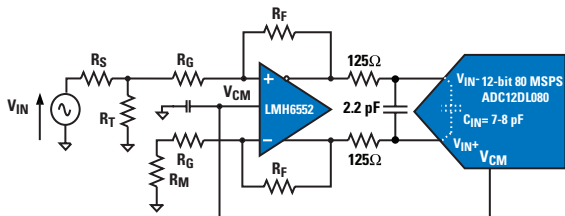


Figure 7. ADC12DL080コンバータを駆動するLMH6552 アンプ

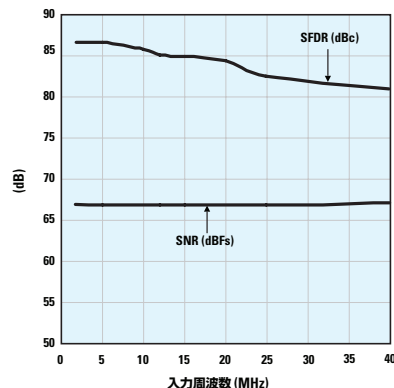


Figure 8. LMH6552およびADC12DL080のSFDRとSNR性能対周波数

て、ADC12DL080デュアル12ビット80 MSPS ADCの片チャンネルを駆動する回路例を示しています。

Figure 8は、LMH6552およびADC12DL080の入力周波数に対するスプリアス・フリー・ダイナミック・レンジ（SFDR）特性およびSNR特性の関係を示しています。

LMH6552アンプは、CFBアーキテクチャを基にしているため、ゲインが変化しても比較的一定した帯域幅を提供できます。例えば、2Vp-p出力時のユニティ・ゲインLSBWは950MHzで、ゲインが高くなるにつれ、820MHz@G=2、740MHz@G=4、590MHz@G=8とBWの低下は小さくなります。ちなみにVFBデバイスで590MHz@G=8のBWを達成するには、約5GHzのゲイン帯域幅積が必要です。

LMH6552は、使用されるアプリケーションの特定の速度、歪みおよびノイズ要件に応じて、8ビットから14ビットまでのアプリケーションに対して最適です。LMH6552は、±5V両電源で最適性能を発揮しますが、5Vまでの単一電源でも動作します。アンプの入力電圧ノイズは $1nV/\sqrt{Hz}$ 、入力電流ノイズは $19.5pA/\sqrt{Hz}$ です。出力ノイズは入力電流ノイズおよび帰還抵抗 $R_F$ 値の影響を強く受けますが、入力電圧ノイズとクロズループ・ゲインからの影響は電圧帰還アンプほど強く受けません。このためLMH6552は、単純に適切な $R_F$ を選択するだけで、大きなノイズ特性劣化も招かず、はるかに高ゲインにおける動作が可能です。LMH6552アンプのノイズ指数は9倍ゲイン時に10.3dBです。20MHz時の二次および三次高調波歪み

(HD2/HD3)仕様は、それぞれ14ビット・コンバータの歪みレベルに等しい-92/-93dBcです。一方、100MHzより大幅に高い周波数時には、HD2およびHD3はともに高速8ビット・コンバータのHD特性値-60dBcを凌ぎます。

LMH6552はまた別に、ADC14DS105高速ADCおよびLMK02000クロック・コンディショナと組み合わせることができます。ADC14DS105は、シリアルLVDS出力付き14ビット・デュアル105MSPS ADCで、1GHzのフルパワー帯域幅と業界最高のSFDR値81dB@240MHzを特長としています。LMK02000クロック・コンディショナは、業界最高性能のPLLと分配ブロックを内蔵し、20fsという業界で最も低いジッタ性能を実現しています。これらのデバイスとLMH6552の組み合わせは、最大40MHzまでのナイキスト周波数ベースバンド・アプリケーションまたは26.5MHz以下の信号帯域幅でのオーバー・サンプルド・ベースバンド・アプリケーションに適しています。ノイズおよび歪みによるシステム性能への影響を最小限に抑えるには、ADCの前に二次またはそれ以上の高次のローパス・フィルタを挿入することを推奨します。これらのデバイスを一緒に使えば、四次またはそれ以上の高次のバンドパス・フィルタの使用が推奨される、IF周波数70MHz以下の低IFナローバンド・サンプリングなどの通信アプリケーションに最適です。

Figure 9 は、アンダー・サンプルドIFアプリケーション向けに、ナショナルの新製品LMH6515完全差動型デジタル可変ゲイン・アンプ (DVGA) でADC14155コンバータを駆動する例です。この例ではフィルタは二次RLCバンドパス・フィルタを使用しており、次式に従って出力インダクタLおよび出力コンデンサCを適当に選択することで、所望のIF周波数にチューニングできます。

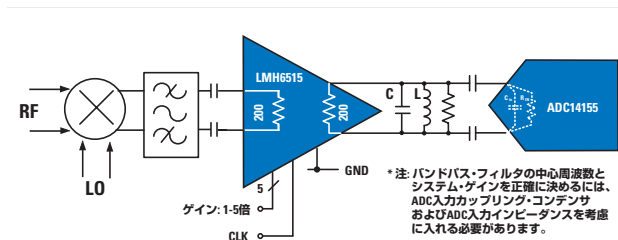


Figure 9. LMH6515とAD14155を組み合わせたIFサンプリング・アプリケーション

$$F_{-3dB} = \frac{1}{2\pi\sqrt{LC}}$$

LMH6515は、-7dBから24dBまで1dB刻みでゲインのデジタル・プログラミングが可能で、帯域幅は600MHz、OIP3は37dBm@150MHz、100Ω全負荷時のノイズ・フィギュアは8.3dBの性能を持っています。ゲインを選択できるので、ADCのフルスケール範囲をもっと有効利用でき、システムのダイナミック・レンジが拡大します。ADC14155は、1.1GHzフルパワー帯域幅を持ち、11ENOB@238MHzの性能を提供します。ADC14155とLMH6515の組み合わせは、ワイドレンジのIFサンプルド通信アプリケーションに最適です。

もうひとつのオプションが、LMH6515をADC14V155高速A/DコンバータおよびLMK03001クロック・コンディショナと組み合わせるものです。ADC14V155は1.1GHzフルパワー帯域幅を持つ155MSPS ADCで、170MHzを超える入力周波数において業界最高のSFDR値を提供します。238MHz時のSFDRは85dBです。LMK03001は業界初の総合的なクロック・コンディショナ・チップで、クロック・ジェネレータ・モードでは10Hzから20MHzの帯域幅で200fs RMS、ジッタ・クリーナモードでは12kHzから20MHzの帯域幅で400fsという業界最高のジッタ特性を実現しています。

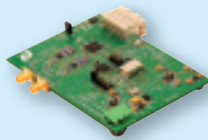
本稿では、サンプルド・データ・システムがナイキスト・サンプリングとアンダー・サンプリングの2種類に大別できることを説明しました。システムのタイプに応じて、特定のアプリケーションでは、DC結合ワイドバンド・アンプまたはAC結合ナローバンドIFアンプをADC駆動に使うことができます。例示したように、ナショナルは8ビットから10ビットのGSPS ADCおよび、さらに高分解能向けに100MSPS以上の11ビットから14ビットのADCを提供しており、さまざまなシステムのノイズおよび歪み性能の要求に対応できる各種ソリューションを取り揃えています。■

# あらゆる変換速度と分解能に対応 ナショナルのギガヘルツ級帯域幅の差動アンプ

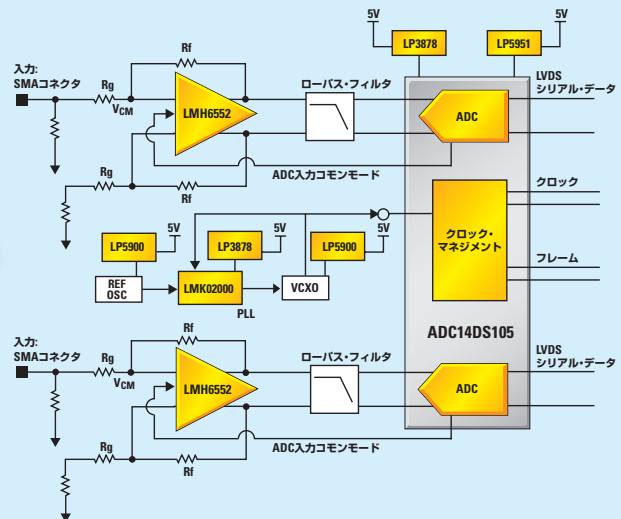
PowerWise® ファミリのLMH6552高速差動アンプは  
わずか112.5μWの消費電力で1.5GHzの広帯域幅を実現します。

## LMH6552の特長

- 帯域幅: 1.5GHz@Av=1; 750MHz@Av=8
- ゲイン・フラットネス: 0.1dB@450MHz
- THD: -90dB@20MHz; -74dB@70MHz
- ノイズ・フィギュア: 10.3dB@9cB
- セトリング・タイム (0.1%) : 10ns
- 動作電圧: 5V ~ 12V
- 8/10/12/14ビット高速A/Dコンバータと最適な組み合わせ
- LMK02000クロック・コンディショナおよびADC14DS105高速ADCを搭載したリファレンス・ボードを提供

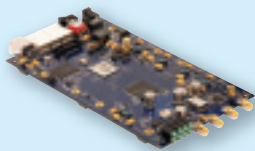


## 低IFレシーバ・サブシステム

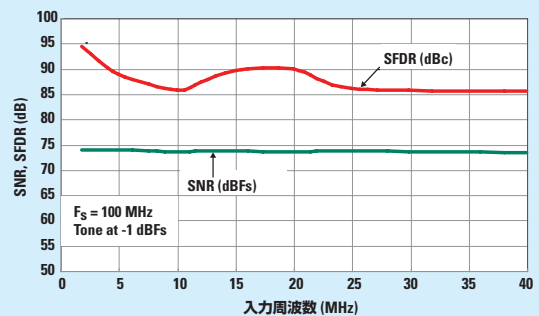


## LMH6555の特長

- 帯域幅: 1.2GHz
- THD: -50.5dBc@750 MHz
- ノイズ・フィギュア: 15dB
- 固定ゲイン: 13.7dB
- 動作電圧: 3.3V
- ADC08(D)1000/1500/3000ファミリなど、最大3GSPSの8ビットA/Dコンバータと最適な組み合わせ
- LMX2531クロック・コンディショナおよびADC083000 3GSPS ADCを搭載したリファレンス・ボードを提供



## 低IFレシーバ・サブシステム性能の測定値



無線通信用レシーバ、高速差動シグナリング、IFアンプ、  
およびデータ・アキュイジション・フロントエンドに最適です。

シグナルパスおよびPowerWise®ソリューションのリファレンス・デザイン、  
製品サンプル、データシートはホームページから入手できます。

[signalpath.national.com/jpn](http://signalpath.national.com/jpn)

# 3GHzを超えるフルパワー帯域幅 ナショナルの3GSPS 超高速 8ビット A/Dコンバータ

PowerWise® ファミリの1.9W 超低消費電力 A/Dコンバータは、  
インタリーブ構成により、6GSPSの高速変換を容易に実現します。

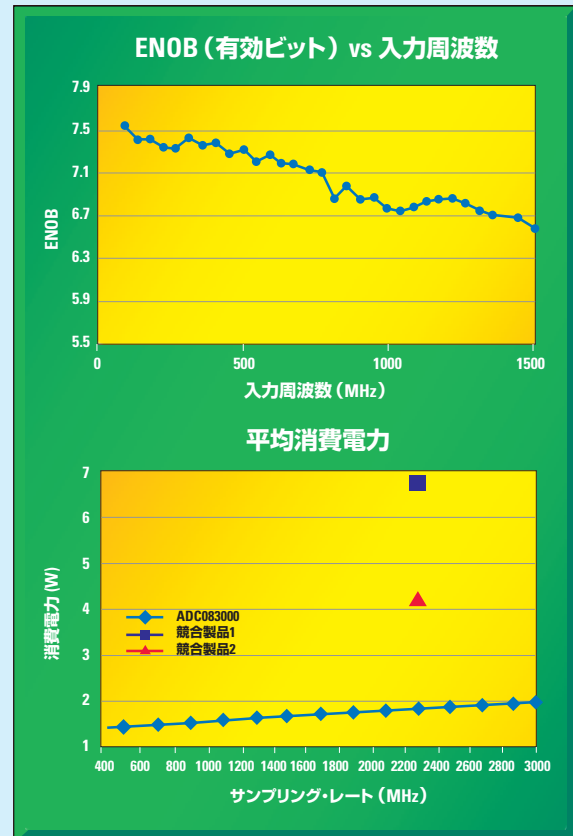
## ADC083000の特長

- 競合製品に比べて1/2以下の消費電力: 1.9W
- フルパワー帯域幅: 3GHz
- BER(ビット・エラー・レート):  $10^{-18}$
- 単一電源電圧: +1.9V
- 1:4出力デマルチプレクサ内蔵
- 可変入力フルスケール範囲およびオフセット
- ノー・ミッシング・コード保証
- 4KBキャプチャ・バッファ内蔵のADC08B3000も提供

## ADC083000の利点

- 複数のADC同期のためのクロック位相調整機能内蔵により、  
2個をインタリーブして6GSPSを実現
- 高速データ・キャプチャを簡素化するテストパターン
- 拡張機能制御のためのシリアル・インタフェース
- LMX2531クロック・コンディショナおよび  
LMH6555高速アンプを搭載し、DCから750MHzまでの  
入力周波数範囲を持つリファレンス・ボードを提供

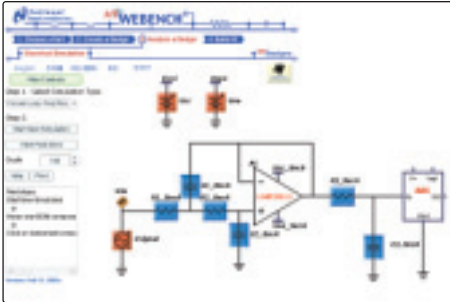
各種通信インフラ、試験・計測機器、データ・アキュイジション・  
システム、およびSDR (Software- Defined Radio) などの軍用/  
民生用アプリケーションに最適です。



# 設計支援ツール

## WEBENCH® Signal-Path Designer 回路設計ツール

ナショナルは、簡単な操作で回路設計を加速するSignal-Path DesignerをWEBENCHプラットフォーム上で提供しています。



### 機能

- アンチ・エイリアシング・フィルタの合成
- アンプの選択、A/Dコンバータとの最適な組み合わせを選定
- SNR、SDFR、電源電圧にもとづくトレードオフ
- SPICEを使用した実際の動作環境でのシミュレーション

[webench.national.com/jpn](http://webench.national.com/jpn)

## WaveVision 4.1評価ボード

A/Dコンバータのテストと評価には、使いやすいナショナルのWaveVision 4.1評価ボードを。各評価ボードはUSBインタフェースを備え、ソフトウェアが同梱されています。

### 特長と利点

- プラグ・アンド・プレイなADC評価ボード
- パソコンと接続するUSB2.0インタフェース
- パソコン上で動作するデータ・キャプチャ機能
- データ・キャプチャと評価が容易
- 高調波とSFDR周波数を表示
- 波形確認が容易
- FFTグラフの生成と表示
- FFTと合わせてダイナミック性能パラメータを表示
- ヒストグラムの生成と表示



ナショナルの  
シグナルパス製品サイト:  
[signalpath.national.com/jpn](http://signalpath.national.com/jpn)

お問い合わせ:  
[jpn.feedback@nsc.com](mailto:jpn.feedback@nsc.com)

## どの号もお見逃しなく！

Signal Path Designerのバックナンバーはナショナルのサイトでご覧いただけます。  
[signalpath.national.com/jpndesigner](http://signalpath.national.com/jpndesigner)

Power Designerもぜひお読みください。オンラインで提供しています。  
[power.national.com/jpndesigner](http://power.national.com/jpndesigner)



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上