

# 低消費電力RF 設計向けのレイアウト・レビュー技法

By Suyash Jain

## キーワード

- ・レイアウト・レビュー技法
- ・RF設計での基板の積層
- ・CC1020, CC1021
- ・CC1100E, CC1101, CC1110, CC1111, CC1150
- ・CC2420, CC2430, CC2431, CC2480
- ・CC2500, CC2520, CC2510, CC2530, CC2533

## 1 はじめに

高周波では、RF信号の波長がネットワークの物理的な長さと同程度になる場合もあるため、伝送線路がネットワークのかなりの割合を占める可能性があります。このような場合には集中素子モデルが適用できなくなるため、伝送線路の長さに関する信号の振幅ずれと位相ずれを解消する(account for)には、分布(素子)モデルについて考慮することが重要となります[1]。そうしない場合は反射が発生し、設計の各ステージ間の電力伝送で大幅な損失(リターン・ロス)が発生する可能性があります。電力伝送を最大にするには、インピーダンス整合が決定的に重要となります。さらに、エレメント間の電磁放射と容量結合により想定外の損失が発生し、回路の性能が大幅に変わる可能性があるため、設計中にその損失について考慮する必要があります。TIのLPRFリファレンス設計は、最適な性能を得るためにこれらすべての影響を考慮して設計されており、どのようなアプリケーションが必要とされる場合でも、このリファレンス設計を正確に/細部までコピーすることが推奨されます。

このアプリケーション・ノートの目的は、TI CCXXXX LPRF デバイス用のリファレンス設計を正しくコピーするためのガイドラインを提供することです。また、RF PCBレイアウトを正しく実現するために必要となる、重要なRF PCBの設計概念についても解説し、RF PCBを設計するための手順を提示し、メーカーに送る前の最終的な設計のレビューを行います。これらの推奨事項は、実際に使用できる設計を1回の試作で実現するために役立ちます。アプリケーション・ノートではその後、陥りやすいPCB設計ミスについて解説し、設計上避けるべき事柄について設計者が明確に理解できるようにします。

SmartRF™ studio は、設計を試作するための強力なツールです。このアプリケーション・ノートでは、無線性能のテストを容易に短時間で行うために、テスト/デバッグ・ポートを試作段階の設計に組み込む方法についても説明します。

## 目次

|  |    |
|--|----|
| キーワード .....                            | 1  |
| 1 はじめに .....                           | 1  |
| 2 略語一覧 .....                           | 2  |
| 3 RF PCB 設計の基本 .....                   | 3  |
| 3.1 インピーダンス整合 .....                    | 3  |
| 3.2 伝送線路 .....                         | 3  |
| 3.3 基板構成(スタックアップ) .....                | 3  |
| 3.4 電源のバイパスとデカップリング .....              | 4  |
| 3.5 グラウンド・プレーン .....                   | 5  |
| 3.6 部品の向き(Component Orientation) ..... | 6  |
| 4 TIのリファレンス設計のコピー .....                | 7  |
| 5 設計上のデバッグ・ソケット .....                  | 9  |
| 6 してはならないことの例 .....                    | 9  |
| 6.1 長いRFトレース長と、差動RF部のトレースのミスマッチ .....  | 10 |
| 6.2 RFパス近傍/直下のデジタル・ライン .....           | 11 |
| 6.3 クリスタル・オシレータ直下/近傍のデジタル・トレース .....   | 11 |
| 6.4 バイパス・コンデンサの配置 .....                | 11 |
| 6.5 製造中にPCBレイヤが入れ替わる .....             | 12 |
| 6.6 チップ直下のシルクスクリーン .....               | 13 |
| 6.7 Power Pad レイアウト .....              | 13 |
| 7 結論 .....                             | 14 |
| 8 参考文献 .....                           | 14 |
| 引用文献 .....                             | 14 |
| 一般的な参考文献 .....                         | 14 |
| 9 総合的な情報 .....                         | 14 |
| 9.1 改版履歴 .....                         | 14 |

## 2 略語一覧

BOM Bill of Materials (部品表)  
 PCB Printed Circuit Board (プリント回路基板)  
 PER Packet Error Rate (パケット・エラー・レート)  
 RF Radio Frequency (無線)  
 SRF Self Resonant Frequency (自己共振周波数)  
 DD Debug Data (デバッグ・データ)  
 DC Debug Clock (デバッグ・クロック)  
 NC Not Connected (未接続)  
 LPRF Low Power RF (低消費電力RF)

### 3 RF PCB 設計の基本

このセクションでは、RF PCB 設計の重要な概念について説明します。

#### 3.1 インピーダンス整合

「最大電力伝送の定理」では、電源の内部抵抗が負荷抵抗と等価である場合に、最大の電力が伝送されるとしています。この定理を交流電流回路に拡張すると、電力伝送を最大にするには、負荷インピーダンスが電源インピーダンスの複素共役である必要があります。電力伝送を最大にして性能を最適化するには、無線設計でのインピーダンス整合を慎重に考慮することが重要になります。Texas Instrumentsのリファレンス設計は、最大電力の伝送に最適な負荷を提示することにより、送信モードと受信モードの両方で、また様々な電源電圧や温度等の条件で、最大の(最適な)電力が伝送されるように最適化されています。最適な性能を得るために、リファレンス設計をコピーすることが推奨されます。

#### 3.2 伝送線路

無線でのPCBトレースの設計は、その分布素子モデル型の特徴を考慮して(account for)慎重に行う必要があります。高周波では、トレースの物理的な長さが信号波長のかなりの割合を占めるためです。RF周波数でのPCBトレースのインピーダンスは、トレースの厚さ(thickness)、グラウンド・プレーンからの距離、PCBの誘電体の誘電率(絶縁定数)と誘電正接(損失正接)によって異なります。トレースの厚さ  $t$  が、グラウンド・プレーンからの距離  $h$  と比較して小さく ( $t/h < 0.005$ )、比率  $w/h$  が  $< 1$  であると仮定すると、トレースのインピーダンスは次のように計算できます。[1]

$$Z_0 = \frac{60}{\sqrt{\epsilon_{eff}}} \cdot \ln\left(\frac{8 \cdot h}{w} + \frac{w}{4 \cdot h}\right)$$

さらに、

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[ \frac{1}{\sqrt{1 + \frac{12 \cdot h}{w}}} + 0.04 \left(1 - \frac{w}{h}\right)^2 \right]$$

ここで、

$h$  = グラウンド・プレーンからのトレースの距離

$w$  = トレースの幅

$\epsilon_r$  = PCB基板の材質の誘電率(絶縁定数)

$\epsilon_{eff}$  = PCBトレースの幅と高さに基づく有効な誘電率(絶縁定数)

Texas Instrumentsの低消費電力RF設計では、バラン・フィルタ部～特性インピーダンス50オームのアンテナ間の伝送線路を注意深く設計することが推奨されます。トレースのインピーダンスは、バラン・フィルタ部からアンテナへ最大電力を伝送するための決定的に重要な要因であるためです。また、バラン・フィルタ部のトレースは、リファレンス設計からコピーする必要があります。つまり、リファレンス設計からトレース幅とトレース長をコピーするとともに、信号プレーン～グラウンド・プレーン間のスタック高(stack height)とPCBの誘電特性もコピーします。

#### 3.3 基板構成(スタックアップ)

RF PCB設計は通常、2層基板または4層基板上で設計されます。2層PCB基板(図1)は、最上層が部品と信号配線引き回し(signal routing)になり、最下層が主にグラウンドになるように設計されており、電流のリターンパスが最短になっています。グラウン

ド・プレーンは途切れず一様に連続している必要があります。グラウンド・プレーンを(特にRF経路の下で)分割すると、電流のリターンパスが伸び、所望の性能に大幅に影響する可能性があります。2層PCB基板設計では、4層PCB設計と比較してコストを節減できる上に、性能も4層設計に劣りませんが、信号配線引き回し(signal routing)と部品配置に注意が必要になります。これらの設計では通常、(ストリップ導体の)厚さが0.8~1.0mmに制限されます。それより厚いマイクロストリップ・ラインを使用すると、対応する(ストリップ導体の)ライン幅が大きくなりすぎて共通インピーダンス(50オーム)が維持できなくなり、設計が実用的ではなくなります。

4層PCB(図2)の設計では、グラウンド・プレーンとパワー・プレーン用の配線引き回しが容易であり、2層PCBと比較して配線引き回しの考慮事項が軽減されています。4層PCB(図2)の設計では、グラウンド・プレーンと最下層(主にグラウンド)の間に配置されたパワー・プレーンのデカップリングが容易になっています。4層基板では、層構造を次の定義のようにすることが推奨されます。

第1層: 部品と信号線

第2層: グラウンド・プレーン

第3層: パワー・プレーン

第4層: グラウンド・プレーンと信号配線引き回し

4層 RF PCB 設計では常に、最上層「部品と信号線」のすぐ下にグラウンド・プレーンを配置する必要があることに注意してください。また4層PCBは2層PCBよりも厚い(~60mils)ため、2層設計と比較するとPCBの力学的な(mechanical)強度も増しています。

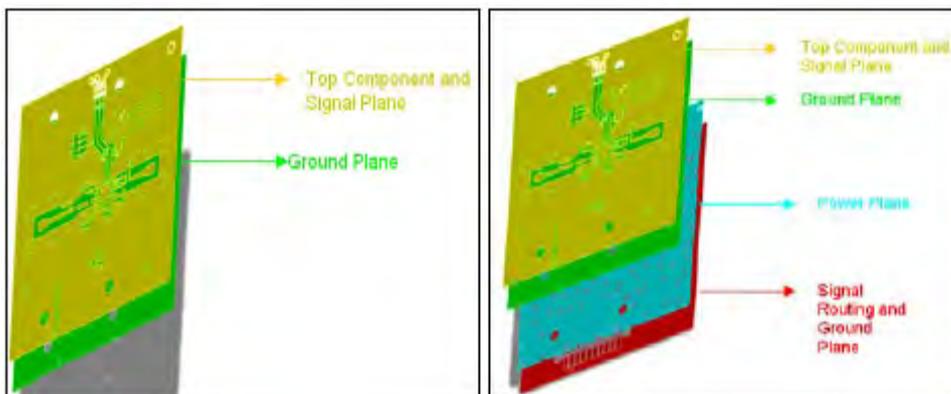


図 1 2層基板の構成(スタックアップ)

図 2 4層基板の構成(スタックアップ)

### 3.4 電源のバイパスとデカップリング

電源配線引き回し(routing)は、どのようなRF設計でも重要となります。注意して計画的に行わないと、システムの性能に影響が出ます。配線引き回し、バイパシング、デカップリングを正しく行うことにより、基板上の能動素子でのノイズ結合、もしくはノイズ混入といったシステムの性能に影響することを回避できます。PCB上の能動素子が電流(電力)を一時的に必要なときに、高調波成分が生成されるため、高周波ノイズ源になる可能性があります。生成されたノイズは、デバイスの電源ピンに伝わって望ましくない性能を生成する可能性があります。この高周波ノイズがデバイスの電源ピンに到達しないように、コンデンサを使用することで低インピーダンスのパスを生成し、高周波ノイズをグラウンド・プレーンにバイパスします。

また、デジタル部はレール・ツー・レールで高速スイッチングを行います。この場合にも高調波が生成されます。電源の配線引き回しとデカップリングが正しく行われていないと、上記の高調波が電源ラインと結合する可能性があります。また、電源ライン間で望ましくない結合が発生する可能性もあります。電源ラインとデジタル・ラインはRF部から離して引き回す必要があります。また、デカップリングを行って、対応する電源ピンを他のセクションの高周波ノイズから隔離する必要があります。さらに、コンデンサの自己共振周波数(SRF)を考慮して、バイパス/デカップリング・コンデンサは注意して選択する必要があります。SRFを超える周波数ではコンデンサの振る舞いがインダクタと同じになるため、コンデンサが有効なのはSRFを超えない場合のみです。図3は、コンデンサの特性です。デカップリング・コンデンサバイパス・コンデンサは、可能な限り電源ピンに近づけておくことが推奨されます。TIのリファレンス設計は上記の考慮事項を実現するように設計されているため、どのようなアプリケーション設計でも、リファレンス設計を可能な限り正確にコピーすることが推奨されます。

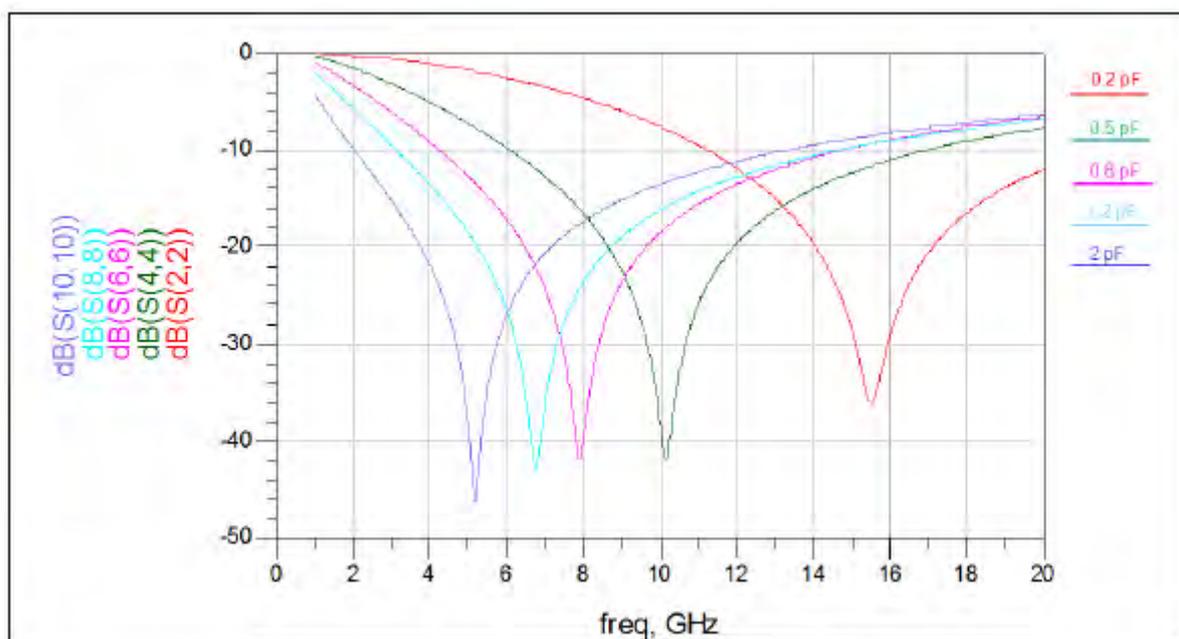


図3 SRF vs. コンデンサ値 (これは、コンデンサ値に伴うSRFの変動の全体像ですが、コンデンサのタイプやメーカーの違いによってSRFも異なってきます)

### 3.5 グラウンド・プレーン

どのようなRF設計でも、連続した/途切れないグラウンド・プレーンを持つことが強く推奨されます。グラウンド・プレーンが(特にRF部の下で)分割されていると、リターン電流のパスが長くなるため、不要なインダクタンス成分が加わり、性能劣化につながる可能性があります。設計直下のグラウンド・プレーンが連続していれば、グラウンド接続するパッドからビアを落とす(drop)ことが可能になるため、グラウンドへの接続が容易になります。またこれにより、追加の配線を引き回してグラウンド・プレーンに接続する必要がなくなるため、その配線によってさらに不要なインダクタンス成分が付加され、性能劣化の原因となることが避けられます。

また、最上部の部品プレーンでは、未使用の領域をベタ・グラウンド・プレーン(ground plane)にして、いくつかのビアでこの上部のベタ(fill)をすぐ下のグラウンド・プレーンと接続することも望ましいです。これらのビア間には、波長の約10分の1の間隔をあけることが推奨されます。図4のようにグラウンド・シールドを使用すると、RF部がより大きな基板上的他のセクションと結合することが防がれ、また近傍の妨害波からもRF部が保護されます。

4層設計では、グラウンド・プレーンが連続していると、パワー・プレーンからの絶縁も実現されます。

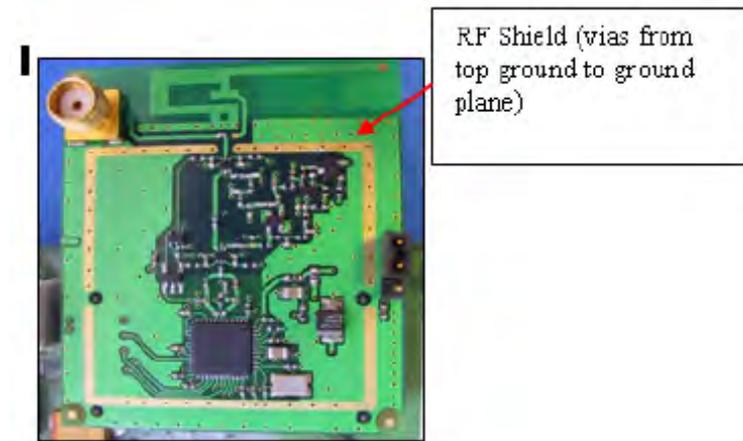


図 4 グラウンド接続されたビア・シールドを使用したRF 設計

### 3.6 部品の向き(Component Orientation)

PCB上のインダクタは、磁場と結合しています。これを考慮しないと、磁場が他の部品と結合して、設計の性能に望ましくない影響を与える可能性があります。TIのリファレンス設計は、このような結合の影響を考慮して慎重に設計されているため、TIのリファレンス設計で指示されている部品の配置と向き(orientation)に従うことが推奨されます。

## 4 TIのリファレンス設計のコピー

RF PCBのレイアウトを開始するための最初のステップは、PCB基板の特性(プロパティ)、つまりPCBの構成(スタックアップ)と誘電特性(誘電率(絶縁定数)と誘電正接)を理解することです。TIのリファレンス設計には、PCB基板の構成(スタックアップ)および、基板厚、誘電率(絶縁定数)、基板誘電体の誘電正接等の基板特性を説明しているドキュメントが付随しています。TIのリファレンス設計で指定された基板パラメータをチェックして、上記の推奨仕様を使用できるかどうかをお使いの基板のメーカーに確認してください。使用できない場合はアプリケーション・ノートAN068 [2]に記載の、リファレンス設計を基板の構成(スタックアップ)の変更に適合させる方法を参照してください。次に、可能な限り正確に回路図とレイアウトをコピーします。

また、設計上、2層のTIリファレンス設計を4層のPCB設計に変換する必要がある場合は、最上層〜グラウンド・プレーン間の高さが変わる可能性があります。これにより、RFパスのインピーダンスが変わります。RFパスのインピーダンスの変化は、アプリケーション・ノートAN068 [2]で説明されている通りにトレース幅を補正することで解消する必要があります。

さらに、リファレンス設計のコピーをやすくするために、多くのTIリファレンス設計にはRFレイアウトの範囲を示すシルクスクリーンの白枠が含まれています。最適な性能を得るには、枠内のあらゆるものを正確にコピーする必要があります。枠の外側にあるものはすべて、自由に変更できます。

下記のチェックリストには、従うべき重要なRF PCB設計の考慮事項が記載されています。設計者には、下記に推奨されているポイントを使用して設計を検証することが強く推奨されます。下に示すチェックリストのポイントに従うことは、設計から最適な性能を実現するために役立ちます。

- 1 データ・シートに記載の、部品(CCXXXX)に固有のレイアウト推奨事項に従っていることを確認してください。
- 2 サイズと寄生値(parasitic values)のために、0603mils(1608mm)サイズのディスクリット部品は推奨されません。
- 3 バイパス・コンデンサが、可能な限りバイパス対象の電源ピンに近づけてあることを確認してください。
- 4 各デカップリング・コンデンサが、リファレンス設計で推奨されている特定のピンのみをデカップリングしており、コンデンサの値とタイプが正しいことを確認してください。
- 5 デカップリング・コンデンサが、ピン<>コンデンサ<>ビアのように配置されていることを確認してください。
- 6 基板構成(スタックアップ)がリファレンス設計とマッチしているかどうかを確認してください。設計が4層PCBの場合は、グラウンド・プレーンが、最上部/部品側の直下にある2層目であるかどうかを確認してください。
- 7 層のスペーシング(構成(スタックアップ))を変更すると、RFパスのマッチングに影響が出るため、注意してAN068 [2]で説明されているように解消する必要があります。
- 8 グラウンド・プレーンがリファレンス設計とマッチしているかどうかを確認してください。デバイスとRFパスの下には、しっかりしたグラウンド・プレーンがある必要があります。メーカーによりグラウンド・プレーンが推奨されているアンテナ(例えばホイップ・アンテナ)を使用している場合を除いて、アンテナの下がグラウンド・プレーンではないようにしてください。
- 9 RF信号パスが、可能な限りリファレンス設計と一致しているかどうかを確認します。部品は、リファレンス設計とほぼ同じように配置され、リファレンス設計と同じ向きにする必要があります。
- 10 クリスタル・オシレータは、部品のオシレータ・ピンに可能な限り近づける必要があります。可能ならば、オシレータまでの線路が長くないようにしてください。
- 11 最上部のベタ・グラウンド(pours)が、RF信号パスの周囲に設けた多数のビアでグラウンド・プレーン層と最下層に装着されていることを確認し、リファレンス設計と照合してください。基板の他の場所にあるビアの間隔は、 $\lambda/10$ 以下にする必要があります。
- 12 部品に差動出力がある場合は、リファレンス設計同様に差動部のトレースが左右対称になっていることを確認してください。
- 13 設計にバッテリー(コイン電池等)が使用されている場合は、バッテリーがグラウンド・プレーンとして機能するため、アンテナの下に置くことはできません。
- 14 リファレンス設計でTライン(パターンによるインダクタンス)の使用を指定している場合は、確実にTラインがリファレンス設計と厳密に一致することが非常に重要となります。

- 15 デバイスの下の(under-the-device) パワー・パッドのレイアウトが正しいかどうかを確認してください。はんだパッドとマスクがマッチする必要があるため、また開口部のサイズ(opening size)により、確実にペーストの量が適正になるようにする必要があります。ビアがはんだをすべて吸い上げてしまい、チップをパッドにはんだ付けする分がなくなってしまうために、ビアの数が正確であり、またビアがマスク/テンディングされている必要があります。(対応する部品のレイアウト推奨事項については、データ・シートを参照してください。)
- 16 基板では、インピーダンス制御されたトレースを指定する必要があります。つまり、層のスペーシングとFR4の誘電率が制御され、理解している必要があります。

#### **アンテナについての重要な考慮事項:**

- 17 TIリファレンス設計に従ってアンテナを使用する場合は、設計を正確にコピーして、リファレンス設計上の構成(スタックアップ)がお使いの構成(スタックアップ)にマッチするかどうかをチェックします。
- 18 アンテナのフィードラインの変更を行うと、入力インピーダンス・マッチも変化します。
- 19 近接した金属、プラスチックの筐体、人体は、アンテナの入力インピーダンスと共振周波数を変化させます。このことについては、設計での考慮が必要になります。
- 20 複数のアンテナが同じ基板にある場合は、アンテナの分極と指向性を使用して絶縁してください。
- 21 チップ・アンテナの場合は、グラウンド・プレーンからのスペーシングと、グラウンド・プレーンに対する向き(orientation)がアンテナのデータ・シートで指定された通りに正しいかどうかを確認してください。
- 22 アンテナのインピーダンス・マッチング用に、バラン・フィルタ・ネットワークの後に  $\pi$  型のパッドを付加すると良い実践になります。PCBが完成しアンテナマッチング、及び所要の周波数で生成されたバラン・ネットワークのマッチングを完了させた後に、部品値の検討ができます。結果、必要でないと判断した場合は、シャント部品(shunt components)をマウントせずに、0オーム抵抗を直列部品(series component)に接続することで使用することが出来ます。

## 5 設計上のデバッグ・ソケット

設計のRF性能(PER、レンジ等)のチェックを短時間で行うために役立つ技法として、SmartRF04EB基板、SmartRF05EB基板、並びにCC-Debuggerのいずれかを介して、設計された基板をPCに接続することが可能です。その後、SmartRFTM Studioアプリケーションを使用して、設計の性能を検証できます。SmartRF04EB基板とSmartRF05EB基板では、EM基板上に実装されているコネクタを持たないお客様の設計とインターフェイスを取るためのデバッグ・コネクタも実装しております。この10ピン・コネクタのピン配列を表1に記載します。基板上の10ピン・コネクタを、表1に指定されたピンに接続して追加すると、SmartRF04EB、SmartRF05EB、並びにCC-Debuggerへの接続が出来、RF性能のチェックが可能になります。

通常、設計では10ピン・コネクタ用のスペースを設けることは容易ではありません。このような場合には、LPRFトランシーバに接続するために必要なピンはCSn、SCLK、SI、SO、VDD、GNDであり、TI LPRF RF SoCデバイス用の場合は、DD、DC、Reset\_N、VDD、GNDとなります。これらのピンは基板上のテスト・ポートに引き回すことが可能であり、設計のRF性能・チェックを容易に短時間で行うために、SmartRF04EBおよびSmartRF05EB上のSoCデバッグ・コネクタの対応するピンに接続したり、CC-Debugger上のデバッグ・コネクタに接続することが可能です。

表 1 SoC デバッグ・コネクタのピン配列

| ピン | 機能              | 注                              |
|----|-----------------|--------------------------------|
| 1  | GND             |                                |
| 2  | VDD             | 電圧レベル・コンバータの電圧を正しく設定するために使用します |
| 3  | デバッグ・クロック (DC)  |                                |
| 4  | デバッグ・データ (DD)   |                                |
| 5  | CSn             |                                |
| 6  | SCLK            |                                |
| 7  | Reset_N         |                                |
| 8  | MOSI            |                                |
| 9  | 3.3V VDD、alt NC | SmartRF04EB から VDD を供給します      |
| 10 | MISO            |                                |

## 6 避けるべきことの例

このセクションでは、RFレイアウトに関してよくあるミスについて詳細に説明します。

## 6.1 長いRFトレース長と、差動RF部のトレースのミスマッチ

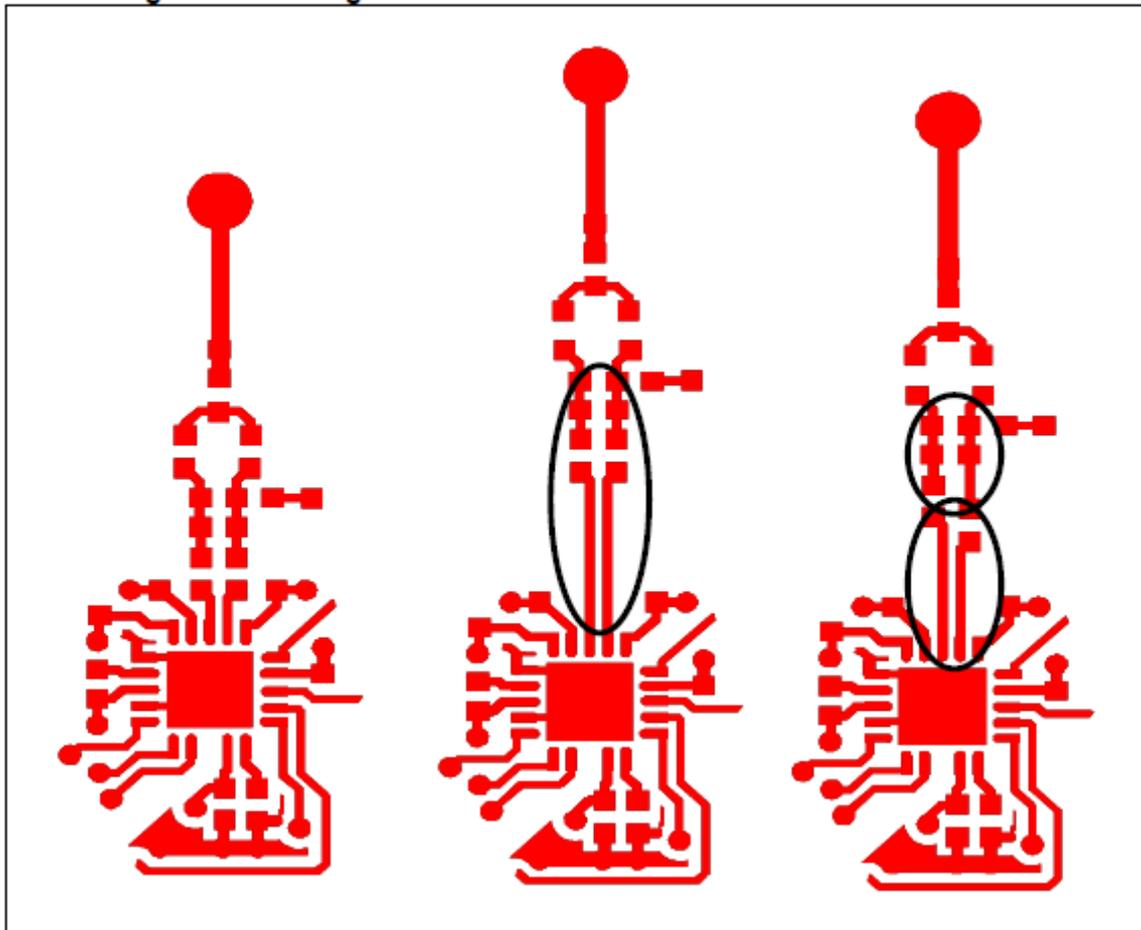


図 5 (a) 理想的な例

(b) 長く延びたRF送信ライン

(c) ミスマッチのRFライン

平衡出力(balanced outputs)(RF\_PとRF\_N)を使用したLPRFデバイス用のTIリファレンス設計では、プリント回路基板上で、シンプルで低コストのマッチングと balan・ネットワークを実現しています。最適な性能を得るために、リファレンス・レイアウトに従って、次に示すようなよくあるミス回避することが推奨されます。

図5(a)に示すように、RFのトレースはケース5(b)と5(c)のように長くせず、短くしておくことが推奨されます。5(b)のようにトレースが長いと、望ましくないインピーダンス変化が発生する原因となり、マッチング・ネットワークに影響が出て望ましくない性能につながります。さらに差動出力のあるデバイスでは、balan・ネットワークへのトレースとbalan部内のトレースが、リファレンス設計同様に左右対称であることが非常に重要となります。図5(c)は見られるミスで、RFトレースが長く左右対称でないレイアウトとなっています。このミスにより、差動balanの性能に歪を与え、望ましくない性能につながります。

## 6.2 RF パス近傍/直下のデジタル・ライン

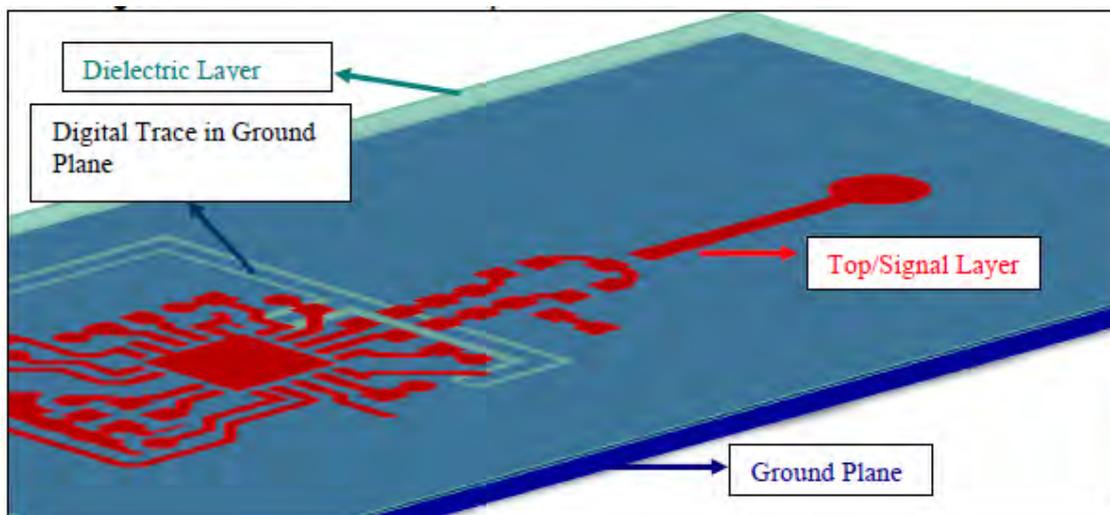


図 6 RFパス直下のデジタル・ライン

図6に示すように、このレイアウトではRFパス近傍/直下にデジタル・トレースがあります。デジタル・ライン上の遷移(transition)はレール・トゥ・レールであり、高周波の高調波成分を持っています。この高調波はRFラインに結合する可能性があります。RFラインでは信号振幅が非常に小さく、小さなRF信号に重畳するため、望ましくない動作の原因となります。

また、RF部下のグラウンド・プレーンを分割すると、RFの電流リターンパスが長くなる原因となり、望ましくない性能につながります。RF部直下は特に、グラウンドが十分に確保されている(ソリッド・グラウンド・プレーンにすることが推奨されます。

## 6.3 クリスタル・オシレータ直下/近傍のデジタル・トレース

クリスタル・オシレータと、オシレータからチップへのトレースの直下/近傍には、デジタル・トレースを配置しないようにすることが推奨されます。結合(カップリング)が非常に強くなり、望ましくない性能につながる可能性があります。

## 6.4 バイパス・コンデンサの配置

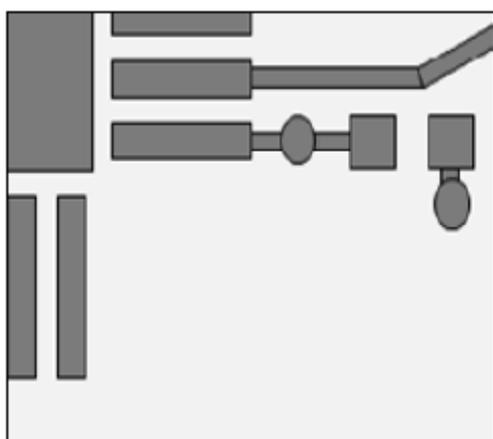
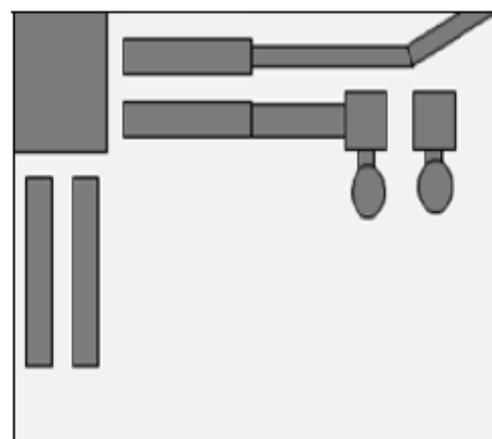


図 7 (a) 悪いバイパス・レイアウト例



(b) 良いバイパス・レイアウト例

バイパス: 図7(a)のように、コンデンサとICの間にはビアを設けないようにしてください。CCXXXX上のピンに可能な限りコンデンサを近づけて配置し、コンデンサの後にビアが配置されるようにレイアウトする必要があります(図7 (b))。

### 6.5 製造中にPCBレイヤが入れ替わる

レイヤの割り当て(つまり、PCBスタック上の各レイヤの配置)を明確に定義しないまま、最終的なPCB設計を基板のメーカーに渡してしまうというのは、よくあるミスのひとつです。その結果、製造中にメーカー側でパワー・プレーンとグラウンド・プレーンを入れ替えてしまうことがあります。このことにより、設計の性能に重大な影響が出る可能性があります。最上レイヤの信号プレーン～グラウンド・プレーン間の距離が大きくなり、トレースのインピーダンスが変化するためです。また、パワー・プレーンと信号プレーンの結合(カップリング)が増加し、性能劣化の原因となります。この問題を解決するには基板を製造し直す必要がありますが、設計のための開発時間が増えることとなります。

基板レイヤの入れ替わりを回避するため、また所要の誘電率やレイヤのスペーシング等、基板の特別な情報を提供するには、(TIリファレンス設計に含まれている) readme ファイルまたはファブリケーション・ノートを送ることが推奨されます。また、情報提供用のオンライン・フォームを用意しているメーカーもあります。そのフォームに、設計で使用されているすべてのレイヤの割り当てを注意して記入する必要があります。

パワー・プレーンとグラウンド・プレーンが入れ替わった場合のインピーダンスの変化を示すために、Advanced Design SystemのMomentumを使用したシミュレーションを実行した結果を示します。

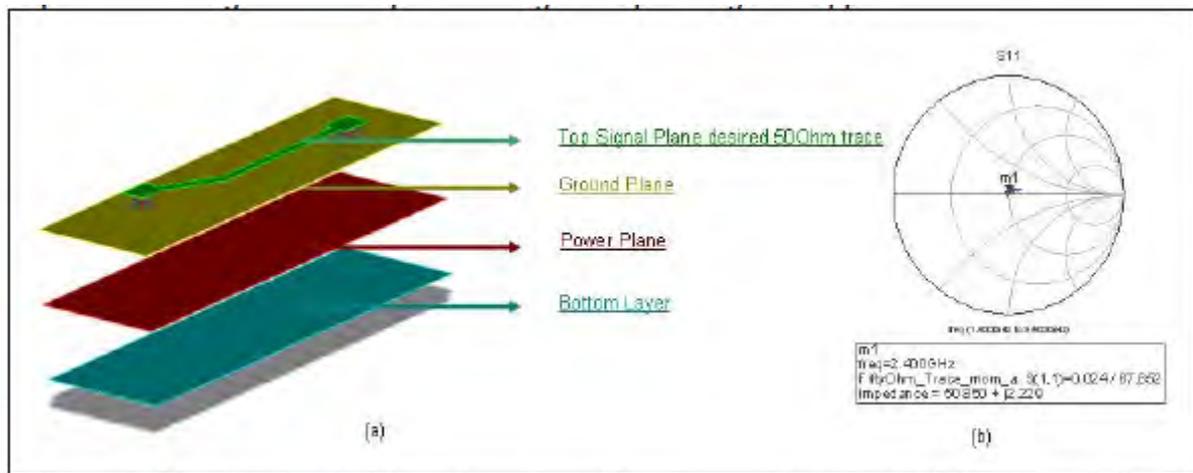


図 8 設計時の基板構成(スタックアップ)。望ましい50Ωのトレースを持つ最上部のプレーンの下にグラウンド・プレーン、パワー・プレーン、最下層が来ます。(b)に見えるトレース・インピーダンスのシミュレーション結果は、50.85+j2.229 (2.4GHz時)です。

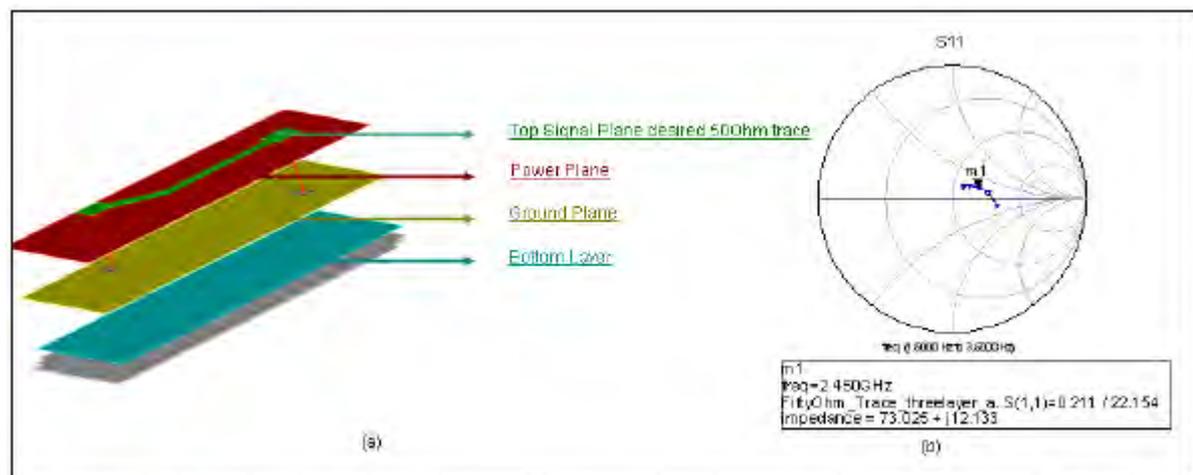


図 9 グラウンド・プレーンとパワー・プレーンが入れ替わった基板構成(スタックアップ)。50Ωトレースを持つ最上部のプレーンの下にパワー・プレーン、グラウンド・プレーン、最下層が来ています。(b)に見えるトレース・インピーダンスのシミュレーション結果は、73.025+ j12.133 (2.4GHz時)です。

## 6.6 チップ直下のシルクスクリーン

チップが配置される領域には、シルクスクリーンのマーキングを施さないことを推奨します。シルクがあるとチップを正しくPCBパッドにはんだ付けしにくくなり、望ましくない性能の原因になるためです。

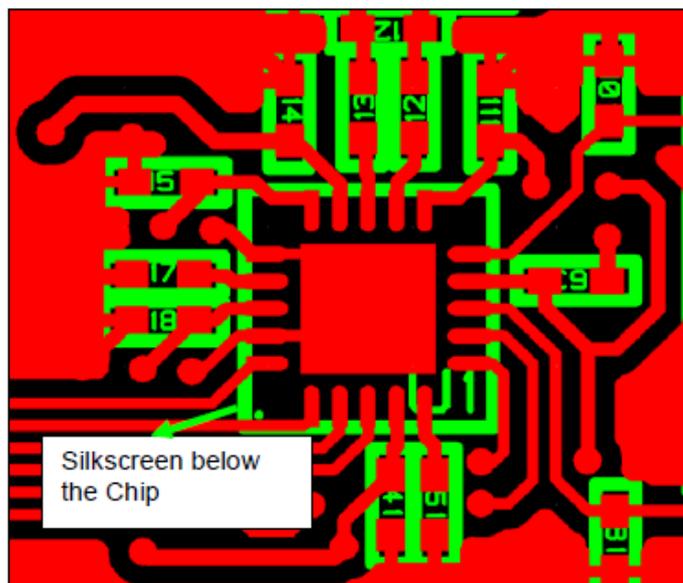


図 10 チップ下の領域に施されたシルクスクリーンのマーキング

## 6.7 Power Pad レイアウト

Power pad レイアウトは、CCXXXXデバイスを使用したRF設計の正常な動作に決定的に重要となります。CCXXXXデバイス上のチップ直下の領域はグラウンド接続に使用され、いくつかのビアでグラウンド・プレーンに接続することで熱性能を良好にし、グラウンドへのインダクタンスを十分に低くする必要があります。データ・シート(図11)とリファレンス設計では、部品ごとに固有のこの部分のレイアウトを規定し、ビア数とその配置、はんだマスクとはんだレジストのレイアウトを記載しています。推奨通り、PCBの部品側でこれらのビアを「テンティング」(はんだマスクで覆う)することにより、はんだリフロー工程中にビアを通過してはんだが吸い取られないようにすることが推奨されます。はんだペーストの塗布範囲(coverage)は100%にしないでください。100%にすると、リフロー工程中にガス抜けが発生する可能性があります。ガス抜けは、(飛び散りやはんだボール等の)不具合が発生する原因となります。「テンティングされた」ビアの使用により、はんだペーストの塗布範囲が100%より小さくなります。

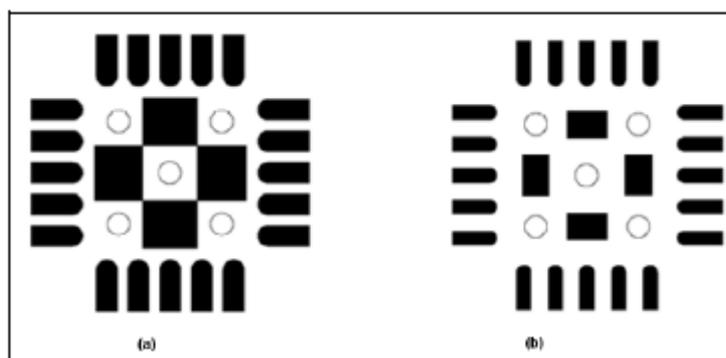


図 11 CC1101のデータ・シート [3]に記載のPower pad レイアウト例。(a) 上部のはんだ・レジスト・マスク (黒反転部分), (b) 上部のペースト・マスク。白丸はビア。

## 7 結論

アプリケーション・ノートでは、最適な性能を得るためにTI リファレンス設計をコピーするためのガイドラインとチェックリストを提供しています。また、RF PCB 設計で起こりがちな各種ミスの情報も提供しています。提案されている推奨に従うことにより、1回目の基板製造で最適な性能を持つ設計を行い、設計にかかる時間とコストを低減させることが可能になります。

## 8 参考文献

### 引用文献

[1] David M. Pozar “Microwave Engineering – Third Edition”, John Wiley 2005

### 一般的な参考文献

[2] AN068 - Adapting TI LPRF Designs for Layer Stacking (SWRA236)

[3] CC1101 Single-Chip Low Cost Low Power RF-Transceiver (SWRS061)

## 9 総合的な情報

### 9.1 改版履歴

| 版数  | 日付         | 説明/変更   |
|-----|------------|---------|
| 1.0 | 05/06/2011 | 最初のリリース |

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといひます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上