

# Analog Engineer's Circuit

## スルー レート制限回路



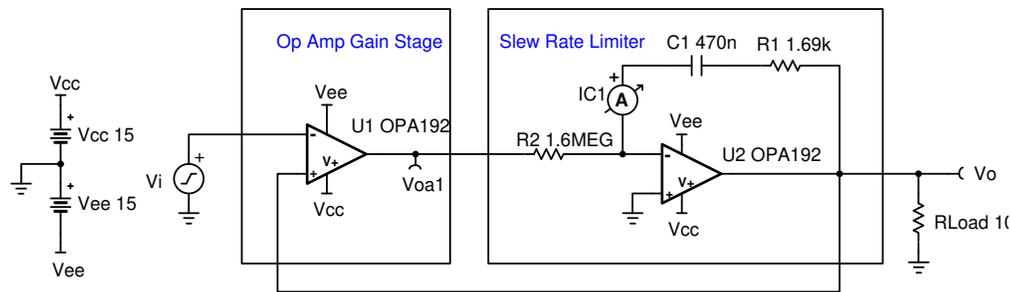
Caelan (Zak) Kaye

### 設計目標

入力		出力		電源		
$V_{iMin}$	$V_{iMax}$	$V_{oMin}$	$V_{oMax}$	$V_{cc}$	$V_{ee}$	$V_{ref}$
-10 V	10 V	-10 V	10 V	15 V	-15 V	0 V

### 設計の説明

この回路は、アナログ ゲイン段のスルー レートを制御します。この回路は対称型スルー レートのアプリケーション用に設計されています。目的のスルー レートは、スルー レート制限回路を実装するために選択するオペアンプのスルー レートよりも低くする必要があります。



### デザイン ノート

1. ゲイン段のオペアンプおよびスルー レート制限用オペアンプの両方について、安定性をチェックする必要があります。
2.  $C_1$  の充放電に必要な電流と、 $U_2$  から出力される負荷電流との和によって、 $U_2$  の電圧スイングが制限されないことを確認してください。

### 設計手順

1. スルー レートを設定し、帰還コンデンサ  $C_1$  の標準値を選択します。

$$C_1 = 470\text{nF}$$

$$SR = 20 \frac{\text{V}}{\text{s}}$$

2.  $R_2$  の値を選択し、目的のスルー レートに必要なコンデンサ電流を設定します。

$$SR = \frac{I_{C1}}{C_1}$$

$$20 \frac{\text{V}}{\text{s}} = \frac{I_{C1}}{470\text{nF}} \text{ where } I_{C1} = 9.4 \mu\text{A}$$

$$\text{Gain stage op amp } V_{\text{sat}} = \pm 14.995 \text{ (typical)}$$

$$I_{C1} = \frac{V_{\text{sat}}}{R_2}$$

$$9.4 \mu\text{A} = \frac{14.995\text{V}}{R_2}, \text{ so } R_2 = 1.595 \text{ M}\Omega \approx 1.6 \text{ M}\Omega \text{ (Standard Value)}$$

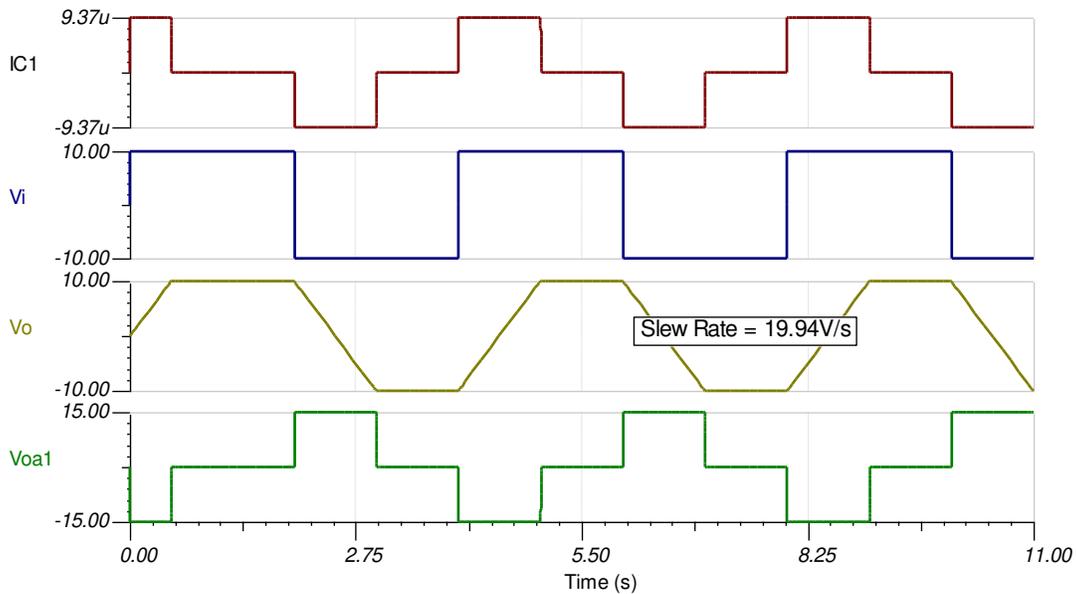
3. 安定性のため、帰還回路を補償します。 $R_1$  は、 $1/\beta$  回路に極を追加します。この極は、 $1/\beta$  曲線が、オープン ループ ゲイン曲線(この例では 200Hz)と交差する 1 デイケード前で水平となるよう配置する必要があります。

$$f_p = \frac{1}{2\pi \times R_1 \times C_1} = 200\text{Hz}$$

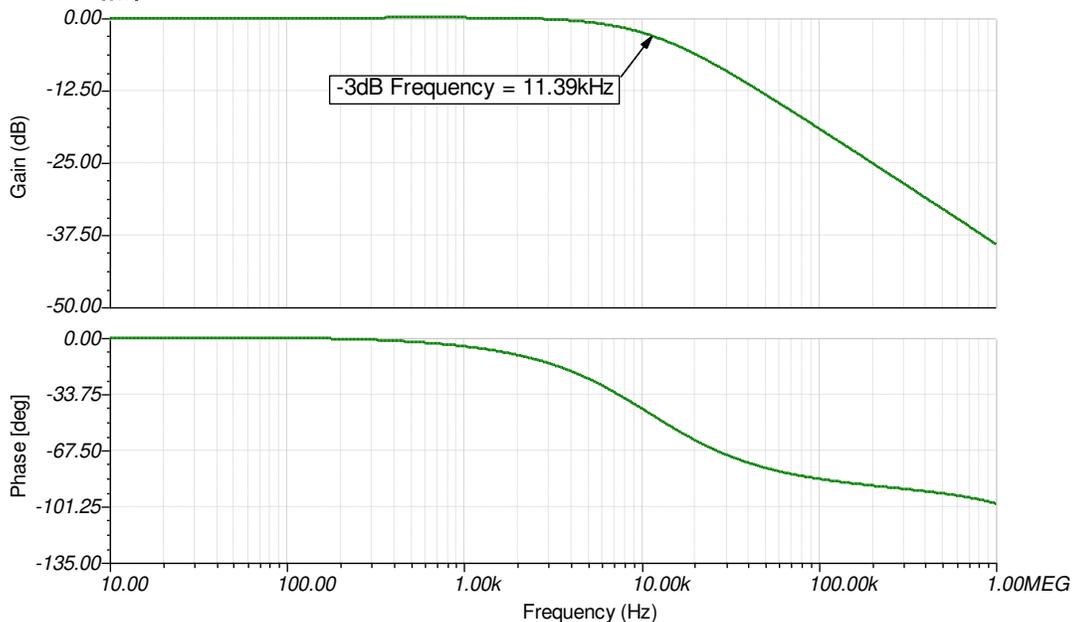
$$200\text{Hz} = \frac{1}{2\pi \times R_1 \times 470\text{nF}}, \text{ so } R_1 = 1.693 \text{ k}\Omega \approx 1.69\text{k}\Omega \text{ (Standard Value)}$$

## 設計シミュレーション

### 過渡シミュレーション結果



## AC シミュレーション結果



## 設計の参照資料

テキサス・インスツルメンツ、[スルーレートリミッタのシミュレーション](#)、[SPICE 回路シミュレーション ファイル](#)  
 テキサス・インスツルメンツ、[単一オペアンプ スルーレートリミッタ](#)、[リファレンス デザイン](#)

## 設計に使用されているオペアンプ

OPA192	
$V_{CC}$	4.5V~36V
$V_{inCM}$	レール ツー レール
$V_{out}$	レール ツー レール
$V_{os}$	5 $\mu$ V
$I_q$	1mA/Ch
$I_b$	5pA
UGBW	10MHz
SR	20V/ $\mu$ s
チャンネル数	1、2、4
<a href="#">OPA192</a>	

## 設計の代替オペアンプ

TLV2372	
$V_{cc}$	2.7V~16V
$V_{inCM}$	レール ツー レール
$V_{out}$	レール ツー レール
$V_{os}$	2 mV
$I_q$	750 $\mu$ A/Ch
$I_b$	1pA
UGBW	3MHz
SR	2.1V/ $\mu$ s
チャンネル数	1、2、4
TLV2372	

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision A\* (February 2019) to Revision B (October 2024) Page

- 文書全体にわたって表、図、相互参照の書式を更新..... 1

### Changes from Revision \* (February 2018) to Revision A (February 2019) Page

- タイトルのサイズを小さくし、タイトルのロールを「アンプ」に変更。回路クックブックのランディング ページと SPICE シミュレーション ファイルへのリンクを追加。..... 1

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated