

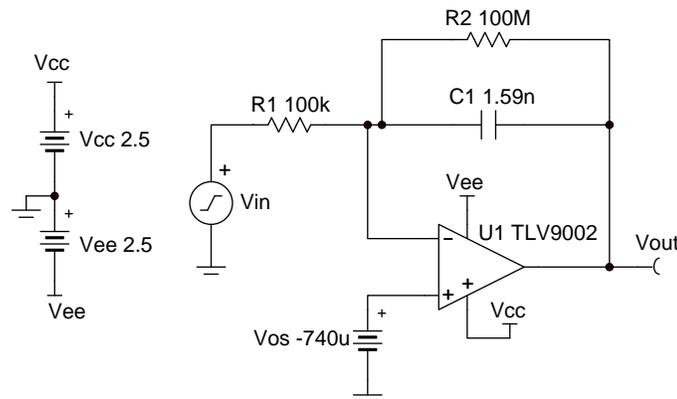
積分器回路

設計目標

| 入力 | | | 出力 | | 電源 | |
|------------------|------------------|------------------|-------------------|-------------------|-----------------|-----------------|
| f_{Min} | f_{odB} | f_{Max} | V_{oMin} | V_{oMax} | V_{cc} | V_{ee} |
| 100Hz | 1kHz | 100kHz | -2.45V | 2.45V | 2.5V | -2.5V |

設計の説明

この積分回路は入力信号を、回路の時定数とアンプの帯域幅に基づいた周波数範囲にわたって積分して出力します。入力信号は反転入力に印加されるため、出力は入力信号の極性に対して反転されます。理想的な積分回路は、入力オフセット電圧の極性に応じて、電源レールへと飽和します。安定したDC動作ポイントを提供するには、帰還抵抗 R_2 を追加する必要があります。この帰還抵抗により、積分機能が実行される周波数範囲の下限が決まります。この回路は、DC帰還パスを提供する、より大きな帰還/サーボ・ループの一部として最も一般的に使用され、帰還抵抗を不要にします。



Copyright © 2018, Texas Instruments Incorporated

デザイン・ノート

1. 実用的な範囲で、できるだけ大きな値の帰還抵抗を使用します。
2. 入力バイアス電流からの誤差を最小化するよう、**CMOS**オペアンプを選択します。
3. アンプのゲイン帯域幅積(**GBP**)は、積分機能の周波数範囲の上限を設定します。積分機能の有効性は一般に、アンプの帯域幅から約1桁離れた周波数から低下し始めます。
4. 入力オフセット電圧をキャンセルするため、オペアンプの非反転入力に変換の基準電圧を接続する必要があります。そうしないと、大きな**DC**ノイズ・ゲインによって回路が飽和します。オペアンプのオフセット電圧が非常に低い場合には、必要ありません。

設計手順

理想的な回路の伝達関数を次に示します。

$$V_{out} = -\frac{1}{R_1 \times C_1} \int_0^t V_{in}(t) dt$$

1. R_1 を標準値に設定します。

$$R_1 = 100k\Omega$$

2. ユニティ・ゲイン積分周波数を設定するよう、 C_1 を計算します。

$$C_1 = \frac{1}{2 \times \pi \times R_1 \times f_{0dB}} = \frac{1}{2 \times \pi \times 100k\Omega \times 1 \text{ kHz}} = 1.59nF$$

3. 低域カットオフ周波数を、最小動作周波数より1桁小さい値に設定するよう、 R_2 を計算します。

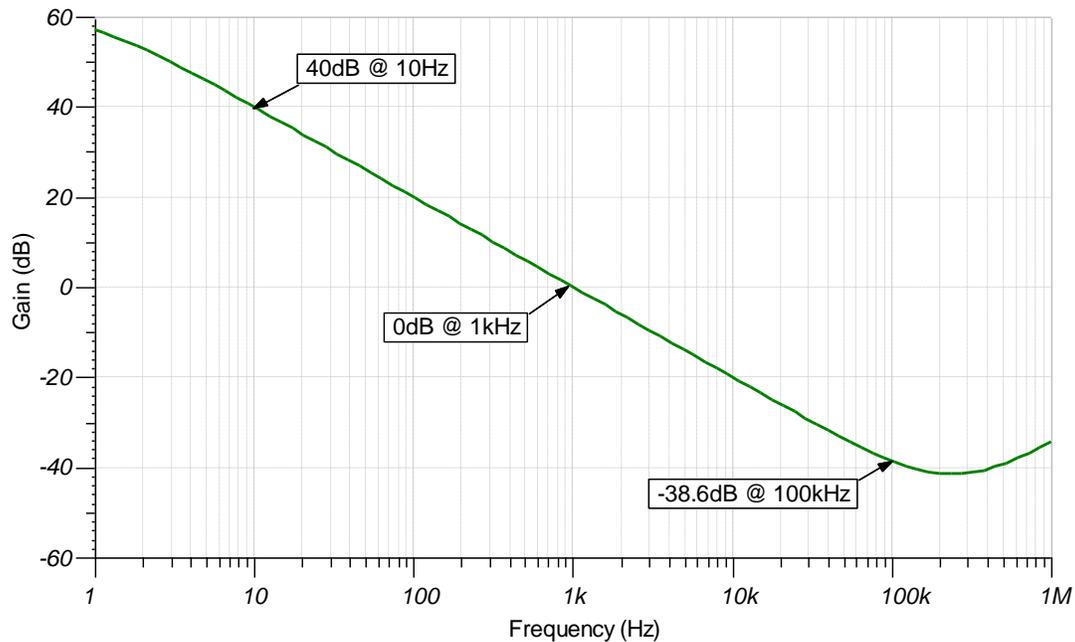
$$R_2 \geq \frac{10}{2 \times \pi \times C_1 \times f_{Min}} \geq \frac{10}{2 \times \pi \times 1.59nF \times 10Hz} \geq 100M\Omega$$

4. 目的の最大動作周波数と比べて、最低10倍のゲイン帯域幅を持つアンプを選択します。

$$GBP \geq 10 \times f_{Max} \geq 10 \times 100kHz \geq 1 \text{ MHz}$$

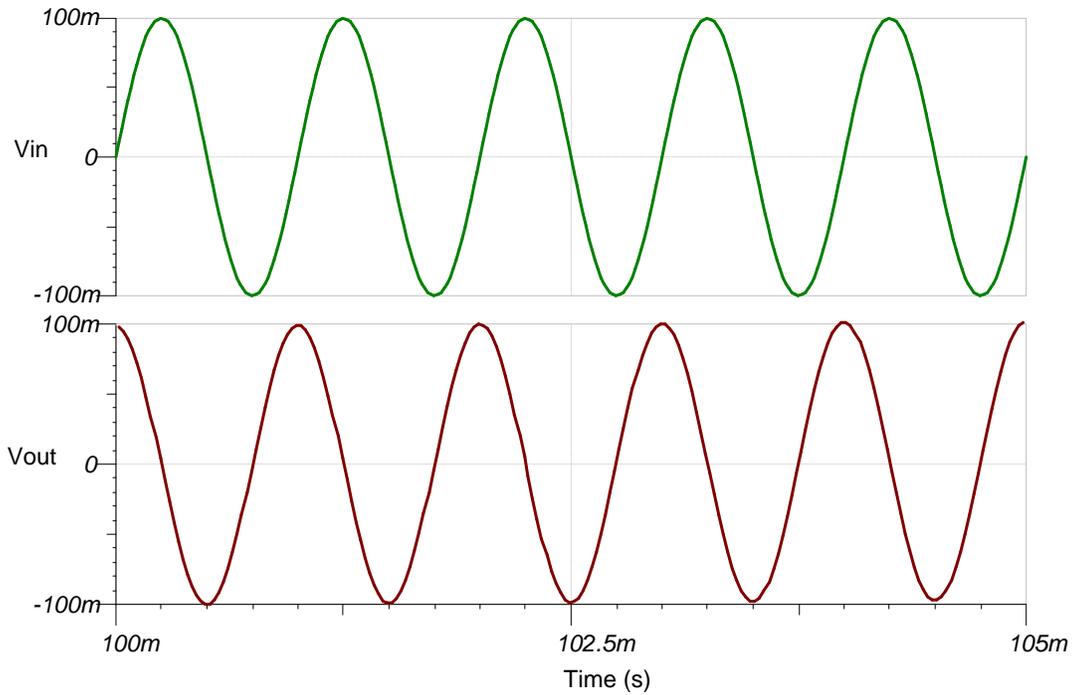
設計シミュレーション

ACシミュレーション結果

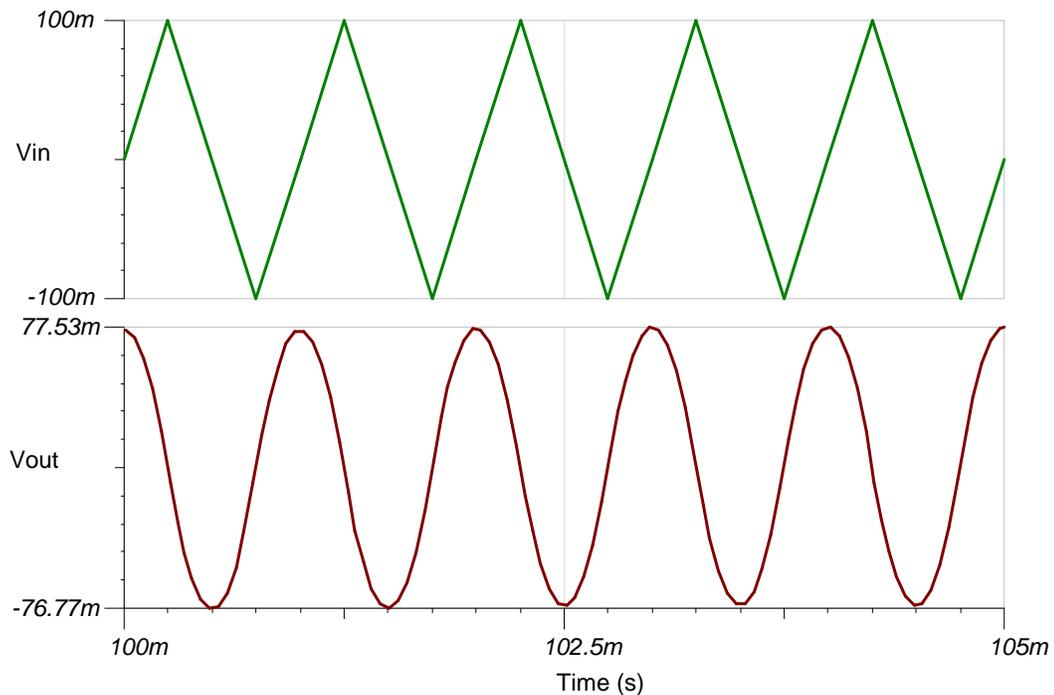


過渡シミュレーション結果

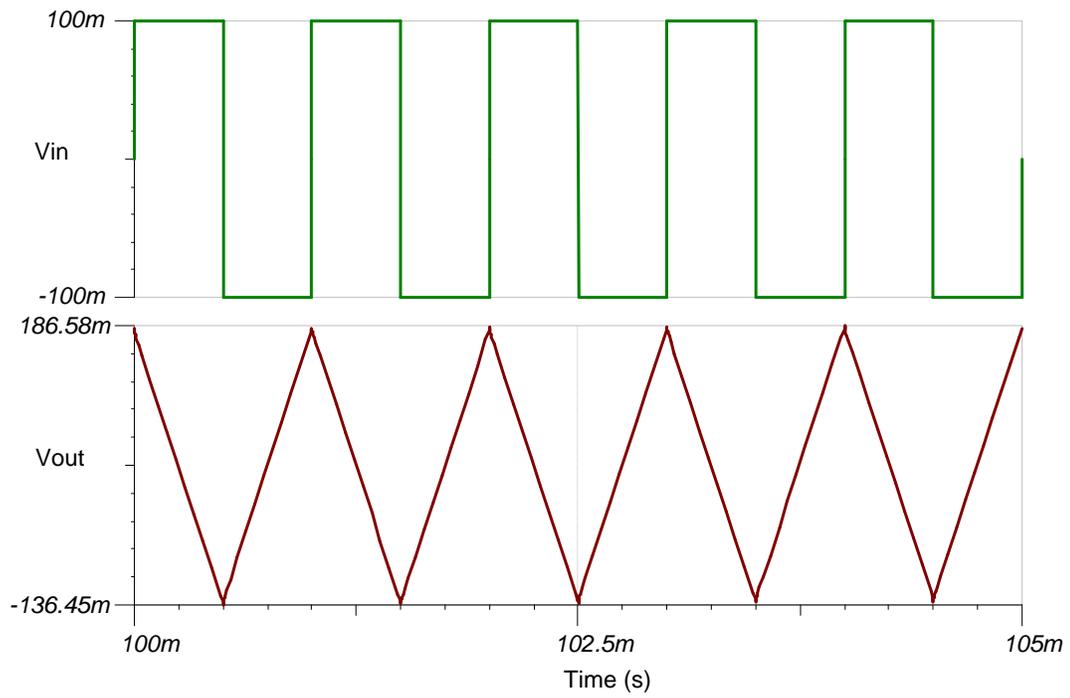
1kHzの正弦波入力から、1kHzの余弦出力が生成されます。



1Hzの三角波入力から、1kHzの正弦波出力が生成されます。



1Hzの方形波入力から、1kHzの三角波出力が生成されます。



設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

回路 SPICE シミュレーション・ファイル [SBOC496](#) を参照してください。

TIPD191 (www.tij.co.jp/tool/jp/tipd191) を参照してください。

設計に使用されるオペアンプ

| TLV9002 | |
|--|-------------|
| V_{cc} | 1.8V~5.5V |
| V_{inCM} | レール・ツー・レール |
| V_{out} | レール・ツー・レール |
| V_{os} | 0.4mV |
| I_q | 0.06mA |
| I_b | 5pA |
| UGBW | 1MHz |
| SR | 2V/ μ s |
| チャンネル数 | 1、2、4 |
| www.ti.com/product/tlv9002 | |

設計の代替オペアンプ

| OPA376 | |
|--|-------------------------------------|
| V_{cc} | 2.2V~5.5V |
| V_{inCM} | ($V_{ee}-0.1V$)~($V_{cc}-1.3V$) |
| V_{out} | レール・ツー・レール |
| V_{os} | 0.005mV |
| I_q | 0.76mA |
| I_b | 0.2pA |
| UGBW | 5.5MHz |
| SR | 2V/ μ s |
| チャンネル数 | 1、2、4 |
| www.ti.com/product/opa376 | |

改訂履歴

| 改訂内容 | 日付 | 変更 |
|------|---------|--|
| A | 2019年1月 | タイトルのサイズを小さくし、タイトルのロールを「アンプ」に変更。 回路クックブックのランディング・ページへのリンクを追加。 |

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated