

## 基準電圧を内蔵したウィンドウ・コンパレータの回路

### 設計目標

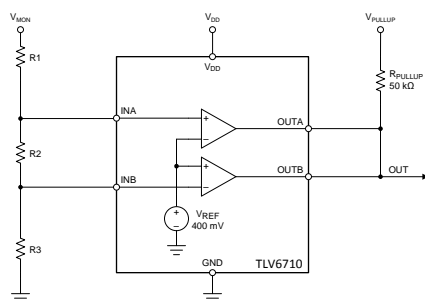
入力		出力		電源	
$V_{\text{MON Min}}$	$V_{\text{MON Max}}$	$V_{\text{OUT Min}}$	$V_{\text{OUT Max}}$	$V_{\text{DD}}$	$V_{\text{REF}}$
0V	6V	0V	3.3V	3.3V	400mV

下側スレッショルド ( $V_L$ )	上側スレッショルド ( $V_H$ )	$V_H$ における分圧器の負荷電流 ( $I_{\text{MAX}}$ )
3.2V	4.1V	10 $\mu$ A

### 設計の説明

この回路は TLV6710 を利用します。これには 2 つのコンパレータと 1 つの 400mV 高精度基準電圧が内蔵されています。監視対象の電圧 ( $V_{\text{MON}}$ ) は、 $R_1$ 、 $R_2$ 、 $R_3$  で分圧されます。 $R_2$  と  $R_3$  の両端の電圧が 400mV の内部基準電圧 ( $V_{\text{REF}}$ ) と比較されます。入力信号 ( $V_{\text{MON}}$ ) がウィンドウ内であれば、出力は HIGH になります。ウィンドウ外であれば LOW になります。

この例で使用される TLV6710 には 2 つのコンパレータが搭載され、共通の高精度内部基準電圧が 400mV スレッショルドに調整済みです。2 つの独立したコンパレータと 1 つの外部基準電圧を使用することもできます。



### デザイン・ノート

1. 想定される  $V_{\text{MON}}$  電圧の最大値が、コンパレータの入力電圧範囲を逸脱しないことを確認します。
2. 出力を互いに接続する (論理和を取る) 場合、オープン・コレクタまたはオープン・ドレイン出力のデバイスを使用する必要があります。
3. また、抵抗の公差 (最小、最大) と、コンパレータのオフセット電圧 (正、負) を使用して、以下の計算を繰り返すことも推奨します。
4. TLV6710 の内部ヒステリシスは非対称なので、立ち上がりエッジ  $V_L$  と立ち下がりエッジ  $V_H$  は多少シフトします。ヒステリシスなしのコンパレータであれば、計算されたスレッショルドを満たします。

## 設計手順

$V_H$  と  $V_L$  のセグメントについて、分圧抵抗を別々に計算し、目的のスレッシュホールド電圧で、適切なコンパレータ入力に 400mV を生成するようにします。

1. 分圧器の合計抵抗  $R_{TOTAL}$  は、上側スレッシュホールド電圧と分圧器の電流から計算されます。

$$R_{TOTAL} = R_1 + R_2 + R_3 = \frac{V_H}{I_{MAX}} = \frac{4.1V}{10\mu A} = 410k\Omega$$

2. 上側スレッシュホールド電圧は、INB ピンにつながる「下側」の分圧抵抗  $R_3$  で設定されます。 $R_3$  の値は、基準電圧と分圧器の電流から計算されます。

$$R_3 = \frac{V_{REF}}{I_{MAX}} = \frac{400mV}{10\mu A} = 40k\Omega$$

3. 「中間」の抵抗  $R_2$  は、 $R_2$  と  $R_1$  を 1 つの抵抗と見なし、 $V_{REF}$  が  $V_L$  のときの合計抵抗値を計算してから、既知の  $R_3$  を減算して求めます。

$$R_2 = \left( \left( \frac{R_{TOTAL}}{V_L} \times V_{REF} \right) - R_3 \right) = \left( \left( \frac{410k\Omega}{3.2V} \times 400mV \right) - 40k\Omega \right) = 11.25k\Omega$$

4.  $R_1$  は、合計抵抗値から  $R_2$  と  $R_3$  の和を減算して求めます。

$$R_1 = R_{TOTAL} - (R_2 + R_3) = 410k\Omega - (11.25k\Omega + 40k\Omega) = 358.75k\Omega$$

これらは理想的な抵抗値として計算されているため、最も近い 0.1% の標準抵抗値を使用します。抵抗値の違いによる変化と、その結果によるトリップ・ポイント電圧の変化を、下の表に要約します。

### 最も近い 0.1% 抵抗値

抵抗	理想的な計算値	最も近い 0.1% (E192) の標準抵抗値
$R_1$	358.750k $\Omega$	361k $\Omega$
$R_2$	11.25k $\Omega$	11.3k $\Omega$
$R_3$	40k $\Omega$	40.2k $\Omega$

分圧STRING抵抗の実際の値を使用して、新しいスレッシュホールド電圧を計算する必要があります。これらのスレッシュホールドは、分圧比に基準電圧を乗算して求められます。

$$V_H = \left( \frac{R_1 + R_2 + R_3}{R_3} \right) \times V_{REF} = \left( \frac{361k\Omega + 11.3k\Omega + 40.2k\Omega}{40.2k\Omega} \right) \times 0.4V = 10.26119 \times 0.4V = 4.1045V$$

$$V_L = \left( \frac{R_1 + R_2 + R_3}{R_2 + R_3} \right) \times V_{REF} = \left( \frac{361k\Omega + 11.3k\Omega + 40.2k\Omega}{11.3k\Omega + 40.2k\Omega} \right) \times 0.4V = 8.0097 \times 0.4V = 3.2039V$$

### 理想的な抵抗値と標準抵抗値でのスレッシュホールド

スレッシュホールド	理想抵抗を使用	標準抵抗を使用	変化率 (%)
$V_H$	4.1V	4.1045V	+0.109%
$V_L$	3.2V	3.2039V	+0.121%

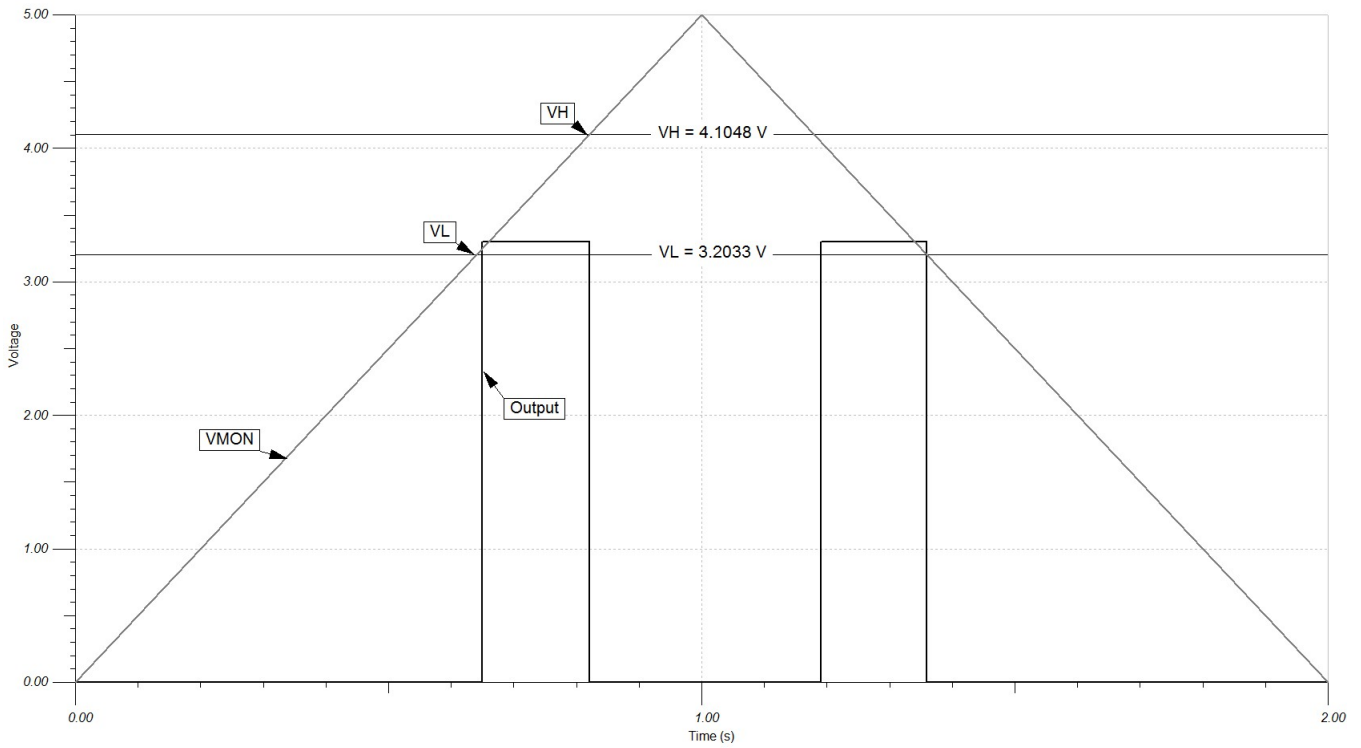
最大 6V の  $V_{MON}$  電圧が TLV6710 の最大入力電圧定格である 1.7V を超えないようにするため、上記の手順 4 に示される  $V_{MON\_MAX}$  と  $V_L$  の分割比を使用して、TLV6710 の最大入力電圧を計算します。

$$V_{INPUT\_MAX} = \frac{V_{MON\_MAX}}{V_{L\_RATIO}} = \frac{6V}{8.0097} = 749.1mV$$

値 749mV は 1.7V よりも小さいため、入力電圧は入力の最大値を十分に下回っています。独立のコンパレータを使用する場合、入力電圧が、使用するデバイスで規定されている入力同相範囲 ( $V_{ICR}$ ) 内であることを確認してください。

設計シミュレーション

過渡シミュレーション結果



注: TLV6710 の内部ヒステリシスが非対称なため、立ち上がりエッジ  $V_L$  と立ち下がりエッジ  $V_H$  のスレッシュホールドは多少シフトします。ヒステリシスなしのコンパレータであれば、計算されたスレッシュホールドを満たします。

## 設計の参照資料

入力電圧範囲、出力の種類、伝播遅延など、コンパレータに関する多くのトピックの詳細については、「[TI プレシジョン・ラボ - コンパレータ・アプリケーション](#)」を参照してください。

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路ブック](#)」を参照してください。

TINA-TI™ TLV6710 リファレンス・デザイン回路のシミュレーション・ファイル、文書番号 [SNVMB09](#) (英語) を参照してください。

## 設計で使用されているコンパレータ

TLV6710	
$V_{ss}$	2V~36V
$V_{inCM}$	0V~1.7V
$V_{out}$	0V~25V
$V_{ref}$	400mV $\pm$ 0.25%
$I_q$	11 $\mu$ A
$I_b$	1nA
伝搬遅延	10 $\mu$ s
チャンネル数	2
<a href="http://www.ti.com/product/tlv6710">www.ti.com/product/tlv6710</a>	

## 設計の代替コンパレータ

TLV6700	
$V_{ss}$	1.8V~18V
$V_{inCM}$	0V~6.5V
$V_{out}$	0V~18V
$V_{ref}$	400mV $\pm$ 0.5%
$I_q$	5.5 $\mu$ A
$I_b$	1nA
伝搬遅延	29 $\mu$ s
チャンネル数	2
<a href="http://www.ti.com/product/tlv6700">www.ti.com/product/tlv6700</a>	

## 設計の代替コンパレータ

TLV1702	
$V_{ss}$	2.7~36V
$V_{inCM}$	レール・ツー・レール
$V_{out}$	36V までのオープン・ドレイン
$V_{os}$	$\pm$ 3.5mV
$I_q$	75 $\mu$ A
$I_b$	15nA
伝搬遅延	0.4 $\mu$ s
チャンネル数	2
<a href="http://www.ti.com/product/tlv1702">www.ti.com/product/tlv1702</a>	

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社  
Copyright © 2021, Texas Instruments Incorporated