

Analog Engineer's Circuit

出力検出を備えたプログラム可能な電圧出力回路



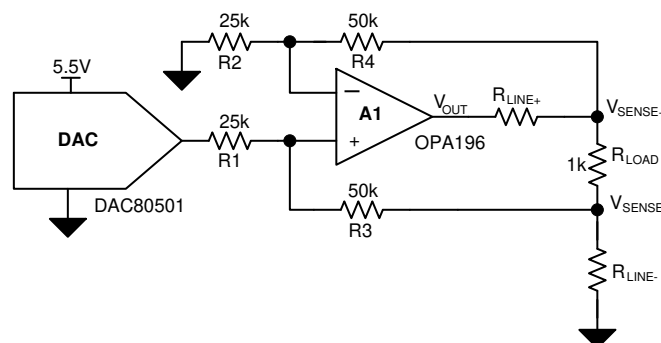
Garrett Satterfield

設計目標

DAC の出力電圧	出力電圧 V_{LOAD}	最小負荷抵抗 R_{LOAD}	補償可能な最大ライン抵抗	エラー
0V–5V	0V–10V	1k Ω	R_{LOAD} の +25%	< 0.25% FSR

設計の説明

この出力検出を備えたプログラム可能な電圧出力回路は、寄生直列抵抗による電圧低下を補償して、負荷の両端に正確な電圧を供給できます。アンプ **A1** は、接続されている負荷のハイサイド端とローサイド端からの電圧を帰還して、 V_{SENSE+} と V_{SENSE-} との間の電圧を正確にレギュレートします。デジタル / アナログ コンバータ (DAC) 出力とディスクリット抵抗により、負荷の両端の電圧が設定されます。この回路は、付加的なライン抵抗が存在する可能性があり、出力電圧を増やすことで補償して負荷に正しい電圧を印加する必要があるアプリケーションで使用されます。この回路を使用する一般的な最終製品として、[アナログ出力モジュール](#)、[メモリ / 半導体試験装置](#)、[分光器](#)、[データ アクイジション \(DAQ\) カード](#)が挙げられます。



デザイン ノート

- 総合未調整誤差 (TUE) が小さく、アプリケーションに必要な分解能を持つ DAC を選択します。基準電圧を内蔵した DAC (DAC80501 デバイスなど) を使用すると、部品数とソリューション サイズを最小化できます。
- 負荷およびライン抵抗を駆動するのに十分な出力振幅を得るため、レール ツー レール出力を持つ高電圧アンプを選択します。出力誤差に大きく影響しないように、オフセット電圧とオフセット電圧ドリフトが小さくなるようにアンプを設定します。
- 抵抗のミスマッチは、出力のゲイン誤差に直接寄与します。公差が 0.05% 以下で、熱ドリフトが小さい抵抗を使用します。
- 付加的なライン抵抗を正しく補償するため、 $R2:R4$ の比は $R1:R3$ の比とできるだけ精度よく一致させる必要があります。
- アンプの電源電圧は、必要な出力電圧、付加的なライン抵抗、最大負荷電流におけるアンプの出力振幅に基づいて選択します。
- ゼロスケールでの誤差を減らすため、アンプに負電源を供給することもできます。

設計手順

- DAC 電圧と抵抗値に基づいて、 V_{OUT} の伝達関数は次の式で示されます。

$$V_{\text{LOAD}} = \frac{R_3}{R_1} \cdot V_{\text{DAC}}; \quad \frac{R_3}{R_1} = \frac{R_4}{R_2}$$

2. R3には50kΩの抵抗を選択します。帰還パスの電流を減らすため、比較的大きな値を選択する必要があります。次にR1を計算します。

$$R_1 = \frac{V_{\text{DAC,FS}}}{V_{\text{LOAD,FS}}} \cdot R_3 = \frac{5\text{V}}{10\text{V}} \cdot 50\text{k}\Omega = 25\text{k}\Omega$$

3. R4とR2には、それぞれR3とR1に等しい値を選択します。
 4. 最小負荷抵抗とフルスケールのV_{LOAD}に基づいて、最大負荷電流を計算します。最大負荷電流は、アンプの出力電圧振幅と、回路が補償できる付加的ライン抵抗に影響を及ぼします。

$$I_{\text{LOAD,max}} = \frac{V_{\text{LOAD,FS}}}{R_{\text{LOAD,min}}} = \frac{10\text{V}}{1\text{k}\Omega} = 10\text{mA}$$

5. 必要なV_{CC}電圧は、25%の追加負荷抵抗を駆動し、同時にR_{LOAD}の両端で電圧レギュレーションを維持できるように計算されます。V_{O,rail}は、10mAの負荷電流におけるアンプのV+からの出力振幅の近似値です。

$$V_{\text{CC,min}} = V_{\text{O,rail}} + 0.25 \cdot R_{\text{LOAD,min}} \cdot I_{\text{LOAD,max}} + V_{\text{LOAD,FS}} = 500\text{mV} + 250\Omega \cdot 10\text{mA} + 10\text{V} = 13\text{V}$$

6. 出力誤差は、DAC TUE、アンプのオフセット電圧、抵抗の公差、基準電圧の初期精度から、二乗和平方根 (RSS) 分析を使用して概算できます。

$$\text{Output TUE}(\% \text{FSR}) = \sqrt{\text{TUE}_{\text{DAC}}^2 + \left(\frac{V_{\text{OS}}}{\text{FSR}} \cdot 100\right)^2 + 4 \cdot R_{\text{Tot}}^2 + \text{Accuracy}_{\text{Ref}}^2} = \sqrt{0.1^2 + \left(\frac{100\mu\text{V}}{5\text{V}} \cdot 100\right)^2 + 4 \cdot 0.05^2 + 0.1^2} = 0.173\%$$

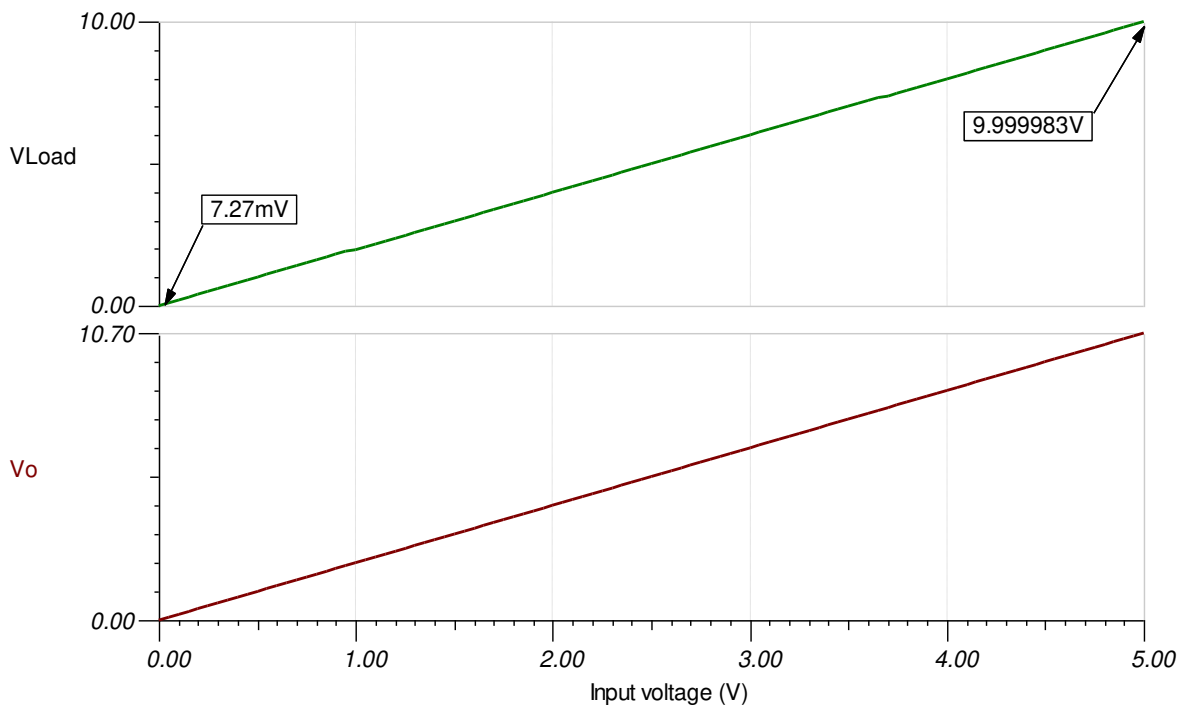


図 1-1. DC 伝達特性

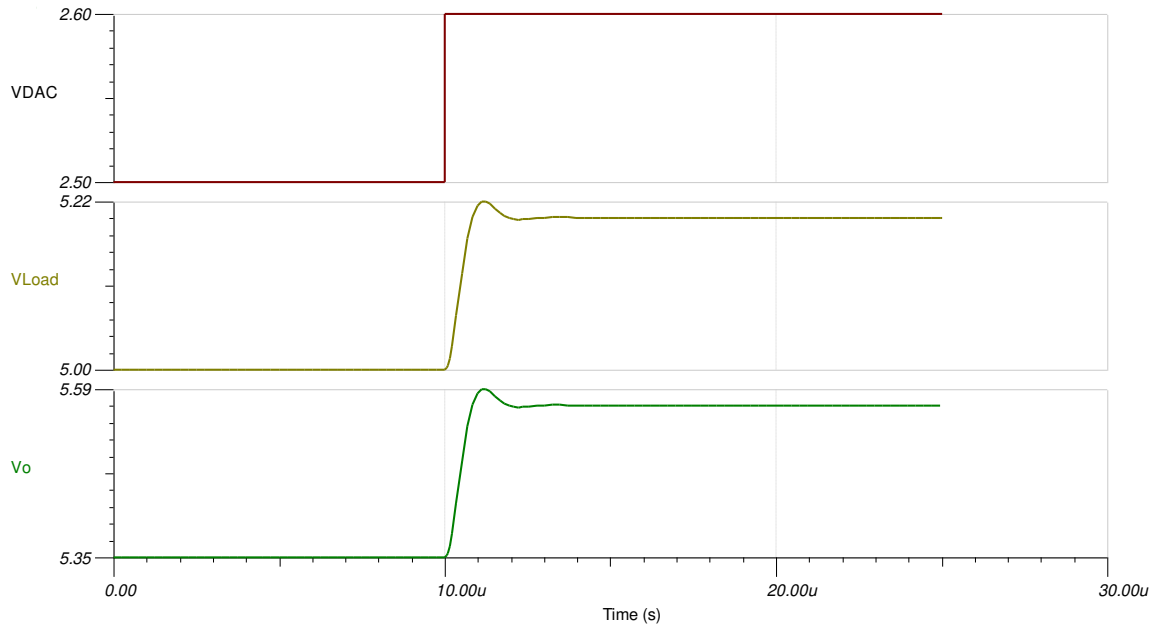


図 1-2. 小信号ステップ応答

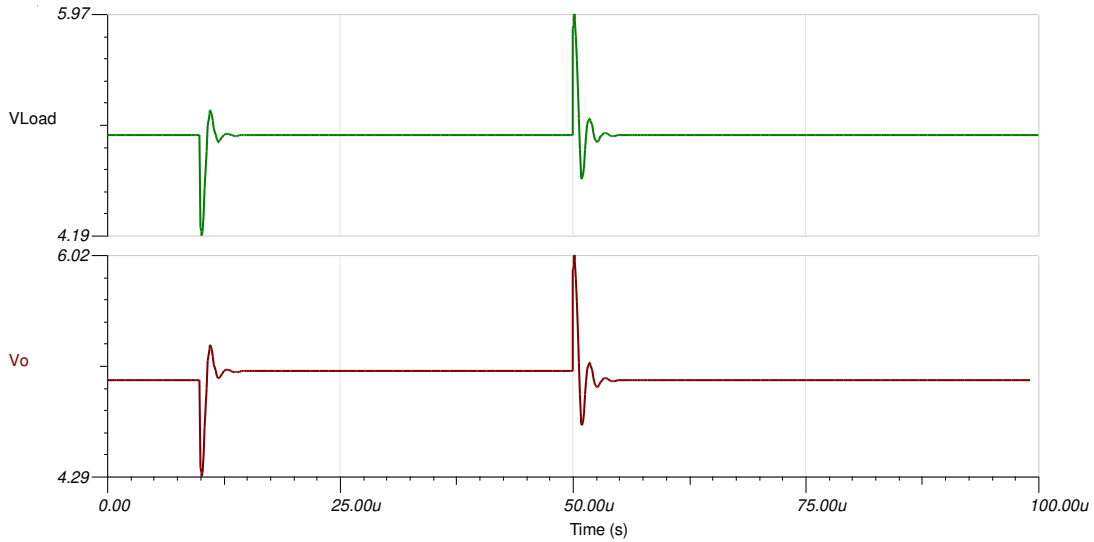


図 1-3. 10kΩ から 5kΩ への R_{LOAD} の負荷過渡

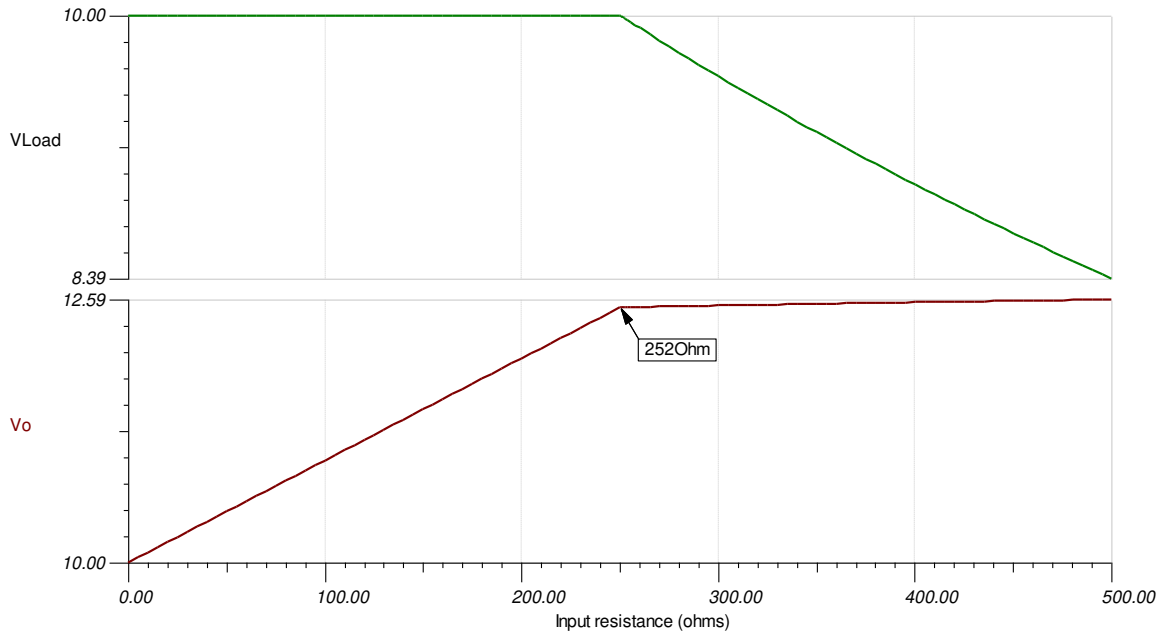


図 1-4. アンプの $V_{CC} = 13V$ における付加的ライン抵抗の最大値

デバイス

デバイス	主な特長	リンク	他の使用可能デバイス
DAC			
DAC80501	5ppm/°C リファレンス内蔵、16 ビット分解能、1LSB INL、シングル チャネル、電圧出力 DAC	WSON パッケージ封止、高精度基準電圧内蔵、真の 16 ビット、1 チャネル、SPI/I2C 対応、電圧出力 DAC	高精度 DAC (≦ 10MSPS)
DAC81416	5ppm/°C リファレンス内蔵、16 ビット分解能、1LSB INL、16 チャネル、±20V の高電圧出力 DAC	16 チャネル、16 ビット、高電圧出力 DAC、基準電圧内蔵	
DAC80508	5ppm/°C リファレンス内蔵、16 ビット分解能、1LSB INL、8 チャネル、電圧出力 DAC	高精度基準電圧内蔵、真の 16 ビット、8 チャネル、SPI 対応、電圧出力 DAC	
オペアンプ			
OPA196	低オフセット (100μV)、低ドリフト、レール ツー レール I/O、2.25V~36V 電源	マルチプレクサ対応入力、シングル、36V、低消費電力、汎用アンプ	オペアンプ
TLV170	低コストのレール ツー レール出力、2.7V~36V 電源	コスト重視アプリケーション向け、シングル、36V、1.2MHz、低消費電力オペアンプ	
OPA192	高精度、超低オフセット (5μV)、超低ドリフト、レール ツー レール I/O、4.5V~36V 電源	高電圧、レール ツー レール入出力、5μV、0.2μV/°C、高精度オペアンプ	

主要なファイルへのリンク

テキサス・インスツルメンツ、出力検出を備えたプログラム可能な電圧出力回路、ソース ファイル

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated