

プログラム可能なローサイド電流シンク回路

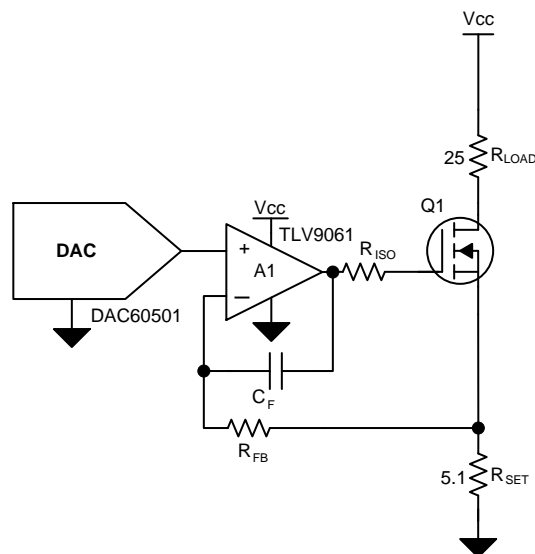
Garrett Satterfield

設計目標

VCC	DAC 出力電圧	出力電流	誤差	最大抵抗性負荷
5V	0mV~510mV	0mA~100mA	<0.25% FSR	44.9Ω

設計の説明

このプログラム可能なローサイド電流シンクは、DAC の出力電圧に基づいて、負荷を流れる電流を設定します。負荷電流は R_{SET} により検出され、トランジスタが負荷電流をレギュレートするようにオペアンプがトランジスタのバイアスを制御します。部品 C_F 、 R_{ISO} 、 R_{FB} は回路の安定性を確保するために補償を行います。



デザイン・ノート

1. オフセット誤差、ゲイン誤差、ドリフト係数の小さい DAC を選択します。レール付近での誤差を減らし、抵抗性負荷の駆動能力を最大にするため、RRIO オペアンプを使用します。誤差を最小化するため、オフセット電圧が小さいオペアンプを選択します。
2. 高精度の電流レギュレーションを行うため、 R_{SET} には高精度で低ドリフトの抵抗を使用します。
3. 効率性と消費電力のため、 R_{SET} は最小限にする必要があります。消費電力のほとんどは、 R_{LOAD} で発生します。
4. 高抵抗の R_{LOAD} を駆動するため、別の高電圧電源を使用して、負荷電流を駆動することもできます。

設計手順

1. 最大 DAC 出力電圧と目標最大出力電流について、 R_{SET} の値を計算します。

$$R_{SET} = \frac{V_{DAC,max}}{I_{OUT,max}} = \frac{510mV}{100mA} = 5.1\Omega$$

2. 最大の抵抗性負荷は、次の式で与えられます。

$$R_{LOAD,max} = \frac{V_{CC} - I_{SET,max} R_{SET}}{I_{SET,max}} = \frac{5V - 100mA \times 5.1}{100mA} = 44.9\Omega$$

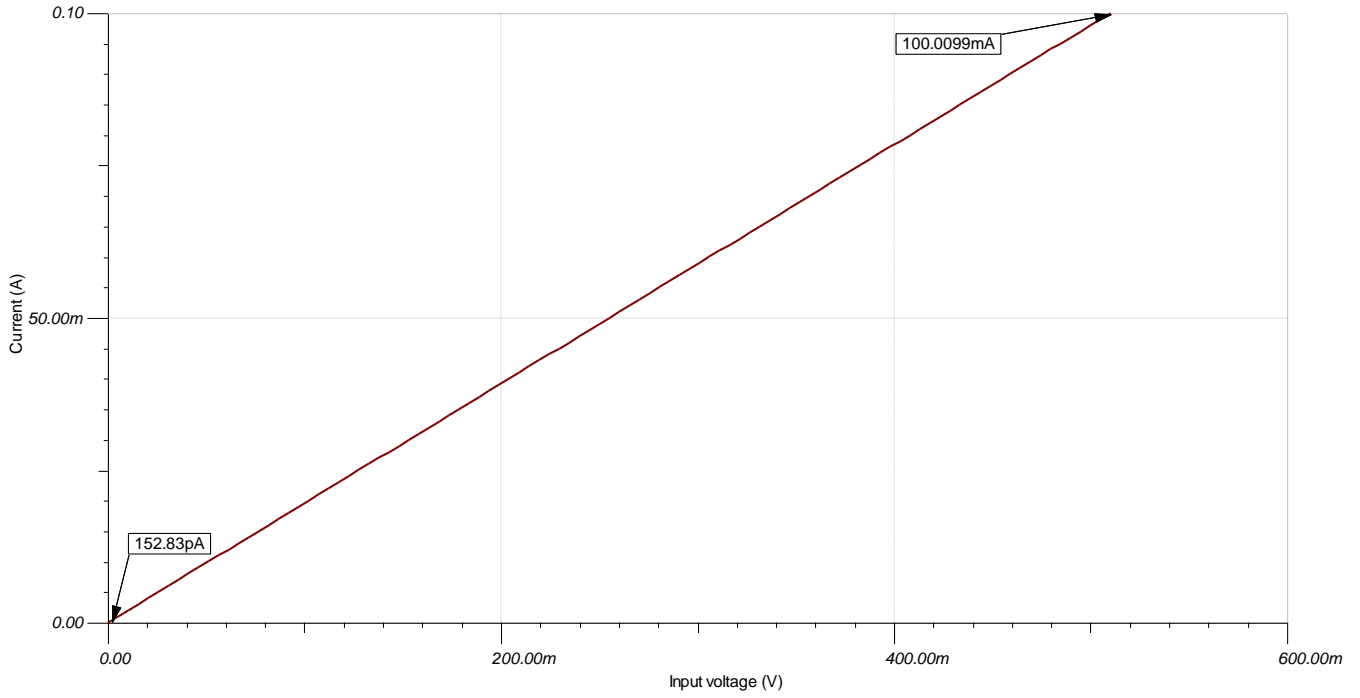
3. Q1 の定格が、最小負荷抵抗での最大電流における最大消費電力を満たしていることを確認します。

$$P_{Diss,Q2} = V_{CC} \times I_{SET,max} - I_{SET,max}^2 \times (R_{LOAD} + R_{SET}) = 5V \times 100mA - 100mA^2 \times (25\Omega + 5.1\Omega) = 0.2W$$

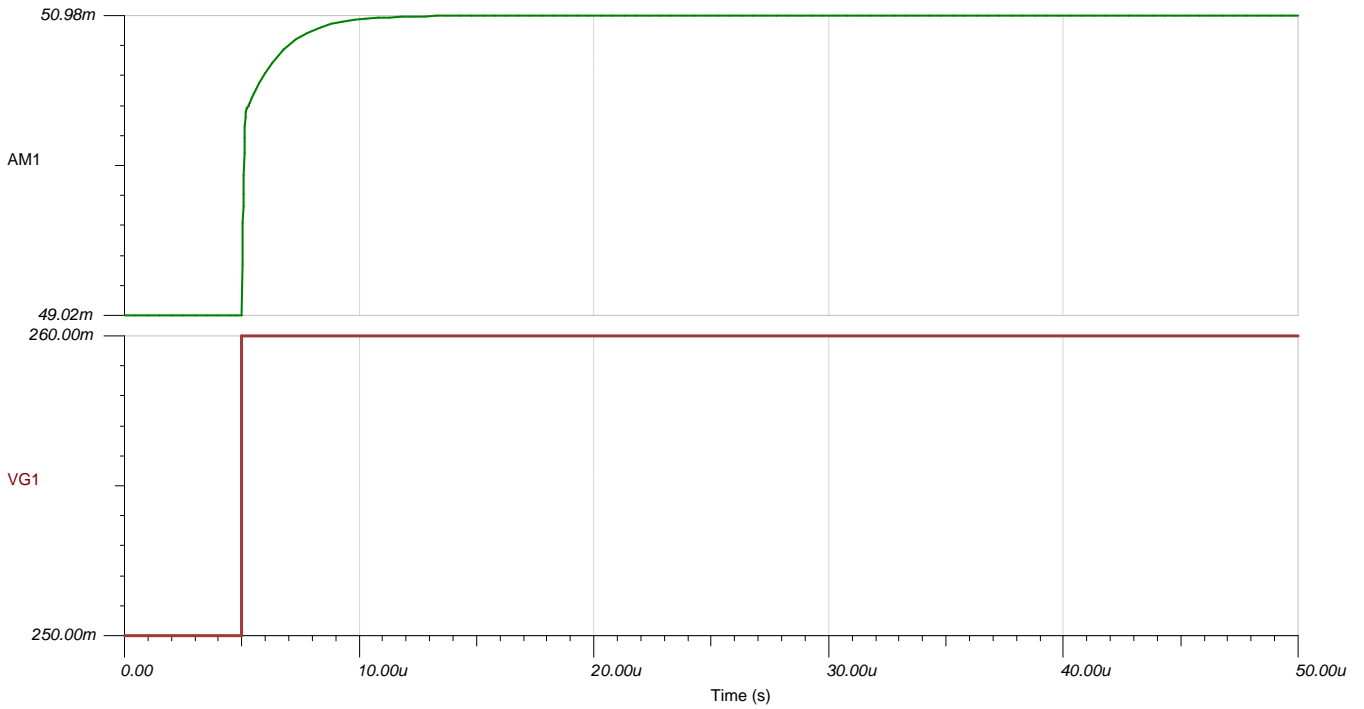
4. 出力誤差は、DAC TUE、アンプのオフセット電圧、抵抗の公差、基準電圧の初期精度から、根二乗和 (RSS) 分析を使用して概算できます。

$$\text{Output TUE}(\%FSR) = \sqrt{\text{TUE}_{DAC}^2 + \left(\frac{V_{OS,Amplifier}}{FSR} \times 100 \right)^2 + \text{ToI}_{R_{SET}}^2 + \text{Accuracy}_{Ref}^2} = \sqrt{0.1^2 + \left(\frac{0.3mV}{510mV} \times 100 \right)^2 + 0.1^2 + 0.1^2} = 0.183\% \text{ FSR}$$

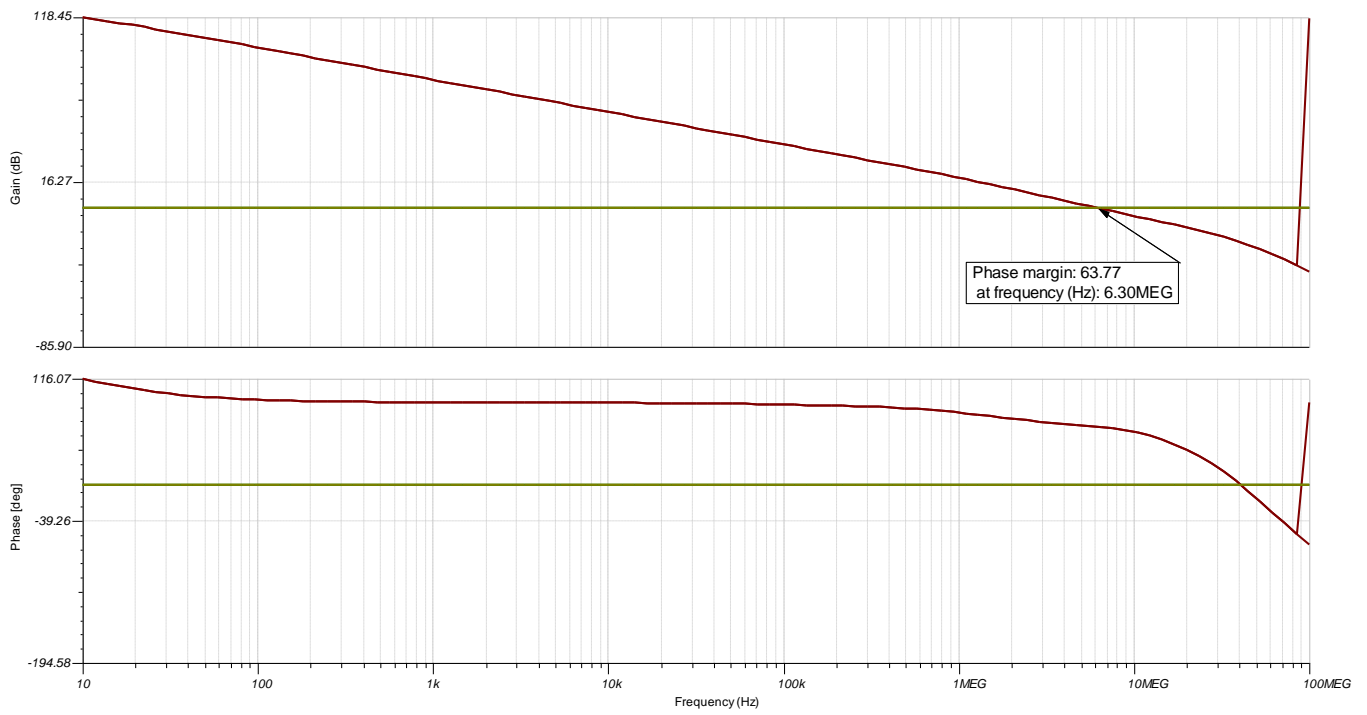
DC 伝達特性



小信号ステップ応答



AC ループのゲイン分析



デバイス

デバイス	主な特長	リンク	他の使用可能デバイス
DAC			
DAC60501	5ppm/°C リファレンス内蔵、12 ビット分解能、1LSB INL、シングル・チャンネル、電圧出力 DAC	http://www.ti.com/product/DAC60501	http://www.ti.com/pdacs
DAC80501	5ppm/°C リファレンス内蔵、16 ビット分解能、1LSB INL、シングル・チャンネル、電圧出力 DAC	http://www.ti.com/product/DAC80501	http://www.ti.com/pdacs
DAC8830	16 ビット分解能、シングル・チャンネル、超低消費電力、バッファなし出力、1LSB INL、SPI、2.7V~5.5V 電源	http://www.ti.com/product/DAC8830	http://www.ti.com/pdacs
アンプ			
TLV9061	超小型、0.3mV オフセット、レール・ツー・レール I/O、1.8V~5.5V 電源	http://www.ti.com/product/TLV9061	http://www.ti.com/opamps
OPA317	ゼロドリフト、低オフセット、レール・ツー・レール I/O、最大 35µA 電源電流、2.5V~5.5V 電源	http://www.ti.com/product/OPA317	http://www.ti.com/opamps
OPA388	高精度、ゼロドリフト、ゼロクロスオーバー、低ノイズ、レール・ツー・レール I/O、2.5V~5.5V 電源	http://www.ti.com/product/OPA388	http://www.ti.com/opamps

設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

主要なファイルへのリンク

[ローサイド電流シンクのソース・ファイル](http://www.ti.com/lit/zip/slac784) – <http://www.ti.com/lit/zip/slac784>

[TI Precision Labs - Op Amps: Stability 6](#)

TI エンジニアから直接サポートを受けるには、[E2E コミュニティ](#)をご利用ください。

e2e.ti.com

その他のリンク

[高精度 DAC ラーニング・センター](#)

<http://www.ti.com/data-converters/dac-circuit/precision/overview.html>

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated