

ユニポーラ電圧出力 DAC からのバイポーラ電圧 出力回路

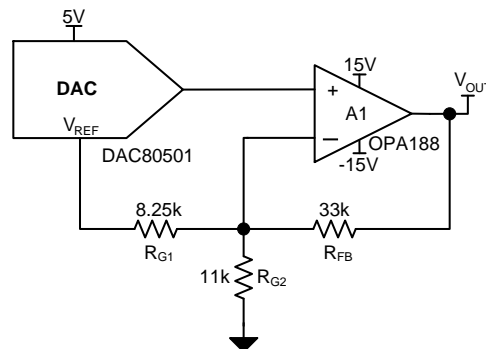
Garrett Satterfield

設計目標

DAC 電源電圧	アンプ電源電圧	DAC 電圧	出力電圧	誤差
5V	±15V	0V~2.5V	±10V	<0.25% FSR

設計の説明

このユニポーラからバイポーラへの出力電圧回路は、ユニポーラ DAC からの電圧をバイポーラの電圧スパンに変換します。この回路は DAC、オペアンプ、基準電圧、およびバイポーラ出力電圧の範囲とスパンを設定する 3 つの抵抗で構成されます。この回路は、PLC アナログ出力モジュール、フィールド・トランスミッタ、その他プログラム可能なバイポーラ電圧を必要とするアプリケーションでよく使用されます。



デザイン・ノート

1. ゲイン誤差、オフセット誤差、INL の小さい DAC を選択します。オフセット電圧が小さく、オフセット電圧ドリフト係数が小さい、高電圧のオペアンプを使用する必要があります。
2. 公差が 0.1% 以下で、温度ドリフト係数が小さい抵抗を使用します。
3. ソリューション・サイズを最小にするため、基準電圧を内蔵した DAC を使用します。

設計手順

1. DAC 電圧、基準電圧、抵抗に基づいて、電圧出力は次の式で与えられます。

$$V_{\text{OUT}} = \left(1 + \frac{R_{\text{FB}}}{R_{\text{G1}}} + \frac{R_{\text{FB}}}{R_{\text{G2}}} \right) V_{\text{DAC}} - \frac{R_{\text{FB}}}{R_{\text{G1}}} V_{\text{REF}}$$

2. DAC 電圧を 0 に設定し、目的の負のフルスケール出力が得られるように R_{FB} と R_{G1} の比率を計算します。このゲインが得られるように標準抵抗値を選択します。

$$\frac{V_{\text{NegativeFS}}}{V_{\text{REF}}} = \frac{R_{\text{FB}}}{R_{\text{G1}}} = \frac{10\text{V}}{2.5\text{V}} = \frac{33\text{k}\Omega}{8.25\text{k}\Omega}$$

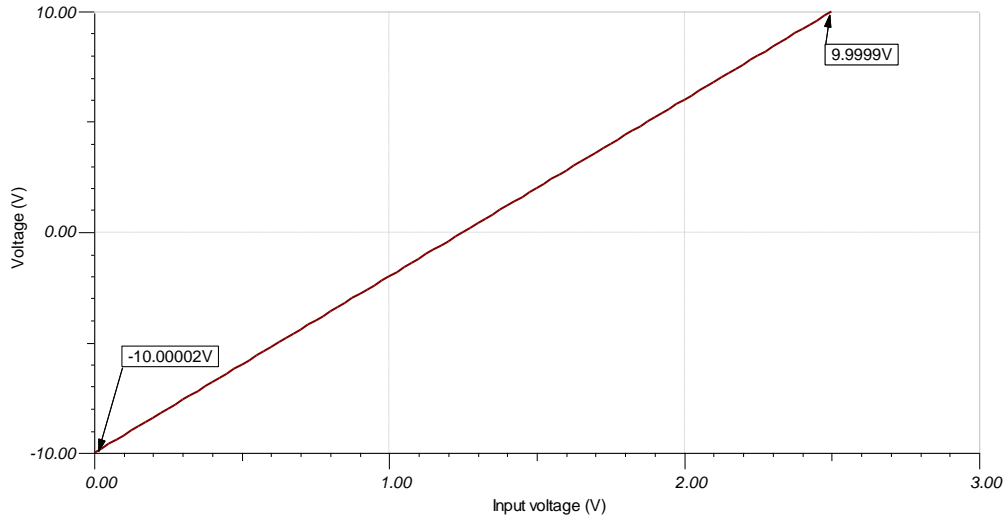
3. 必要なフルスケール範囲 (この場合、 $\pm 10\text{V}$ 範囲を得るために 20V) に基づいて R_{G2} を計算します。

$$R_{\text{G2}} = \frac{R_{\text{FB}}}{\frac{V_{\text{FSR}}}{V_{\text{DAC}}} - \frac{R_{\text{FB}}}{R_{\text{G1}}} - 1} = \frac{33\text{k}\Omega}{\frac{20\text{V}}{2.5\text{V}} - \frac{33\text{k}\Omega}{8.25\text{k}\Omega} - 1} = 11\text{k}\Omega$$

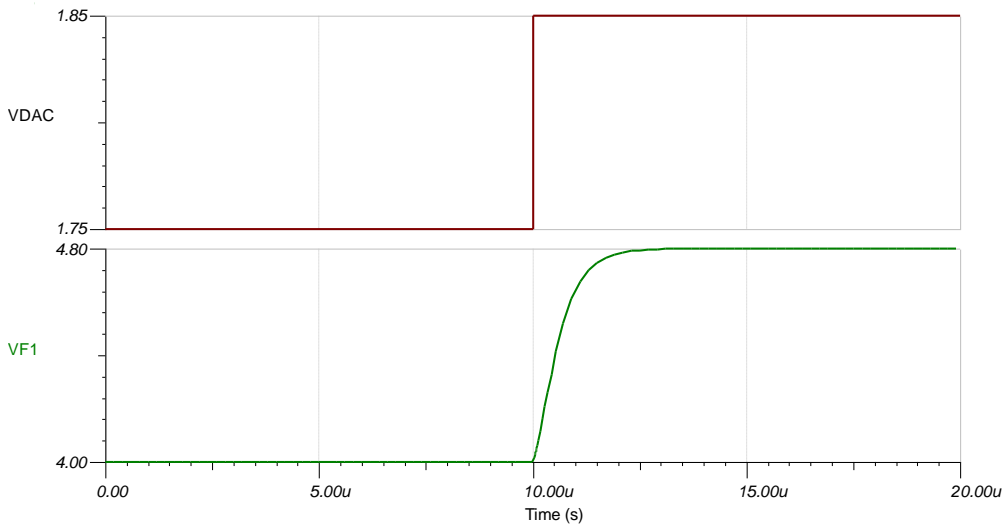
4. 出力誤差は、DAC TUE、アンプのオフセット電圧、抵抗の公差、基準電圧の初期精度から、二乗和平方根 (RSS) 分析を使用して概算できます。

$$\text{Output TUE}(\% \text{FSR}) = \sqrt{\text{TUE}_{\text{DAC}}^2 + \left(\frac{V_{\text{OS, Amplifier}}}{\text{FSR}} \times 100 \right)^2 + \text{ToI}_{\text{RG1}}^2 + \text{ToI}_{\text{RG2}}^2 + \text{ToI}_{\text{RFB}}^2 + \text{Accuracy}_{\text{Ref}}^2} = \sqrt{0.1^2 + \left(\frac{6\mu\text{V}}{2.5\text{V}} \times 100 \right)^2 + 3 \times 0.1^2 + 0.1^2} = 0.224\% \text{ FSR}$$

DC 伝達特性



小信号ステップ応答



デバイス

デバイス	主な特長	リンク	他の使用可能デバイス
DAC			
DAC8560	16 ビット分解能、シングル・チャンネル、基準電圧内蔵、超低消費電力、4LSB INL、SPI、2.7V~5.5V 電源	http://www.ti.com/product/DAC8560	http://www.ti.com/pdacs
DAC80501	5ppm リファレンス内蔵、16 ビット分解能、1LSB INL、シングル・チャンネル、電圧出力 DAC	http://www.ti.com/product/DAC80501	http://www.ti.com/pdacs
DAC8830	16 ビット分解能、シングル・チャンネル、超低消費電力、バッファなし出力、1LSB INL、SPI、2.7V~5.5V 電源	http://www.ti.com/product/DAC8830	http://www.ti.com/pdacs
アンプ			
OPA188	低ノイズ、低オフセット電圧、RRO、ゼロドリフト、 $\pm 2V \sim \pm 18V$ 電源	http://www.ti.com/product/OPA188	http://www.ti.com/opamps
OPA196	低ノイズ、低オフセット電圧、RRO、 $\pm 2V \sim \pm 18V$ 電源	http://www.ti.com/product/TLV9001	http://www.ti.com/opamps
TLV170	低コストのレール・ツー・レール出力、 $\pm 1.35V \sim \pm 18V$ 電源	http://www.ti.com/product/OPA317	http://www.ti.com/opamps

設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

主要なファイルへのリンク

TI Design TIDP125、「[ユニポーラ DAC からバイポーラ \$\pm 10V\$ 出力、産業電圧ドライバ用](#)」

[ユニポーラ電圧出力 DAC からのバイポーラ電圧出力のソースファイル](#) – <http://www.ti.com/lit/zip/slac785>

TI エンジニアから直接サポートを受けるには、[E2E コミュニティ](#)をご利用ください。

e2e.ti.com

その他のリンク

[高精度 DAC ラーニング・センター](#)

<http://www.ti.com/pdacs>

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated