

Analog Engineer's Circuit

2つのオペアンプを使用したシングルエンドから差動への変換回路



Bryan McKay, Art Kay

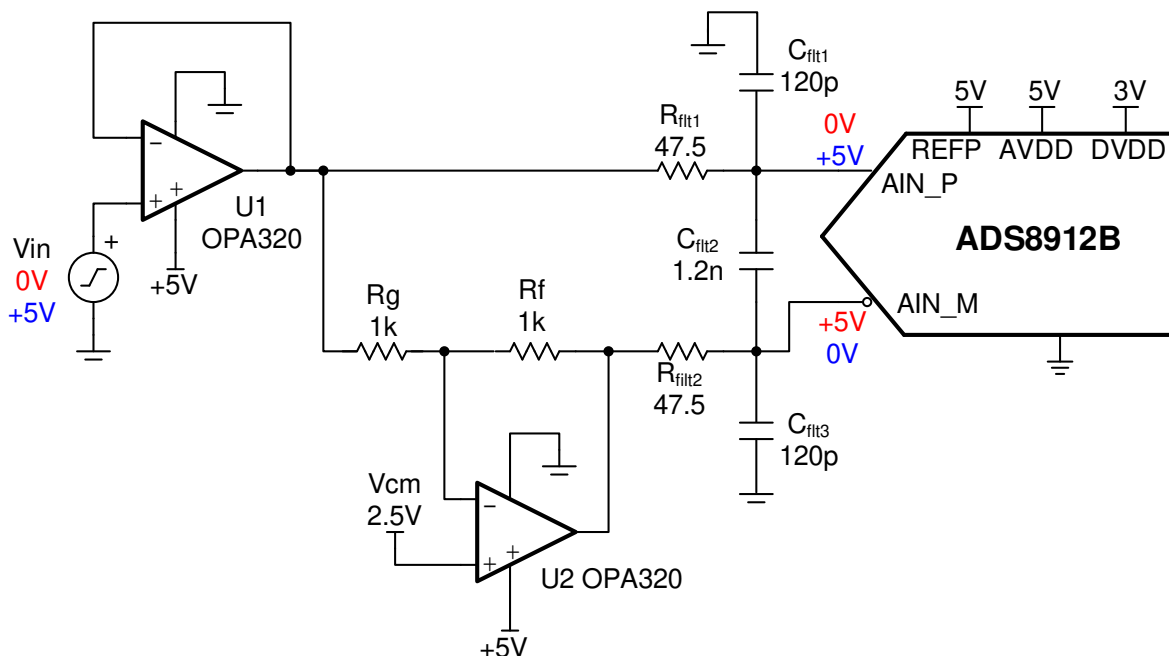
入力	ADC 差動入力 (Vdif)	ADC 同相入力 (Vcm)	デジタル出力 ADS9110
0 V	-5 V	2.5 V	20000 _H
5 V	+5 V	2.5 V	1FFFF _H

電源

V+ (オペアンプ)	AVDD	DVDD	REFP
5 V	5 V	3 V	5 V

設計の説明

この回路では、**ADS8912B** 完全差動 ADC を駆動するために、2つの **OPA320** オペアンプを使用してシングルエンドから差動への変換を実行します。この問題を解決するもう1つの手法は、完全差動アンプ (FDA) を使用するものです。FDA の例については、『**オペアンプと FDA を使用したユニポーラ信号用シングルエンド / 差動信号変換回路**』を参照してください。何千種類ものオペアンプが入手できるため、完全差動アンプを探すより、個々の要件を満たすオペアンプを探すほうが容易なこともあります。例えば、ほとんどの FDA の対レール振幅、オフセット、バイアス電流、ドリフトは、多くの高精度オペアンプより劣っています。他方、オペアンプによる手法では反転および非反転経路に非対称な群遅延が生じます。さらに、FDA アンプは多くの場合、歪みや ADC 駆動特性において優れています。一般に、FDA による手法は最高水準の SNR と THD を実現し、オペアンプによる手法は最高水準の DC 特性を実現します。ただし、2つの回路方式の比較は、個々のオペアンプや FDA によって影響を受けます。



仕様

仕様	目標	計算結果	シミュレーション結果
ADC 過渡入力電圧セッティング (1MSPS)	$< 0.5\text{LSB} = 19.1\mu\text{V}$	NA	5 μV
入出力範囲	NA	NA	$0.1 < V_{\text{IN}} < 4.9\text{V}$ $-4.8\text{V} < V_{\text{OUT}} < 4.8\text{V}$
ノイズ	NA	30.5 μV_{RMS}	28.4 μV_{RMS}

デザイン ノート

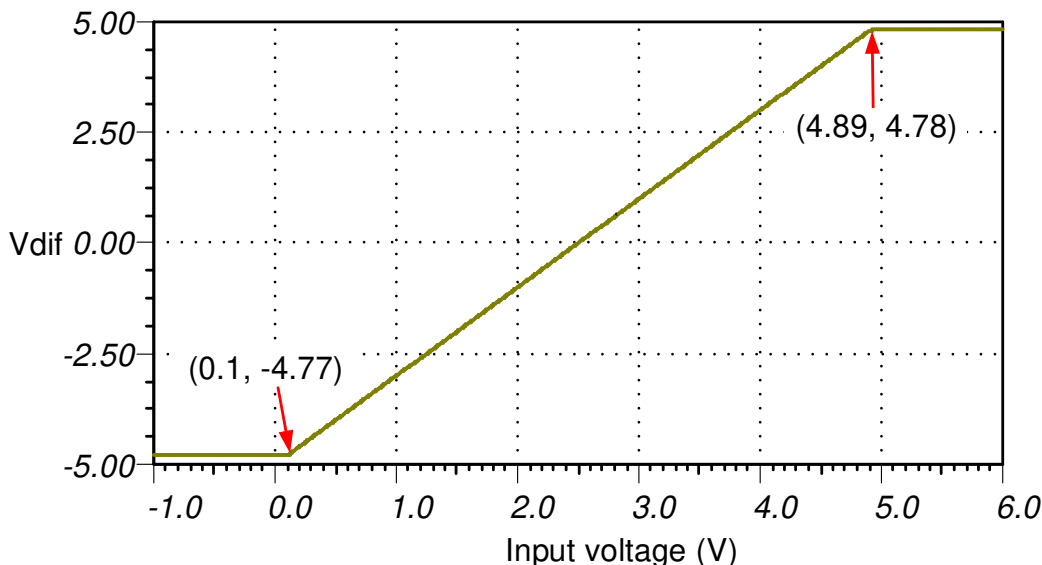
- U2 のゲイン誤差とドリフトを最小限に抑えるために、R1 と Rg には 0.1% の抵抗を使用します。
- 歪みを最小限に抑えるために、C_{filt1}、C_{filt2}、C_{filt3} には COG (NPO) コンデンサを選択します。
- プレジジョン ラボ シリーズ:A/D コンバータ (ADC) トレーニング ビデオ シリーズでは、電荷バケツ回路の R_{filt} と C_{filt} を選択する方法について解説しています。これらの部品の値はアンプの帯域幅、データ コンバータのサンプリング レート、データ コンバータの設計に依存します。ここに示す値は、この例のアンプとデータ コンバータで適切なセッティングと AC 性能を実現します。この設計を変更する場合は、別の RC フィルタを選定する必要があります。最高水準のセッティングと AC 性能を実現する RC フィルタの選定方法については、『[Introduction to SAR ADC Front-End Component Selection](#)』トレーニング ビデオを参照してください。

部品選定

- システム要件を満たすオペアンプを選定します。検討する主な仕様は次のとおりです。
 - 対レール振幅:5V 電源レールの場合、レール ツー レール、ゼロ クロスオーバー歪みのデバイス (OPA320、OPA325、OPA365 など) を使用するのが一般的です。
 - オフセット電圧およびドリフト:この回路が FDA 手法よりも優れている点の 1 つは、一部のオペアンプの DC 性能が非常に優れていることです。
 - 帯域幅と静止電流:FDA 手法と比較して、この回路のもう 1 つの利点は、オペアンプの帯域幅と、それに関係する静止電流を、広い範囲から選択できることです。サンプリング レートが低い場合、狭帯域、小電流のオペアンプが適しています。
- ノイズを最小限に抑えるように Rg と Rf を選択します。この回路のゲインは常に 1 であるため、Rg = Rf です。ここで の主な検討事項は、負荷抵抗を妥当な値に維持しながらノイズを最小限に抑えることです。抵抗のノイズがアンプのノイズの約 1/3 になるように設定します。この例では、Rf = Rg = 1k Ω であることからノイズは 2.8nV/ $\sqrt{\text{Hz}}$ であり、オペアンプのノイズである 7nV/ $\sqrt{\text{Hz}}$ の約 1/3 に相当します。また、最大負荷電流は 2.5mA (5V \div 2k Ω = 2.5mA) であり、オペアンプの短絡制限 (65mA) より低い値です。
- 1kSPS でセッティングできる R_{filt} と C_{filt} を求めます。R_{filt} と C_{filt} を選択するアルゴリズムについては、『[Refine the Rfilt and Cfilt Values](#)』を参照してください。最終的に 200k Ω と 510pF という値で、最下位ビット(LSB)の 1/2 を優に下回るまでセッティングできることが分かりました。

DC 伝達特性

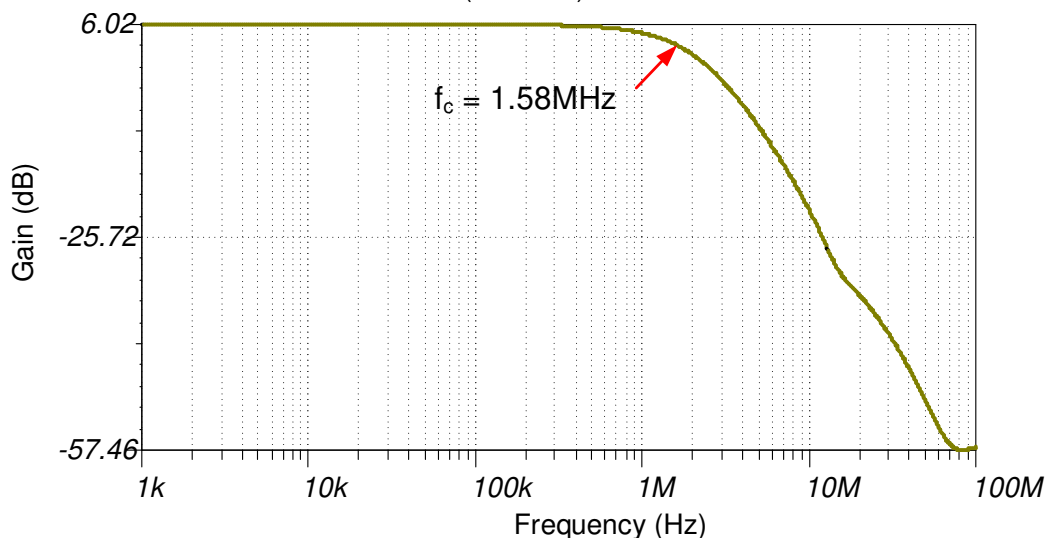
以下のグラフに、この回路 (0V~5V のシングルエンド入力、-5V~+5V の完全差動出力) の DC 伝達特性を示します。線形範囲は両電源レールから約 0.1V 内側に制限されている (Vin の線形範囲は約 0.1V~4.9V) ことに注意します。この制限はアンプの出力振幅の限界によるものです。線形振幅範囲を拡大するには、アンプの正負電源を調整する必要があります。その方法の例については、『[低消費電力センサ測定:3.3V、1ksps、12ビット、シングルエンド、デュアル電源回路](#)』を参照してください。



AC 伝達特性

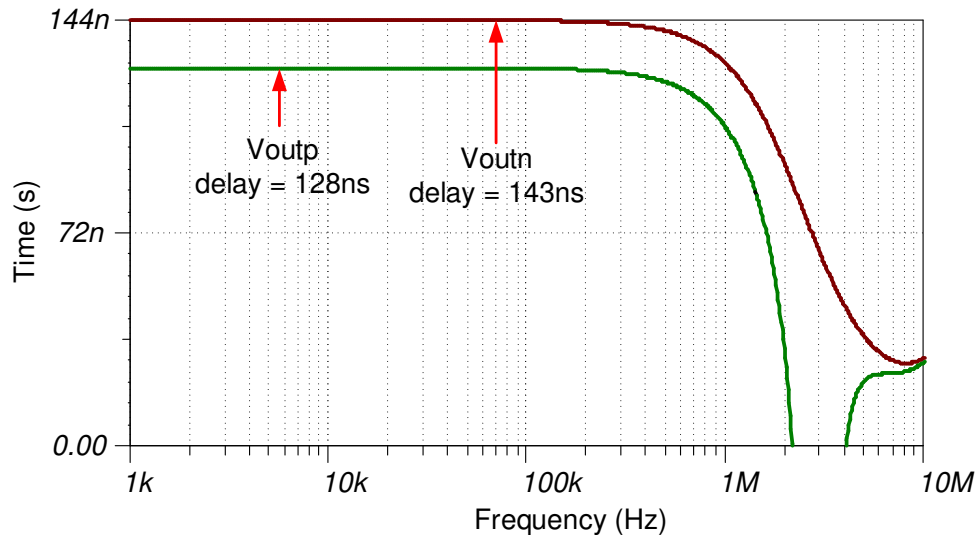
この例では、主に R_{filt} 、 C_{filt} の値により帯域幅の限界が設定されます。また、アンプの閉ループ帯域幅も全体的な帯域幅に影響を与える場合があります。U2 のノイズ ゲインは 2 であるため、U2 の帯域幅は U1 の帯域幅の半分であることに注意します ($BW_{U2} = GBW/G_n = 20\text{MHz}/2 = 10\text{MHz}$)。

$$f_c = \frac{1}{2\pi R \cdot C} = \frac{1}{2\pi(2 \cdot 47.5\Omega) \cdot 1.2\text{nF}} = 1.4\text{MHz}$$



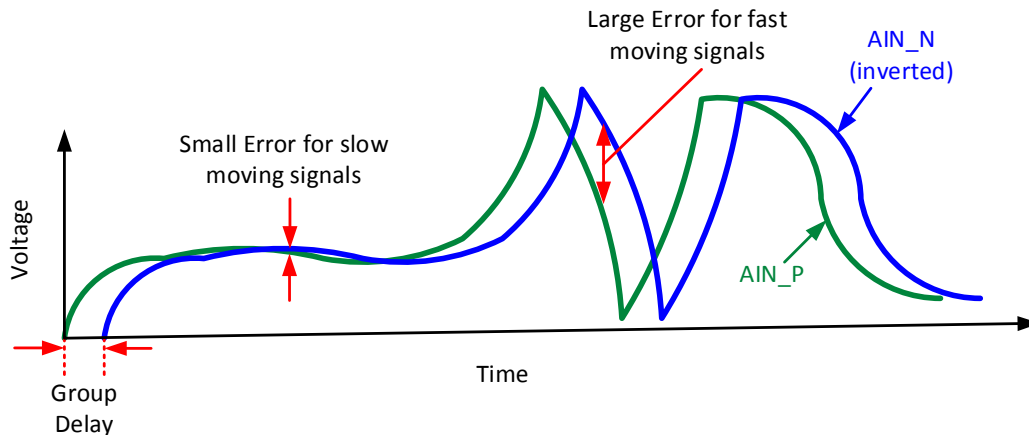
群遅延 (周波数領域)

群遅延は、印加された入力信号と出力信号との間の時間遅延です。すべてのアンプおよびフィルタで群遅延が生じます。この回路では、反転経路と非反転経路の両方で異なる群遅延が生じるため、群遅延が重要となります。これにより、高い周波数の信号が歪む可能性があります。詳細については、時間ドメイン プロットの群遅延を参照してください。



群遅延 (時間領域)

以下のグラフに、群遅延が時間領域信号に与える影響を定性的に示します。群遅延の影響を強調するために、このプロットの誤差は誇張されています。緑色の信号は AIN_P の出力を表し、青色の信号は AIN_N の反転出力を表しています。2つの信号は重なるのが理想ですが、群遅延により青色の信号が右にずれています。信号の動きが遅いと誤差は比較的小さく、速いと誤差は大きいことに注意します。したがって、低周波信号では歪みが小さくなり、高周波信号では歪みが悪化します。SPICE は THD をシミュレートしないため、定量値については測定が必要です。ただし、入力信号周期がチャンネル間群遅延の 1,000 倍を超える場合には、この影響はおおむね無視できます。



ノイズ シミュレーション

以下のノイズ計算では、アンプと抵抗のノイズを考慮します。U1 のノイズは U2 によって反転され、差動出力で加算されることに注意します。このノイズは直接関連しているため、ノイズ源に通常用いられる二乗和平方根で加算するのではなく、直接加算します。また、出力フィルタは 1 次であるとして近似していますが、実際はより複雑なフィルタであることに注意します。ノイズの計算結果とシミュレーション結果はほぼ一致しています (計算結果 = $30.5\mu\text{V}_{\text{RMS}}$ 、シミュレーション結果 = $28.4\mu\text{V}_{\text{RMS}}$)。

$$e_{nU1} = e_{n320} + e_{n320} = 7\text{ nV}/\sqrt{\text{Hz}} + 7\text{ nV}/\sqrt{\text{Hz}} = 14\text{ nV}/\sqrt{\text{Hz}} \text{ Note these two sources are correlated}$$

$$R_{eq} = \frac{R_f \cdot R_g}{R_f + R_g} = \frac{1\text{ k}\Omega \cdot 1\text{ k}\Omega}{1\text{ k}\Omega + 1\text{ k}\Omega} = 500\Omega$$

$$e_{nReq} = \sqrt{4K_n \cdot T_K \cdot R_{eq}} = \sqrt{4(1.38 \cdot 10^{-23} \text{ J/K}) \cdot (298.15) \cdot (500\Omega)} = 2.87\text{ nV}/\sqrt{\text{Hz}}$$

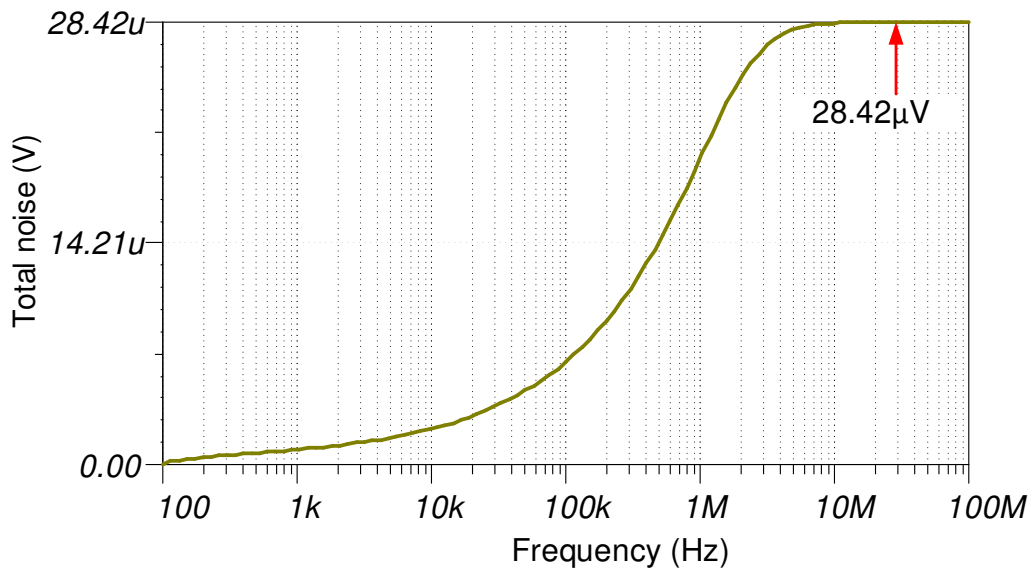
$$e_{nU2} = \sqrt{(e_{nReq} \cdot G_n)^2 + (e_{n320} \cdot G_n)^2} = \sqrt{(2.87\text{ nV}/\sqrt{\text{Hz}} \cdot 2)^2 + (7\text{ nV}/\sqrt{\text{Hz}} \cdot 2)^2} = 15.1\text{ nV}/\sqrt{\text{Hz}}$$

$$e_{nT} = \sqrt{(e_{nU1})^2 + (e_{nU2})^2} = \sqrt{(14\text{ nV}/\sqrt{\text{Hz}})^2 + (15.1\text{ nV}/\sqrt{\text{Hz}})^2} = 20.6\text{ nV}/\sqrt{\text{Hz}}$$

$$f_c = \frac{1}{2\pi R \cdot C} = \frac{1}{2\pi (2 \cdot 47.5\Omega) \cdot 1.2\text{ nF}} = 1.4\text{ MHz}$$

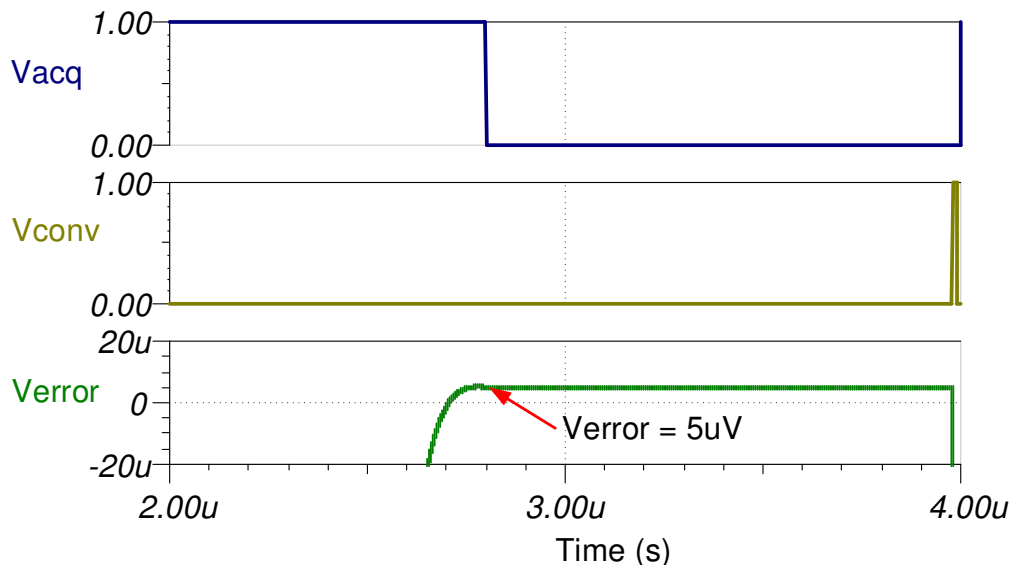
$$E_{nT} = e_{nT} \cdot \sqrt{1.57 \cdot f_c} = 20.6\text{ nV}/\sqrt{\text{Hz}} \cdot \sqrt{1.57 \cdot 1.4\text{ MHz}} = 30.5\mu\text{V}_{RMS}$$

ノイズの計算結果とシミュレーション結果はほぼ一致しています (計算結果 = 30.5 μV_{RMS} 、シミュレーション結果 = 28.4 μV_{RMS})。この件の詳しい理論については、『[Calculating the Total Noise for ADC Systems](#)』を参照してください。



ADC 過渡入力電圧セトリング シミュレーション

以下のシミュレーションは、500kSPS 時のフルスケール DC 入力信号のセトリングを示しています。このようなシミュレーションは、サンプル/ホールド キックバック回路が適正に選定されていることを示します。この件の詳しい理論については、『[Introduction to SAR ADC Front-End Component Selection](#)』を参照してください。



使用デバイス

デバイス	主な特長	リンク	他の使用可能デバイス
ADS8912	分解能 18 ビット、サンプルレート 500ksps、リファレンス バッファ搭載、完全差動入力、Vref 入力電圧範囲 2.5V~5V	VREF バッファ、LDO、強化 SPI インターフェイス搭載、18 ビット、500kSPS、1 チャンネル SAR ADC	高精度 ADC
OPA320	帯域幅 20MHz、レールツーレール、ゼロクロスオーバー歪み、VosMax = 150uV、VosDriftMax = 5uV/C、en = 7nV/√Hz	高精度、ゼロクロスオーバー、20MHz、Ib = 0.9pA、RRIO、CMOS オペアンプ	高精度オペアンプ (Vos が 1mV 未満)

主要なファイルへのリンク

テキサス・インスツルメンツ、[SBAA265 用のソースファイル](#)、サポートソフトウェア

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated