

## 高ゲインの計装アンプを使用した ADC 駆動回路

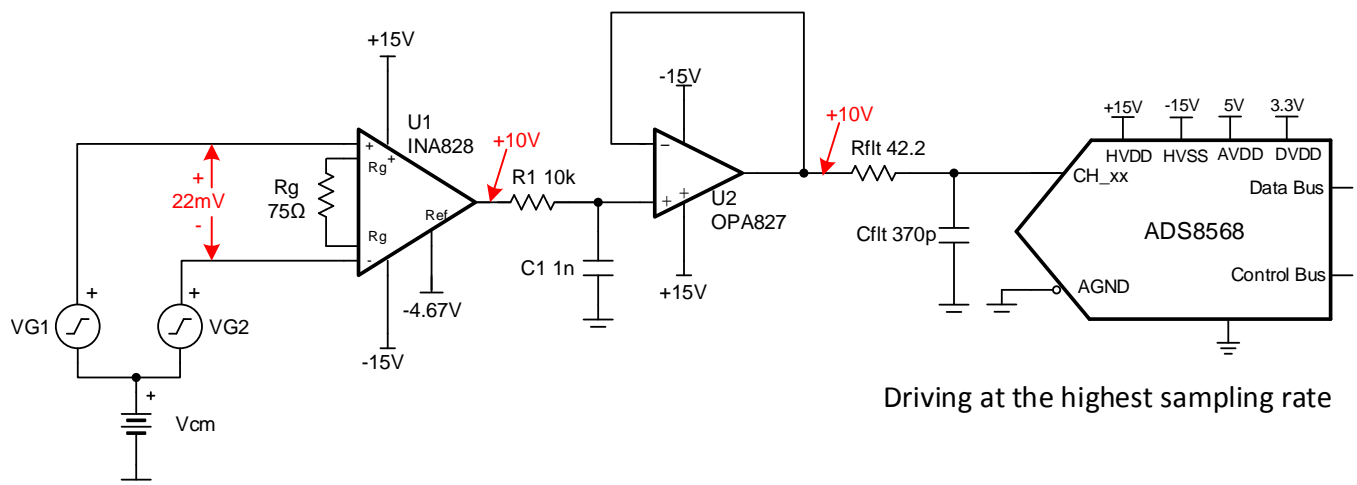
Dale Li, Art Kay

入力	ADC入力	デジタル出力 ADS8568
VinDiffMin = -8mV	CH_x = -10V	8000H
VinDiffMax = +22mV	CH_x = +10V	7FFFH

電源			
AVDD		Vee	Vdd
5.0V	3.3V	+15V	-15V

### 設計の説明

計装アンプは低ノイズ、低オフセット、低ドリフト、高 CMRR、高精度のために最適化されています。しかし、これらのアンプで高精度 ADC を駆動した場合、高精度 ADC のアキュイジション時間内に信号を適切に整定させることができない場合があります。このリファレンス・デザインでは、低レベルの非対称入力信号を増幅するためのゲインとオフセット・シフトの設定方法の例を示します。また、高ゲインでは INA828 計装アンプの帯域幅が制限されるため、ADS8568 のフル・サンプリング・レートを達成できるように OPA827 オペアンプをバッファとして使用します。関連クックブックの回路で、広帯域幅バッファを使用しない簡単な方法を示していますが (『計装アンプを使用した高電圧 SAR 駆動回路』)、本書のバッファ付きの設計に比べるとサンプリング・レートが制限されます。また、『バッファ付き計装アンプを使用した高電圧 SAR ADC 駆動回路』では、ユニティ・ゲインでこの設計を分析しています。この回路は、高精度の信号処理とデータ変換を必要とするすべての PLC ブリッジ・トランスデューサとアナログ入力モジュールに適しています。



## 仕様

仕様	目標	計算結果	シミュレーション結果
過渡セトリング誤差	> 0.5LSB (152 $\mu$ V)	該当なし	0.36 $\mu$ V
ノイズ		1.1mV	1.14mV
システム・オフセット誤差		33.6mV	該当なし
システム・オフセット・ドリフト		334 $\mu$ V/°C	該当なし
システム・ゲイン誤差		0.53%	該当なし
システム・ゲイン・ドリフト		54.2ppm/°C	該当なし

## デザイン・ノート

- 計装アンプの帯域幅は通常、高いデータレートで SAR データ・コンバータを駆動するには不十分です。計装アンプが高ゲインであれば特にそうです。そのため、広帯域幅ドライバが必要です。なぜなら、スイッチト・キャパシタ入力構造の SAR ADC では、各アキュジション時間中に入力コンデンサをフル充電する必要があります。OPA827 バッファを追加することにより、ADC がフル・サンプリング・レートで動作できます (ADS8568: パラレル・インターフェイスで 510kSPS)。
- 「計測アンプの入力同相範囲を計算」ソフトウェア・ツールを使用して、アンプの同相入力電圧範囲を確認します。
- 歪みを最小限に抑えるために、 $C_1$  と  $C_{fit}$  には COG コンデンサを選択します。
- ゲイン誤差とゲイン・ドリフトを低減するために、ゲイン設定抵抗  $R_g$  には 0.1% 20ppm/°C 以下の薄膜抵抗を使用する必要があります。
- 「TI プレジジョン・ラボ」ビデオ・シリーズで、ドライバ・アンプおよび電荷バケツ回路の  $R_{fit}$  と  $C_{fit}$  の選択方法を説明しています。詳細については、『[Introduction of SAR ADC Front-End Component Selection](#)』(英語) を参照してください。
- アンチエイリアシングとノイズ低減のために、オペアンプと計装アンプの間のフィルタのカットオフ周波数を設定します。エイリアシングとアンチエイリアシング・フィルタの詳細については、『[Aliasing and Anti-aliasing Filters](#)』(英語) を参照してください。
- 計装アンプのゲインが高いため、DC 誤差 (オフセット、ゲイン、ドリフト) が大きくなります。較正は、これらの誤差を最小限に抑える良い手法です。較正の詳細については、『[Understanding and Calibrating the Offset and Gain for ADC Systems](#)』(英語) を参照してください。

部品選定

1. 差動入力信号と **ADS8568** の全入力電圧範囲に基づいてゲインを求めます。

$$G = \frac{V_{out} - V_{out}}{V_{in} - V_{in}} = \frac{10V - (-10V)}{22mV - (-8mV)} = 666.7$$

$$R_g = \frac{50k\Omega}{G - 1} = \frac{50k\Omega}{666.7} = 75.1\Omega$$

$$R_g = 75.1\Omega \text{ standard value}$$

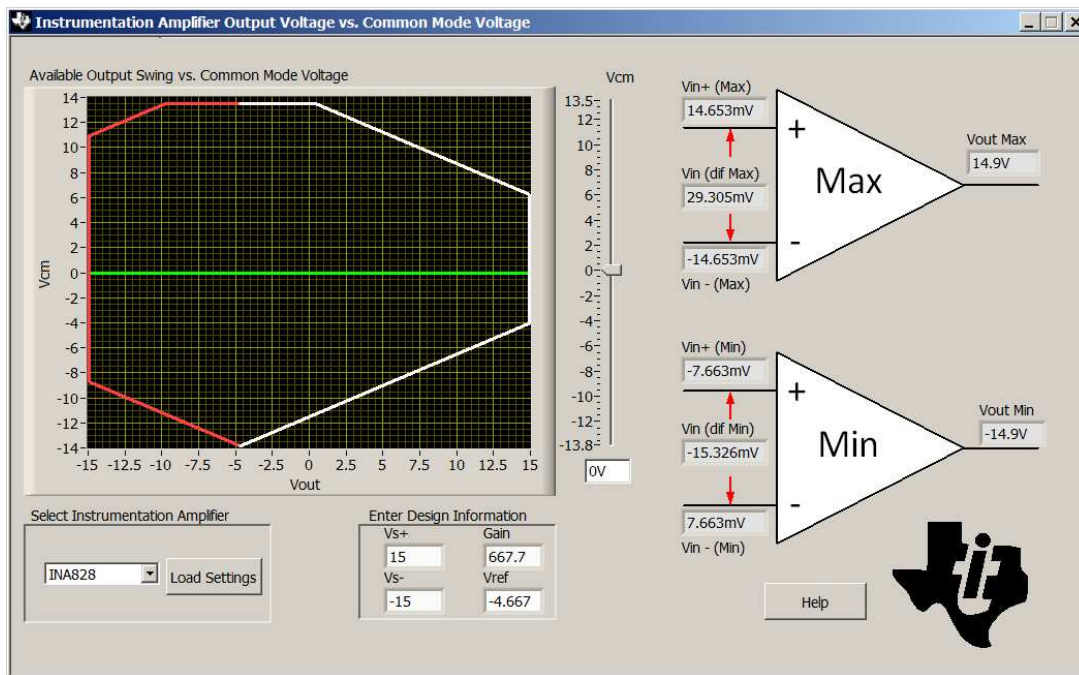
$$G = 1 + \frac{50k\Omega}{R_g} = 667.7$$

2. この設計における入力信号は  $\pm 10V$  の高電圧信号であるため、**INA828** のゲインは **1** に設定する必要があり、ゲイン抵抗 ( $R_g$ ) は不要です。

$$V_{out} = G \cdot V_{in} + V_{ref}$$

$$V_{ref} = V_{out} - G \cdot V_{in} = 10V - 667.7 \cdot 22mV = -4.667V$$

3. 「計測アンプの入力同相範囲を計算」を使用して、**INA826** が同相入力電圧範囲を逸脱しているかどうかを確認します。下図の同相電圧カリキュレータは、同相入力電圧 **0V** に対して出力振幅が  $\pm 14.9V$  であることを示しています。

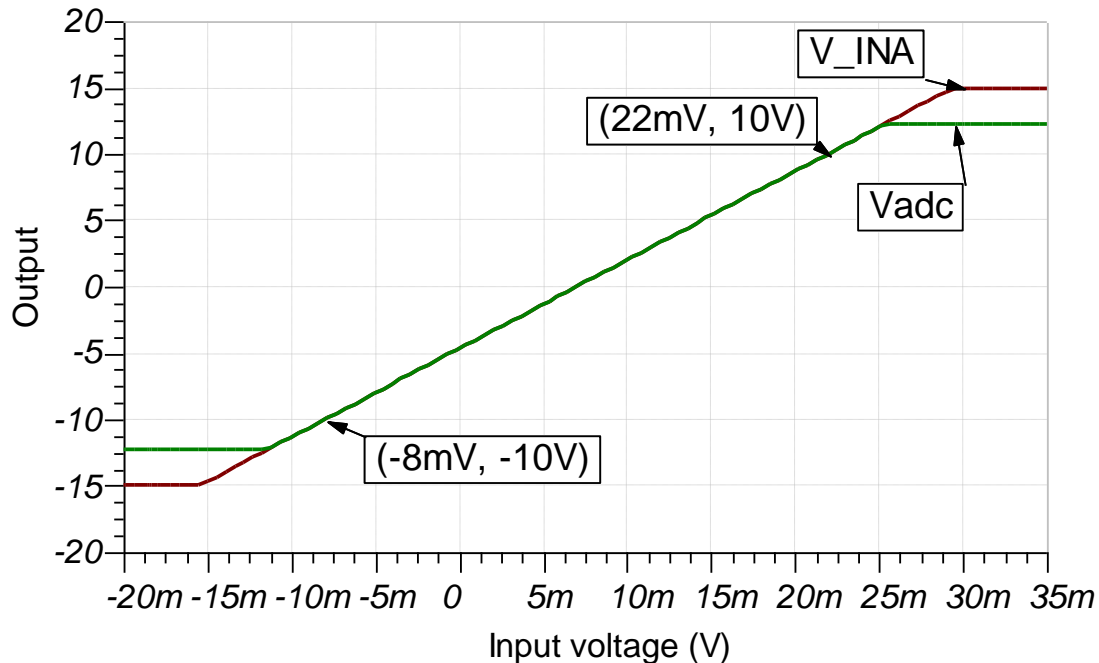


4. **TINA SPICE** と『Introduction to SAR ADC Front-End Component Selection』(英語) ビデオで説明する手法を用いて、 $C_{filt}$  と  $R_{filt}$  の値を求めます。本書に示す  $R_{filt}$  と  $C_{filt}$  の値は当該回路において有効ですが、別のアンプを使用する場合は、**TINA SPICE** を用いて改めて値を求める必要があります。
5. 個々のシステム要件に基づいて、**INA828** と **OPA827** の間の **RC** フィルタの値を選択します (この例では  $f_{cRC} = 15.9kHz$ )。

$$f_{cRC} = \frac{1}{2\pi \cdot R_1 \cdot C_1} = \frac{1}{2\pi \cdot (10k\Omega) \cdot (1pF)} = 15.9kHz$$

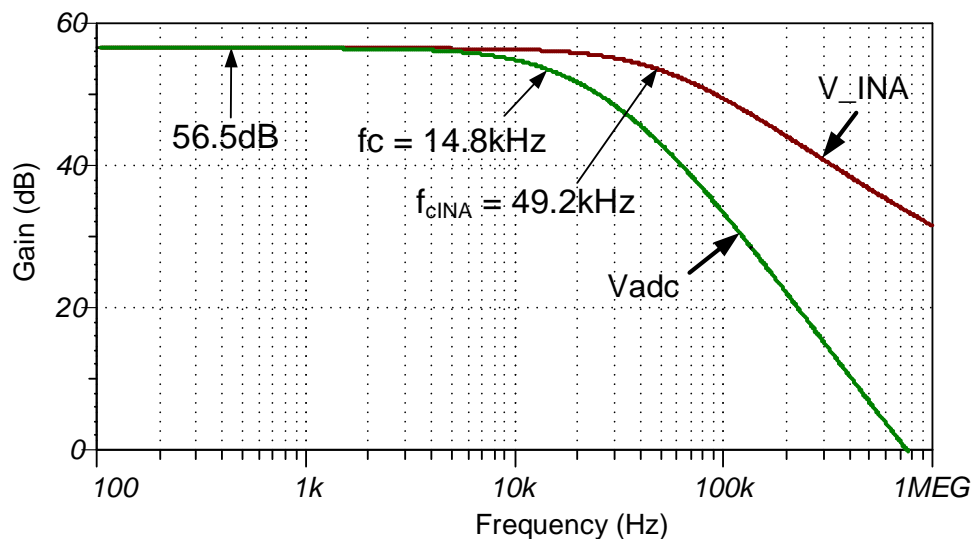
### DC 伝達特性

以下のグラフに、 $-10\text{V} \sim +10\text{V}$  の差動入力に対する出力の線形応答を示します。この件の詳しい理論については、『[Determining a SAR ADC's Linear Range when using Instrumentation Amplifiers](#)』(英語) を参照してください。ADC の入力電圧範囲 (FSR) は計装アンプの線形範囲内に収まっています。



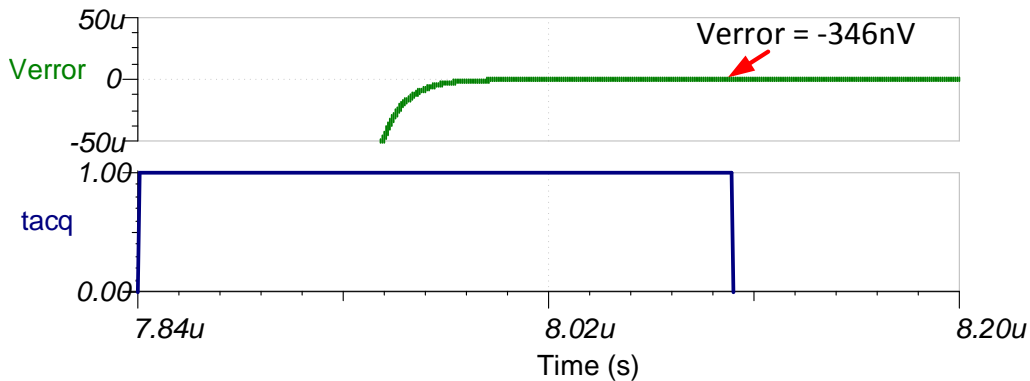
### AC 伝達特性

この設計の帯域幅のシミュレーション結果は  $14.8\text{kHz}$  であり、ゲインは  $56.4\text{dB}$  ( $667.7\text{V/V}$ ) です。RC フィルタ ( $f_{cRC} = 15.9\text{kHz}$ ) と計装アンプ ( $f_{cINA} = 49.2\text{kHz}$ ) の組み合わせにより、帯域幅制限が設定されます。



### ADC 過渡入力電圧セリングのシミュレーション (510kSPS)

OPA827 バッファ (22MHz GBW) を使用する理由は、ADS8568 における電荷のキックバックによる急激な過渡事象に応答できるためです。オペアンプ・バッファにより、システムは ADS8568 の最高サンプリング・レート 510kSPS を達成できます。以下のシミュレーションは、INA828 および OPA827 バッファと ADS8568 によるフルスケール DC 入力信号のセリングを示しています。このようなシミュレーションは、目標の 1/2 LSB (152μV) を満たすようにサンプル・ホールド・キックバック回路が適正に選定されていることを示します。この件の詳しい理論については、『Introduction to SAR ADC Front-End Component Selection』(英語) を参照してください。



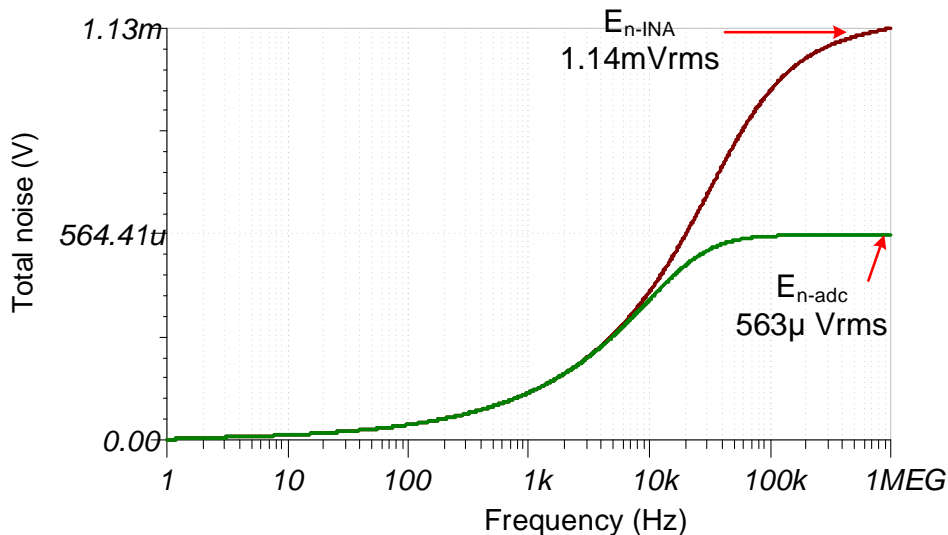
### ノイズ・シミュレーション

このセクションでは、概算のための簡易なノイズ計算を示します。INA828 のノイズが支配的であるため、OPA827 のノイズは無視します。抵抗ノイズも 15.92kHz を上回る周波数では減衰するため、この計算では無視します。

$$E_n = Gain \cdot \sqrt{e_{NI}^2 + \left(\frac{e_{NO}}{Gain}\right)^2} \cdot \sqrt{K_n \cdot f_c}$$

$$E_n = 667.7 \cdot \sqrt{\left(7nV / \sqrt{Hz}\right)^2 + \left(\frac{90nV / \sqrt{Hz}}{667.7}\right)^2} \cdot \sqrt{1.57 \cdot 14.8kHz} = 595 \mu V_{rms}$$

計算結果とシミュレーション結果がよく一致していることに注意します (シミュレーション結果 = 563μV<sub>RMS</sub>、計算結果 = 595μV<sub>RMS</sub>)。アンプ・ノイズ計算の詳しい理論については『TI Precision Labs - Op Amps: Noise 4』(英語) を、データ・コンバータのノイズについては『Calculating Total Noise for ADC Systems』(英語) を参照してください。



### ゲイン誤差とオフセットの概算:

計装アンプが高ゲインであるため、以下のオフセットおよびオフセット・ドリフト計算では計装アンプが支配的になります。ゲイン誤差の計算には、ADC と計装アンプのゲイン誤差を含めます。オフセットおよびゲイン誤差については、室温での最大値を採用します。システムのゲインおよびオフセット誤差の詳細については、『[Statistics Behind Error Analysis](#)』(英語) を参照してください。

### System Offset Calculation:

$$V_{osi} = 50 \mu V, V_{oso} = 250 \mu V \text{ max at room temp}$$

$$G = 667.7 V / V$$

$$V_{osRTI} = V_{osi} + \frac{V_{oso}}{G} = 50 \mu V + \frac{250 \mu V}{667.7} = 50.4 \mu V$$

$$V_{osRTO} = G \cdot V_{osRTI} = 667.7 \cdot 50.4 \mu V = 33.6 mV$$

$$V_{os(System)} \approx 33.6 mV \text{ total system offset is dominated by INA828 offset}$$

### System Offset Drift Calculation:

$$V_{osDrift(INA828 RTI)} = 0.5 \mu V / ^\circ C$$

$$V_{osDrift(INA828 RTO)} = G \cdot V_{osDrift(INA828 RTI)} = 667.7 \cdot 0.5 \mu V / ^\circ C = 334 \mu V / ^\circ C$$

$$V_{osDrift(System)} \approx 334 \mu V / ^\circ C \text{ the INA drift dominates because of the high gain.}$$

### System Gain Error Calculation:

$$GE_{ina} = \pm 0.15\%, \text{ max room temp INA828}$$

$$GE_{Rg} = \pm 0.1\%, \text{ Rg Tolerance}$$

$$GE_{ADS8568} = \pm 0.5\%, \text{ max room temp ADS8568}$$

$$GE_{total} = \sqrt{(GE_{ina})^2 + (GE_{Rg})^2 + (GE_{ADS8568})^2} = \sqrt{(0.15\%)^2 + (0.1\%)^2 + (0.5\%)^2} = 0.53\%$$

### System Gain Drift Calculation:

$$\frac{\Delta GE_{INA}}{\Delta T} \approx 50 ppm / ^\circ C$$

$$\frac{\Delta GE_{Rg}}{\Delta T} \approx 20 ppm / ^\circ C$$

$$\frac{\Delta GE_{ADC8568}}{\Delta T} \approx 6 ppm / ^\circ C$$

$$\frac{\Delta GE_{System}}{\Delta T} \approx \sqrt{(50 ppm / ^\circ C)^2 + (20 ppm / ^\circ C)^2 + (6 ppm / ^\circ C)^2} = 54.2 ppm / ^\circ C$$

## 使用デバイス

デバイス	主な特長	リンク	他の使用可能デバイス
ADS8568	分解能 16 ビット、SPI、サンプル・レート 500kSPS、シングルエンド入力、同時サンプリング、内蔵リファレンス、最大 $\pm 12V$ の範囲をプログラム可能	<a href="http://www.ti.com/product/ADS8568">http://www.ti.com/product/ADS8568</a>	<a href="http://www.ti.com/adcs">http://www.ti.com/adcs</a>
INA828	帯域幅 1MHz (G=1)、低ノイズ $18nV/\sqrt{Hz}$ 、低オフセット $\pm 40\mu V$ 、低オフセット・ドリフト $\pm 0.4\mu V/^\circ C$ 、低ゲイン・ドリフト $0.1ppm/^\circ C$ (標準値)	<a href="http://www.ti.com/product/INA828">http://www.ti.com/product/INA828</a>	<a href="http://www.ti.com/inas">http://www.ti.com/inas</a>
OPA827	ゲイン帯域幅 22MHz、低ノイズ $4nV/\sqrt{Hz}$ 、低オフセット $\pm 75\mu V$ 、低オフセット・ドリフト $\pm 0.1\mu V/^\circ C$ (標準値)	<a href="http://www.ti.com/product/opa827">http://www.ti.com/product/opa827</a>	<a href="http://www.ti.com/opamp">http://www.ti.com/opamp</a>

### 主要なファイルへのリンク

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

この回路のソース・ファイル - <http://www.ti.com/lit/zip/SBAC215>

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社  
Copyright © 2021, Texas Instruments Incorporated