



基板レイアウトが LDO の熱性能に及ぼす影響に関する実証的分析

Gerard Copeland

ABSTRACT

本書では、プリント基板 (PCB) レイアウトが低ドロップアウト (LDO) レギュレータの熱性能、具体的には接合部・周囲間熱抵抗 θ_{JA} に及ぼす影響を調べます。TPS745 (WSON パッケージ)、TPS7B82-Q1 (TO-252 パッケージ)、TLV755P (SOT-23 パッケージ) デバイスについてこのパラメータを測定します。各デバイスを 5 種類のレイアウトでテストし、内層と外層の銅箔の量を増やしていきます。銅箔の量が増えると θ_{JA} は小さくなりますが、やがて収穫逓減点に達します。サーマル・パッド付きのパッケージでは、銅箔の量がより効果を発揮します。これらの結果から、システム設計において熱性能を高めるレイアウト上のヒントが得られます。本研究でテストしたデバイスは LDO のみですが、PCB レイアウトの効果や本書で導き出された結論は、電力を消費するその他のデバイスにも当てはまります。

目次

1	序論.....	3
2	手順.....	7
3	テスト結果と考察.....	8
4	結論.....	12
5	今後の課題.....	12
6	関連資料.....	12
Appendix A	熱テスト基板レイアウト.....	13
Appendix B	熱テストの結果.....	29

List of Figures

1	TPS745 (WSON) 1S0P 近似レイアウト.....	5
2	TPS745 (WSON) 内部分離レイアウト.....	5
3	TPS745 (WSON) JEDEC High-K 近似レイアウト.....	6
4	TPS745 (WSON) 熱的強化レイアウト.....	6
5	TPS745 (WSON) 熱的飽和レイアウト.....	7
6	TPS745 (WSON) 1S0P 近似レイアウトのテスト結果.....	8
7	TPS745 (WSON) の θ_{JA} と基板レイアウトとの関係.....	9
8	TPS7B82-Q1 (TO-252) の θ_{JA} と基板レイアウトとの関係.....	9
9	TLV755P (SOT-23) の θ_{JA} と基板レイアウトとの関係.....	10
10	各デバイスの θ_{JA} 低減率.....	11
11	各デバイスの正規化した θ_{JA} と基板レイアウトとの関係.....	11
12	TPS745 (WSON) 1S0P 近似の上層.....	14
13	TPS745 (WSON) 1S0P 近似の内層 1.....	14
14	TPS745 (WSON) 1S0P 近似の内層 2.....	14
15	TPS745 (WSON) 1S0P 近似の下層.....	14
16	TPS745 (WSON) 内部分離の上層.....	15
17	TPS745 (WSON) 内部分離の内層 1.....	15
18	TPS745 (WSON) 内部分離の内層 2.....	15
19	TPS745 (WSON) 内部分離の下層.....	15

20	TPS745 (WSN) JEDEC High-K 近似の上層	16
21	TPS745 (WSN) JEDEC High-K 近似の内層 1	16
22	TPS745 (WSN) JEDEC High-K 近似の内層 2	16
23	TPS745 (WSN) JEDEC High-K 近似の下層	16
24	TPS745 (WSN) 熱的強化の上層	17
25	TPS745 (WSN) 熱的強化の内層 1	17
26	TPS745 (WSN) 熱的強化の内層 2	17
27	TPS745 (WSN) 熱的強化の下層	17
28	TPS745 (WSN) 熱的飽和の上層	18
29	TPS745 (WSN) 熱的飽和の内層 1	18
30	TPS745 (WSN) 熱的飽和の内層 2	18
31	TPS745 (WSN) 熱的飽和の下層	18
32	TPS7B82-Q1 (TO-252) 1S0P 近似の上層	19
33	TPS7B82-Q1 (TO-252) 1S0P 近似の内層 1	19
34	TPS7B82-Q1 (TO-252) 1S0P 近似の内層 2	19
35	TPS7B82-Q1 (TO-252) 1S0P 近似の下層	19
36	TPS7B82-Q1 (TO-252) 内部分離の上層	20
37	TPS7B82-Q1 (TO-252) 内部分離の内層 1	20
38	TPS7B82-Q1 (TO-252) 内部分離の内層 2	20
39	TPS7B82-Q1 (TO-252) 内部分離の下層	20
40	TPS7B82-Q1 (TO-252) JEDEC High-K 近似の上層	21
41	TPS7B82-Q1 (TO-252) JEDEC High-K 近似の内層 1	21
42	TPS7B82-Q1 (TO-252) JEDEC High-K 近似の内層 2	21
43	TPS7B82-Q1 (TO-252) JEDEC High-K 近似の下層	21
44	TPS7B82-Q1 (TO-252) 熱的強化の上層	22
45	TPS7B82-Q1 (TO-252) 熱的強化の内層 1	22
46	TPS7B82-Q1 (TO-252) 熱的強化の内層 2	22
47	TPS7B82-Q1 (TO-252) 熱的強化の下層	22
48	TPS7B82-Q1 (TO-252) 熱的飽和の上層	23
49	TPS7B82-Q1 (TO-252) 熱的飽和の内層 1	23
50	TPS7B82-Q1 (TO-252) 熱的飽和の内層 2	23
51	TPS7B82-Q1 (TO-252) 熱的飽和の下層	23
52	TLV755P (SOT-23) 1S0P 近似の上層	24
53	TLV755P (SOT-23) 1S0P 近似の内層 1	24
54	TLV755P (SOT-23) 1S0P 近似の内層 2	24
55	TLV755P (SOT-23) 1S0P 近似の下層	24
56	TLV755P (SOT-23) 内部分離の上層	25
57	TLV755P (SOT-23) 内部分離の内層 1	25
58	TLV755P (SOT-23) 内部分離の内層 2	25
59	TLV755P (SOT-23) 内部分離の下層	25
60	TLV755P (SOT-23) JEDEC High-K 近似の上層	26
61	TLV755P (SOT-23) JEDEC High-K 近似の内層 1	26
62	TLV755P (SOT-23) JEDEC High-K 近似の内層 2	26
63	TLV755P (SOT-23) JEDEC High-K 近似の下層	26
64	TLV755P (SOT-23) 熱的強化の上層	27
65	TLV755P (SOT-23) 熱的強化の内層 1	27
66	TLV755P (SOT-23) 熱的強化の内層 2	27
67	TLV755P (SOT-23) 熱的強化の下層	27

68	TLV755P (SOT-23) 熱的飽和の上層.....	28
69	TLV755P (SOT-23) 熱的飽和の内層 1	28
70	TLV755P (SOT-23) 熱的飽和の内層 2	28
71	TLV755P (SOT-23) 熱的飽和の下層.....	28

List of Tables

1	レイアウトの識別子と説明.....	4
2	最高周囲温度と消費電力との関係.....	29

商標

All trademarks are the property of their respective owners.

1 序論

LDO は比較的シンプルでコストも抑制できるため、電源設計において最もよく使われている DC/DC コンバータです。機器の統合や小型化が進むなか、電源設計も小型化とコストダウンを強いられる結果、LDO の使用は増加傾向にあります。LDO はリニア・コンバータであり本質的に電力を消費するため、結果として熱性能はますます重要なシステム設計要素となっています。JEDEC は一定の方法で半導体の熱評価基準を測定し、報告する手法を標準化していますが、この規格は熱性能に十分最適化されているわけではありません。熱性能に影響する最大要因の 1 つは、システム設計者であり、PCB レイアウトです。本書の目的は、PCB レイアウトが LDO の熱性能に及ぼす影響を調べることで、これらのシステム設計者を支援することです。この件については、『[LDOs Thermal Performance in Small SMD Packages](#)』アプリケーション・レポート (英語) と『[AN-1520 A Guide to Board Layout for Best Thermal Resistance for Exposed Packages](#)』アプリケーション・レポート (英語) ですでに取り上げていますが、本研究は実用的な設定でデータを収集することで、より幅広く応用できるものなることを目指しています。この設定には、TI 評価モジュール (EVM) をエミュレートする実用的な PCB レイアウトならびに受動部品と、能動的に電力を供給して行う熱測定が含まれます。能動的な電力供給とは、LDO を通常動作状態に置き、入力電圧と負荷電流を変化させて、消費電力を増やし、デバイスの接合部に熱を発生させることをいいます。

半導体の熱性能を評価する最も一般的な指標は、接合部・周囲間熱抵抗 θ_{JA} です。式 1 は、このパラメータがデバイスの消費電力あたりの動作温度と接合部温度の差として定義されることを示しています。

$$\theta_{JA} = \frac{T_J - T_A}{P_D} \quad (1)$$

θ_{JA} が小さい設計では、与えられた消費電力で接合部温度が低くなるため、寿命が延び、信頼性が向上します。『[Semiconductor and IC Package Thermal Metrics](#)』アプリケーション・レポート (英語) では、 θ_{JA} に大きく影響する 2 つの要素は PCB レイアウトと IC パッケージであると説明しています。TPS745 (WSON パッケージ)、TPS7B82-Q1 (TO-252 パッケージ)、TLV755P (SOT-23 パッケージ) という一般的なパッケージを採用した 3 つの LDO を 5 種類の PCB レイアウトでテストし、この 2 つの要素が熱性能に与える影響を調べます。

半導体の熱性能は、空気の流れ、高度、周囲温度などのその他の外部要因にも依存するため、JEDEC は θ_{JA} とその他の熱評価基準のための測定手順とテスト基板を標準化する必要がありました。本書では、実効熱伝導率が低いテスト基板 (<https://www.jedec.org/system/files/docs/JESD51-3.PDF> に規定) と実効熱伝導率が高いテスト基板 (<https://www.jedec.org/system/files/docs/jesd51-7.PDF> に規定) に類似するものを、3 つのカスタム・レイアウトとともに各パッケージ用に設計しています。各基板の面積と積層は JEDEC 標準テスト基板に類似するもの (面積が 9 in² (3 インチ x 3 インチ) の 4 層 PCB) としています。外層の銅の厚さは 2 オンス、内層の銅の厚さは 1 オンスです。各パッケージ用に作成した 5 種類のレイアウトでは、 θ_{JA} を測定して銅箔面積との反比例関係を示す意図で、デバイスに接続する銅の量を変えています。3 つのパッケージ間で結果の一貫性を高めるため、各タイプのレイアウトでヒートシンクに用いる銅の量を等しく保ちます。銅の量が少ない順に、レイアウトのタイプを以下のように呼びます。

- 1S0P 近似

- 内部分離
- JEDEC High-K 近似
- 熱的強化
- 熱的飽和

また、<https://www.jedec.org/system/files/docs/JESD51-9.pdf> に規定する JEDEC 標準規格に従い、WSO ン および TO-252 のレイアウトでは、いずれもサーマル・ランド・パッドにサーマル・ビアを設けます。このビアは直径 20 ミリメートル (mm)、穴サイズ 10mm、銅メッキ 17 μ m とします。

比較基準として、2 種類の θ_{JA} 値を使用します。1 つは $\theta_{JA, \text{datasheet}}$ で、各デバイスのデータシートで「熱に関する情報」の表に $R_{\theta JA}$ として規定されています。 $\theta_{JA, \text{datasheet}}$ は JEDEC High-K 熱テスト基板の熱モデルを使用して求められており、設計者が熱性能の評価時に用いる最も一般的な指標です。もう 1 つは $\theta_{JA, 1SOP}$ であり、1SOP 近似レイアウトでの測定値です。この値は、最悪条件のレイアウトで予想される熱性能の一例です。図 1～図 5 に、WSO ン パッケージの TPS745 用に設計した各レイアウトの 3D 画像を示します。Appendix A に、各レイアウトの 4 層すべての図面を示します。表 1 に、各設計のレイアウトと銅面積を示します。

表 1. レイアウトの識別子と説明

基板	属性	説明	接続された銅の面積 (in ²)	接続されていない銅の面積 (in ²)
1SOP 近似	上層	トレースのみ	なし	なし
	内層 1	銅なし		
	内層 2	銅なし		
	下層	トレースのみ		
	追加のサーマル・ビア	なし		
内部分離	上層	トレースのみ	0.07	16.8
	内層 1	中程度の接続されていない不連続のプレーン ⁽¹⁾		
	内層 2	中程度の接続されていない不連続のプレーン ⁽¹⁾		
	下層	トレースと 1 つの小さなグラウンド・プレーン		
	追加のサーマル・ビア	なし		
JEDEC High-K 近似	上層	トレースのみ	10.2	8.53
	内層 1	1 つの大きなグラウンド・プレーン		
	内層 2	トレースと 1 つの大きな接続されていないプレーン		
	下層	1 つの中程度のグラウンド・プレーン		
	追加のサーマル・ビア	なし		
熱的強化	上層	トレースと 1 つの小さなグラウンド・プレーン	10.5	8.43
	内層 1	小さなグラウンド・プレーンと 2 つの接続されていないプレーン		
	内層 2	トレースと 1 つの中程度のグラウンド・プレーン		
	下層	1 つの中程度のグラウンド・プレーン		
	追加のサーマル・ビア	デバイスの周囲のみ		
熱的飽和	上層	大きなグラウンド・プレーンと電源プレーン	34.1	なし
	内層 1	1 つの大きなグラウンド・プレーン		
	内層 2	トレースと 1 つの大きなグラウンド・プレーン		
	下層	1 つの大きなグラウンド・プレーン		
	追加のサーマル・ビア	デバイスの周囲と PCB 全体		

⁽¹⁾ 専用のグラウンド・プレーンを持たない高密度アプリケーションを再現することを意図しています。

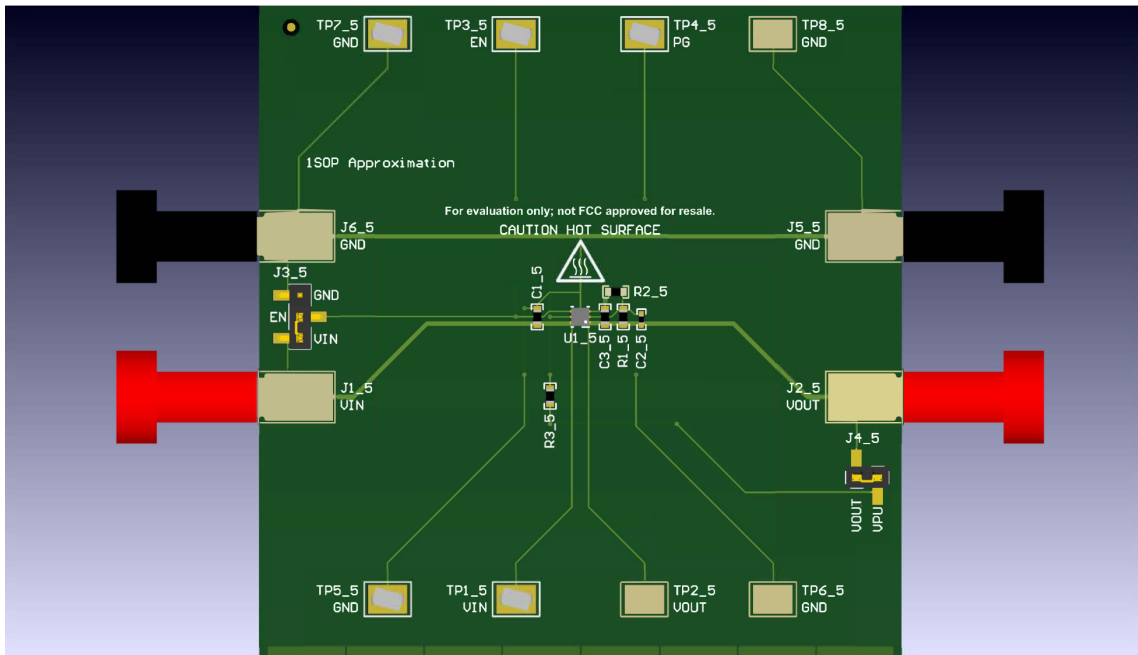


図 1. TPS745 (WSO) 1S0P 近似レイアウト

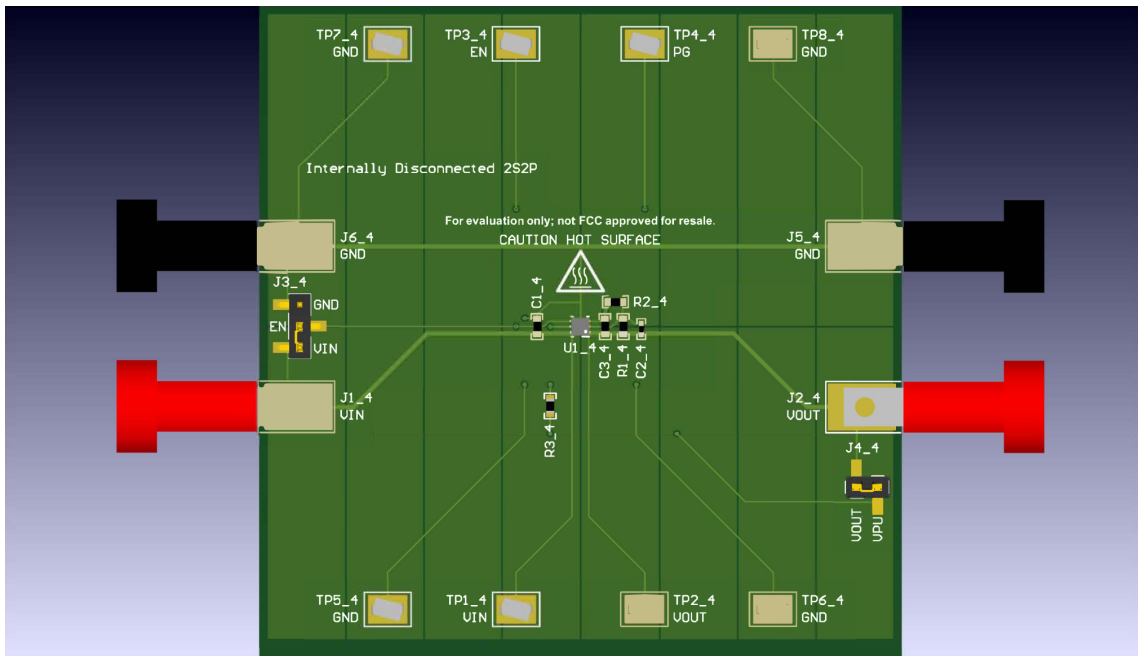


図 2. TPS745 (WSO) 内部分離レイアウト

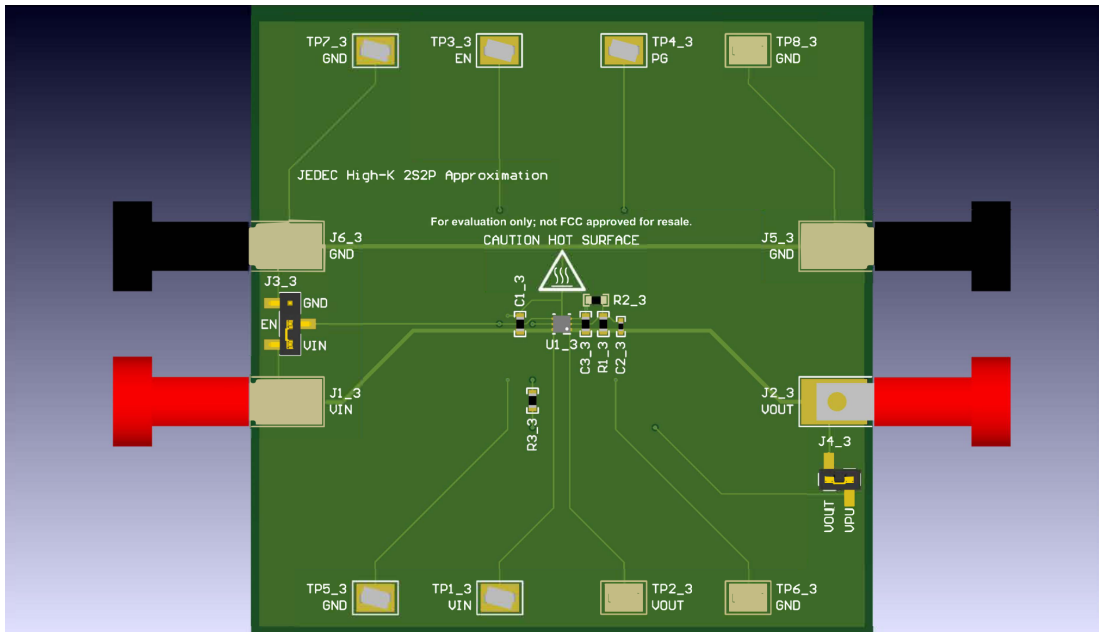


図 3. TPS745 (WSON) JEDEC High-K 近似レイアウト

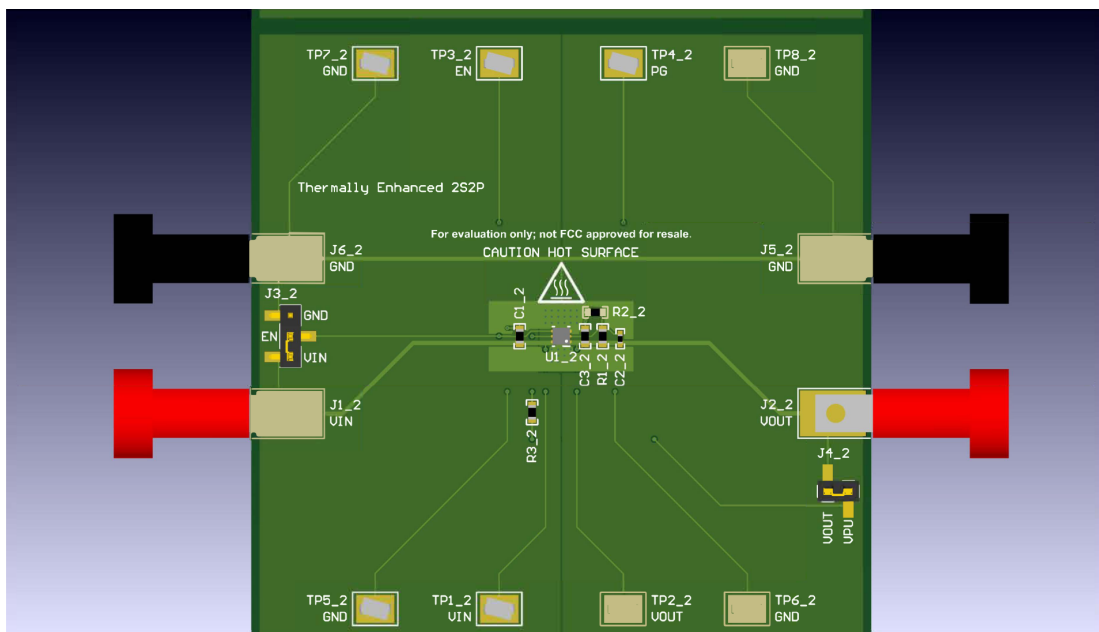


図 4. TPS745 (WSON) 熱的強化レイアウト

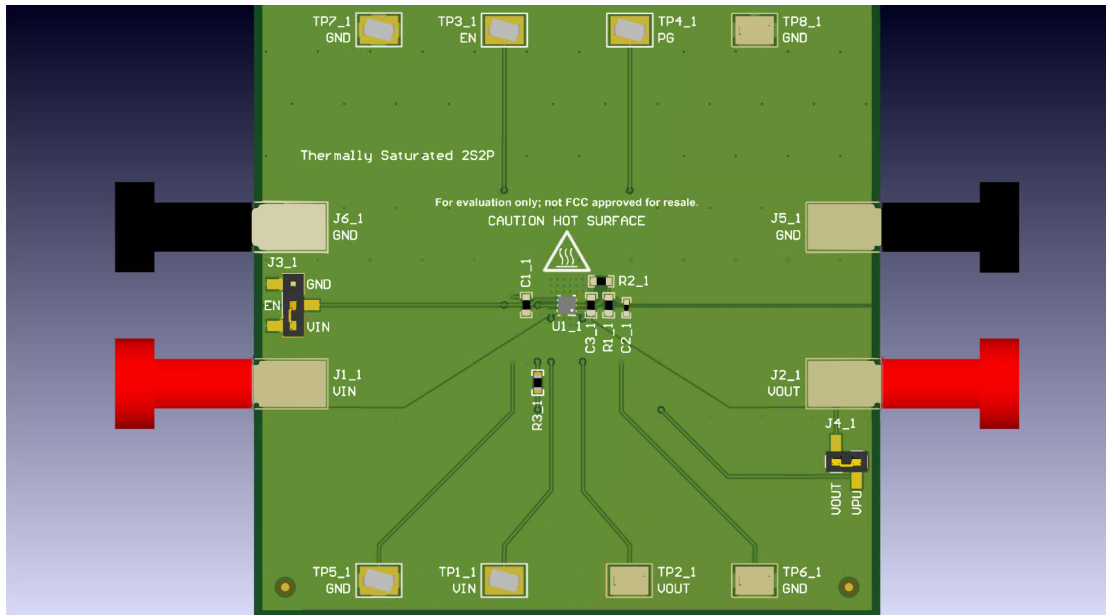


図 5. TPS745 (WSN) 熱的飽和レイアウト

2 手順

最新の LDO のほとんどは、接合部温度の上昇による過度の損傷からデバイスを保護するためにサーマル・シャットダウン機能を備えています。サーマル・シャットダウン機能付きの LDO では、与えられた消費電力レベルで決まる最高周囲温度を周囲温度が超えると、サーマル・シャットダウンがトリガされ機能を停止します。式 2 に、接合部温度をサーマル・シャットダウン温度に置き換えて、式 1 を並べ替えたものを示します。

$$T_{A,max} = T_{SD} - \theta_{JA} \times P_D \quad (2)$$

『Measuring the Thermal Impedance of LDOs in Situ』アプリケーション・レポート (英語) では、この式により、デバイスの接合部を直接調べる必要なく θ_{JA} を求める方法を説明しています。まず、最高動作周囲温度が事実上 LDO のサーマル・シャットダウン温度と等しくなるように、小さな消費電力を選択します。加熱炉を使用して周囲温度を設定し、LDO の温度が安定するように 5 分間保ちます。JEDEC 標準モデルは強制対流を想定していないため、その後は加熱炉をオフにして、エアフローを停止する必要があります。続いて、オシロスコープを使用して LDO が出力を停止するかどうかを監視します。この挙動 (出力の停止) は、サーマル・シャットダウンがトリガされたことを示します。LDO がサーマル・シャットダウンに移行しない場合、周囲温度を上げ、この手順を繰り返して最高動作周囲温度を求めます。消費電力のレベルを上げながらこの手順を繰り返すことにより、式 2 を用いて θ_{JA} を計算する際に十分な線形回帰が得られます。

測定中に周囲温度と消費電力が変化しやすいため、この手順の精度には一定の限界があります。加熱炉をオフにすることで、自然対流によって周囲温度が徐々に下がるようにします。加熱炉により生じる対流に起因するすべての冷却を除去すると同時に、デバイスの接合部温度は上昇します。LDO リファレンスのバンドギャップの温度変化に対するドリフトにより、出力電圧は下がり、パス・トランジスタの消費電力は増大します。 θ_{JA} 測定値の精度も、加熱炉の測定精度 ($\pm 2^\circ\text{C}$ 、標準値) に応じて低下します。こうした限界に対処するため、幅広い最高周囲温度を説明するために幅広い消費電力レベルを選択する必要があります。式 2 は、 θ_{JA} がこれらの 2 つの変数間の近似曲線の傾きであると定義されていることを示します。このように、幅広い温度と消費電力で直線性が維持されることを検証すれば、 θ_{JA} 測定の信頼性は向上します。

この手順の大きな利点は、比較的簡単であるということです。この手順を使うと、特定の基板または接合部の温度を測定するために PCB や LDO に変更を加える必要がないため、あらゆる基板で θ_{JA} を測定でき、より実用的な PCB レイアウトと、精度は若干落ちるものの、システム設計者により適したテスト環境を実現できます。本書の目的は、各種パッケージにわたる PCB レイアウトと熱性能の間の一般的傾向を調べることで設計者を支援することにあるため、実用的なテスト構成を実現することを優先します。

3 テスト結果と考察

図 6 に、TPS745 (WSON パッケージ) の 1S0P 近似レイアウトでの最高周囲温度と消費電力との関係を示します。近似曲線の傾きは θ_{JA} が $169.2^{\circ}\text{C}/\text{W}$ であることを示しています。収集したデータの範囲と直線性は、式 2 に示す LDO の消費電力と最高動作周囲温度の関係の期待値を裏付けています。

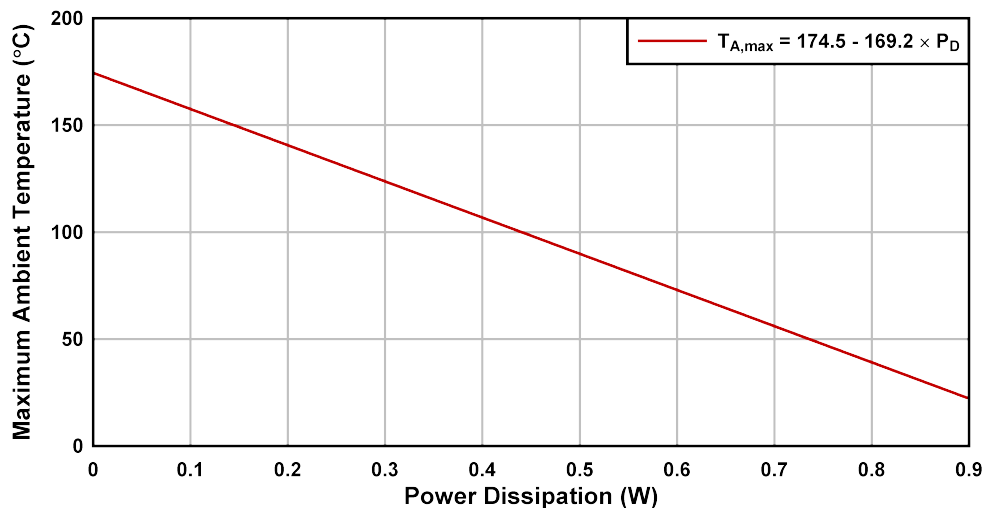


図 6. TPS745 (WSON) 1S0P 近似レイアウトのテスト結果

すべてのパッケージとレイアウトについて収集した類似データについては Appendix B を参照してください。図 7 と図 8 に、TPS745 (WSON) と TPS7B82-Q1 (TO-252) で得られた θ_{JA} の値を示します。これらのパッケージは、5 つのレイアウトのすべてで類似した熱性能の傾向を示しています。内部分離レイアウトでは、接続された銅の面積がわずか 0.07in^2 であるにもかかわらず、 θ_{JA} がほぼ半減しており、内層に銅を使用すれば、その銅が LDO に直接接続されていなくても、熱性能は大幅に向上することを示しています。残りのレイアウトで銅とサーマル・ビアが増えるにつれ、さらに少しずつ θ_{JA} は小さくなり、最大低減率は 70% を若干上回っています。収集したデータに基づいて、WSON および TO-252 パッケージには熱効率の高いレイアウトが不可欠であるといえます。レイアウトが不適切な場合、 θ_{JA} がデータシートの規定値を大幅に超過し、結果的に熱性能計算の複雑化や最高動作周囲温度の低下を招き、デバイスの寿命が短くなり、信頼性が低下する可能性があります。

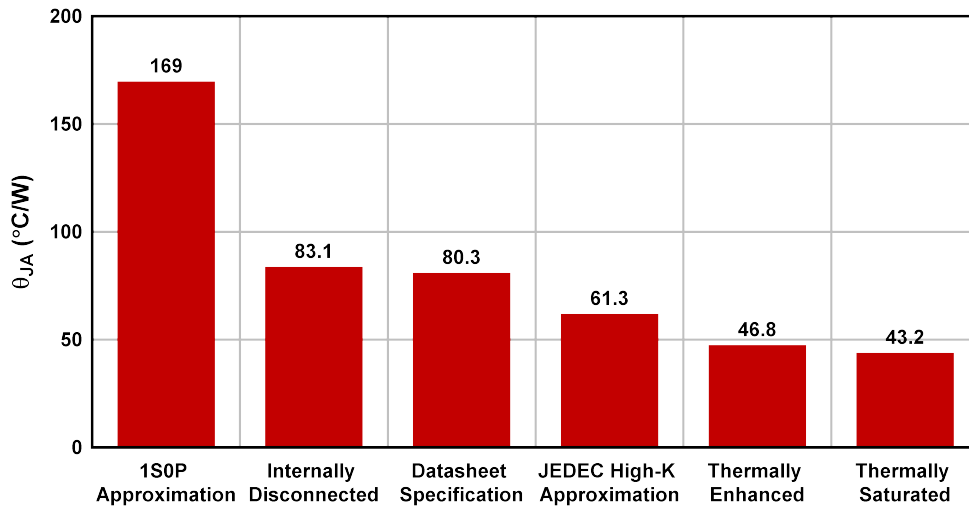


図 7. TPS745 (WSON) の θ_{JA} と基板レイアウトとの関係

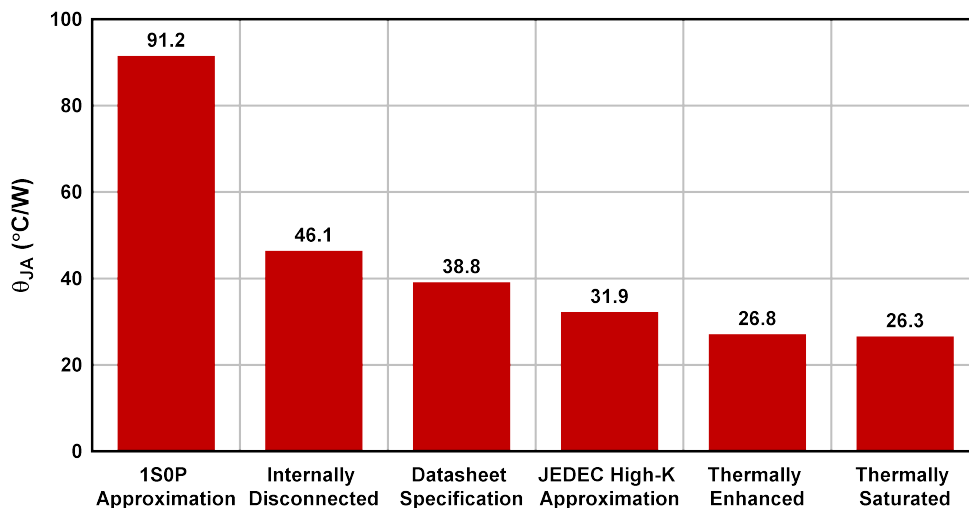


図 8. TPS7B82-Q1 (TO-252) の θ_{JA} と基板レイアウトとの関係

図 9 に、TLV755P (SOT-23) の θ_{JA} の測定値を示します。SOT-23 パッケージにおける θ_{JA} の傾向の違いは、サーマル・パッドがないことに起因します。JEDEC 標準規格では、サーマル・パッドのないパッケージについては、High-K 熱テスト基板へのサーマル・ビアの追加を認めていません。わずかな熱を内層および下層に放散できるため、1S0P 近似と JEDEC High-K テスト基板の熱モデル (データシートの仕様のベース) での性能は極めて似通ったものとなります。複数の異なるレイアウトで性能が同じにならないよう、内部分離レイアウトではデバイスの下にサーマル・ビアを 1 つ設けて、上層のグランド・トレースを下層のグランド・プレーンに接続しました。これに対し、JEDEC High-K 近似レイアウトは、2 つのビアで上層のグランド・トレースを内層に接続して、同様の性能を示しています。JEDEC High-K 近似レイアウトで銅が増えているにもかかわらず、ビアをもう 1 つ追加したことでは θ_{JA} の大幅な改善を保証できるだけの熱伝導性は得られません。

熱的強化基板と熱的飽和基板は、JEDEC High-K 近似基板に比べて約 33% 小さい θ_{JA} を示していますが、TPS745 および TPS7B82-Q1 と比べるとかなり大きくなっています。これは、SOT-23 パッケージにはサーマル・パッドがないということで説明がつかます。熱的強化レイアウトと熱的飽和レイアウトでのみ、上層に銅プレーンを使用しています。このパッケージにはサーマル・パッドがないため、放熱の大半は上層で行われます。このため、上層に銅を使用したほうがはるかに効果的です。さらに、熱的強化パッケージと熱的飽和パッケージでは、追加したサーマル・ビアが、内層および下層に熱を拡散させる唯一の経路です。これに対し、TPS745 と TPS7B82-Q1 のレイアウトでは、サーマル・ビアがサーマル・パッド直下に設けられているため、サーマル・ビアを追加することによる効果を小さくしています。

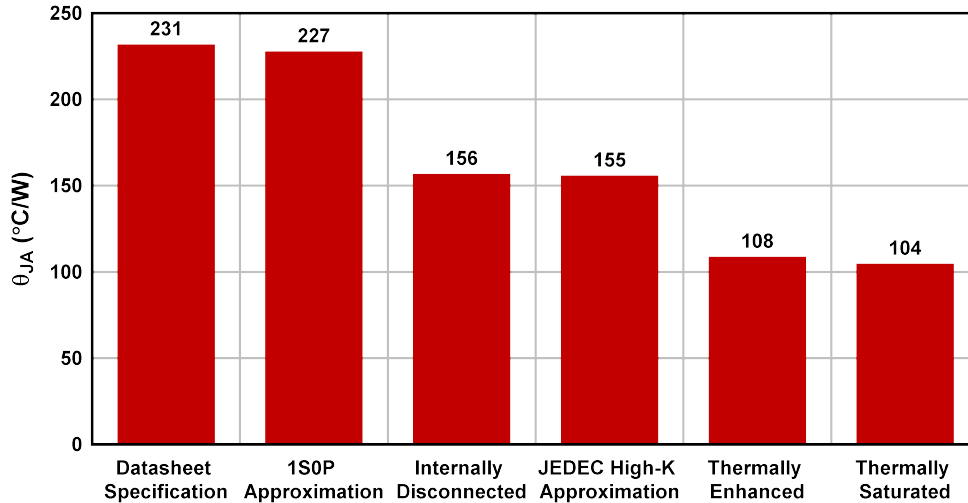


図 9. TLV755P (SOT-23) の θ_{JA} と基板レイアウトとの関係

図 10 に、PCB レイアウトの効果とパッケージ・タイプとの関係を比較したものです。この効果は θ_{JA} の低減率として計算します。式 3 で計算するとおり、熱的に効率の高いレイアウトではデータシートに規定する θ_{JA} を、パッケージに応じて 32%~55% 低減できます。データシートに規定する θ_{JA} を用いて LDO の接合部温度の上昇を控えめに推計することはできますが、式 2 から、熱的に効率の高いレイアウトを採用することで接合部温度の上昇を実験的に 32%~55% 抑えることが可能です。この改善の説明がつけば、より高い動作周囲温度、より高い消費電力、あるいは両者の組み合わせも可能です。式 4 による 1S0P 近似レイアウトとの比較は、熱的に効率の高いレイアウトの重要性を示しています。この最悪条件のレイアウトに比べて、熱的に効率の高いレイアウトでは θ_{JA} の測定値が 4 分の 1 にまで低減しています。

$$\text{Reduction of } \theta_{JA} \text{ compared to Datasheet Specification} = \left(1 - \frac{\theta_{JA, \text{saturated}}}{\theta_{JA, \text{datasheet}}}\right) \times 100 \tag{3}$$

$$\text{Reduction of } \theta_{JA} \text{ compared to 1S0P Approximation} = \left(1 - \frac{\theta_{JA, \text{saturated}}}{\theta_{JA, 1S0P}}\right) \times 100 \tag{4}$$

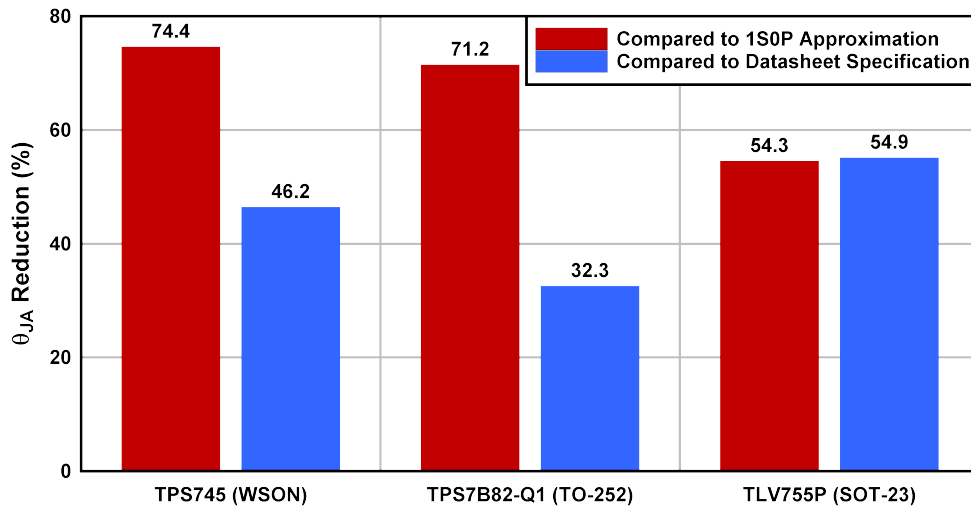


図 10. 各デバイスの θ_{JA} 低減率

図 11 に、式 5 を用いて、図 7、図 8、図 9 の結果をデータシートの仕様に対して正規化したものを示します。

$$\theta_{JA,normalized} = \frac{\theta_{JA,measured}}{\theta_{JA,datasheet}} \tag{5}$$

この図は 3 種類のパッケージで収集したデータをまとめたもので、本研究における重要な発見を示しています。まず、PCB の銅量と θ_{JA} の間には、銅量が増加するにつれて飽和するという反比例関係があります。この関係は、パッケージのタイプに関係なく観察されます。1S0P 近似レイアウトに比べて内部分離レイアウトでは熱抵抗が大幅に低減していることから分かるように、銅を LDO に接続しなくても熱性能を高めることができます。また、デバイスの周囲にサーマル・ビアを追加することでも、LDO から発生した熱を内層および下層に放散する経路が増えるため、熱性能は向上します。このビアは、専用のサーマル・パッドがない SOT-23 などのパッケージでは特に重要です。しかし、熱的強化レイアウトと熱的飽和レイアウトでは改善の差が極めて小さいことから分かるように、サーマル・ビアの追加による θ_{JA} の改善効果は飽和します。

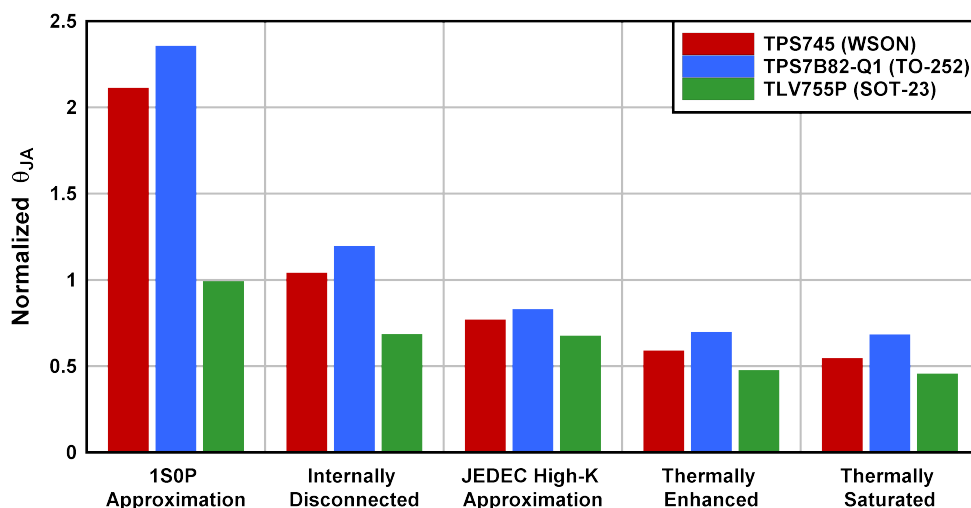


図 11. 各デバイスの正規化した θ_{JA} と基板レイアウトとの関係

4 結論

LDO の接合部・周囲間熱抵抗 θ_{JA} としての熱性能は、PCB 設計の影響を大きく受けます。しかし、PCB による影響は究極的には LDO のパッケージで制限されます。WSON パッケージや TO-252 パッケージといったサーマル・パッド付きのパッケージは放熱しやすいため、 θ_{JA} の総低減率は、最悪条件の 1SOP 近似レイアウトに対してそれぞれ 74%、71% と大きいことが分かります。SOT-23 パッケージでは低減率は比較的小さいですが、それでも 54% でかなり低減できます。図 10 は、熱的に最適化されたレイアウトにより、データシートの仕様に比べて θ_{JA} を 32%~55% 低減できることを示しています。この結果は、データシートに規定する θ_{JA} を用いて熱計算を行えば、熱性能の推定値は控えめになることを示しています。しかし設計者は、熱効率の高いレイアウトにより、動作周囲温度を上げ、消費電力を増やし、またはこれらの 2 つの利点を組み合わせることができることに留意する必要があります。

図 11 は、パッケージ・タイプに関係なく、PCB の銅量の増加に伴って熱性能が飽和することを示しています。3 種類のパッケージのすべてで、熱的強化レイアウトの銅面積は熱的飽和レイアウトの約半分であったにもかかわらず、 θ_{JA} の差は 8% 以内でした。同様に、サーマル・ビアの追加による熱性能の向上も飽和しています。熱的飽和レイアウトの結果のとおり、PCB に追加のビアを打っても、ほとんど効果はありません。熱的強化基板に類似したレイアウトを採用すると、十分な熱性能を備えた設計を実現できます。さらに小型の設計については、図 9 を参照してください。この図は、TLV755P (SOT-23) の測定結果を示しています。これらの結果は、上層および下層の銅量を最大限に増やす必要があることを示しています。なぜなら、これらの層は他の PCB 材で囲まれおらず、熱を放散するのに最も効果的だからです。サーマル・ビアは、LDO から生じた熱を他の銅層に効果的に拡散するためにのみ、デバイスの周囲に追加する必要があります。SOT-23 パッケージなど、サーマル・パッドのないパッケージで設計する際、これらのビアは特に重要です。この場合、ほとんどの熱が発生するデバイス直下にサーマル・ビアを配置することもできます。<https://www.jedec.org/system/files/docs/JESD51-9.pdf> にしたがって、サーマル・パッド付きのパッケージではランド・パッドのサーマル・ビアの数を最大限に増やします。最後に、図 11 のすべての内部分離レイアウトのデータは、可能であれば内層に銅を追加する必要があることと、その銅が LDO に直接接続されていなくても熱性能を向上させる効果があることを示しています。

5 今後の課題

今後、取り組むべき課題は次の 2 点です。まず、従来から熱性能が低いとされている DSBGA や X2SON などの超小型 (1mm² 未満) パッケージで、これらのレイアウトまたは類似のレイアウトの影響を調べることです。そもそも小型パッケージの放熱能力は低いため、WSON、TO-252、SOT-23 パッケージに比べて、PCB レイアウトによる熱性能への影響も小さくなる可能性があります。もう 1 つは、この研究の延長線上にあるより複雑なもので、接続されている銅の面積、接続されていない銅の面積、基板の積層に対するこれらの面積の位置、サーマル・ビアの数などを組み込んだ式または性能指数 (FOM) を求めることです。この FOM は基板の等価熱インピーダンスと相関関係があると推定されるため、この FOM を適用することで、与えられたレイアウトの θ_{JA} の期待値としてよりの値を絞ることができる可能性があります。

6 関連資料

1. 『LDOs Thermal Performance in Small SMD Packages』(英語)
2. 『AN-1520 A Guide to Board Layout for Best Thermal Resistance for Exposed Packages』アプリケーション・レポート (英語)
3. 『Semiconductor and IC Package Thermal Metrics』(英語)
4. 『Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages』(英語)
5. 『High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages』(英語)
6. 『Test Boards for Area Array Surface Mount Package Thermal Measurements』(英語)
7. 『Measuring the Thermal Impedance of LDOs in Situ』(英語)

熱テスト基板レイアウト

(1)

(1) 英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

A.1 TPS745 (WSON) の図

A.1.1 1S0P 近似レイアウトの図

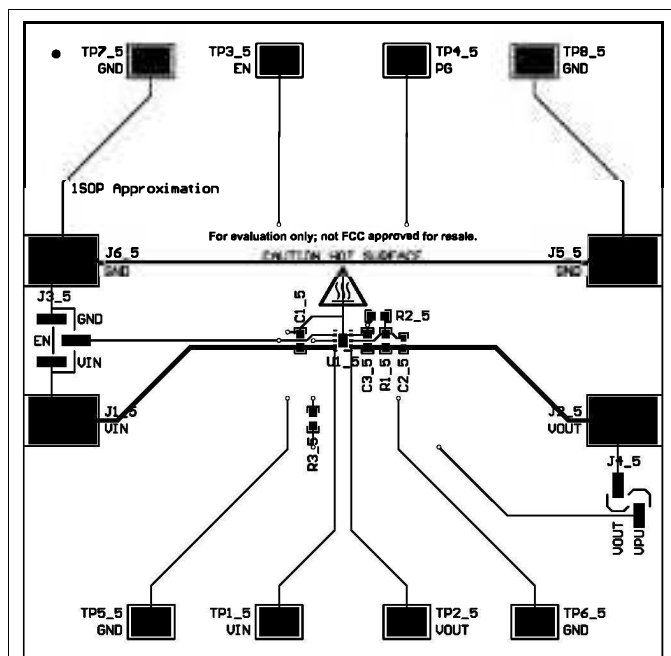


図 12. TPS745 (WSON) 1S0P 近似の上層

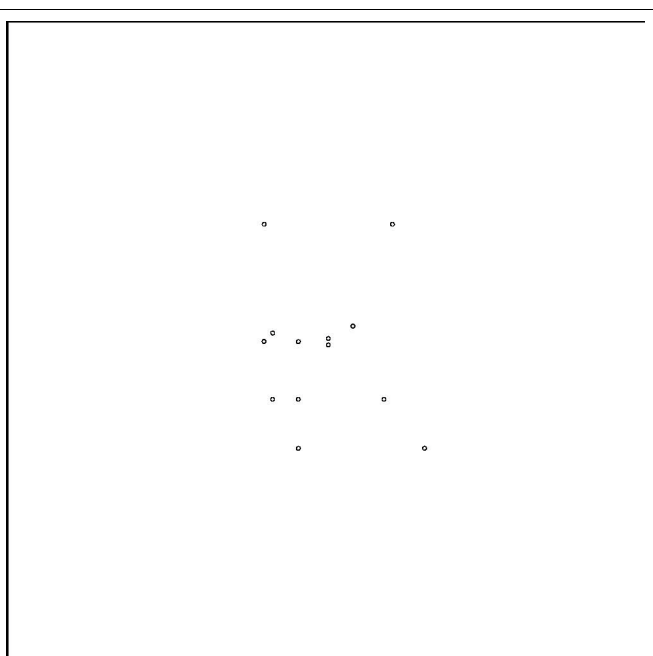


図 13. TPS745 (WSON) 1S0P 近似の内層 1

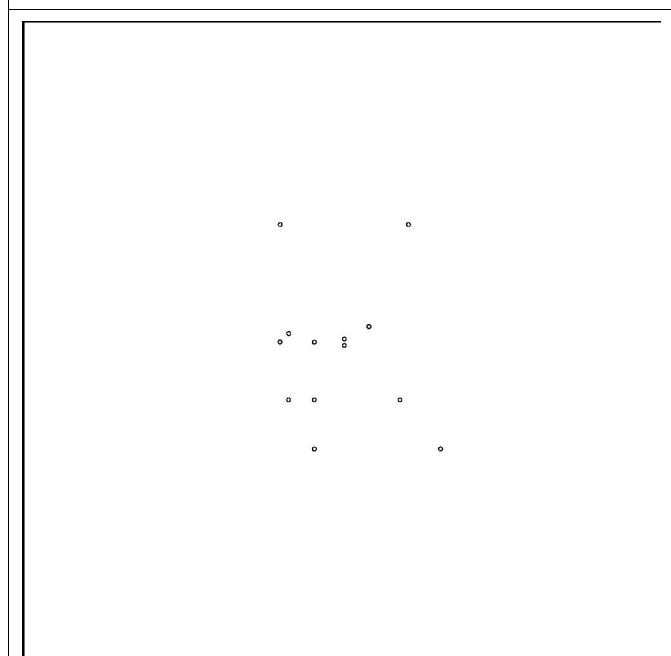


図 14. TPS745 (WSON) 1S0P 近似の内層 2

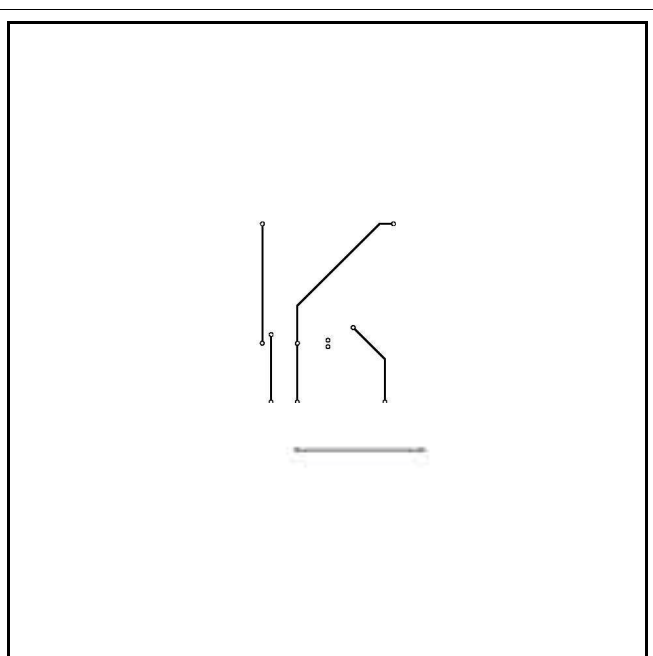


図 15. TPS745 (WSON) 1S0P 近似の下層

A.1.2 内部分離レイアウトの図

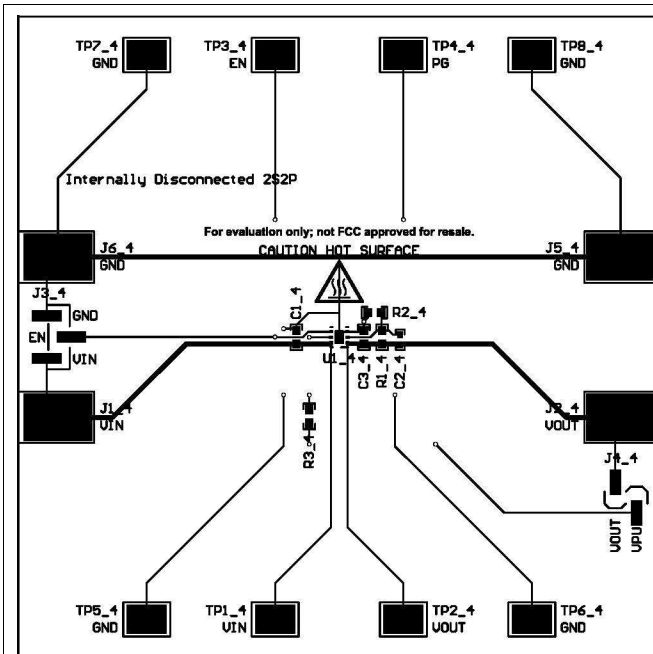


図 16. TPS745 (WSON) 内部分離の上層

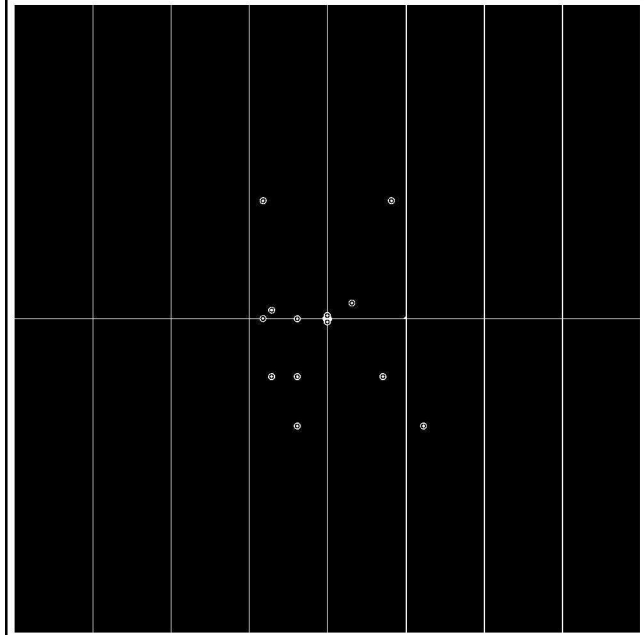


図 17. TPS745 (WSON) 内部分離の内層 1

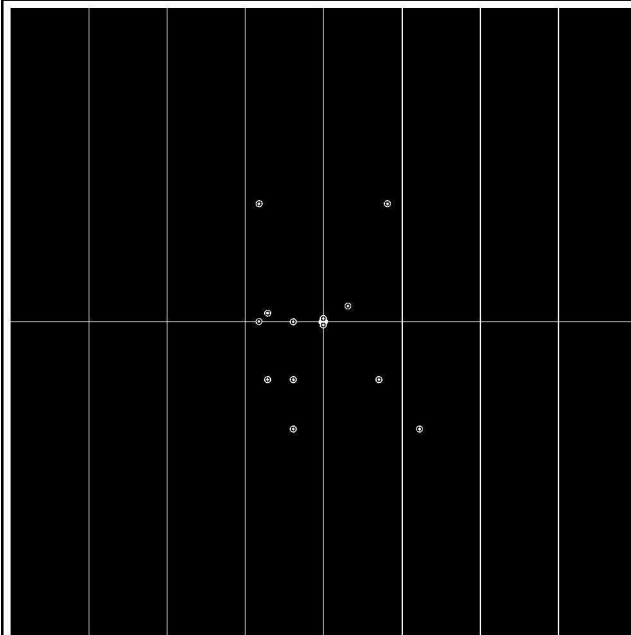


図 18. TPS745 (WSON) 内部分離の内層 2

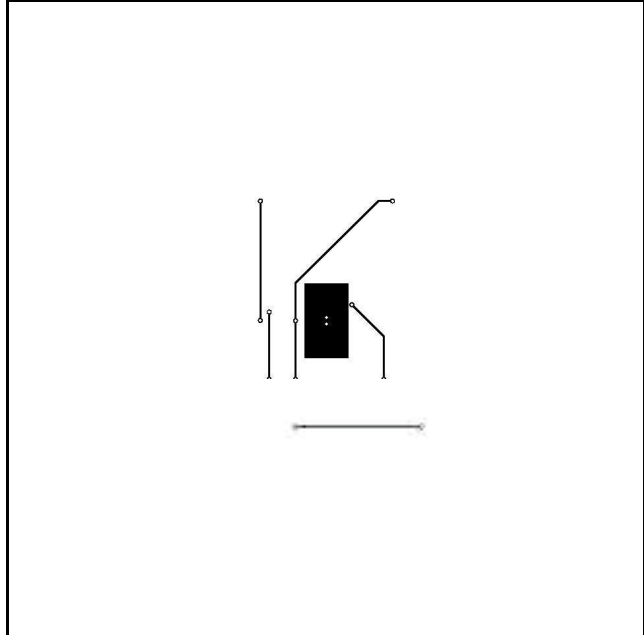


図 19. TPS745 (WSON) 内部分離の下層

A.1.3 JEDEC High-K 近似レイアウトの図

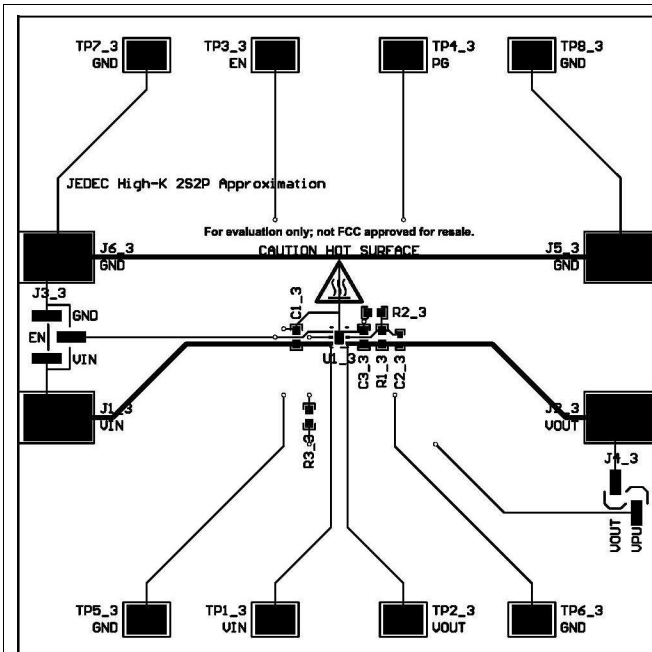


図 20. TPS745 (WSO) JEDEC High-K 近似の上層

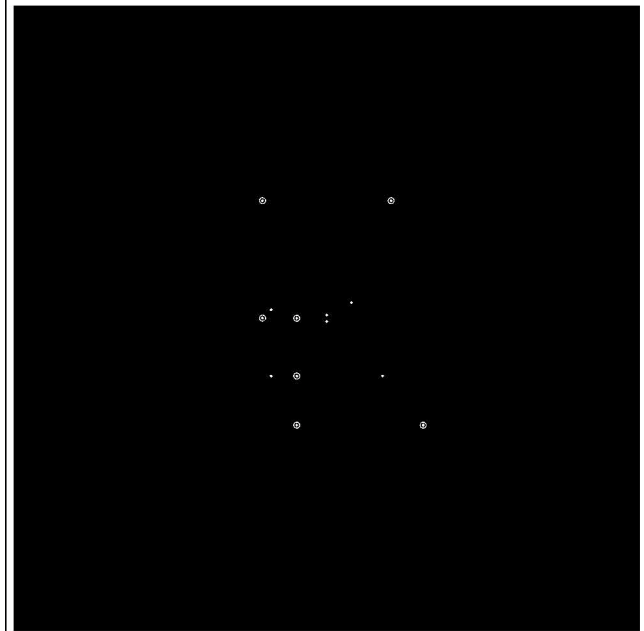


図 21. TPS745 (WSO) JEDEC High-K 近似の内層 1

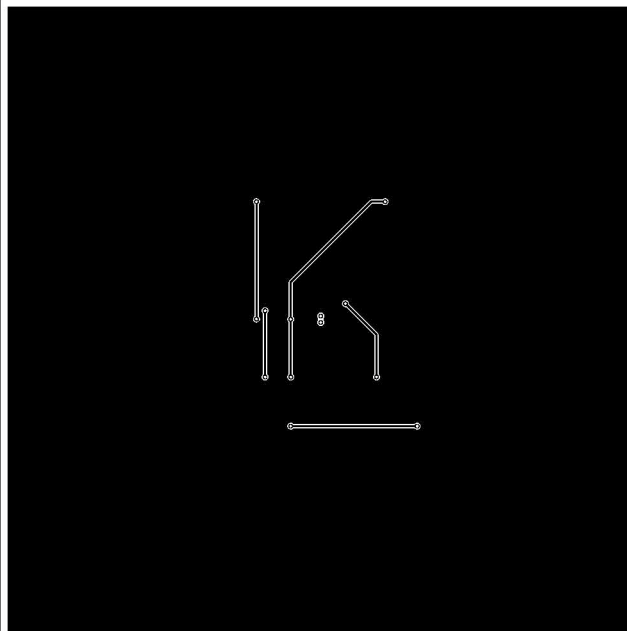


図 22. TPS745 (WSO) JEDEC High-K 近似の内層 2

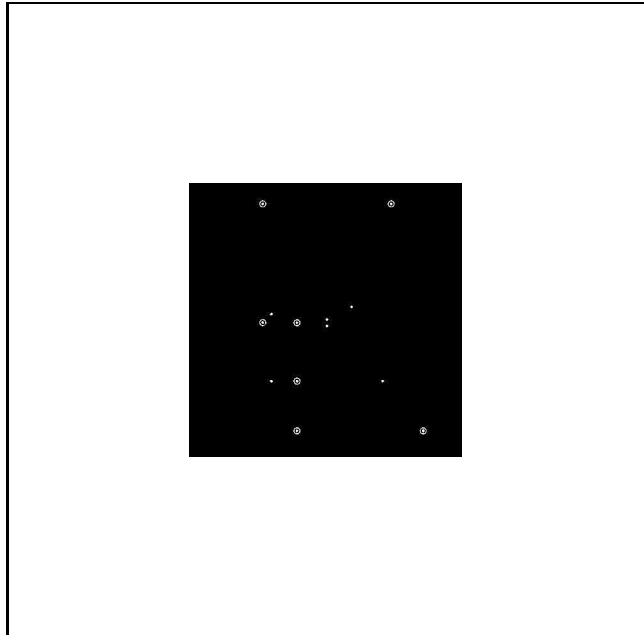


図 23. TPS745 (WSO) JEDEC High-K 近似の下層

A.1.4 熱的強化レイアウトの図

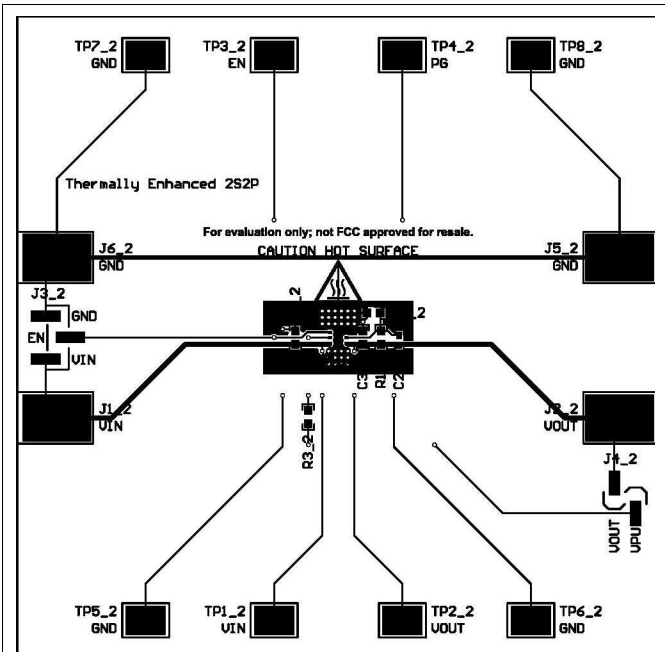


図 24. TPS745 (WSON) 熱的強化の上層

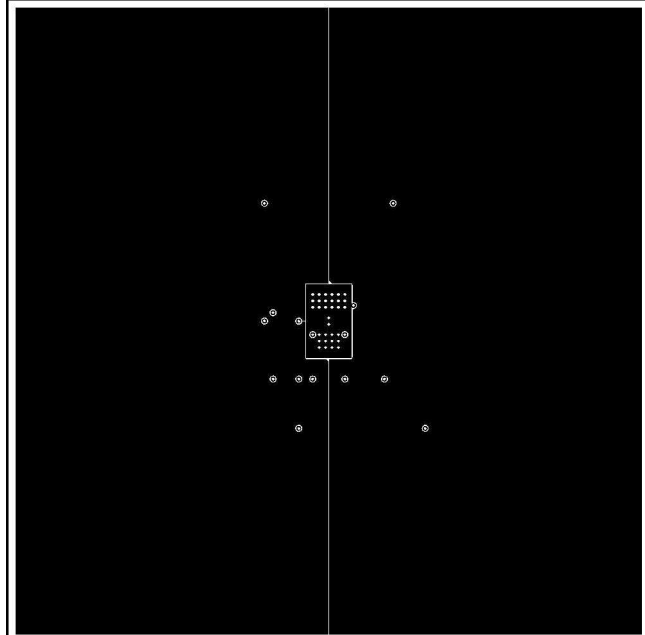


図 25. TPS745 (WSON) 熱的強化の内層 1

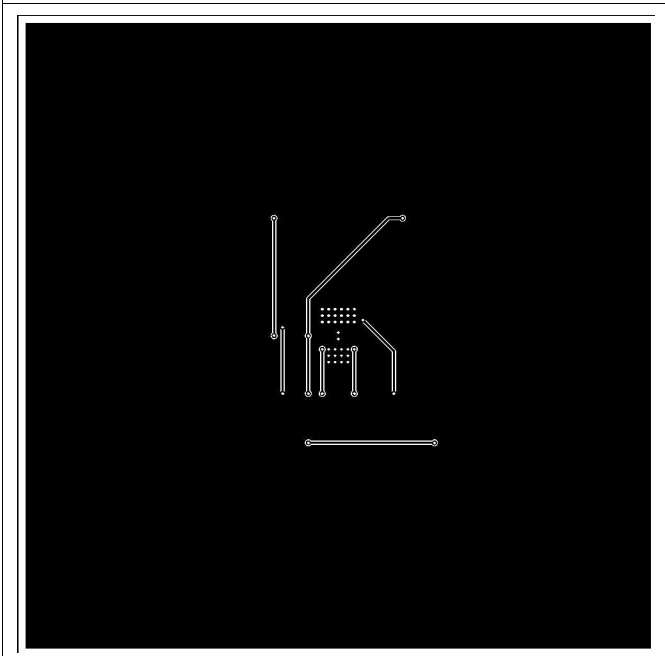


図 26. TPS745 (WSON) 熱的強化の内層 2

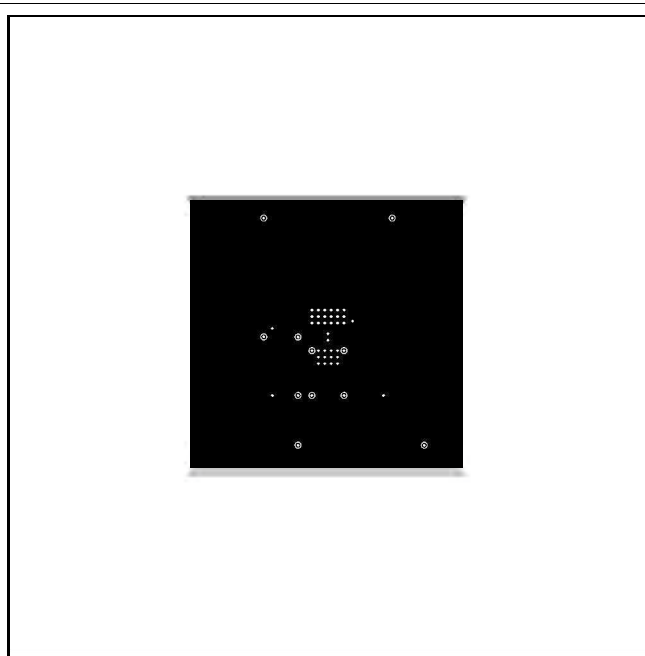


図 27. TPS745 (WSON) 熱的強化の下層

A.1.5 熱的飽和レイアウトの図

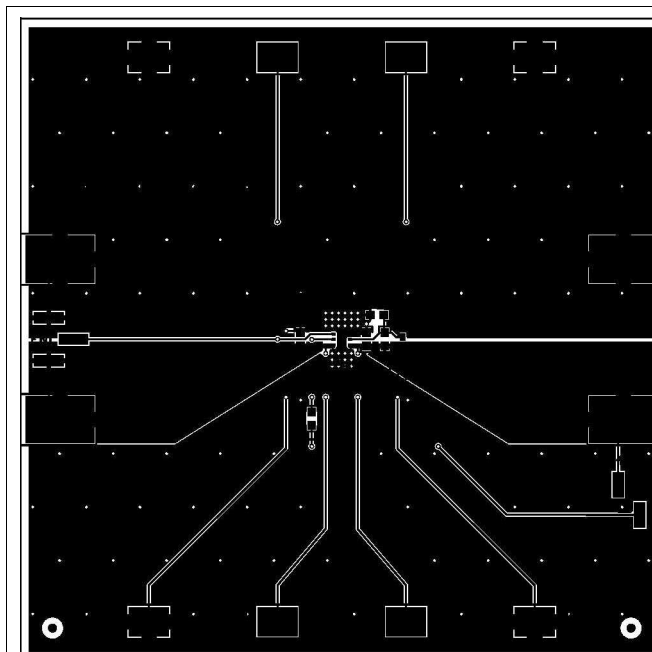


図 28. TPS745 (WSON) 熱的飽和の上層

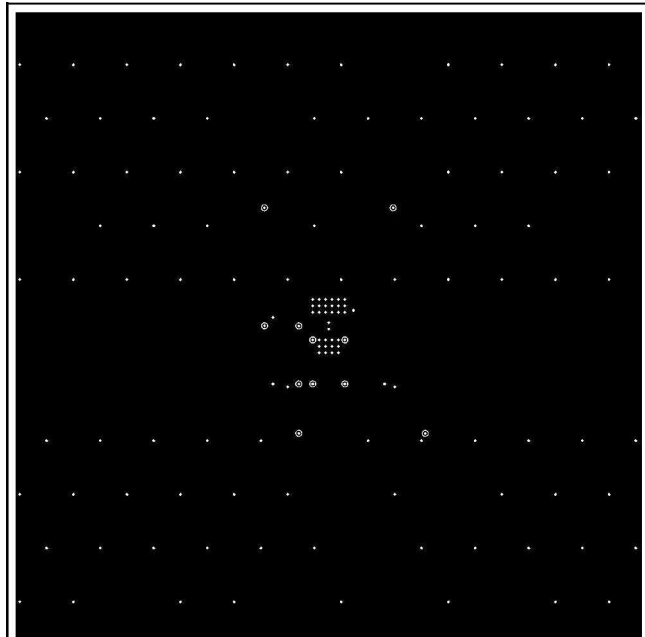


図 29. TPS745 (WSON) 熱的飽和の内層 1

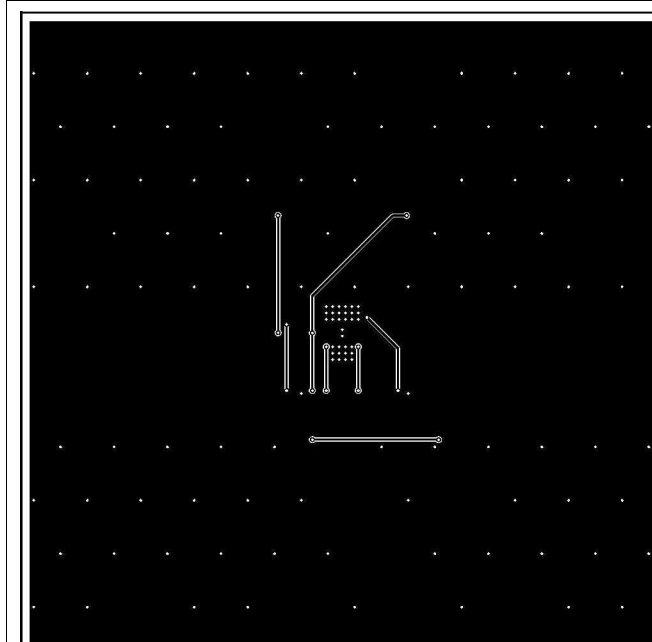


図 30. TPS745 (WSON) 熱的飽和の内層 2

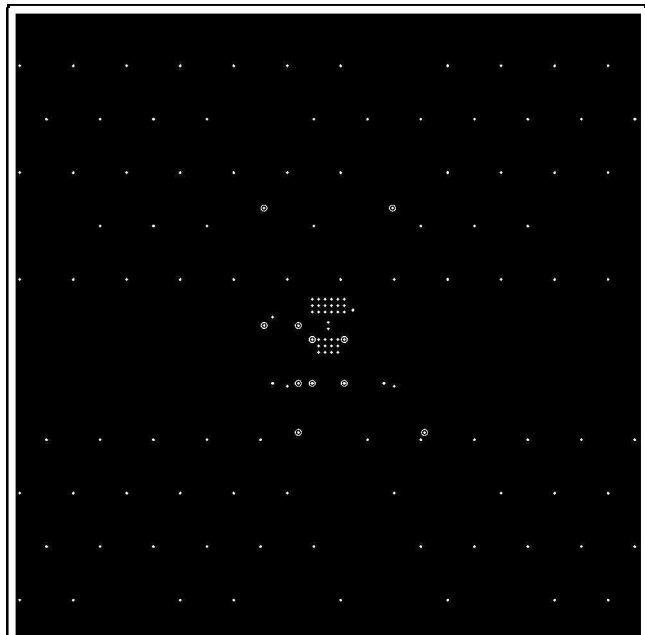


図 31. TPS745 (WSON) 熱的飽和の下層

A.2 TPS7B82-Q1 (TO-252) の図

A.2.1 1S0P 近似レイアウトの図

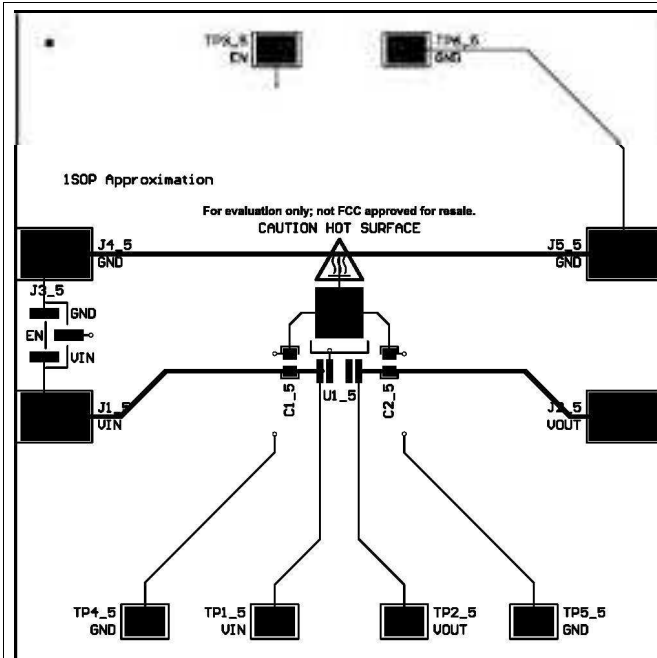


図 32. TPS7B82-Q1 (TO-252) 1S0P 近似の上層

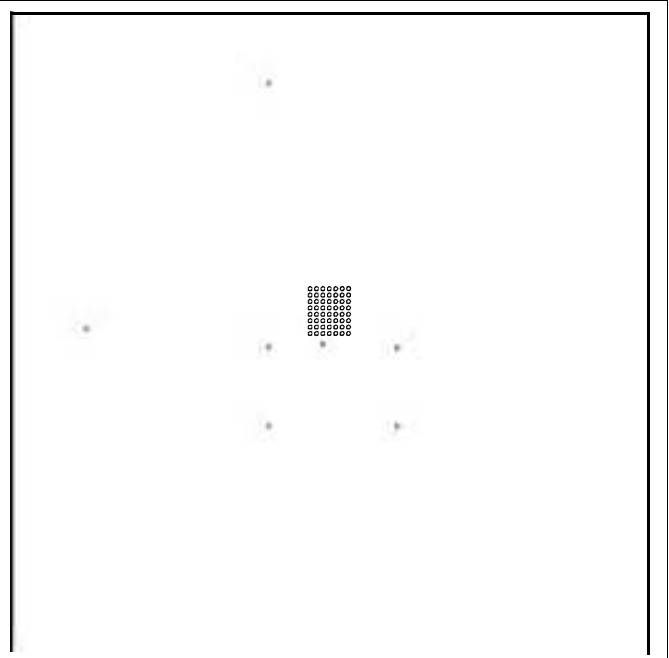


図 33. TPS7B82-Q1 (TO-252) 1S0P 近似の内層 1

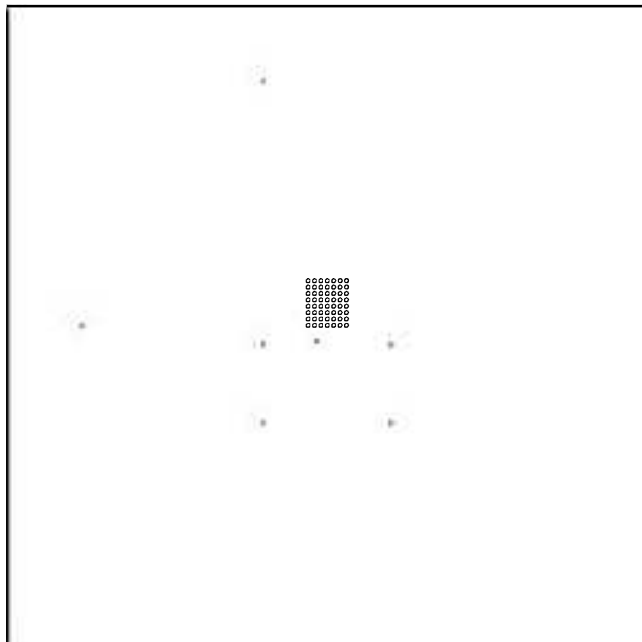


図 34. TPS7B82-Q1 (TO-252) 1S0P 近似の内層 2

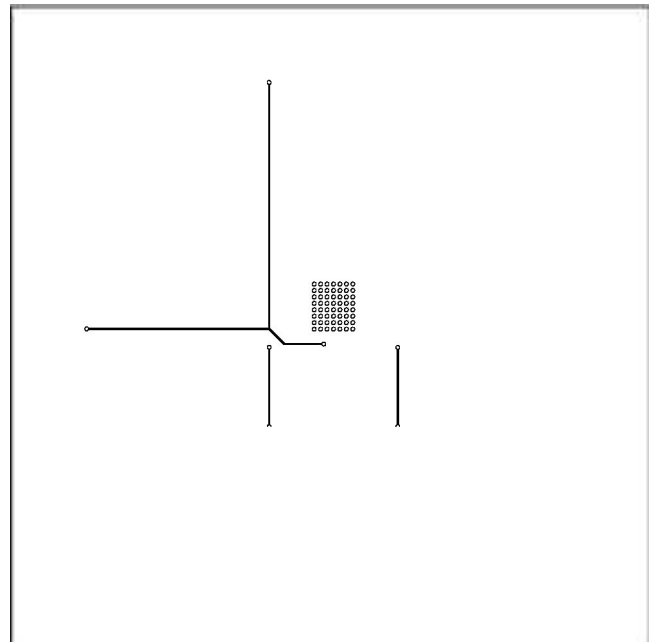


図 35. TPS7B82-Q1 (TO-252) 1S0P 近似の下層

A.2.2 内部分離レイアウトの図

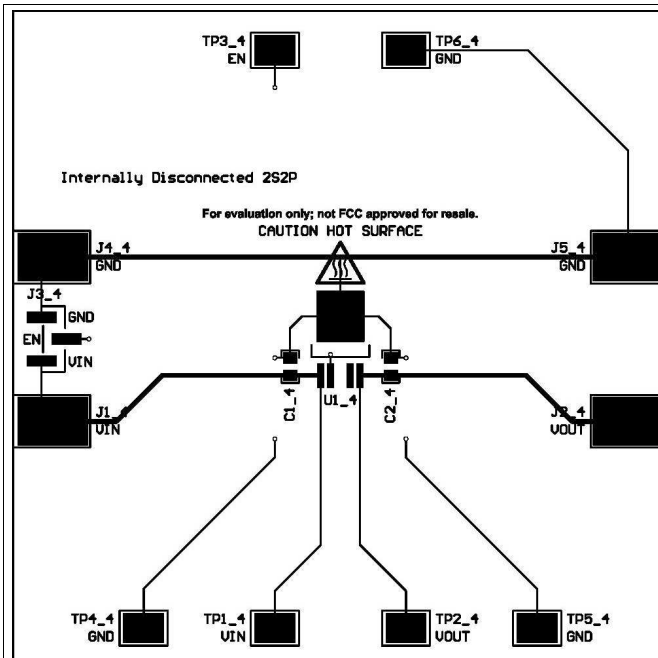


図 36. TPS7B82-Q1 (TO-252) 内部分離の上層

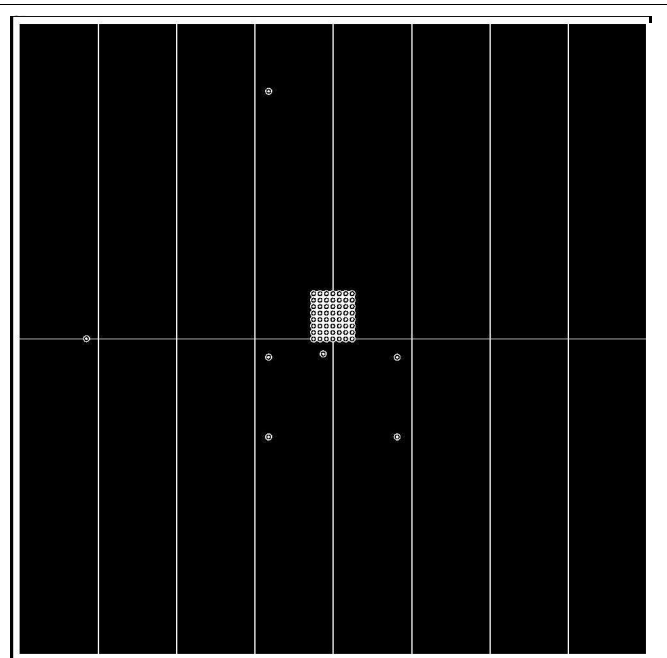


図 37. TPS7B82-Q1 (TO-252) 内部分離の内層 1

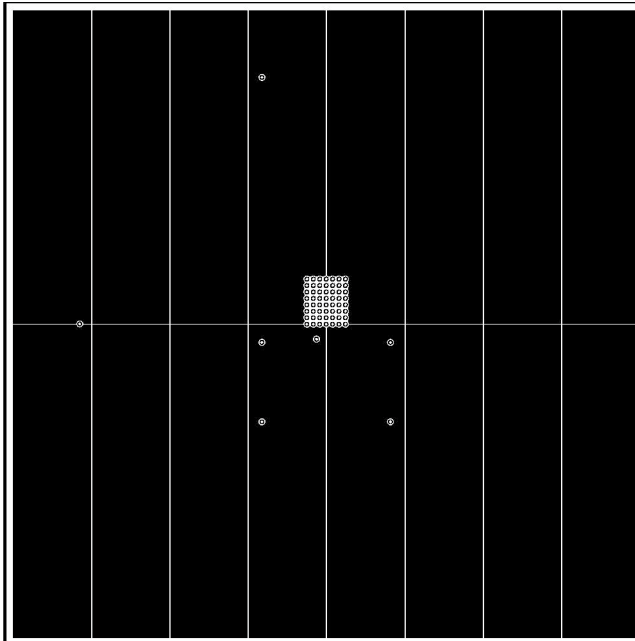


図 38. TPS7B82-Q1 (TO-252) 内部分離の内層 2

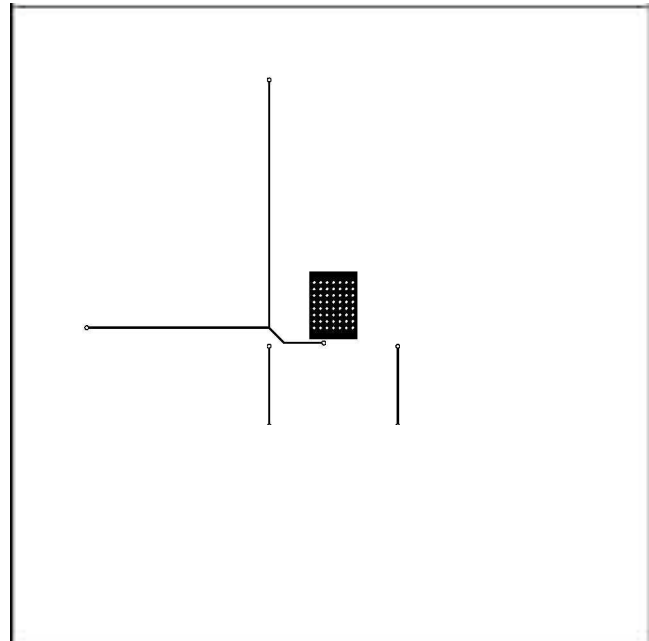


図 39. TPS7B82-Q1 (TO-252) 内部分離の下層

A.2.3 JEDEC High-K 近似レイアウトの図

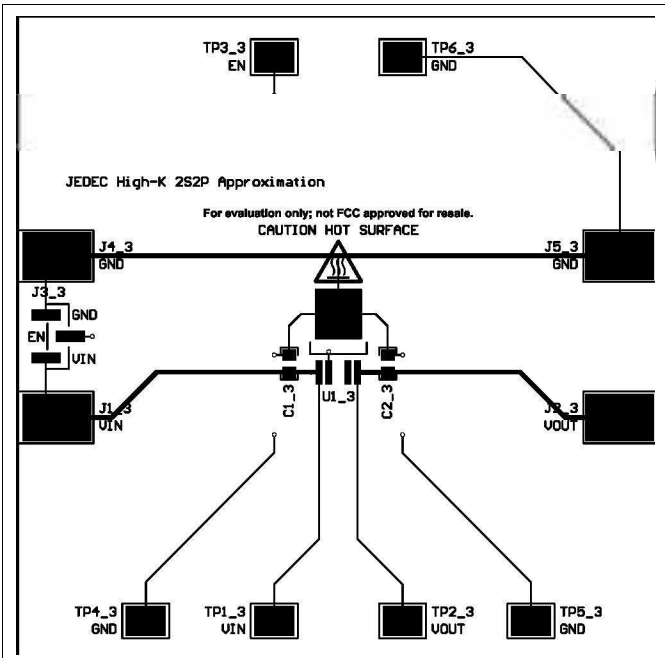


図 40. TPS7B82-Q1 (TO-252) JEDEC High-K 近似の上層

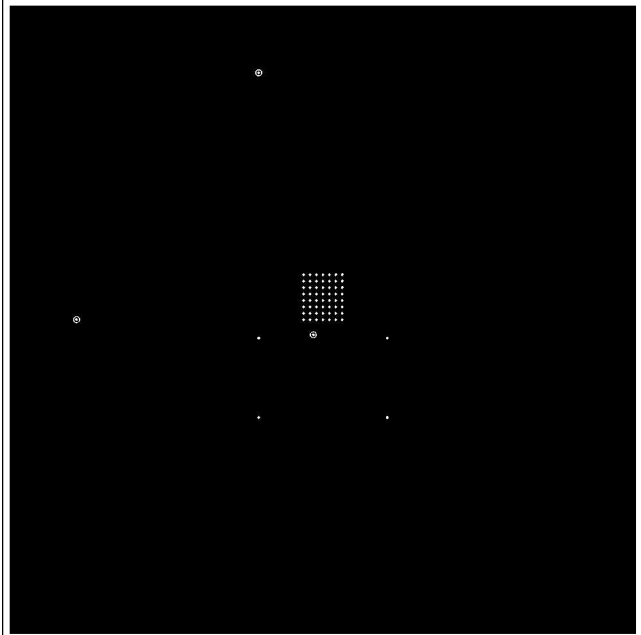


図 41. TPS7B82-Q1 (TO-252) JEDEC High-K 近似の内層 1

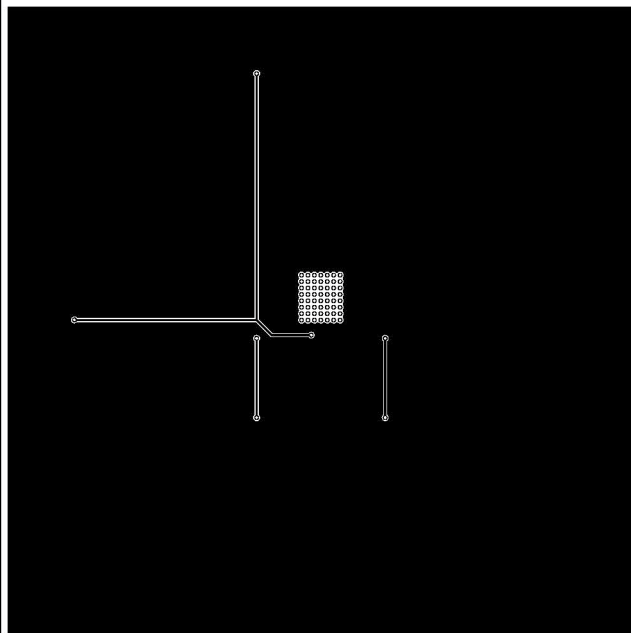


図 42. TPS7B82-Q1 (TO-252) JEDEC High-K 近似の内層 2

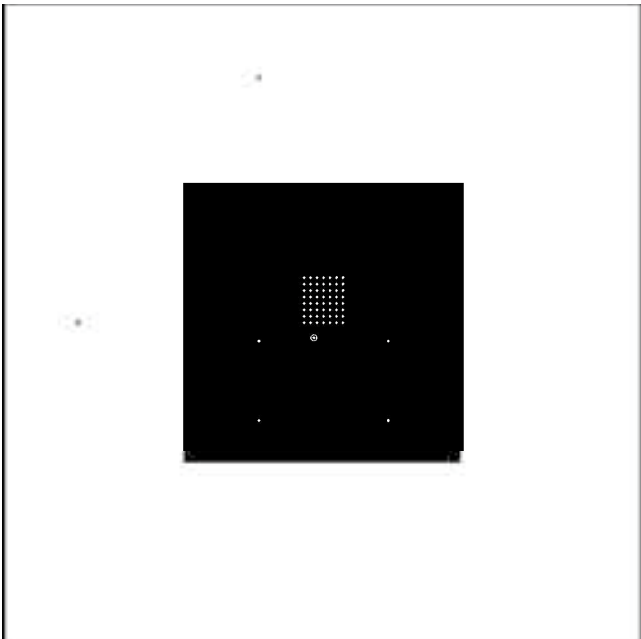


図 43. TPS7B82-Q1 (TO-252) JEDEC High-K 近似の下層

A.2.4 熱的強化レイアウトの図

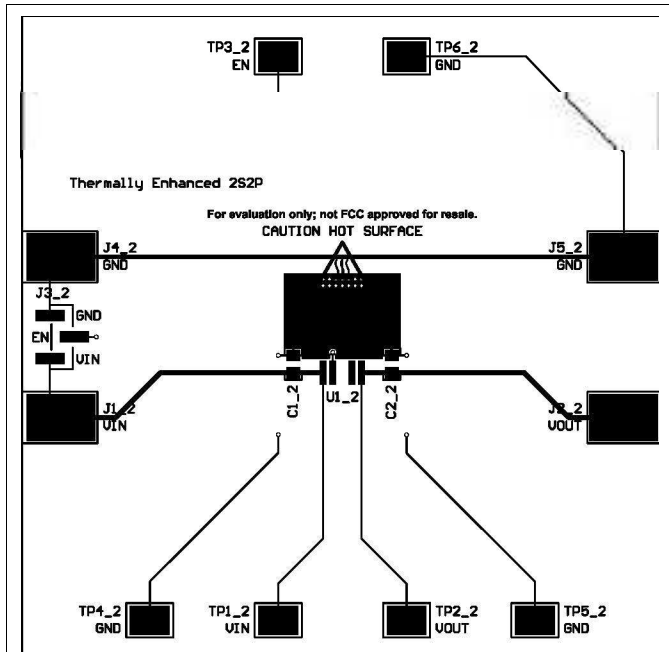


図 44. TPS7B82-Q1 (TO-252) 熱的強化の上層

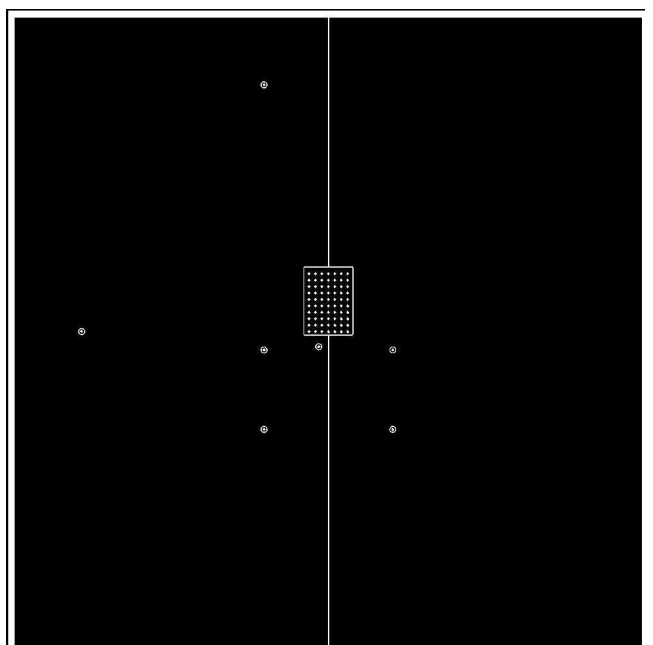


図 45. TPS7B82-Q1 (TO-252) 熱的強化の内層 1

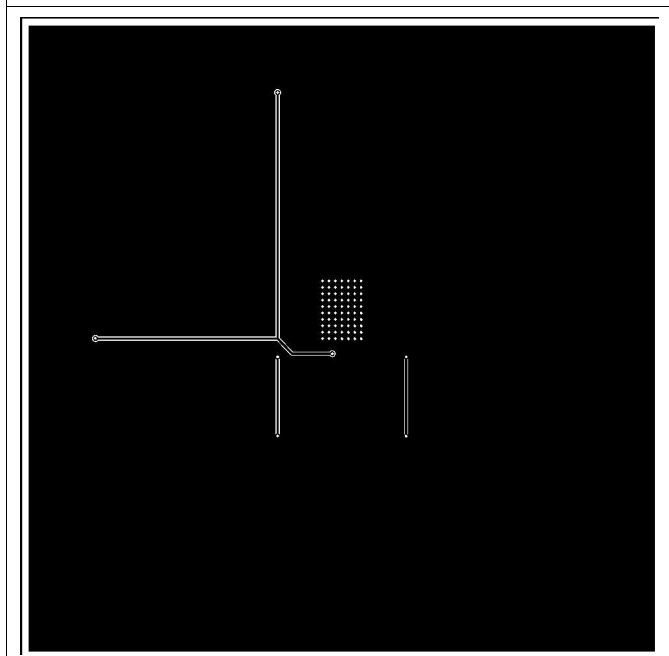


図 46. TPS7B82-Q1 (TO-252) 熱的強化の内層 2

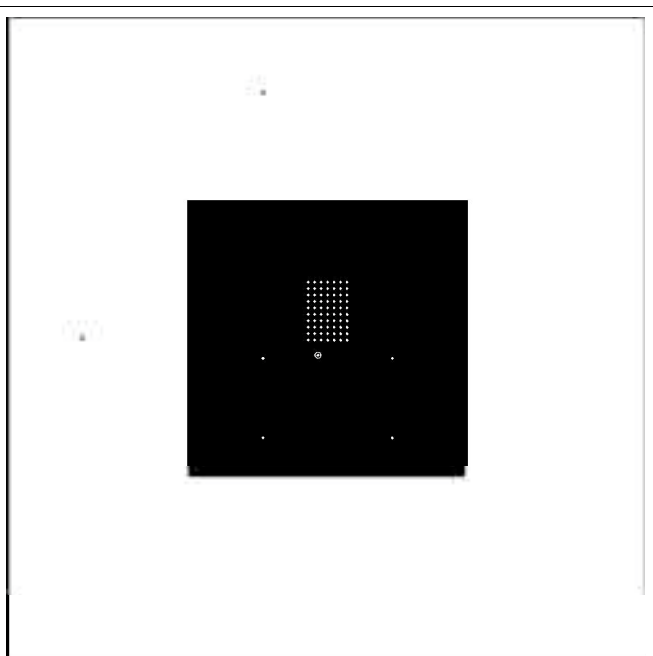


図 47. TPS7B82-Q1 (TO-252) 熱的強化の下層

A.2.5 熱的飽和レイアウトの図

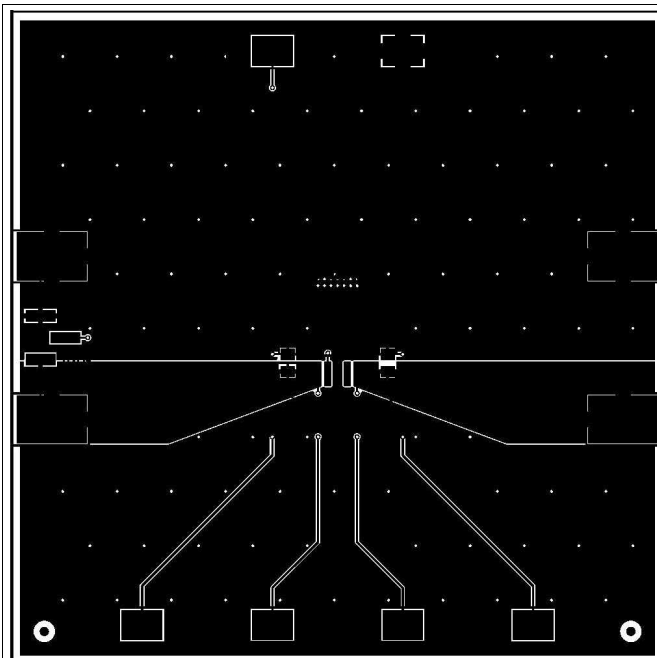


図 48. TPS7B82-Q1 (TO-252) 熱的飽和の上層

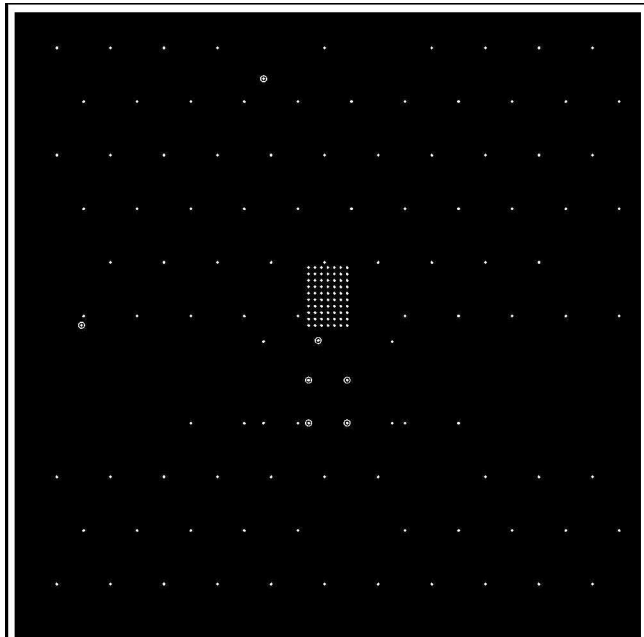


図 49. TPS7B82-Q1 (TO-252) 熱的飽和の内層 1

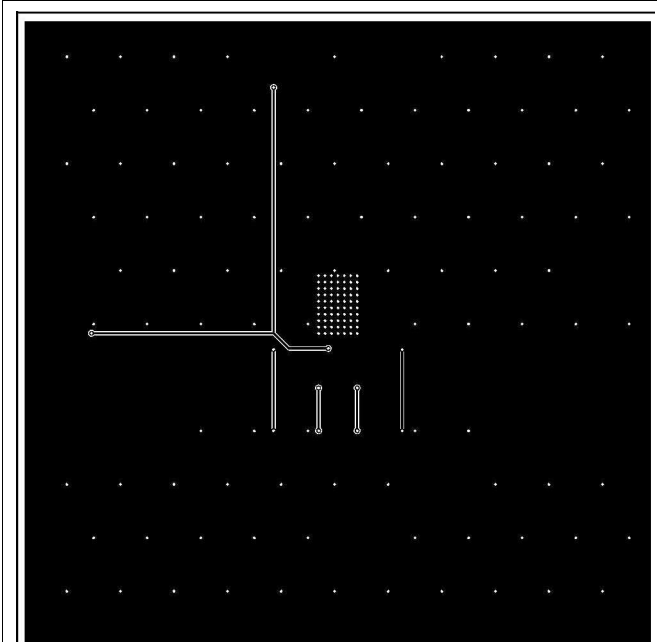


図 50. TPS7B82-Q1 (TO-252) 熱的飽和の内層 2

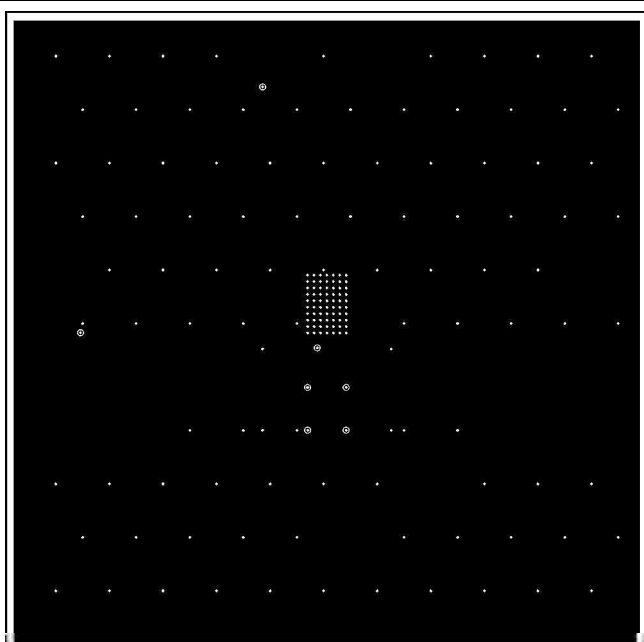


図 51. TPS7B82-Q1 (TO-252) 熱的飽和の下層

A.3 TLV755P (SOT-23) の図

A.3.1 1S0P 近似レイアウトの図

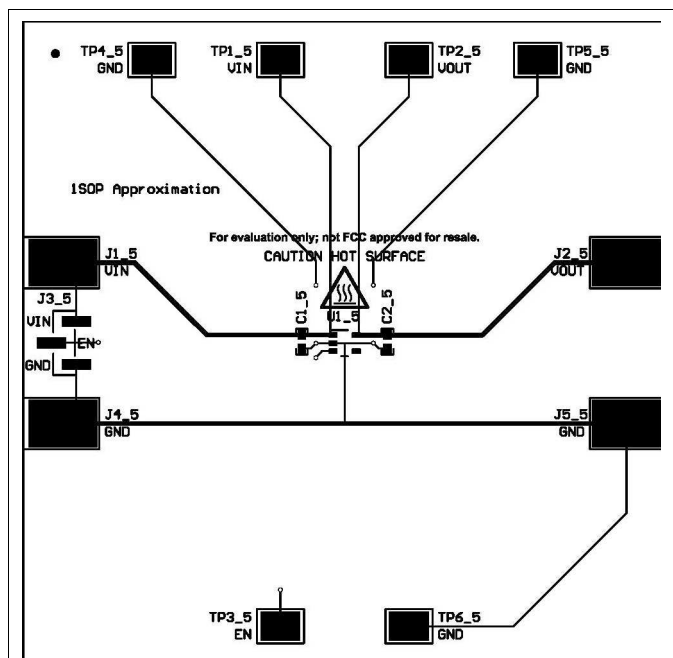


図 52. TLV755P (SOT-23) 1S0P 近似の上層

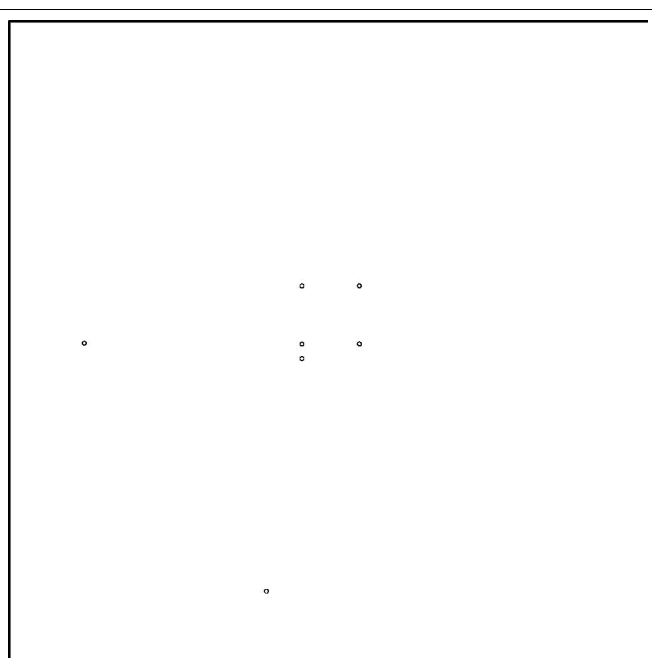


図 53. TLV755P (SOT-23) 1S0P 近似の内層 1

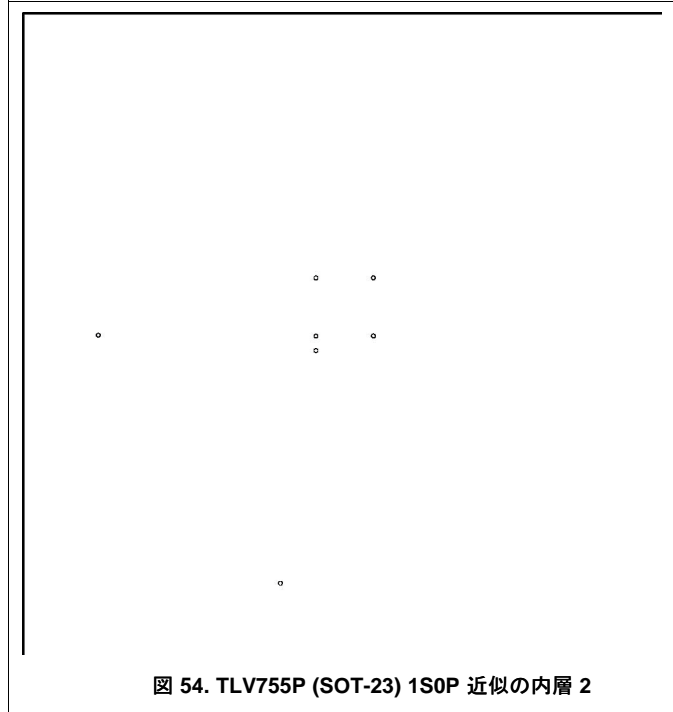


図 54. TLV755P (SOT-23) 1S0P 近似の内層 2

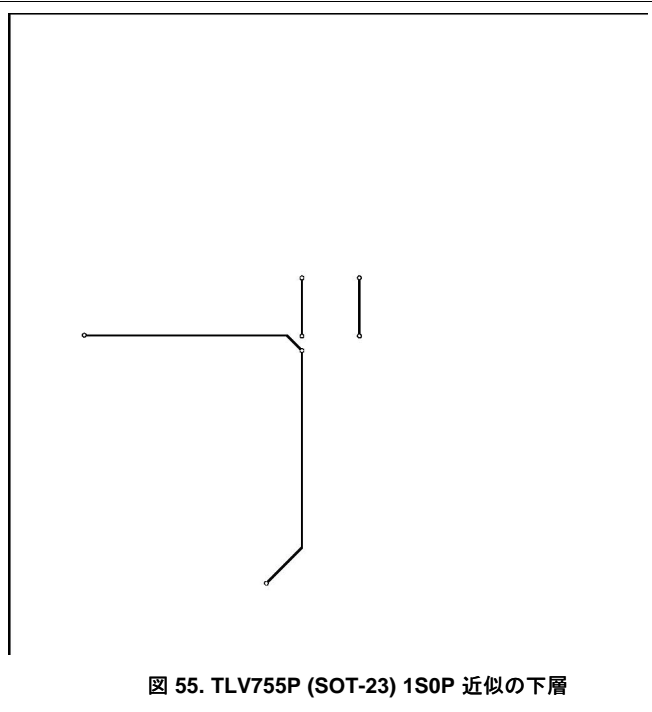


図 55. TLV755P (SOT-23) 1S0P 近似の下層

A.3.2 内部分離レイアウトの図

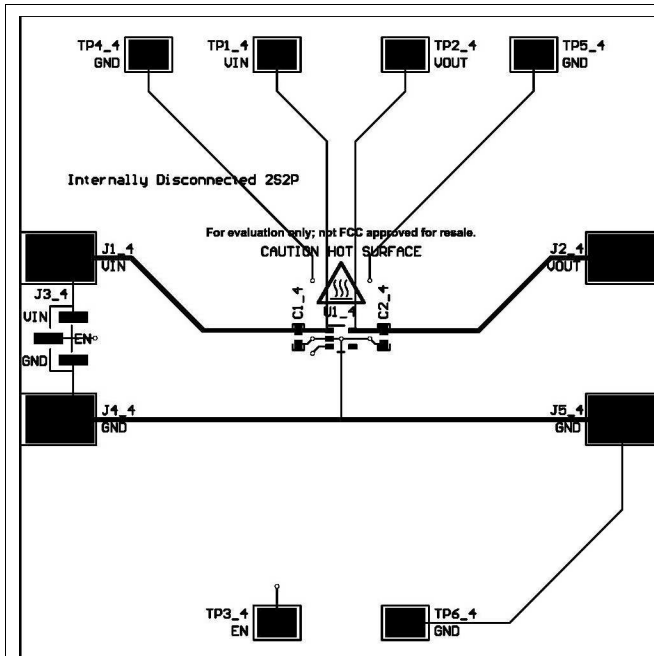


図 56. TLV755P (SOT-23) 内部分離の上層

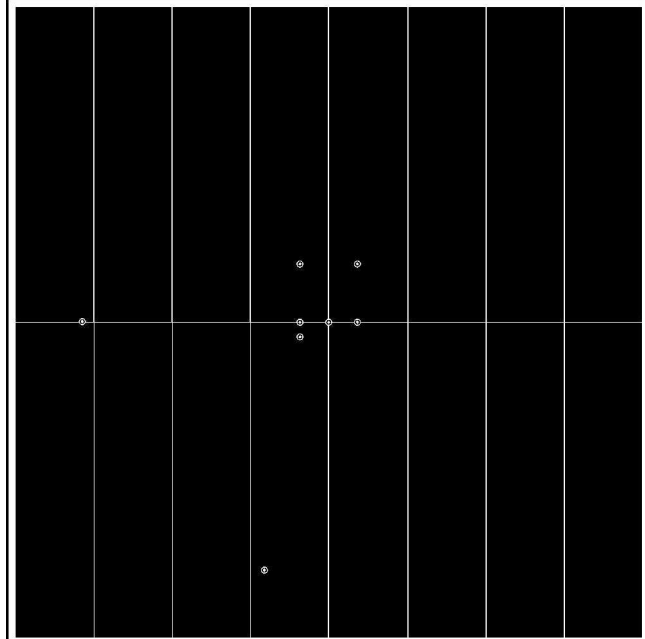


図 57. TLV755P (SOT-23) 内部分離の内層 1

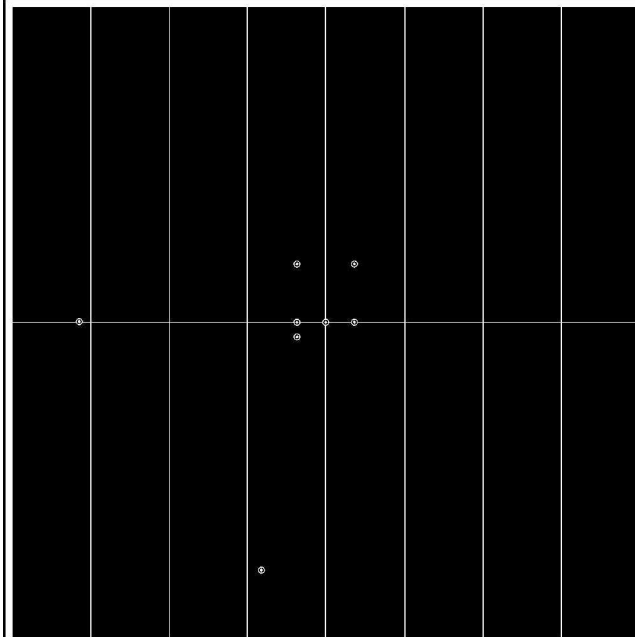


図 58. TLV755P (SOT-23) 内部分離の内層 2

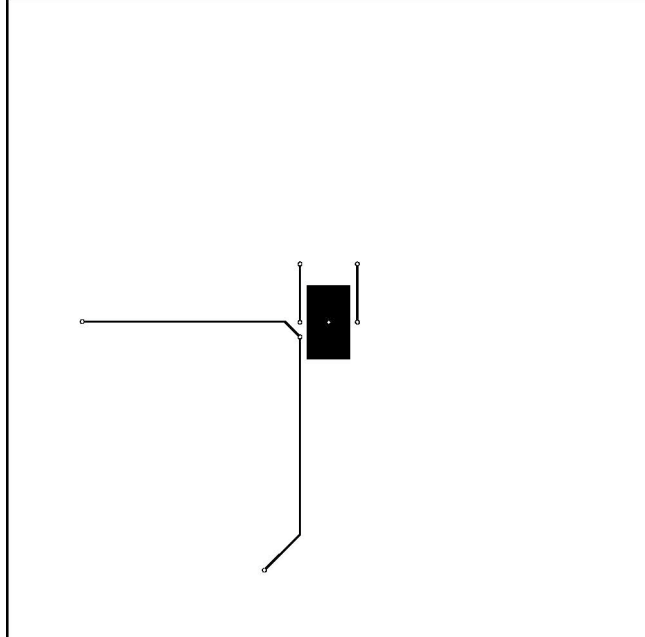


図 59. TLV755P (SOT-23) 内部分離の下層

A.3.3 JEDEC High-K 近似レイアウトの図

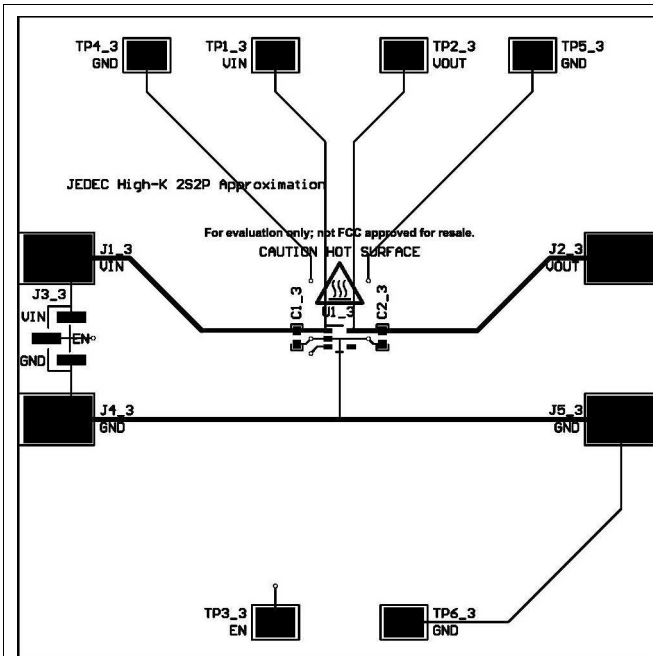


図 60. TLV755P (SOT-23) JEDEC High-K 近似の上層

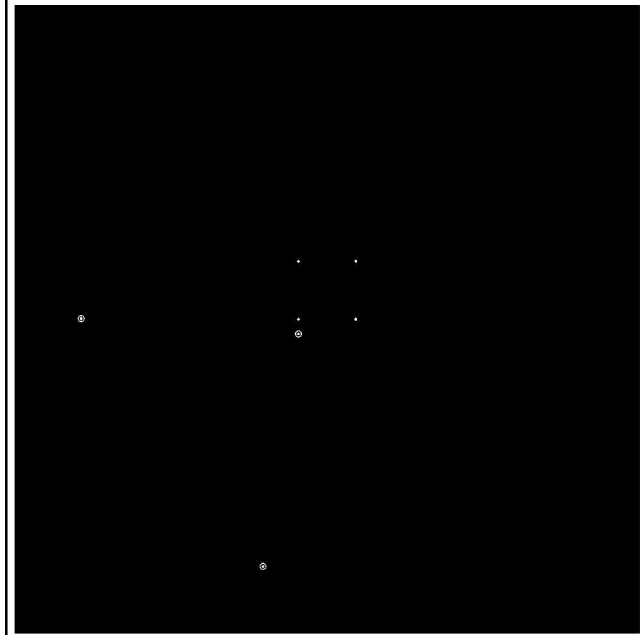


図 61. TLV755P (SOT-23) JEDEC High-K 近似の内層 1

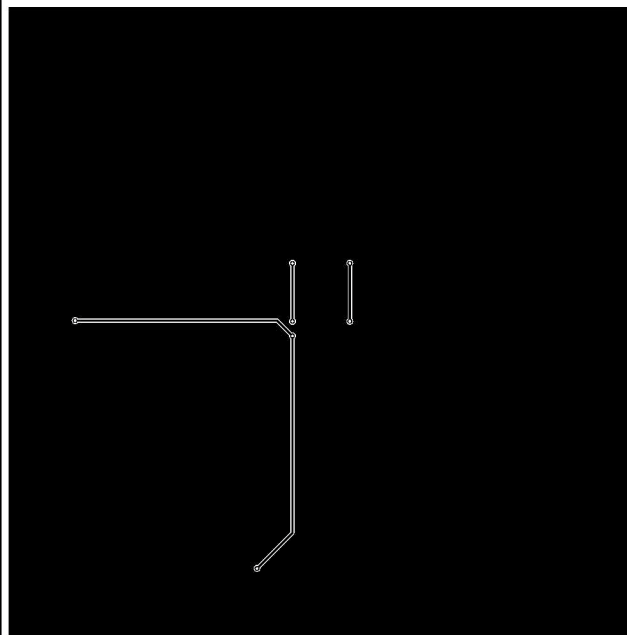


図 62. TLV755P (SOT-23) JEDEC High-K 近似の内層 2

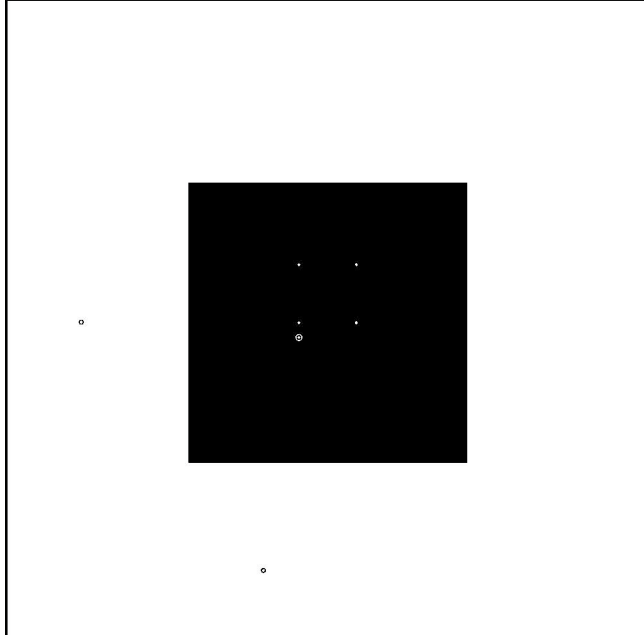


図 63. TLV755P (SOT-23) JEDEC High-K 近似の下層

A.3.4 熱的強化の図

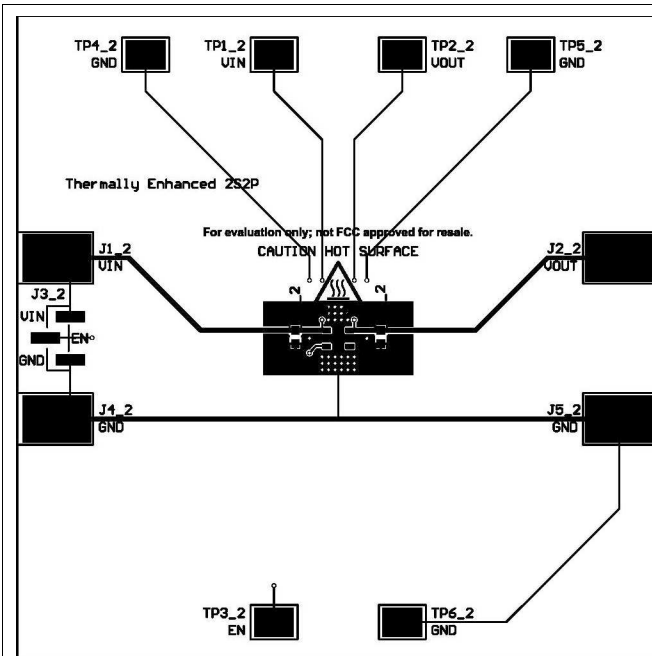


図 64. TLV755P (SOT-23) 熱的強化の上層

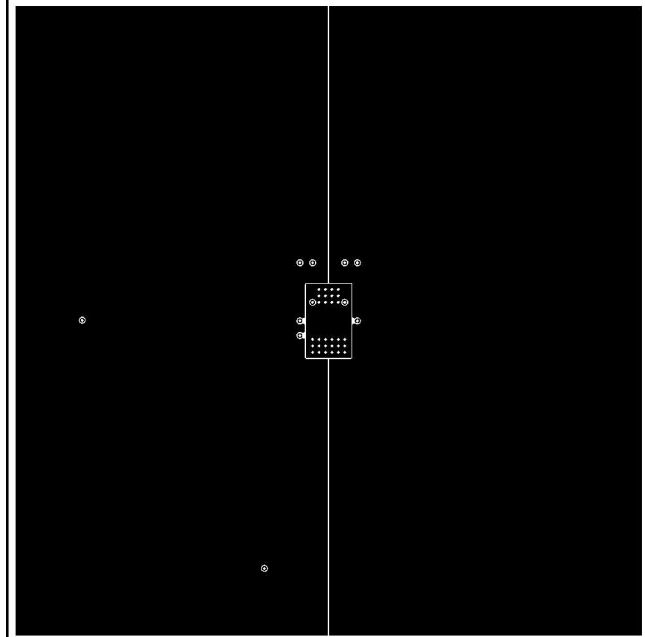


図 65. TLV755P (SOT-23) 熱的強化の内層 1

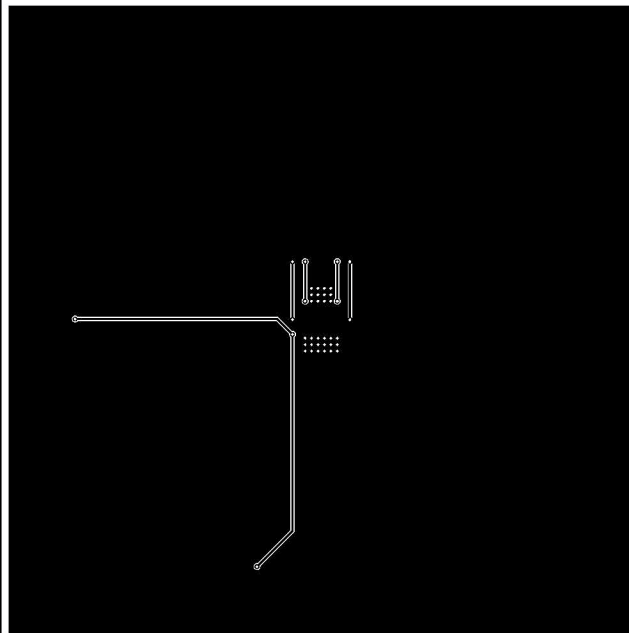


図 66. TLV755P (SOT-23) 熱的強化の内層 2

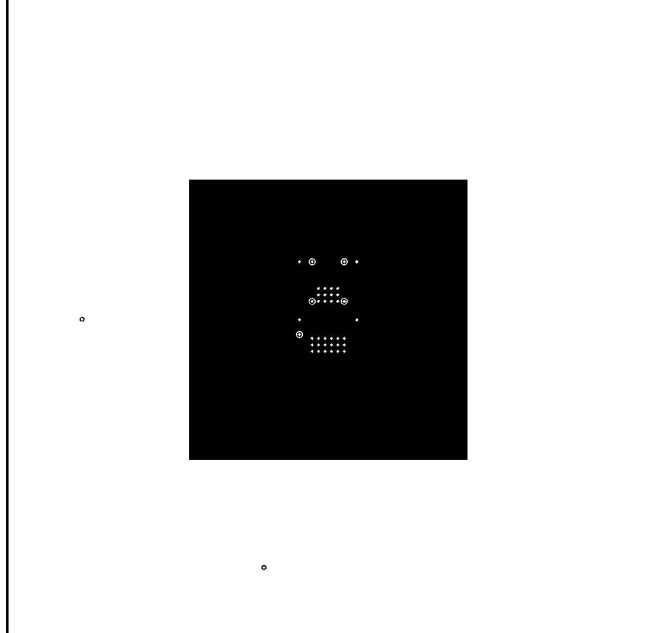


図 67. TLV755P (SOT-23) 熱的強化の下層

A.3.5 熱的飽和レイアウトの図

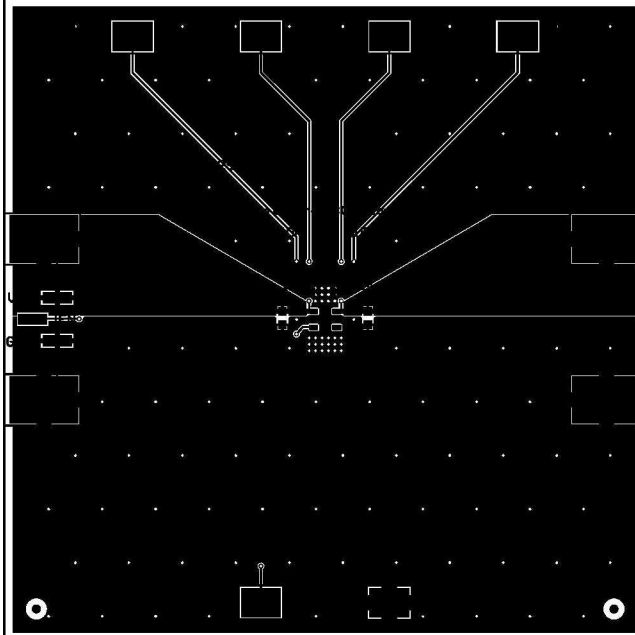


図 68. TLV755P (SOT-23) 熱的飽和の上層

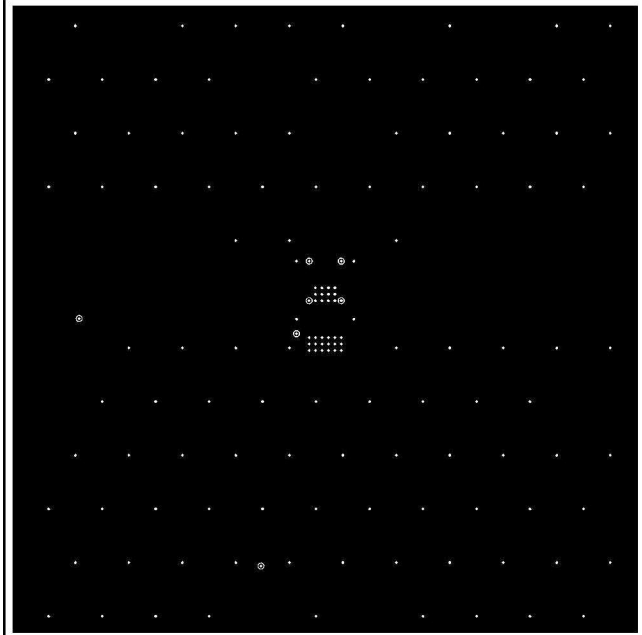


図 69. TLV755P (SOT-23) 熱的飽和の内層 1

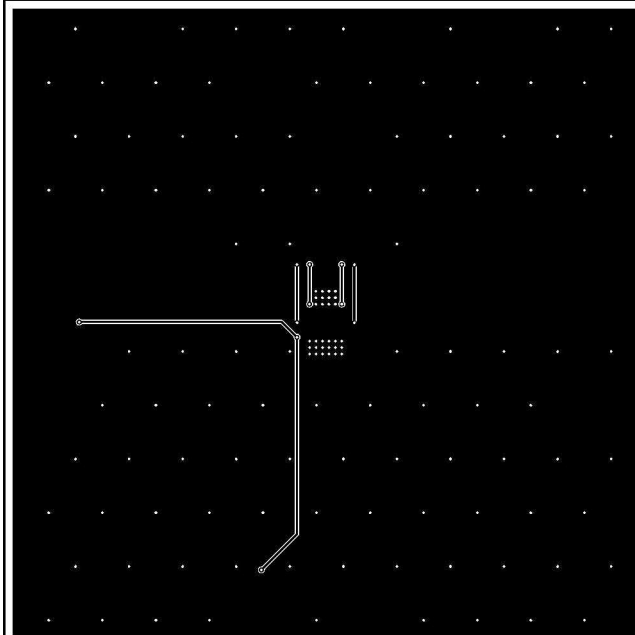


図 70. TLV755P (SOT-23) 熱的飽和の内層 2

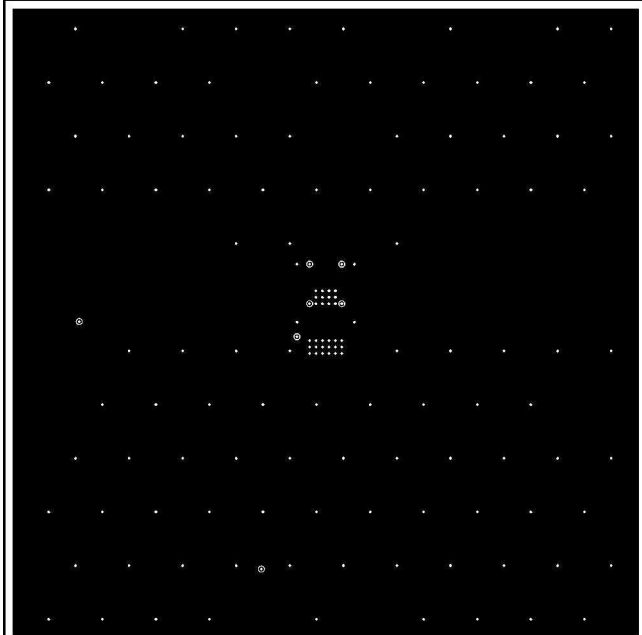


図 71. TLV755P (SOT-23) 熱的飽和の下層

熱テストの結果

B.1 熱性能データ

表 2. 最高周囲温度と消費電力との関係

基板	TPS745 (WSON)		TPS7B82-Q1 (TO-252)		TLV755P (SOT-23)	
	P _D (W)	T _{A,max} (°C)	P _D (W)	T _{A,max} (°C)	P _D (W)	T _{A,max} (°C)
1S0P 近似	0.00	175	0.00	182	0.00	165
	0.26	130	0.51	135	0.20	124
	0.51	88	1.00	90	0.39	80
	0.90	23	1.70	27	0.62	24
内部分離	0.00	178	0.00	178	0.00	164
	0.59	129	1.00	134	0.25	126
	1.14	83	1.95	88	0.49	88
JEDEC High-K 近似	0.00	178	0.00	180	0.00	163
	0.74	130	1.53	133	0.27	122
	1.49	87	3.01	84	0.53	81
熱的強化	0.00	179	0.00	178	0.00	166
	0.83	135	1.77	129	0.36	128
	1.73	98	3.51	84	0.69	91
熱的飽和	0.00	177	0.00	177	0.00	164
	0.84	139	1.81	128	0.38	127
	1.64	106	3.62	82	0.76	85

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated