

Application Note

TPS55288 昇降圧コンバータで低 EMI を実現する方法



Helen Chen

概要

スイッチング電源は、半導体のスイッチング動作が大きく、回路の電流の di/dt が大きいいため、EMI ノイズは避けられないものです。EMI の制御は、スイッチ・モード電源 (SMPS) の設計で最も困難な課題の 1 つです。このアプリケーション・ノートでは、EMI ノイズの根本的な原因を分析します。次に、EMI ノイズを最小化するための設計ガイドラインのリストを示します。このガイドラインはレイアウト・レベルのヒントとして、コンポーネントの配置、レイヤのスタックアップ、グランド・プレーンの配線について触れています。また、このガイドラインには回路レベルの設計も含まれており、周波数ディザリング、スナバ回路、フィルタ回路の設計についても解説しています。

目次

1 概要.....	2
2 設計プロセス.....	3
2.1 放射理論.....	3
2.2 昇降圧コンバータにおける広帯域 EMI の根本原因.....	4
2.3 TPS55288 昇降圧コンバータで低 EMI を実現する方法.....	5
3 回路図とテスト結果.....	10
3.1 テスト結果.....	11
4 まとめ.....	13
5 関連資料.....	14

図の一覧

図 2-1. パルス電流波形の高調波成分	3
図 2-2. クリティカル・ループを持つ昇降圧コンバータの回路図	4
図 2-3. 2 層基板と 4 層基板の断面図	5
図 2-4. 2 層 PCB の放射 EMI の結果	6
図 2-5. 4 層 PCB の放射 EMI の結果	6
図 2-6. TPS55288 昇降圧コンバータの対称形の PCB レイアウト.....	6
図 2-7. 対称形の配置による放射 EMI の変化	7
図 2-8. 周波数ディザリングの利点.....	7
図 2-9. 周波数ディザリングによる伝導 EMI の変化	8
図 2-10. スwitching・ループの等価モデル.....	8
図 2-11. RC スナバありとなしでの放射 EMI の比較	9
図 2-12. 簡略化された入力 EMI フィルタ	9
図 2-13. BLM21PG300SN1 のインピーダンス特性.....	9
図 3-1. EMC テストの回路図.....	10
図 3-2. 降圧モードの EMI 結果 ($V_{IN} = 12V$, $V_{OUT} = 5V$ / $I_{OUT} = 3A$).....	11
図 3-3. 昇圧モードの EMI 結果 ($V_{IN} = 12V$, $V_{OUT} = 20V$ / $I_{OUT} = 3A$).....	12

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

SMPS は、スイッチング時の遷移の dv/dt と di/dt が大きいため、電子的なノイズが発生します。高周波数の SMPS は通常、スイッチング周波数の高調波として低周波数ノイズ (30MHz 未満)、スイッチング・ノード電圧リンギングおよび高周波数のパルス電流から中周波数広帯域ノイズ (30~300MHz)、逆回復から高周波数ノイズと、3 種類の EMI が発生します。LC フィルタを使用すると、低周波 EMI を簡単にフィルタリングできます。この設計ガイドラインの目的は、対処が最も困難な中周波数から高周波数の放射 EMI を最小限に抑え、厳格な CISPR25 level5 EMI テストに合格することです。

このアプリケーション・ノートでは、EMI ノイズの根本的な原因を分析します。次に、EMI ノイズを最小化するための設計ガイドラインのリストを示します。このガイドラインはレイアウト・レベルのヒントとして、コンポーネントの配置、レイヤのスタックアップ、グランド・プレーンの配線について触れています。また、このガイドラインには回路レベルの設計も含まれており、周波数デザイン、スナバ回路、フィルタ回路の設計についても解説しています。

2 設計プロセス

2.1 放射理論

エネルギーの一部は PCB から直接放射され、干渉電流を伝達する小型のアンテナとしてモデル化できます。小さいループとは、対象となる周波数の 1/4 波長 (100MHz で 75cm) より小さい寸法のループを意味します。ほとんどの PCB ループでは、数 MHz までの放射周波数については、小さいと見なされます。このような小さいループからグラウンドを流れる最大電界強度は、周波数の 2 乗、ループ面積、電流に比例します。

$$E = 263 \times 10^{-16} \times \frac{(f^2 \times A \times I_s)}{r} \quad (1)$$

ここで周波数は Hz 単位、A はループ面積で m² 単位、I はアンペア単位、r はメートル単位です。多くの高調波を持つ方形波では、I_s にフーリエ・スペクトラムを使用する必要があります。

式 1 を使用して、PCB 設計を改善する必要があるかどうかを大まかに示すことができます。たとえば、A=4cm²、I_s=10mA、f=100MHz、r=3m の場合、次のようになります。

$$E = 263 \times 10^{-16} \times (100 \times 10^6)^2 \times 4 \times 10^{-4} \times \frac{0.01}{3} = 351 \times 10^{-6} \text{ V/m} = 50.9 \text{ dBuV/m} \quad (2)$$

CISPR 22 Class B の制限値は 3 メートルで約 40dBμV/m なので、50.9dBμV/m は制限を超過しています。したがって、電界を制限より小さくするよう、回路を改善する必要があります。式 1 から、コントロールできる項目はループ領域 A と高周波電流であることがわかります。良好な部品の配置とグラウンド・シールドにより、ループ面積 A を減らすことができます。スイッチング速度を遅くしたり、対称型のスイッチング・ループ配置を使用したりすることで、高周波電流を低減できます。

周期 T、パルス幅 t_w、立ち上がり時間 t_r、立ち下がり時間 t_f の台形電流波形の概略図を、図 2-1 (A) に示します。基本周波数と多くの上部高調波で構成される周波数ドメインを、図 2-1 (B) に示します。パルス期間、パルス幅、立ち上がり / 立ち下がり時間、および上側高調波の振幅との関係は、フーリエ解析によって求めることができます。

図 2-1 は 500kHz のスイッチング信号に基づいており、パルス幅は 1μs、立ち上がり時間は 5ns、立ち下がり時間は 8ns です。t_r ≠ t_f の条件では、小さい方の条件のみが考慮されます。したがって、帯域幅 f_R は t_R によって決定されます。放射 EMI の問題は、50MHz~500MHz の範囲で多く発生します。立ち上がり (または立ち下がり) 時間を長くすると、f_R のポイントが低い周波数に移行するのが見られます。したがって、高周波数の高調波成分は 40dB/dec でより高速にロールオフします。

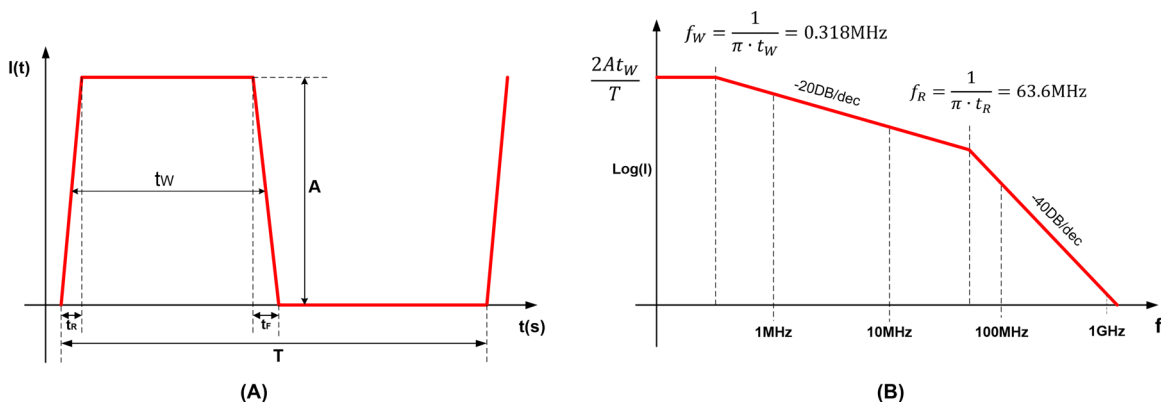


図 2-1. パルス電流波形の高調波成分

2.2 昇降圧コンバータにおける広帯域 EMI の根本原因

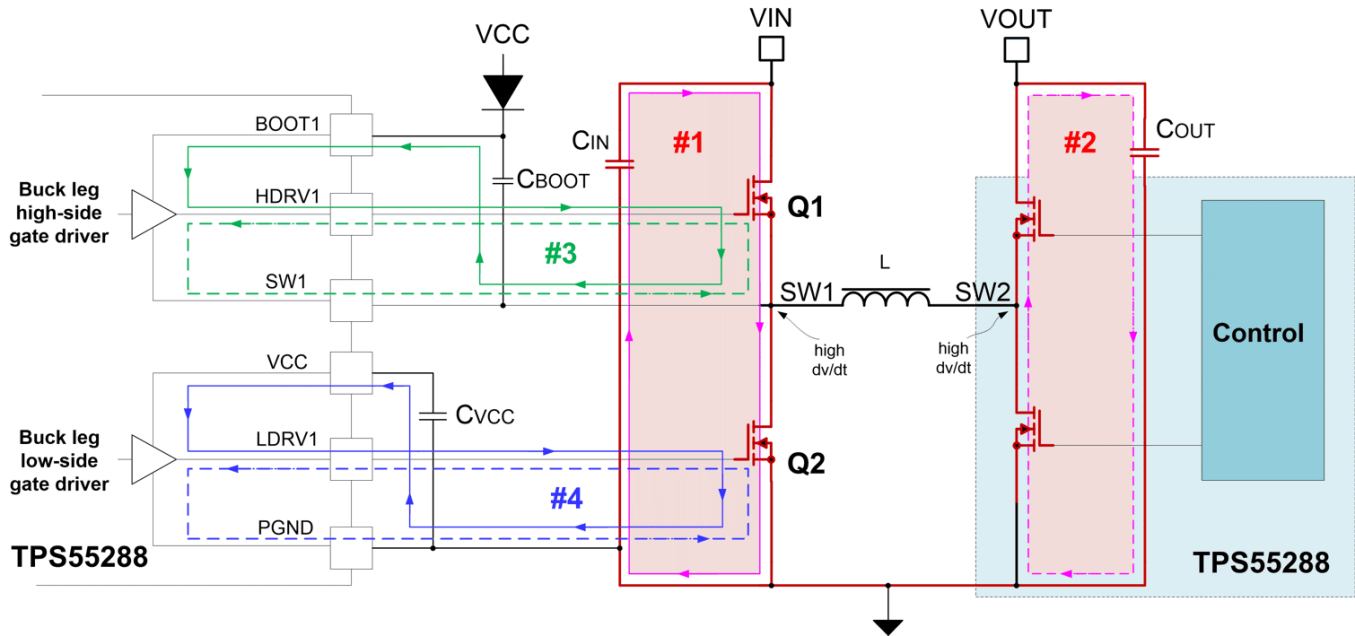


図 2-2. クリティカル・ループを持つ昇降圧コンバータの回路図

出力段の部品、ゲート・ドライバ、VCC バイアス電源を内蔵した TPS55288 4 スイッチ昇降圧コンバータを、図 2-2 に示します。また図 2-2 には、大電流の配線、 di/dt の大きいクリティカル・ループ、 dv/dt の大きいスイッチング・ノードが色で示されています。

赤色の網で示されているのがループ 1 とループ 2 で、降圧レグと昇圧レグ用の 2 つのクリティカル高周波数電力ループです。これら 2 つのループの配線は長くて細いため、過剰なノイズ、スイッチング・ノードでのオーバーシュートとリングング、寄生インダクタンスによるグラウンド・バウンスを引き起こす可能性があります。MOSFET のスイッチング・イベントでは、整流電流のスルーレートが $3\sim 5\text{A/ns}$ を超える可能性があるため、 2nH の寄生インダクタンスによって 6V の電圧スパイクが発生する可能性があります。これらのクリティカル・ループを流れるパルス電流方形波には、高調波成分が多いため、ループの面積が大きいと、放射エネルギーが大きくなり、電磁干渉の問題が発生する可能性があります。そのため、配線の長さ、ループ 1 およびループ 2 で囲まれた領域を最小化することが不可欠です。

図 2-2 のループ 3 と 4 は、降圧レグ MOSFET のゲート・ループです。ターンオンおよびターンオフ遷移中に MOSFET のゲート容量を充電および放電するために、最大で 1A 程度のピーク電流が短時間ゲート・ループを流れるため、干渉の問題も発生することがあります。このため、配線を行うときは、ループ 3 とループ 4 で囲まれる領域を最小限に抑えることも必要です。

ループ 1 とループ 2 は、最もクリティカルなループです。これらは電力ループ内にあるため、大きなパルス電力が発生します。これらの回路からは、直接の放射、隣接配線への干渉、および入力や出力のケーブルへの混入の可能性があります、重大な EMI の問題を引き起こす恐れがあります。

スイッチング・ノード SW1 と SW2 の最大電圧リングングは、ループ 1 およびループ 2 のスイッチング速度とループ領域に対応します。ループ面積が大きいほど、スイッチング・ノードでの電圧リングングが大きくなります。このリングング周波数は、広帯域 EMI の中心の周波数範囲にも対応します。

2.3 TPS55288 昇降圧コンバータで低 EMI を実現する方法

2.3.1 クリティカル・ループの下にグランド・プレーンを追加する

クリティカル・ループ領域 A は、コンパクトな配置によって最小化できます。ただし、部品の物理サイズによっては、この方法が制限されます。EMI を低減するために最も重要な方法の 1 つは、スイッチング・ループの下にグランド・プレーンを追加することです。スイッチング・ループの下に層全体の GND 銅プレーンを配置すると、回路のパッシブ・シールドが確立されます。レンツの法則により、シールド層の電流によって生成される磁界は、元のスイッチ・ループの磁界を打ち消すように働きます。結果として磁束が減少し、等価ループ領域が小さくなり、EMI 性能が向上します。

グランド・プレーンを持つ多層 PCB では、特定のループにおけるインダクタンスの近似値は式 3 で計算できます。

$$L = \frac{\mu_0 \times h}{2 \times W_g} \approx \frac{6 \times h}{W_g} \left(\frac{nH}{cm} \right) \quad (3)$$

ここで

- $\mu_0 = 4\pi \times 10^{-7}$
- h は、信号層とグランド・プレーンとにある絶縁の厚さです。
- W_g は、グランド・プレーンの幅です。

式 3 から、グランド・プレーンの幅が広く面積が大きいほど、信号ループのインダクタンスが小さくなることがわかります。グランド・プレーンと信号ループとの間にある絶縁物が薄くなったときも、インダクタンスは小さくなります。

異なる PCB 基板上での、特定のループのインダクタンスを、表 2-1 に示します。4 層 PCB で、信号層とグランド・プレーンとにある絶縁物の厚さが 0.4mm の場合、配線のインダクタンスは厚さが 1.6mm の 2 層 PCB よりはるかに小さいことがわかります。したがって、ソリッドなグランド・プレーンを配置するときに、クリティカル・ループとの最小距離を保つことは、EMI を低減する最も効果的な方法の 1 つです。

表 2-1. ループ配線のインダクタンス (配線長 = 5cm)

PCB	h (mm)	Wg (mm)	L (nH)
2 層 PCB	1.6	10	4.8
4 層 PCB	0.4	10	1.2

2 層 PCB と 4 層 PCB の断面図を、図 2-3 に示します。2 層 PCB から放射される EMI の結果を、図 2-4 に示します。4 層 PCB から放射される EMI を、図 2-5 に示します。レイヤ・スタックと PCB の断面図は、図 2-4 のものとほぼ同じです。同じ部品の配置と同じテスト条件において、4 層 PCB では放射 EMI を 15dB μ V/m 以上改善できます。

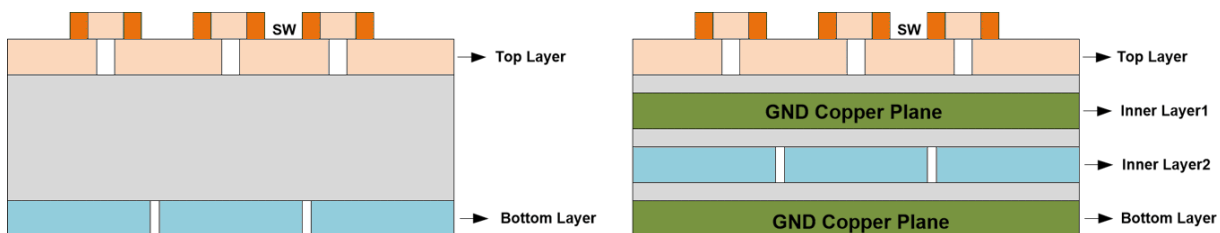


図 2-3. 2 層基板と 4 層基板の断面図

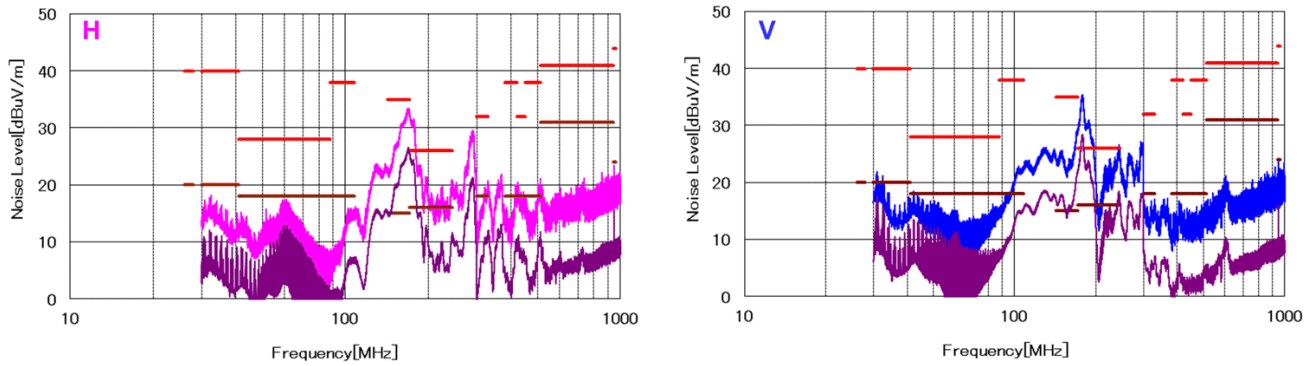


図 2-4. 2 層 PCB の放射 EMI の結果

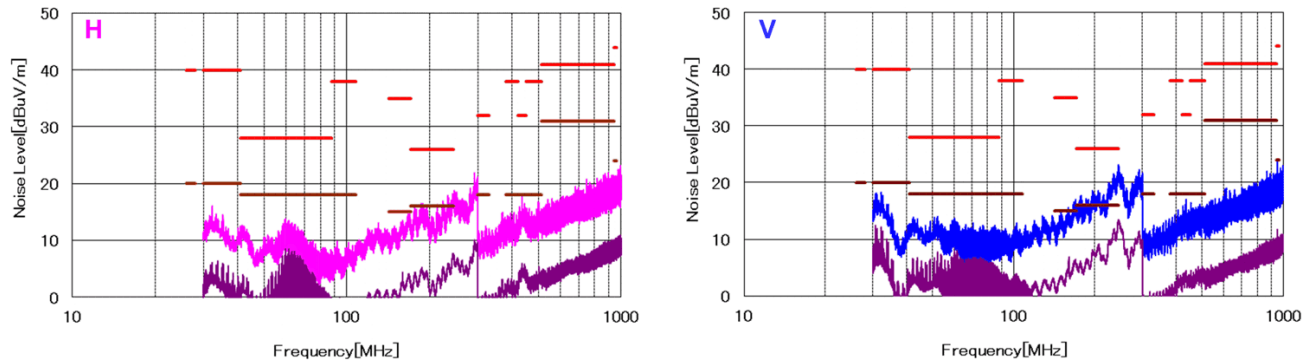


図 2-5. 4 層 PCB の放射 EMI の結果

2.3.2 対称型のレイアウト構成を使用する

クリティカルなスイッチング・ループを最小化し、その下にグラウンド・プレーンを追加することで、EMI 性能を改善できます。テスト結果が依然として制限値を超えているときは、スイッチング速度を下げる、または電源回路の上に金属シールドを追加するなどの他のソリューションを検討します。ただし、スイッチング速度を遅くすると効率が低下し、金属シールドを追加するとコストが増加し、システムの組み立てがより複雑になります。

デカップリング・コンデンサを対称形に配置すると、効率の低下やコストの増大を引き起こすことなしに、EMI 性能をさらに改善できます。この対称形配置のコンセプトの回路図と、関係する PCB レイアウトを、[図 2-6](#) と [図 2-7](#) に示します。

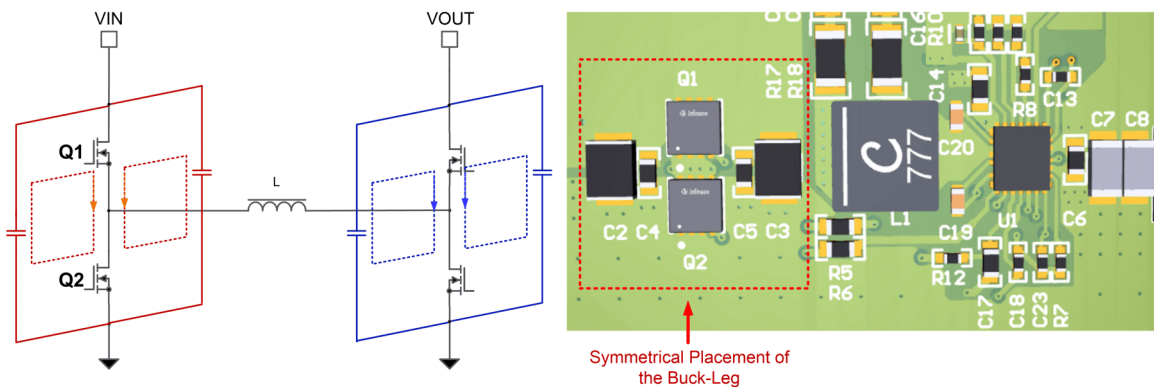


図 2-6. TPS55288 昇降圧コンバータの対称形の PCB レイアウト

対称形の配置と、対称形ではない配置での放射 EMI の結果を、[図 2-7](#) に示します。対称型の配置では、200MHz～600MHz の高周波数の範囲で放射 EMI を 6dB μ V/m 以上低減できます。

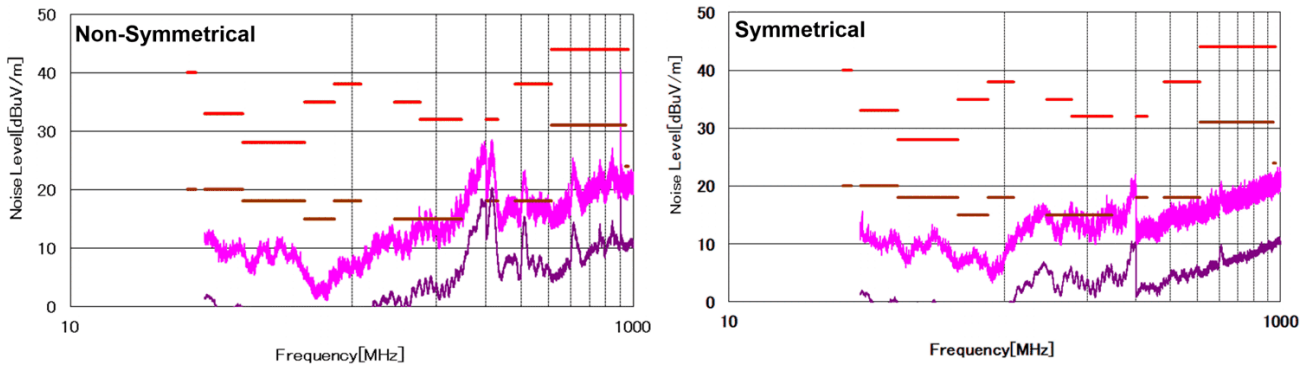


図 2-7. 対称形の配置による放射 EMI の変化

2.3.3 周波数ディザリング機能を使用する

これまでに述べてきた各種の方法で EMI の発生を低減してもノイズを十分に抑制できず、必要な EMI テストに失敗した場合、ノイズをさらに低減するために追加のフィルタリングとシールドが必要になります。しかし、EMI のフィルタリングとシールドを行うソリューションは一般に、回路のコスト、サイズ、重量が大幅に増加します。特に、厳格な CISPR25 レベル 5 制限に合格する必要がある車載アプリケーションでは、この問題が顕著になります。一部の電子制御ユニット (ECU) では、フィルタリングとシールドのソリューションが総コストの大きな割合を占めます。拡散スペクトラム・ディザリングを適用すると、単純でコスト効果の高いソリューションで平均程度の EMI ノイズ低減を行えます。

周波数ディザリングの目的は、スイッチング周波数 f_s の整数倍の周波数に集中している高調波を、広いバンド・ノイズに拡散することです。図 8 の波形を参照してください。EMI ノイズは、スイッチング周波数を基準として定期的に発生します。放射は、スイッチング周波数とその n 次高調波に集中します。周波数ディザリングを使用すると、基本周波数は $f_s - \Delta f$ から $f_s + \Delta f$ に変化し、 n 次高調波は $n \times (f_s - \Delta f)$ から $n \times (f_s + \Delta f)$ までに拡散されます。したがって、基本周波数の繰り返しは減少するため、測定された疑似ピークと平均ノイズのレベルが低下し、サイドバンド周波数の関係でノイズ・スペクトルが広く拡散されます。

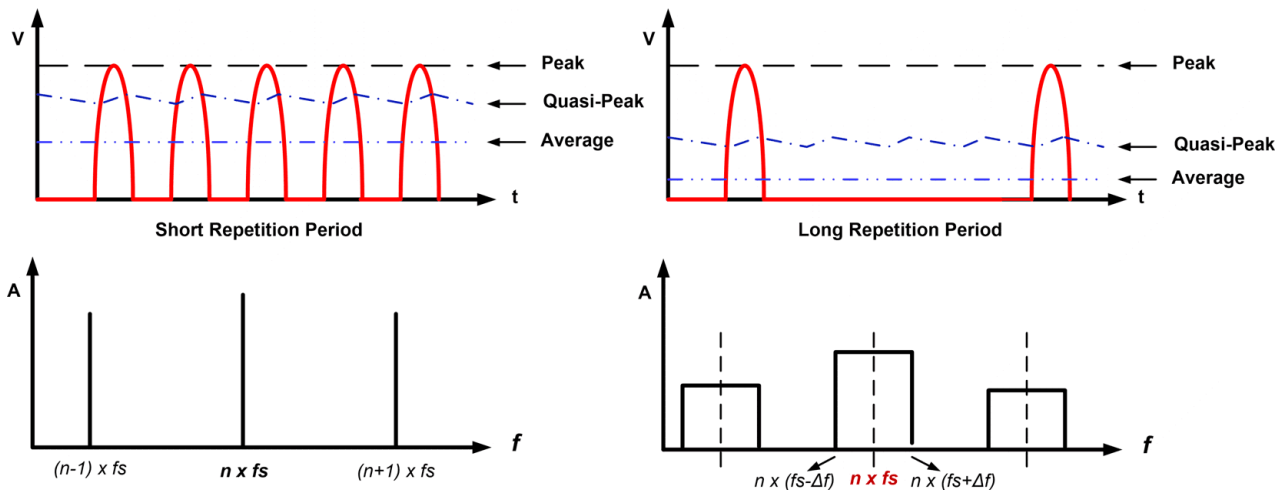


図 2-8. 周波数ディザリングの利点

周波数ディザリングありとなしの波形の比較を、図 2-9 に示します。周波数ディザリングなしでは、平均ノイズ・レベルは制限値より 2dB 高くなります。周波数ディザリングありでは、前に分析したようにノイズ形状が広帯域のノイズ・スペクトルに変化し、平均ノイズ・レベルは制限値よりはるかに低くなります。

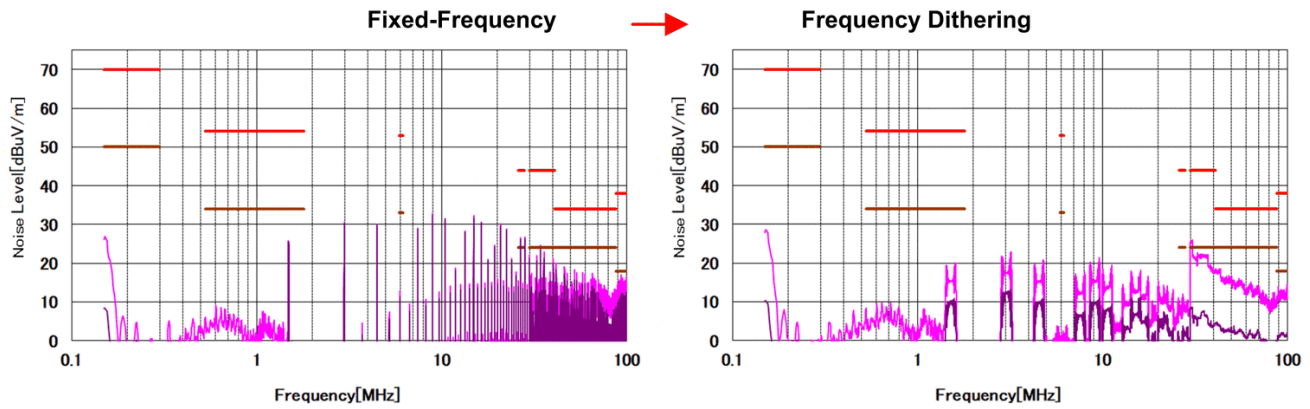


図 2-9. 周波数ディザリングによる伝導 EMI の変化

2.3.4 スイッチング・ノードに RC スナバを追加する

スイッチング・ループは、LC 回路としてモデル化できます。これは、入力側または出力側のデカップリング・コンデンサと、ハイサイドおよびローサイドの MOSFET によって形成されます。降圧レグ・スイッチング・ノード SW1 では、ハイサイド FET がオンでローサイド FET がオフのときにリングングが発生します。昇圧レグ・スイッチング・ノード SW2 では、ローサイド FET がオフでハイサイド FET がオンのときにリングングが発生します。この遷移状態でのスイッチング・ループの等価モデルを、図 2-10 に示します。

等価モデルのインダクタンス (L_{loop1} および L_{loop2}) は、スイッチング・ループの合計ループ・インダクタンスに対応します。これには、PCB 配線のインダクタンス、デカップリング・コンデンサの ESL、MOSFET のパッケージ・インダクタンスが含まれます。ループの総容量は、ローサイド MOSFET の出力容量によって決定されます。したがって、スイッチング・ノードのリングング周波数は、寄生ループ・インダクタンスとローサイド MOSFET の出力容量によって決定されます。与えられたスイッチング速度と MOSFET について、リングングの最大振幅も寄生ループ・インダクタンスによって決定されます。

前の章で説明したように、スイッチング・ループの下にグラウンド・プレーンを追加するか、対称型 PCB レイアウトを使用すると、コンパクトな配置により寄生ループのインダクタンスを減らすことができます。ただし、実際のアプリケーションでは、部品の配置は PCB のサイズによって制限されます。

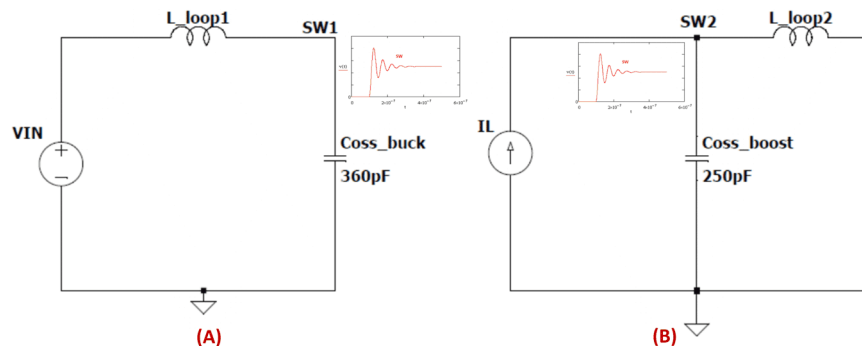


図 2-10. スイッチング・ループの等価モデル

放射 EMI レベルが依然として要件レベルを超えており、これ以上レイアウトを改善できない場合はどうすればよいでしょうか。スイッチング・ノードと電源グラウンドとの間に RC スナバを追加すると、放射 EMI レベルを減らすために役立ちます。RC スナバは、スイッチング・ノードとグラウンド・プレーンのできるだけ近くに配置します。RC スナバありとなしで放射 EMI を比較した結果を、図 2-11 に示します。放射 EMI は、RC スナバにより 300MHz で約 6dB μ V/m 改善されています。

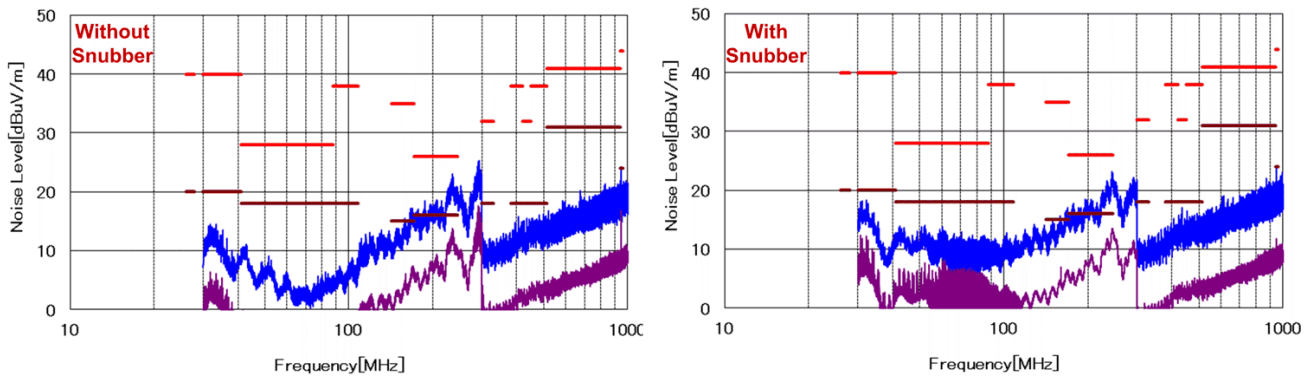


図 2-11. RC スナバありとなしでの放射 EMI の比較

2.3.5 入力側と出力側にフィルタを追加する

昇降圧コンバータの入力側と出力側には、不連続な電流が存在します。不連続な電流によって生成される電圧リップルは、入力と出力のケーブルや PCB の配線を経由して、他のシステムに伝わる可能性があります。入力フィルタ・インダクタと出力ビーズは、初期の EMI ノイズ・テストの結果に基づいて選択します。

コンバータが降圧モードで動作する場合、一般に CLC EMI フィルタを入力側に追加する必要があります。図 2-12 を参照してください。この入力フィルタの設計については、多くの資料と記事で説明されています [3]。代表的な手順には、スイッチング周波数でのノイズ・レベルの識別、必要な減衰量の計算、 L_f と C_f の選択、そしてダンピング容量 C_d の計算があります。

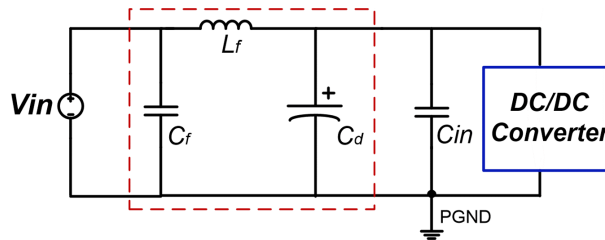


図 2-12. 簡略化された入力 EMI フィルタ

コンバータが昇圧モードで動作するとき、通常は出力側にフェライト・ビーズを追加します。フェライト・ビーズを選択するときは、インピーダンスと周波数の特性を注意深く検討する必要があります。ビーズの抵抗性インピーダンスが、ノイズの周波数範囲のリアクティブ・インピーダンスよりもはるかに大きいことを確認します。Murata 製部品の BLM21PG300SN1 のインピーダンスと周波数特性との関係を、図 2-13 に示します。このビーズは、100MHz~3GHz の範囲のノイズ周波数で最適な性能を実現できることが分かります。

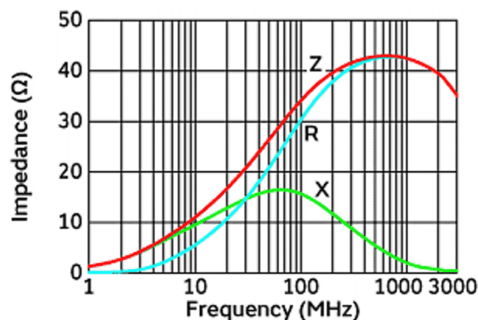


図 2-13. BLM21PG300SN1 のインピーダンス特性

3 回路図とテスト結果

EMI テストの回路図を、[図 3-1](#) に示します。差動フィルタとして入力側に 1 個の差動チョークを追加し、入力側に 2 個のフェライト・ビーズを同相フィルタとして追加しています。

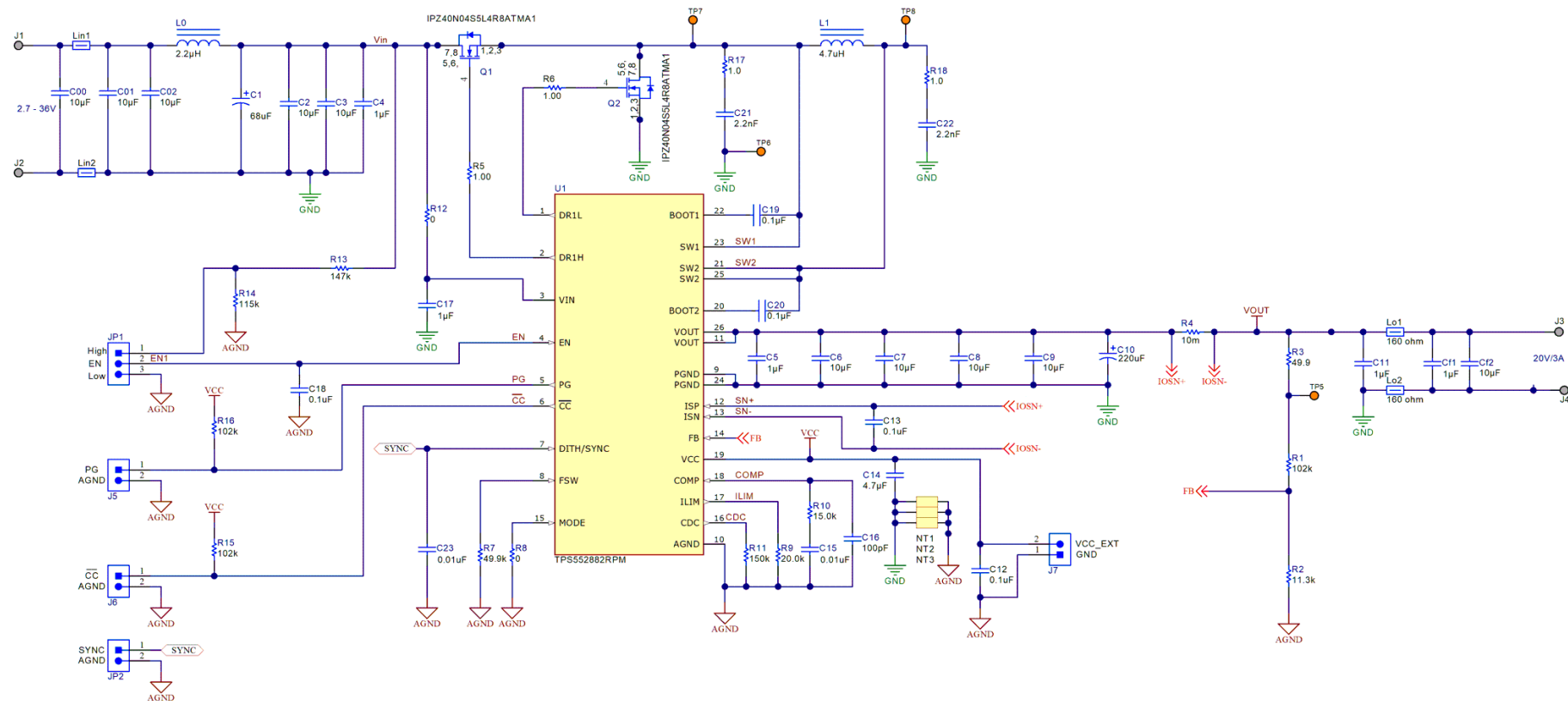


図 3-1. EMC テストの回路図

3.1 テスト結果

降圧モードでの EMI テスト結果を、[図 3-2](#) に示します。昇圧モードでの EMI テスト結果を、[図 3-3](#) に示します。伝導 EMI と放射 EMI の両方が、6dB を超えるマージンで CISPR25 レベル 5 の制限に合格していることが、明確に示されています。

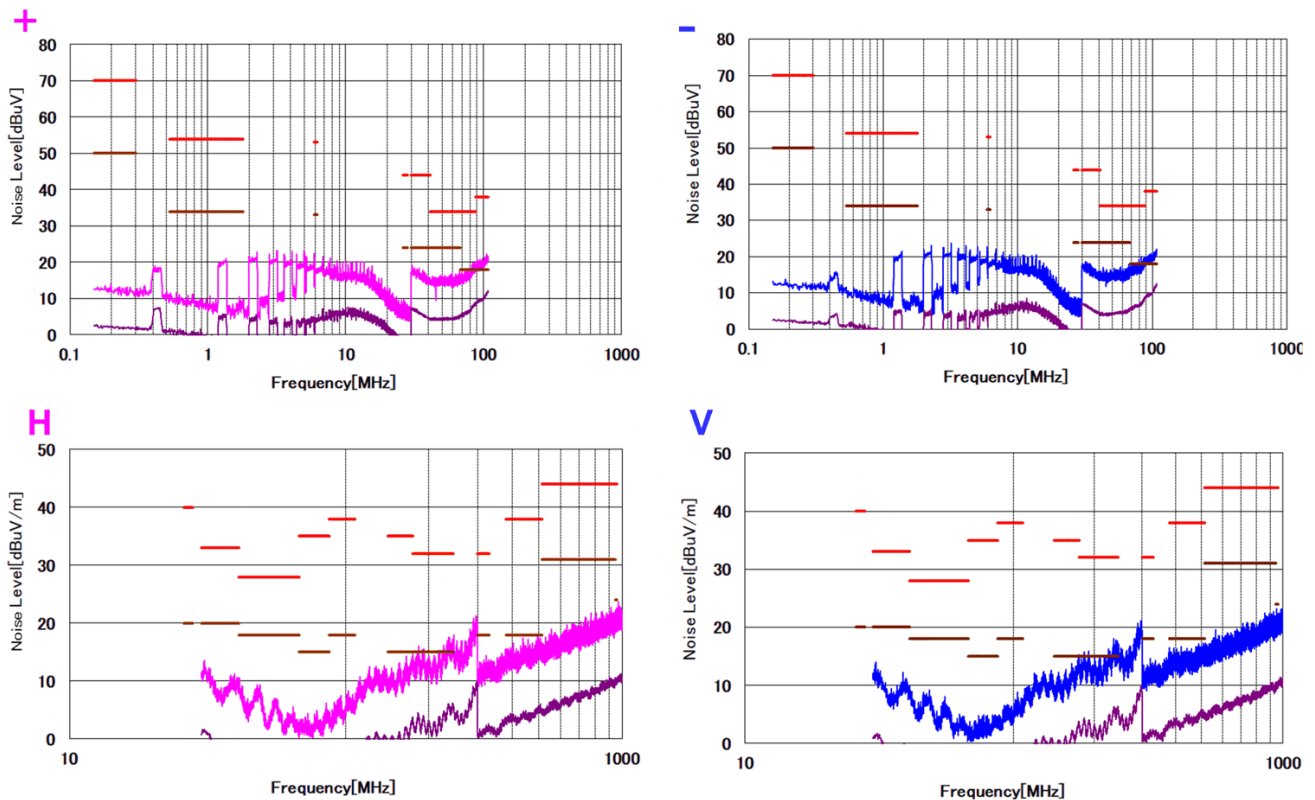


図 3-2. 降圧モードの EMI 結果 (VIN = 12V、VOUT = 5V / IOU = 3A)

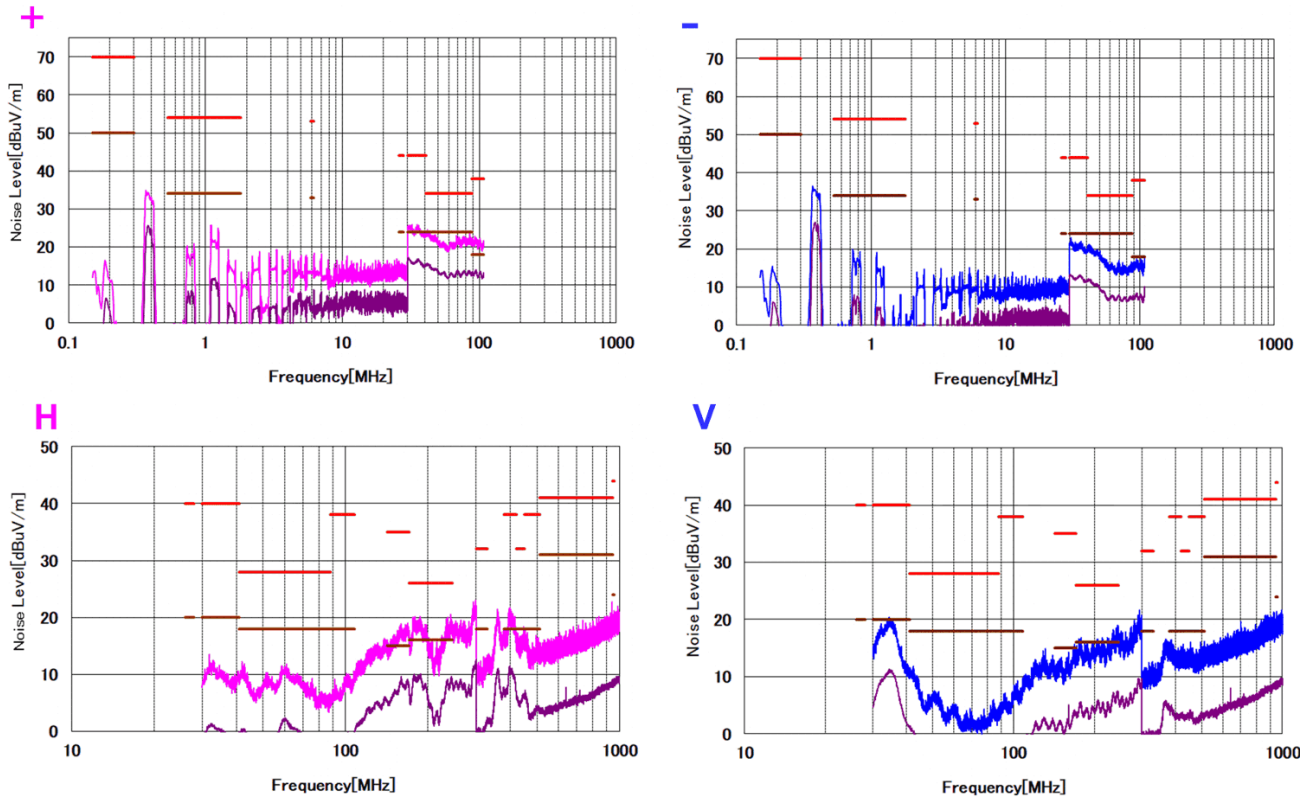


図 3-3. 昇圧モードの EMI 結果 ($V_{IN} = 12V$ 、 $V_{OUT} = 20V$ / $I_{OUT} = 3A$)

4 まとめ

昇降圧コンバータの主な放射源は、入力および出力のスイッチング・ループです。放射を減らすため、これらのクリティカル・ループはできるだけ小さくします。スイッチング・ループは、適切な部品配置により小さくできます。スイッチング・ループの下にソリッドなグランド・プレーンを配置し、絶縁体の厚さを最小限にすることで、等価なスイッチング・ループをさらに減らすことができます。同じ部品の配置と同じテスト条件において、4層 PCB では放射 EMI を 15dB μ V/m 以上改善できます。PCB の大きさに制限がない場合、デカップリング・コンデンサを対称形に配置すると、磁界を打ち消すことができます。周波数デザイン手法は、平均 EMI ノイズ・レベルの低減に大きな効果があり、狭帯域ノイズを広帯域ノイズに拡散します。周波数デザインなしの条件に比べて、平均ノイズ・レベルははるかに低くなります。大電力および高周波数のアプリケーションでは、DC 入力側と出力側にフィルタを追加することも役立ちます。

5 関連資料

1. テキサス・インスツルメンツ、『[TPS55288 I2C インターフェイス搭載の 36V、16A 昇降圧コンバータ](#)』データシート
2. テキサス・インスツルメンツ、『[TPS61088 昇圧コンバータでの放射 EMI の低減](#)』アプリケーション・レポート
3. テキサス・インスツルメンツ、『[AN-2162 DC-DC コンバータからの伝導 EMI への簡単な対処方法](#)』
4. 『[高周波数で窒化ガリウムをベースとするポイント・オブ・ロード・コンバータにおける PCB レイアウトの回路性能への影響について](#)』

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated