

Analog Engineer's Circuit

コンパレータ回路による電流制限



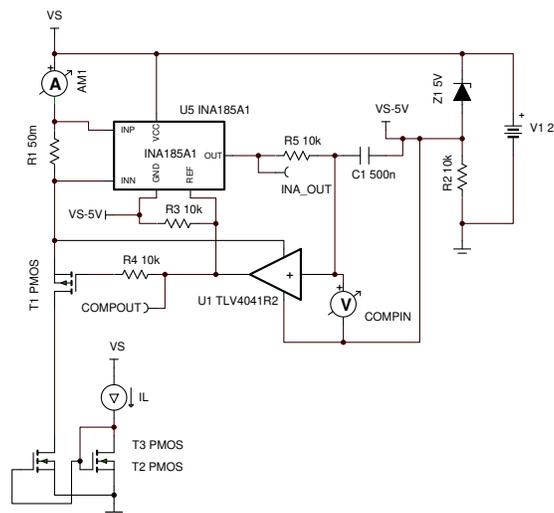
Chuck Sins

設計目標

負荷電流 (I_L)	システム電源 (V_S)	電流センス アンプ	コンパレータの出力状態	
過電流 (I_{OC})	標準値	ゲイン	過電流	通常動作
200mA	24V	20 V/V	$V_{OH} = V_S$	$V_{OL} = V_S - 5V$

設計の説明

このハイサイド電流センシング ソリューションは、1 個の電流センス アンプ、基準電圧を内蔵した 1 個のコンパレータ、1 個の P チャネル MOSFET を使用して、過電流ラッチ回路を作成しています。200mA を上回る負荷電流を検出した時点で、この回路はシステムを電源から接続解除します。コンパレータは P チャネル MOSFET のゲートを駆動し、信号を電流センス アンプの基準電圧ピンに送り返すため、回路への電力がサイクルされるまで、コンパレータ出力はラッチされます (P チャネル MOSFET のゲートソース電圧を 0V に保持)。



デザイン ノート

- 出力電圧を調整できるように、外部基準電圧ピンを使用して高精度の電流センス アンプ (INA) を選択します。
- 電流センス アンプの動作電圧範囲全体にわたって出力が有効になるよう、レール ツー レール入力のコンパレータを選択します。
- 回路の精度を最適化するため、MOSFET のゲートを駆動できるプッシュプル出力段と内蔵基準電圧を持つコンパレータを選択します。
- INA とコンパレータに電力を供給できるフローティング 5V 電源を作成します。

設計手順

1. R_1 の値を、 V_{SHUNT} が電流センス アンプの入力オフセット電圧 (V_{OS}) の少なくとも 100 倍大きくなるよう選択します。 R_6 を非常に大きくすると、OC 検出精度は向上しますが、電源ヘッドルームと電力消費が抑えられることに注意してください。

$$V_{SHUNT} = (I_{OC} \times R_1) \geq 100 \times V_{OS}$$

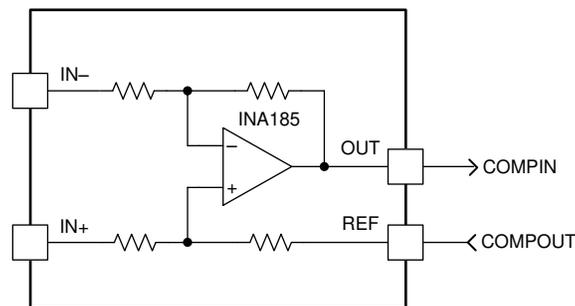
$$\text{Set } R_1 \geq \frac{100 \times V_{OS}}{I_{OC}} = 50\text{m}\Omega \text{ for } I_{OC} = 200\text{mA} \ \& \ V_{OS} = 100\mu\text{V}$$

2. コンパレータのスイッチング スレッショルドに基づいて、INA の求められるゲイン (A_V) オプションを決定します。負荷電流 (I_L) が過電流スレッショルド (I_{OC}) に達したとき、INA 出力がコンパレータのスイッチング スレッショルド (V_{TH}) を超える必要があります。

$$V_{TH} = (I_{OC} \times R_1) \times A_V = 0.2\text{V}$$

$$\text{Set } A_V = \frac{V_{TH}}{I_{OC} \times R_1} = \frac{0.2}{0.2 \times 0.05} = 20\text{V/V for } R_1 = 50\text{m}\Omega$$

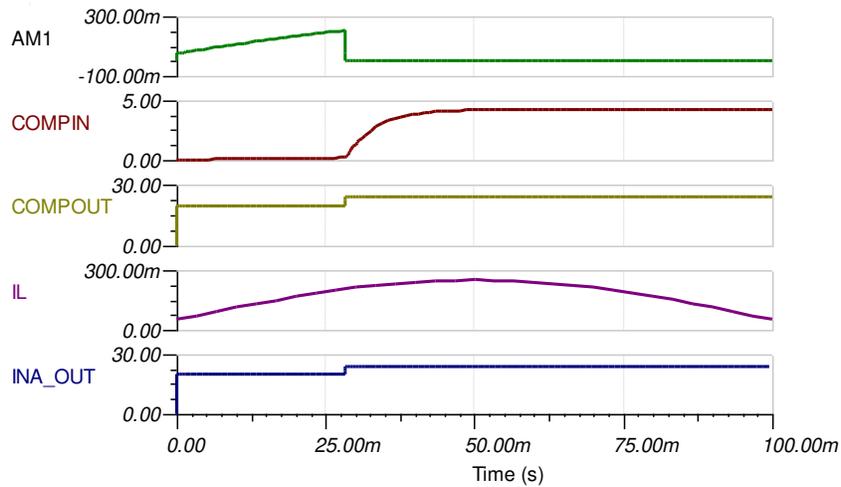
3. 多くの INA とコンパレータは 5V の動作電圧範囲を持っているため、5V の電源電圧をシステム電源 V_S から生成する必要があります。また、5V 電源は V_S よりも低くフローティングしている必要があります。そのため、コンパレータ出力は、過電流状態が発生したときに P チャネル MOSFET のソースゲート電圧を 0V に、負荷電流が I_{OC} より小さいときは 5V に駆動できます。この回路で使用する方法は、10k Ω バイアス抵抗 (R_2) を持つ 5V のツェナー ダイオードです。デバイスに適切なバイアス電流が維持されている限り、シャント レギュレータなど他のオプションも利用できます。
4. 高周波電流スパイクを減衰するため、INA 出力とコンパレータ入力にローパス フィルタを追加します。システムを電源電圧から誤って切断するより、遅延時間を持って過電流ラッチをトリガの方が大切です。ローパス フィルタは、 R_5 と C_1 から得られます。コンパレータのスイッチング スレッショルドは 0.2V なので、遅延は 1 時定数 ($R_5 \times C_1 = 5\text{ms}$) 未満になります。
5. コンパレータ出力と P チャネル MOSFET のゲート間に電流制限抵抗 R_4 が挿入されます。 R_4 を 10k Ω に設定すると、充電時間の延長のために、コンパレータ出力が MOSFET ゲートソース間容量を充電する必要がある場合の電源の電流スパイクが小さくなります。また、 R_4 を挿入することは、電源ラインに存在する可能性のある電源過渡からコンパレータ出力を保護する役割を果たします。
6. INA の出力電圧にオフセットを適用するため、コンパレータの出力は、INA の REF ピンに直接接続されます。 $I_L < I_{OC}$ の場合、コンパレータ出力は Low ($V_S - 5\text{V}$ に等しい) で、INA にオフセットは追加されません。ただし、 $I_L > I_{OC}$ のとき、コンパレータ出力は High (V_S に等しい) になり、INA に 5V のオフセットが追加されます。このオフセットにより、INA 出力が V_S に等しいレベルで飽和します。 V_S の INA 出力レベルがコンパレータの V_{TH} より高いため、コンパレータ出力は High に維持されます。回路への電力がサイクルされるまで、回路はこの状態を維持するため、この条件をラッチされた出力状態と呼びます。



7. 5V 電源がコンパレータの最小動作電圧まで上昇するときに、適切なグランド パスが確保されるように、INA 基準電圧ピン (REF) と GND ($V_S - 5\text{V}$) の間に R_3 を追加します。
8. ラッチ機能が不要な場合、コンパレータ出力を電流センス アンプの基準電圧ピンから切断し、 R_3 を短絡に置き換えることができます。この構成では、回路は 200mA 電流リミッタとして動作します。

設計シミュレーション

過渡シミュレーション結果



設計の参照資料

テキサス・インスツルメンツ、『[SBVM944 シミュレーション ファイル](#)』、回路ソフトウェア

設計で使用されているコンパレータ

TLV4041R2	
V_S	1.6V~5.5V
V_{inCM}	レール ツー レール
V_{OUT}	プッシュプル
内蔵基準電圧	200mV \pm 3mV
I_Q	2 μ A
t_{PD}	360ns
TLV4041R2	

電流センス アンプに使用されている設計

INA185	
V_S	2.7V~5.5V
V_{inCM}	-0.2V~26V
ゲイン オプション	20V/V、50V/V、100V/V、200V/V
ゲイン エラー	0.2%
V_{OS}	100 μ V (A1)、25 μ V (A2、A3、A4)
I_Q	200 μ A
INA185	

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated