

300Wステレオ/600Wモノラル、PurePath™ HDアナログ入力パワー・ステージ

特長

- PurePath™ HD対応の帰還回路を内蔵：
 - 最大80kHz信号帯域幅によりHDソースからの高周波コンテンツに対応
 - 1W、4Ω負荷で0.03%の超低THD
 - 全周波数帯域でフラットなTHD特性により自然なサウンドを再現
 - 80dBのPSRR (BTL、入力信号なし)
 - 100dB以上の (A-weighted) SNR
 - スタートアップ時のクリック音/ポップ音を抑制
- スタッフィング・オプションにより同じPCBで複数の構成が可能：
 - モノラル・パラレル・ブリッジ接続負荷 (PBTL)
 - ステレオ・ブリッジ接続負荷 (BTL)
 - 2.1シングルエンド・ステレオ・ペア+ブリッジ接続負荷サブウーハー
 - クアッド・シングルエンド出力
- 10%THD+Nでの総合出力電力
 - 600W (モノラルPBTL構成)
 - 300W/チャンネル (ステレオBTL構成)
 - 145W/チャンネル (クアッド・シングルエンド構成)
- 60mΩ出力MOSFETによる高効率パワー・ステージ (>88%)
- 2つの熱特性強化型パッケージ・オプション：
 - PHD (64ピンQFP)
 - DKD (44ピンPSOP3)
- エラー・レポート付き自己保護設計 (過電圧、過熱、クリッピング、および短絡保護)
- EMI適合 (推奨システム設計で使用時)

アプリケーション

- ミニ・コンボ・システム
- AVレシーバ
- DVDレシーバ
- アクティブ・スピーカー

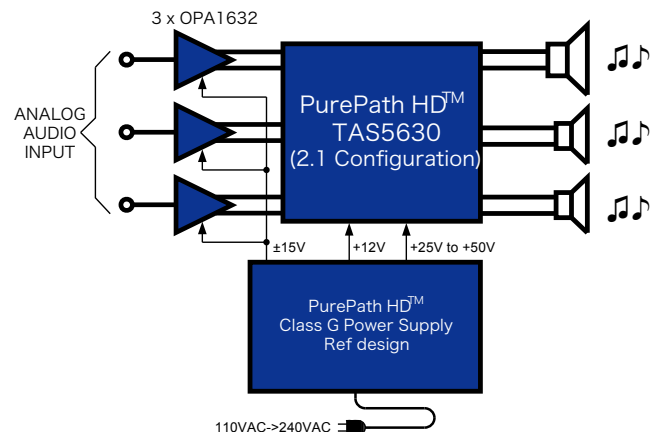
概要

TAS5630は、PurePath™ HDと呼ばれる閉ループ帰還技術を内蔵した高性能アナログ入力Class-Dアンプです。単一50V電源から4～8Ωのスピーカーを最大300W⁽¹⁾でステレオ駆動できます。

PurePath™ HD技術により、通常のClass-Dアンプの電力効率を保ちながら、従来のABアンプに匹敵する性能レベル (THD: 0.03%未満) を達成できます。

従来のClass-Dアンプと異なり、歪特性曲線が悪化するの、出力レベルがクリッピング状態になったときだけです。

PurePath™ HD技術によってアイドル損失が低減するため、デバイスの効率率はさらに向上します。TAS563x用にTIが提供するClass-G電源基準設計と組み合わせることで、業界最高レベルの効率率を実現できます。



- (1) 達成可能な出力電力レベルは、アプリケーションの熱的構成に依存しません。高い出力電力レベルを実現するには、パッケージの露出したヒートスラグとヒートシンクとの間に高性能の熱インターフェイス素材を使用してください。

Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

製品情報

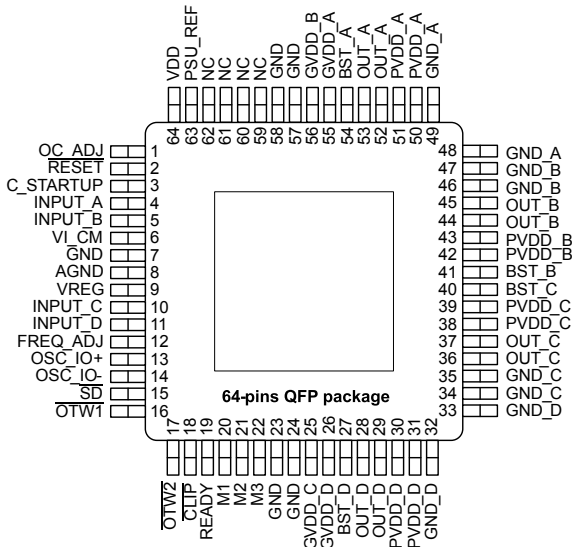
ピン配置

TAS5630は、熱特性が強化された2つのパッケージで提供されます。

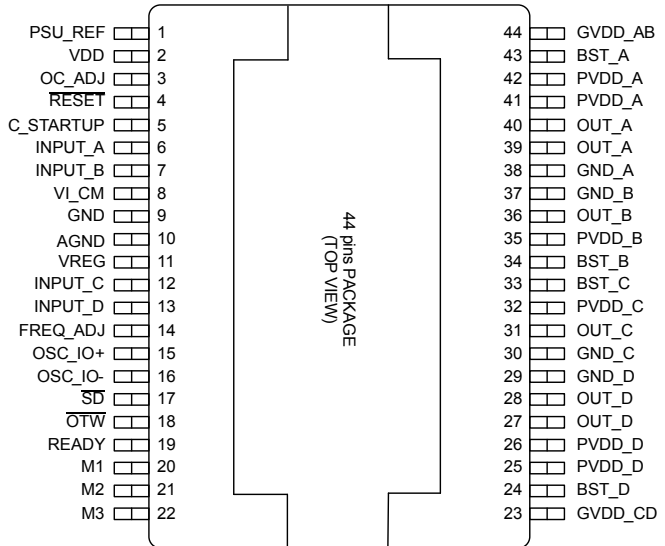
- ・ 64ピンQFP (PHD) パワー・パッケージ
- ・ 44ピンPSOP3パッケージ (DKD)

これらの種類のパッケージでは、ヒートシンクへの熱カップリングを容易にするために、デバイスの上面にヒートスラグが設けられています。

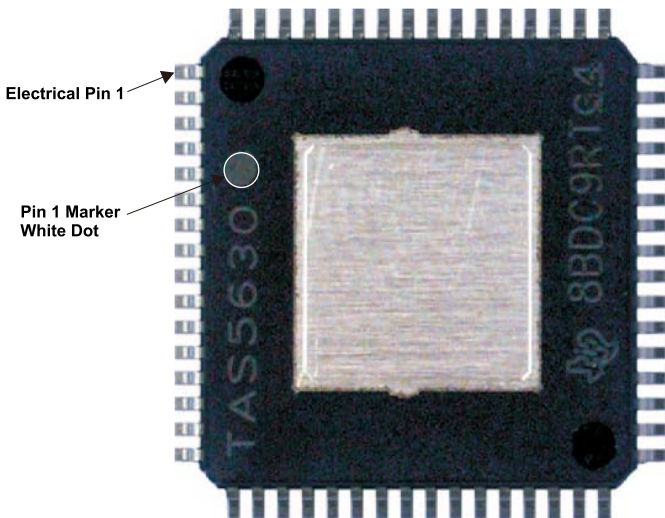
PHD PACKAGE (TOP VIEW)



DKD PACKAGE (TOP VIEW)



PIN ONE LOCATION PHD PACKAGE



モード選択ピン

モード・ピン			アナログ入力	出力構成	概要			
M3	M2	M1						
0	0	0	差動	2 × BTL	AD モード			
0	0	1	—	—	Reserved			
0	1	0	差動	2 × BTL	BD モード			
0	1	1	差動シングルエンド	1 × BTL + 2 × SE	BD モード、BTL 差動			
1	0	0	シングルエンド	4 × SE	AD モード			
1	0	1	差動	1 × PBTL	INPUT_C ⁽¹⁾	INPUT_D ⁽¹⁾		
					0	0		AD モード
					1	0		BD モード
1	1	0	Reserved					
1	1	1						

(1) INPUT_CおよびDは、PBTLモードでADモード動作とBDモード動作のサブセット間で切り替えるために使用されます (1=VREG、0=AGND)。

パッケージの熱消費定格⁽¹⁾

パラメータ	TAS5630PHD	TAS5630DKD
$R_{\theta JC}$ (°C/W) – 2 BTL または 4 SE チャンネル	2.63	1.4
$R_{\theta JC}$ (°C/W) – 1 BTL または 2 SE チャンネル(s)	4.13	2.04
$R_{\theta JC}$ (°C/W) – 1 SE チャンネル	6.45	3.45
パッド面積 ⁽²⁾	64 mm ²	80 mm ²

(1) J_C は接合部-ケース間、CHはケース-ヒートシンク間です。

(2) $R_{\theta CH}$ は、重要な考慮事項です。パッド領域とヒートシンクの間には、熱伝導率2.5W/mKの熱伝導グリースが2mil厚で塗布され、両方のチャンネルがアクティブであると仮定しています。この条件での $R_{\theta CH}$ は、PHDパッケージでは1.1°C/W、DKDパッケージでは0.44°C/Wです。

ご発注の手引き⁽¹⁾

T _A	パッケージ	説明
0°C–70°C	TAS5630PHD	64 ピン HTQFP
0°C–70°C	TAS5630DKD	44 ピン PSOP3

(1) 最新のパッケージ情報とご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.ti.comまたはwww.tij.co.jp) をご覧ください。

(2) 製品プレビュー

絶対最大定格

特に記述のない限り動作温度範囲内⁽¹⁾

	値	単位	
VDD ~ AGND	-0.3 to 13.2	V	
GVDD ~ AGND	-0.3 to 13.2	V	
PVDD_X ~ GND_X ⁽²⁾	-0.3 to 69	V	
OUT_X ~ GND_X ⁽²⁾	-0.3 to 69	V	
BST_X ~ GND_X ⁽²⁾	-0.3 to 82.2	V	
BST_X ~ GVDD_X ⁽²⁾	-0.3 to 69	V	
VREG ~ AGND	-0.3 to 4.2	V	
GND_X ~ GND	-0.3 to 0.3	V	
GND_X ~ AGND	-0.3 to 0.3	V	
OC_ADJ、M1、M2、M3、OSC_IO+、OSC_IO-、FREQ_ADJ、VI_CM、C_STARTUP、PSU_REF~AGND	-0.3 to 4.2	V	
INPUT_X	-0.3 to 5	V	
RESET、SD、OTW1、OTW2、CLIP、READY~AGND	-0.3 to 7	V	
連続シンク電流 (SD、OTW1、OTW2、CLIP、READY)	9	mA	
動作ジャンクション温度範囲、T _J	0 to 150	°C	
保存温度、T _{stg}	-40 to 150	°C	
静電気放電	人体モデル ⁽³⁾ (すべてのピン)	±2	kV
	デバイス帯電モデル ⁽³⁾ (すべてのピン)	±500	V

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) これらの電圧は、すべての条件においてデバイスの端子で測定されたDC電圧+ピークAC波形を表しています。

(3) 製造時または補修時に適切なESD対策の実施を怠ると、デバイスの誤動作につながります。デバイスを取り扱う作業者は、グラウンド・ストラップまたは他のESD保護手段を使用し、適切に接地された状態で作業を行ってください。

推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小	公称	最大	単位
PVDD_x	ハーフブリッジ電源	DC 電源電圧	25	50	52.5	V
GVDD_x	ロジック・レギュレータおよびゲート駆動回路用電源	DC 電源電圧	10.8	12	13.2	V
VDD	デジタル・レギュレータ電源電圧	DC 電源電圧	10.8	12	13.2	V
R _L (BTL)	負荷インピーダンス	「アプリケーション情報」の回路図に従った出力フィルタ	3.5	4		Ω
R _L (SE)			1.8	2		
R _L (PBTL)			1.6	2		
L _{OUTPUT} (BTL)	出力フィルタ・インダクタンス	I _{OC} での最小出力インダクタンス	7	10		μH
L _{OUTPUT} (SE)			7	15		
L _{OUTPUT} (PBTL)			7	10		
F _{PWM}	AM干渉を避けるために選択可能なPWMフレーム・レート、1%の抵抗公差	公称	350	400	450	kHz
		AM1	310	340	350	
		AM2	250	300	320	
R _{FREQ_ADJ}	PWMフレーム・レート・プログラミング・レジスタ	公称、マスタ・モード	9.5	10	10.5	kΩ
		AM1、マスタ・モード	19.8	20	20.2	
		AM2、マスタ・モード	29.7	30	30.3	
V _{FREQ_ADJ}	スレーブ・モード動作でのFREQ_ADJピンの電圧	スレーブ・モード		3.3		V
T _J	ジャンクション温度		0		150	°C

ピン機能

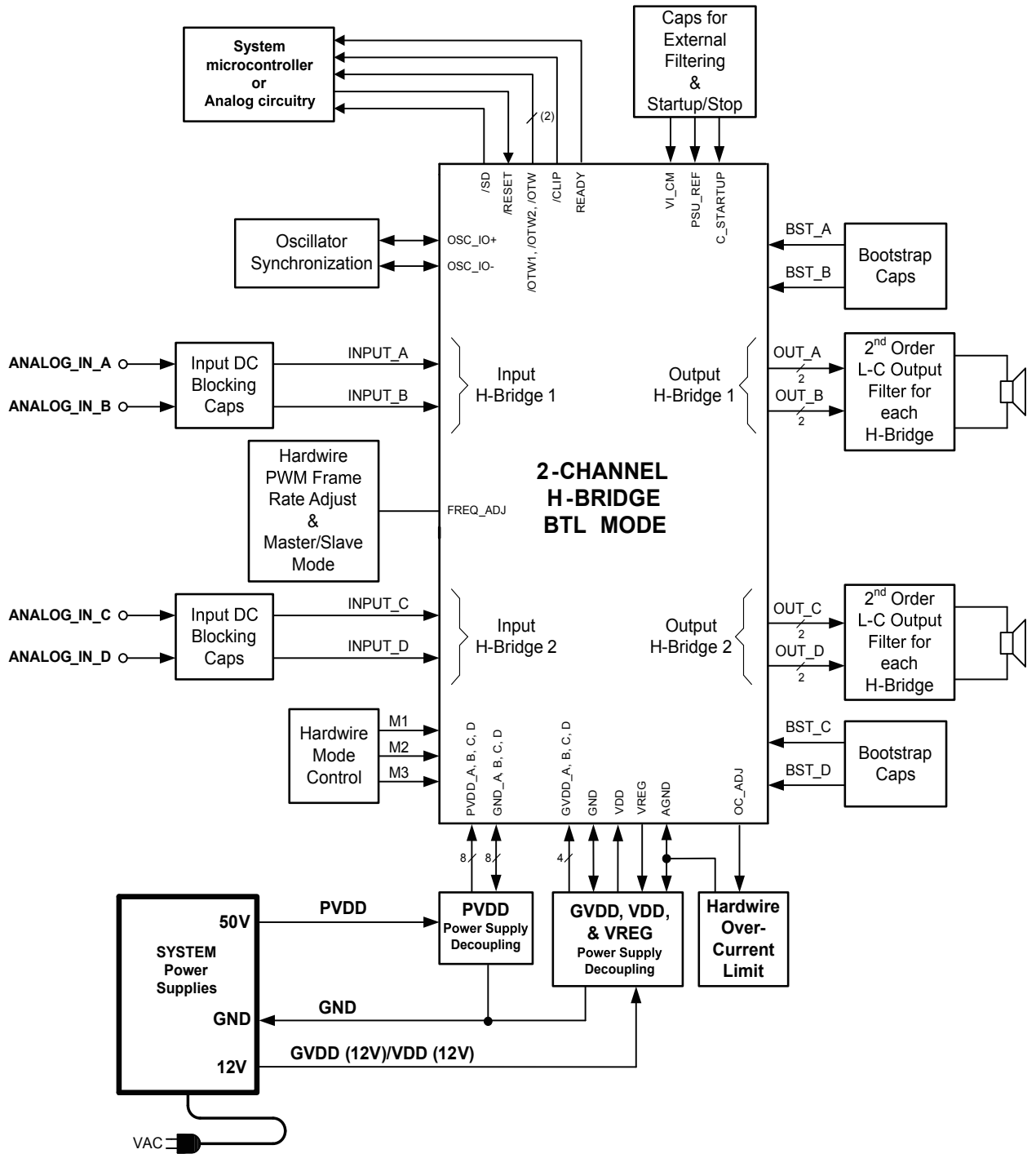
ピン			機能 ⁽¹⁾	概要
名前	PHD番号	DKD番号		
AGND	8	10	P	アナログ・グラウンド
BST_A	54	43	P	HSブートストラップ電源 (BST)、OUT_Aとの間に0.033μFの外付けコンデンサが必要
BST_B	41	34	P	HSブートストラップ電源 (BST)、OUT_Bとの間に0.033μFの外付けコンデンサが必要
BST_C	40	33	P	HSブートストラップ電源 (BST)、OUT_Cとの間に0.033μFの外付けコンデンサが必要
BST_D	27	24	P	HSブートストラップ電源 (BST)、OUT_Dとの間に0.033μFの外付けコンデンサが必要
$\overline{\text{CLIP}}$	18	—	O	クリッピング警告、オープン・ドレイン、アクティブ・ロー
C_STARTUP	3	5	O	スタートアップ・ランプのためにBTLモードではAGNDとの間に4.7nFの充電用コンデンサが必要
FREQ_ADJ	12	14	I	PWMフレーム・レート・プログラミング・ピン、AGNDとの間に抵抗が必要
GND	7, 23, 24, 57, 58	9	P	グラウンド
GND_A	48, 49	38	P	ハーフブリッジAのパワー・グラウンド
GND_B	46, 47	37	P	ハーフブリッジBのパワー・グラウンド
GND_C	34, 35	30	P	ハーフブリッジCのパワー・グラウンド
GND_D	32, 33	29	P	ハーフブリッジDのパワー・グラウンド
GVDD_A	55	—	P	ゲート駆動電源電圧、GND_Aとの間に0.1μFのコンデンサが必要
GVDD_B	56	—	P	ゲート駆動電源電圧、GND_Bとの間に0.1μFのコンデンサが必要
GVDD_C	25	—	P	ゲート駆動電源電圧、GND_Cとの間に0.1μFのコンデンサが必要
GVDD_D	26	—	P	ゲート駆動電源電圧、GND_Dとの間に0.1μFのコンデンサが必要
GVDD_AB	—	44	P	ゲート駆動電源電圧、GND_A/GND_Bとの間に0.22μFのコンデンサが必要
GVDD_CD	—	23	P	ゲート駆動電源電圧、GND_C/GND_Dとの間に0.22μFのコンデンサが必要
INPUT_A	4	6	I	ハーフブリッジAの入力信号
INPUT_B	5	7	I	ハーフブリッジBの入力信号
INPUT_C	10	12	I	ハーフブリッジCの入力信号
INPUT_D	11	13	I	ハーフブリッジDの入力信号
M1	20	20	I	モード選択
M2	21	21	I	モード選択
M3	22	22	I	モード選択
NC	59–62	—	—	接続なし。ピンは接地可能。
OC_ADJ	1	3	O	アナログ過電流プログラミング・ピン、AGNDとの間に抵抗が必要。 64ピン・パッケージ (PHD) = 22kΩ。44ピンPSOP3 (DKD) = 24kΩ。
OSC_IO+	13	15	I/O	発振回路のマスタ/スレーブ出力/入力
OSC_IO-	14	16	I/O	発振回路のマスタ/スレーブ出力/入力
$\overline{\text{OTW}}$	—	18	O	過熱警告信号、オープン・ドレイン、アクティブ・ロー
$\overline{\text{OTW1}}$	16	—	O	過熱警告信号、オープン・ドレイン、アクティブ・ロー
$\overline{\text{OTW2}}$	17	—	O	過熱警告信号、オープン・ドレイン、アクティブ・ロー
OUT_A	52, 53	39, 40	O	出力、ハーフブリッジA
OUT_B	44, 45	36	O	出力、ハーフブリッジB
OUT_C	36, 37	31	O	出力、ハーフブリッジC
OUT_D	28, 29	27, 28	O	出力、ハーフブリッジD
PSU_REF	63	1	P	PSUリファレンス、AGNDとの間に330pFの近接したデカップリングが必要
PVDD_A	50, 51	41, 42	P	ハーフブリッジAの電源入力、GND_Aへの2.2μFコンデンサと並列に0.01μFコンデンサによる近接したデカップリングが必要
PVDD_B	42, 43	35	P	ハーフブリッジBの電源入力、GND_Bへの2.2μFコンデンサと並列に0.01μFコンデンサによる近接したデカップリングが必要
PVDD_C	38, 39	32	P	ハーフブリッジCの電源入力、GND_Cへの2.2μFコンデンサと並列に0.01μFコンデンサによる近接したデカップリングが必要

(1) I = 入力、O = 出力、P = 電源

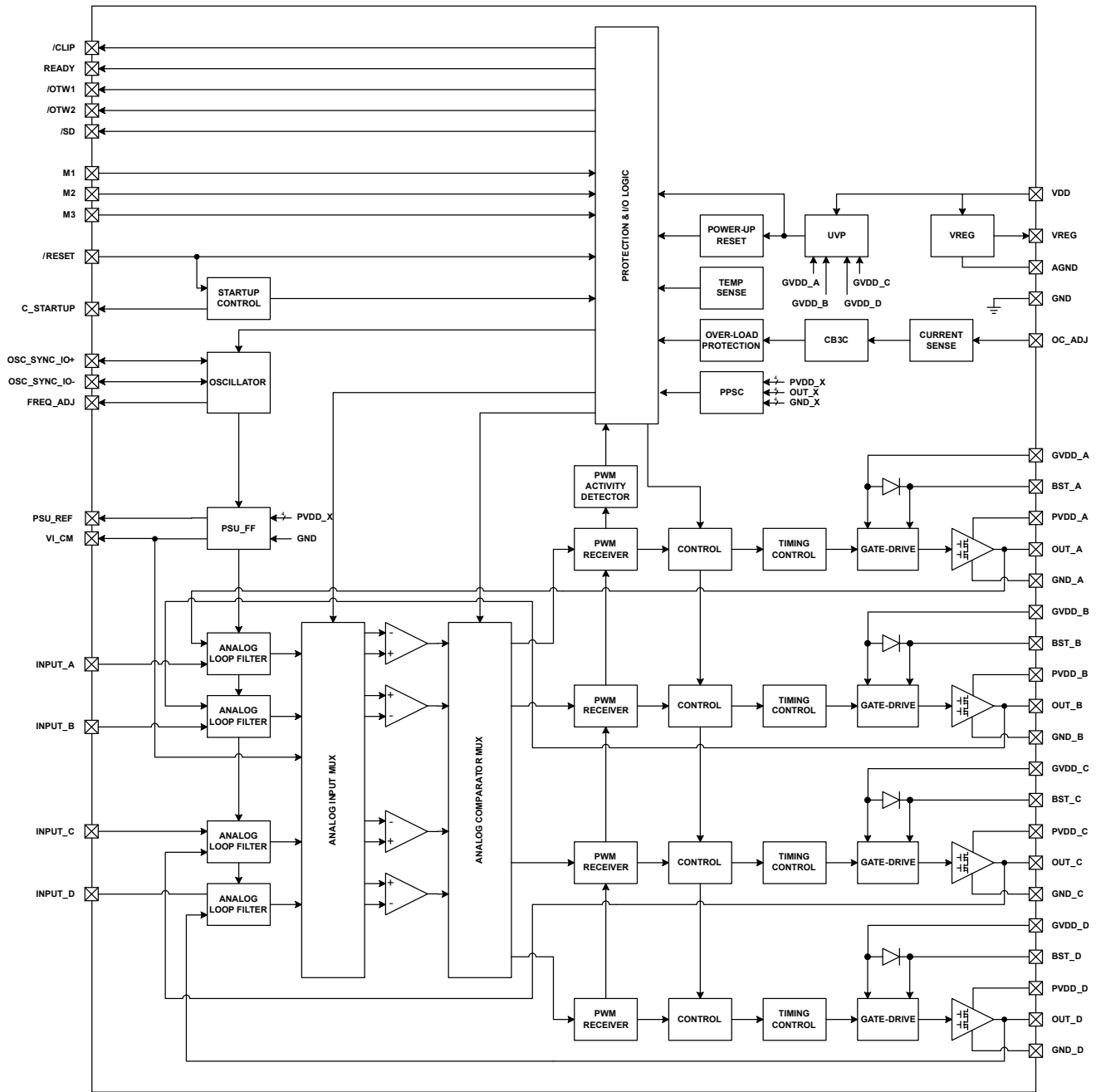
ピン機能（続き）

ピン			機能 ⁽¹⁾	概要
名前	PHD番号	DKD番号		
PVDD_D	30, 31	25, 26	P	ハーフブリッジDの電源入力、GND_Dへの2.2μFコンデンサと並列に0.01μFコンデンサによる近接したデカップリングが必要
READY	19	19	O	通常動作、オープン・ドレイン、アクティブ・ハイ
RESET	2	4	I	デバイス・リセット入力、アクティブ・ロー
SD	15	17	O	シャットダウン信号、オープン・ドレイン、アクティブ・ロー
VDD	64	2	P	デジタル電圧レギュレータの電源、デカップリング用にGNDへの0.1μFコンデンサと並列に10μFコンデンサが必要
VI_CM	6	8	O	アナログ・コンパレータのリファレンス・ノード、AGNDとの間に1nFの近接したデカップリングが必要
VREG	9	11	P	デジタル・レギュレータ電源フィルタ・ピン、AGNDとの間に0.1μFのコンデンサが必要

標準システム・ブロック図



機能ブロック図



オーディオ特性 (BTL)

PCBおよびシステム構成は、推奨ガイドラインに従っています。オーディオ周波数=1kHz、PVDD_X=50V、GVDD_X=12V、 $R_L=4\Omega$ 、 $f_s=400\text{kHz}$ 、 $R_{OC}=22\text{k}\Omega$ 、 $T_C=75^\circ\text{C}$ 、出力フィルタ： $L_{DEM}=7\mu\text{H}$ 、 $C_{DEM}=680\text{nF}$ 、MODE=010におけるものです。(特に記述のない限り)。

パラメータ	測定条件	最小	標準	最大	単位
P_O チャンネル別の電源出力	$R_L = 4\Omega$ 、10% THD+N、クリップした出力信号		300		W
	$R_L = 6\Omega$ 、10% THD+N、クリップした出力信号		210		
	$R_L = 8\Omega$ 、10% THD+N、クリップした出力信号		160		
	$R_L = 4\Omega$ 、1% THD+N、クリップなし出力信号		240		
	$R_L = 6\Omega$ 、1% THD+N、クリップなし出力信号		160		
	$R_L = 8\Omega$ 、1% THD+N、クリップなし出力信号		125		
THD+N 全高調波歪+ノイズ	1 W		0.03%		
V_n 出力積分ノイズ	A-weighted、AES17フィルタ、 入力コンデンサを接地		270		μV
$ V_{OS} $ 出力オフセット電圧	入力をAGNDにAC結合		40	150	mV
SNR 信号対雑音比 ⁽¹⁾	A-weighted、AES17フィルタ		100		dB
DNR ダイナミック・レンジ	A-weighted、AES17フィルタ		100		dB
P_{idle} アイドル損失による消費電力 (I_{PVDD_X})	$P_O = 0$ 、4チャンネルをスイッチング ⁽²⁾		2.7		W

(1) SNRは1% THD+N出力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によっても影響を受けます。

オーディオ仕様 (シングルエンド出力)

PCBおよびシステム構成は、推奨ガイドラインに従っています。オーディオ周波数=1kHz、PVDD_X=50V、GVDD_X=12V、 $R_L=4\Omega$ 、 $f_s=400\text{kHz}$ 、 $R_{OC}=22\text{k}\Omega$ 、 $T_C=75^\circ\text{C}$ 、出力フィルタ： $L_{DEM}=15\mu\text{H}$ 、 $C_{DEM}=470\mu\text{F}$ 、MODE=100におけるものです。(特に記述のない限り)。

パラメータ	測定条件	最小	標準	最大	単位
P_O チャンネル別の電源出力	$R_L = 2\Omega$ 、10% THD+N、クリップした出力信号		145		W
	$R_L = 3\Omega$ 、10% THD+N、クリップした出力信号		100		
	$R_L = 4\Omega$ 、10% THD+N、クリップした出力信号		75		
	$R_L = 2\Omega$ 、1% THD+N、クリップなし出力信号		110		
	$R_L = 3\Omega$ 、1% THD+N、クリップなし出力信号		75		
	$R_L = 4\Omega$ 、1% THD+N、クリップなし出力信号		55		
THD+N 全高調波歪+ノイズ	1 W		0.07%		
V_n 出力積分ノイズ	A-weighted、AES17フィルタ、 入力コンデンサを接地		340		μV
SNR 信号対雑音比 ⁽¹⁾	A-weighted、AES17フィルタ		93		dB
DNR ダイナミック・レンジ	A-weighted、AES17フィルタ		93		dB
P_{idle} アイドル損失による消費電力 (I_{PVDD_X}) P	$P_O = 0$ 、4チャンネルをスイッチング ⁽²⁾		2		W

(1) SNRは1% THD+N出力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によって影響を受けます。

オーディオ仕様 (PBTL)

PCBおよびシステム構成は、推奨ガイドラインに従っています。オーディオ周波数=1kHz、PVDD_X=50V、GVDD_X=12V、 $R_L=2\Omega$ 、 $f_s=400\text{kHz}$ 、 $R_{OC}=22\text{k}\Omega$ 、 $T_C=75^\circ\text{C}$ 、出力フィルタ: $L_{DEM}=7\mu\text{H}$ 、 $C_{DEM}=1.5\mu\text{F}$ 、MODE=101-10におけるものです。(特に記述のない限り)。

パラメータ	測定条件	最小	標準	最大	単位
P _O チャンネル別の電源出力	R _L = 2 Ω、10% THD+N、クリップした出力信号		600		W
	R _L = 3 Ω、10% THD+N、クリップした出力信号		400		
	R _L = 4 Ω、10% THD+N、クリップした出力信号		300		
	R _L = 2 Ω、1% THD+N、クリップなし出力信号		480		
	R _L = 3 Ω、1% THD+N、クリップなし出力信号		310		
	R _L = 4 Ω、1% THD+N、クリップなし出力信号		230		
THD+N 全高調波歪+ノイズ	1 W		0.05%		
V _n 出力積分ノイズ	A-weighted		260		μV
SNR 信号対雑音比 ⁽¹⁾	A-weighted		100		dB
DNR ダイナミック・レンジ	A-weighted		100		dB
P _{idle} アイドル損失による消費電力 (I _{PVDD_X})	P _O = 0、4チャンネルをスイッチング ⁽²⁾		2.7		W

(1) SNRは1% THD-N出力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によって影響を受けます。

電気的特性

PVDD_X=50V、GVDD_X=12V、VDD=12V、T_C (ケース温度) =75°C、f_s=400kHz (特に指定のない限り)。

パラメータ	測定条件	最小	標準	最大	単位
内部電圧レギュレータおよび消費電流					
VREG	電圧レギュレータ、リファレンス・ノードとしてのみ使用、VREG	VDD = 12 V			V
VI_CM	アナログ・コンパレータのリファレンス・ノード、VI_CM	1.5	1.75	1.9	V
I _{VDD}	VDD消費電流	動作時、デューティ・サイクル=50%			mA
		アイドル、リセット・モード			
I _{GVDD_X}	GVDD_xゲート駆動電流 (ハーフブリッジあたり)	デューティ・サイクル=50%			mA
		リセット・モード			
I _{PVDD_X}	ハーフブリッジ消費電流	デューティ・サイクル=50%、推奨出力フィルタを使用			mA
		リセット・モード、スイッチングなし			
アナログ入力					
R _{IN}	入力抵抗	READY = HIGH			kΩ
V _{IN}	最大入力電圧スイング				V
I _{IN}	最大入力電流				μA
G	電圧ゲイン (V _{OUT} /V _{IN})				dB
発振回路					
f _{OSC_IO+}	公称、マスタ・モード	F _{PWM} × 10			MHz
	AM1、マスタ・モード	3.5	4	4.5	
	AM2、マスタ・モード	3.1	3.4	3.5	
V _{IH}	“High” レベル入力電圧	1.86			V
V _{IL}	“Low” レベル入力電圧	1.45			V
出力段MOSFET					
R _{DS(on)}	ドレインソース間抵抗、ローサイド (LS)	T _J = 25°C、金属皮膜抵抗を含まない、GVDD = 12 V			mΩ
	ドレインソース間抵抗、ハイサイド (HS)				mΩ

電気的特性 (続き)

PVDD_X=50V、GVDD_X=12V、VDD=12V、T_C (ケース温度) =75°C、f_S=400kHz (特に指定のない限り)。

パラメータ		測定条件	最小	標準	最大	単位
I/O 保護						
V _{uvp,G}	低電圧保護制限、GVDD_xおよびVDD			9.5		V
V _{uvp,hyst} ⁽¹⁾				0.6		V
OTW1 ⁽¹⁾	過熱レポート1		95	100	105	°C
OTW2 ⁽¹⁾	過熱レポート2		115	125	135	°C
OTW _{hyst} ⁽¹⁾	OTW作動後に $\overline{\text{OTW}}$ が非アクティブになるために必要な $\overline{\text{OTW}}$ からの温度低下			25		°C
OTE ⁽¹⁾	過熱エラー		145	155	165	°C
	OTE-OTWの差分			30		°C
OTE _{hyst} ⁽¹⁾	OTE作動後の $\overline{\text{SD}}$ 解除のためにリセットが必要			25		°C
OLPC	過負荷保護カウンタ	f _{PWM} = 400 kHz		1.3		ms
I _{OC}	過電流制限保護	抵抗でプログラミング可能、1 Ω 負荷での公称ピーク電流、64ピンQFPパッケージ (PHD) R _{OCP} = 22 kΩ		19		A
		抵抗でプログラミング可能、1 Ω 負荷での公称ピーク電流、44ピンPSOP3パッケージ (DKD)、 R _{OCP} = 24 kΩ		19		A
	過電流制限保護、ラッチ	抵抗でプログラミング可能、1 Ω 負荷での公称ピーク電流、 R _{OCP} = 47 kΩ		19		A
I _{OCt}	過電流応答時間	スイッチング遷移から過電流によるフリップ状態までの時間		150		ns
I _{PD}	各ハーフブリッジの出力側における内部プルダウン抵抗	$\overline{\text{RESET}}$ がアクティブのとき、ブートストラップ充電用に接続。SEモードでは使用しない。		3		mA
静的デジタル仕様						
V _{IH}	“High” レベル入力電圧	INPUT_X, M1, M2, M3, RESET	2			V
V _{IL}	“Low” レベル入力電圧			0.8		V
I _{Ikg}	入力リーク電流			100		μA
OTW/シャットダウン (SD)						
R _{INT_PU}	内部プルアップ抵抗、 $\overline{\text{OTW1}}$ ~VREG、 $\overline{\text{OTW2}}$ ~VREG、 $\overline{\text{SD}}$ ~VREG		20	26	32	kΩ
V _{OH}	“High” レベル出力電圧	内部プルアップ抵抗	3	3.3	3.6	V
		4.7kΩで5Vに外部プルアップ	4.5		5	
V _{OL}	“Low” レベル出力電圧	I _O = 4 mA		200	500	mV
FANOUT	デバイス・ファンアウト、 $\overline{\text{OTW1}}$ 、 $\overline{\text{OTW2}}$ 、 $\overline{\text{SD}}$ 、CLIP、READY	外部プルアップなし		30		デバイス

(1) 設計で規定されています。

代表的特性、BTL構成

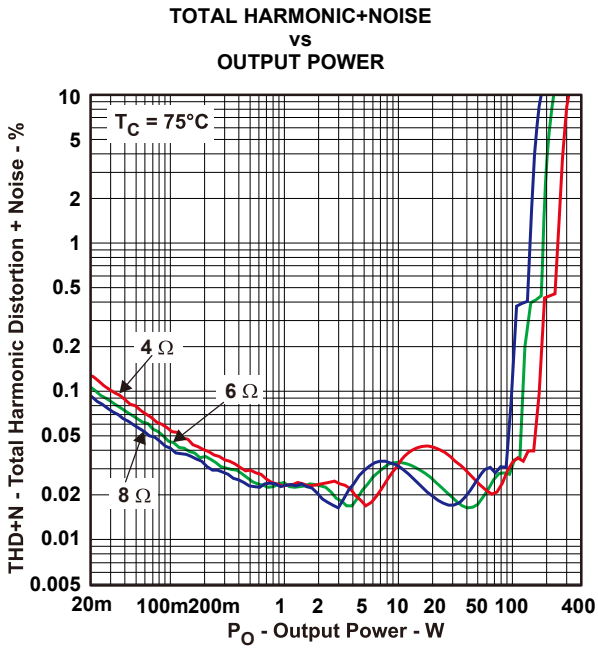


Figure 1.

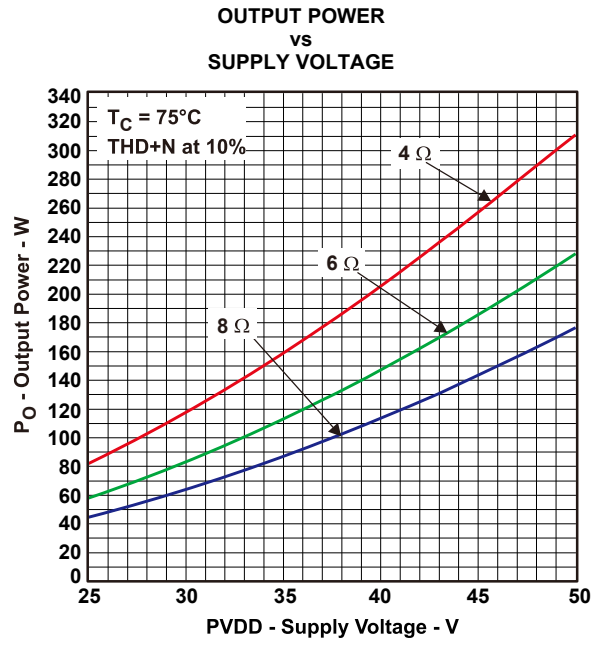


Figure 2.

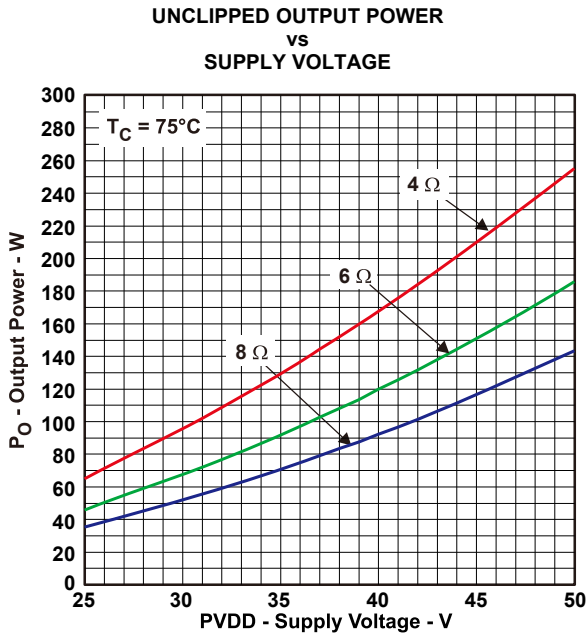


Figure 3.

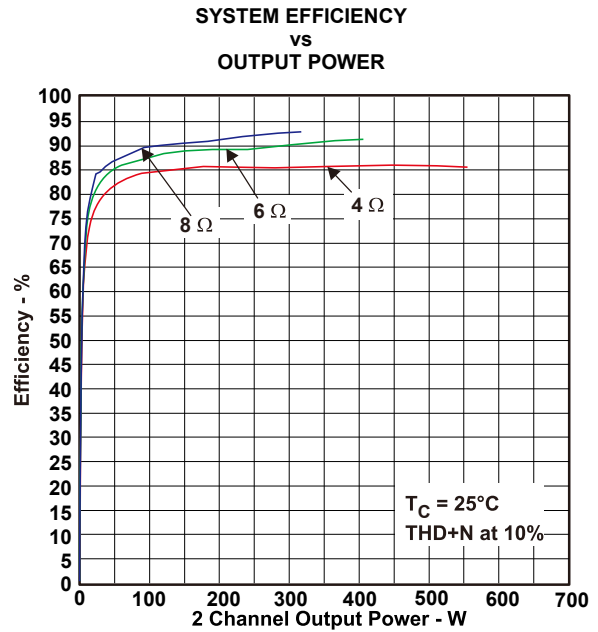


Figure 4.

代表的特性、BTL構成 (続き)

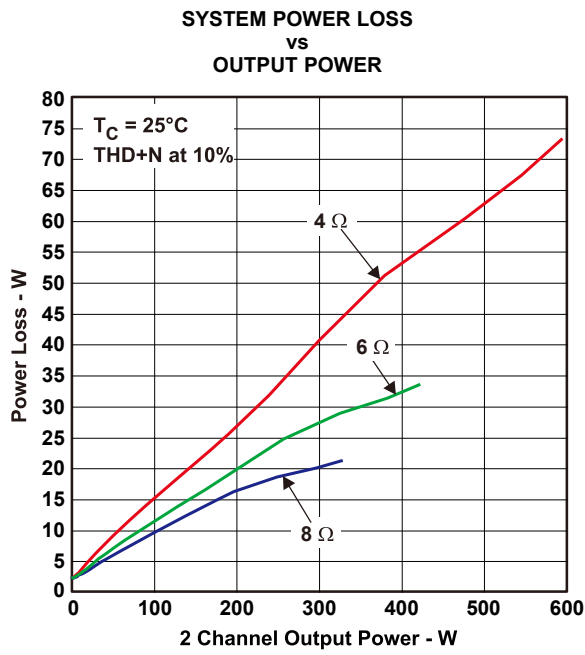


Figure 5.

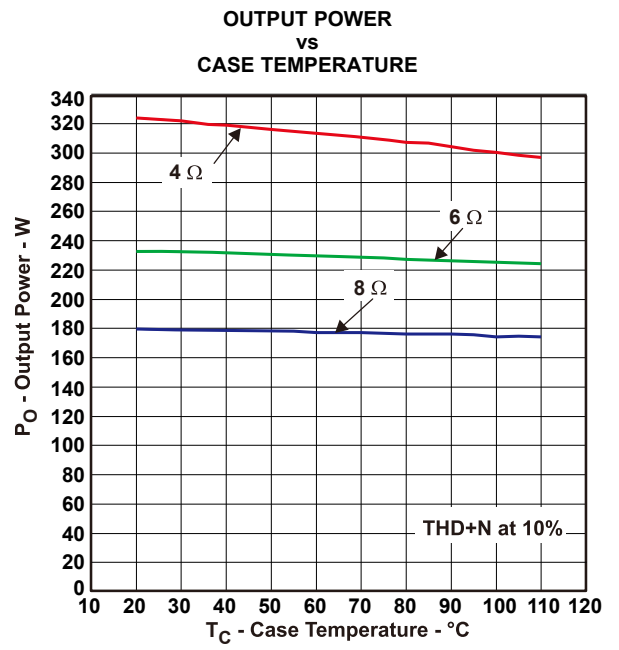


Figure 6.

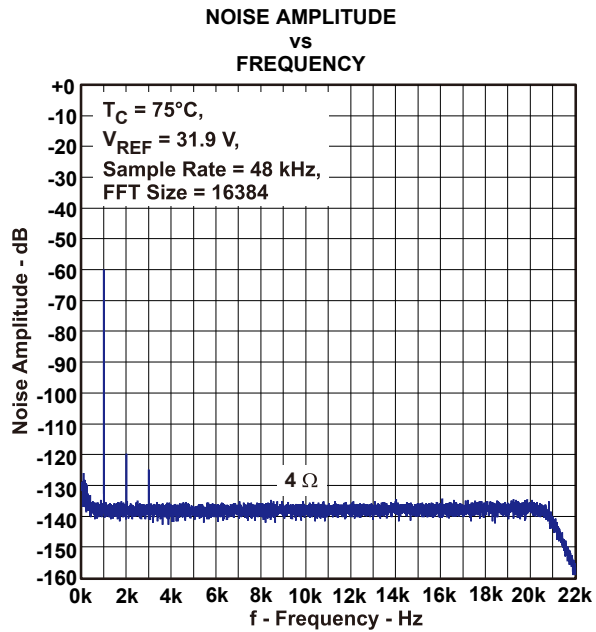


Figure 7.

TOTAL HARMONIC DISTORTION + NOISE
vs
OUTPUT POWER

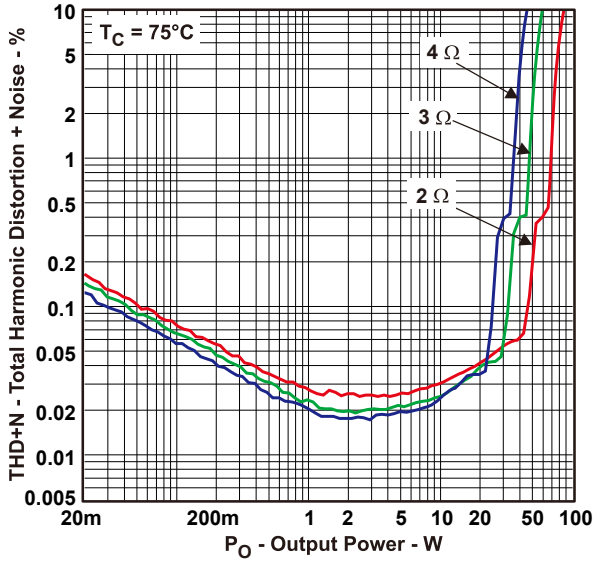


Figure 8.

OUTPUT POWER
vs
SUPPLY VOLTAGE

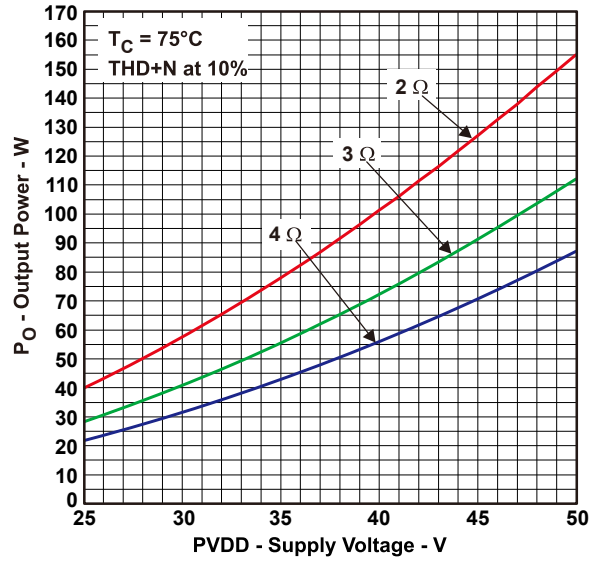


Figure 9.

OUTPUT POWER
vs
CASE TEMPERATURE

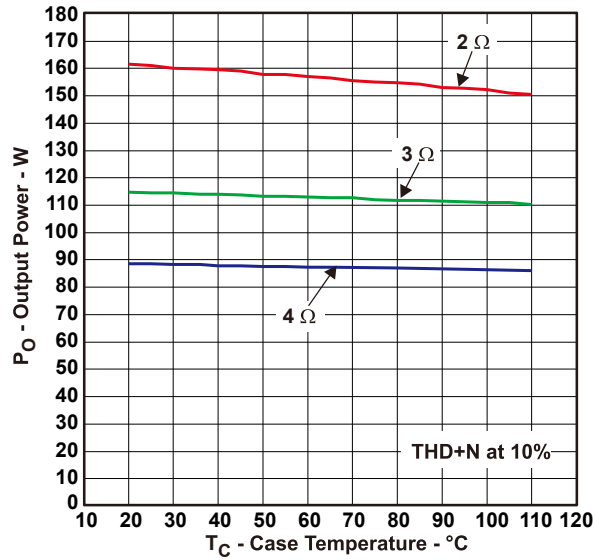


Figure 10.

代表的特性、PBTL構成

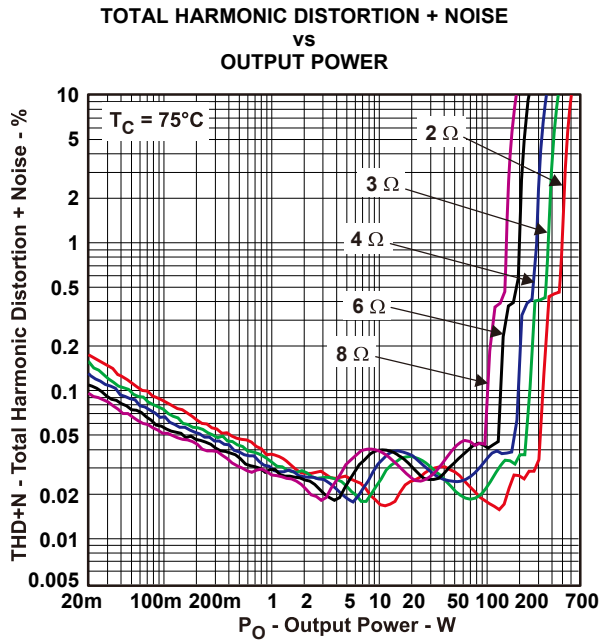


Figure 11.

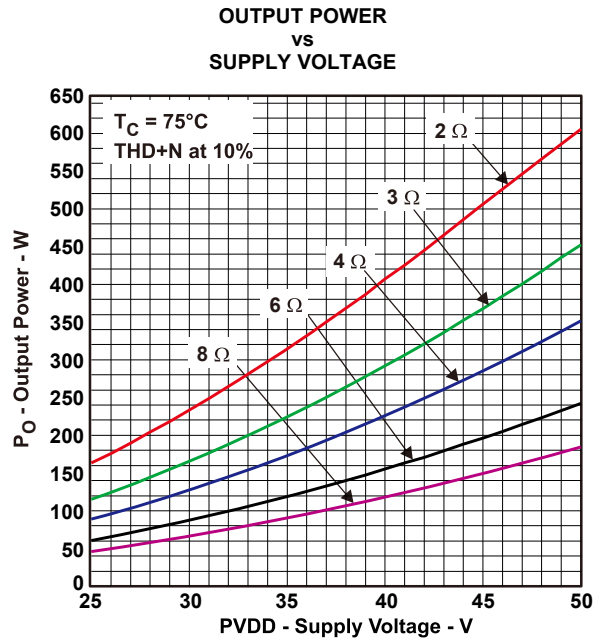


Figure 12.

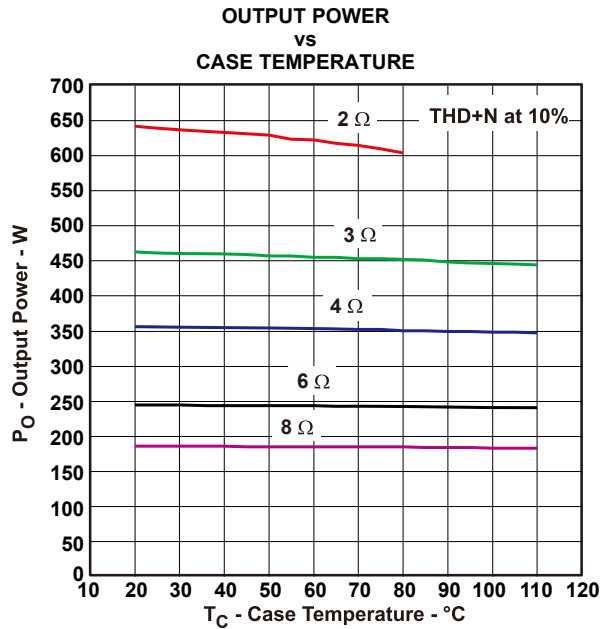


Figure 13.

アプリケーション情報

PCB材料の推奨事項

TAS5630に対しては、2オンス（70 μ m）銅箔厚のFR-4ガラス・エポキシ基板を推奨します。この材質を使用することで、より高い出力電力、熱性能の改善、およびEMIマージンの拡大（PCBトレース・インダクタンスが低いため）が実現されます。

PVDDコンデンサの推奨事項

各フル・ブリッジで使用される大容量コンデンサは、PVDDコンデンサと呼ばれます。これらのコンデンサは、適切な電圧マージンと、電力要件を満足するのに十分な容量を持っている必要があります。実際には、システム電源の設計が適切であれば、1000 μ F、63Vで多くのアプリケーションをサポートできます。PVDDコンデンサは、高速スイッチングを伴う回路で使用されるため、低ESRタイプを選択する必要があります。

デカップリング・コンデンサの推奨事項

堅牢な特性を備え、法規制要件に準拠しながら、優れたオーディオ性能を発揮するアンプを設計するには、高品質なデカップリング・コンデンサを使用する必要があります。このアプリケーションでは、X7Rを使用します。

デカップリング・コンデンサの電圧は、適切な設計手法に従って選択する必要があります。温度、リップル電流、および電圧オーバーシュートを考慮してください。これは、各ハーフブリッジへの電源に配置される2.2 μ Fのコンデンサを選択する際、特に重要です。このコンデンサは、PWMスイッチングの電圧オーバーシュートや、高出力時にアンプで発生する熱、高出力によって生じるリップル電流に耐えられる必要があります。50Vの電源とともに使用するには、最低63Vの電圧定格が必要です。

システム設計の推奨事項

以下の回路図およびPCBレイアウトは、TAS5630で使用するベスト・プラクティスを示しています。

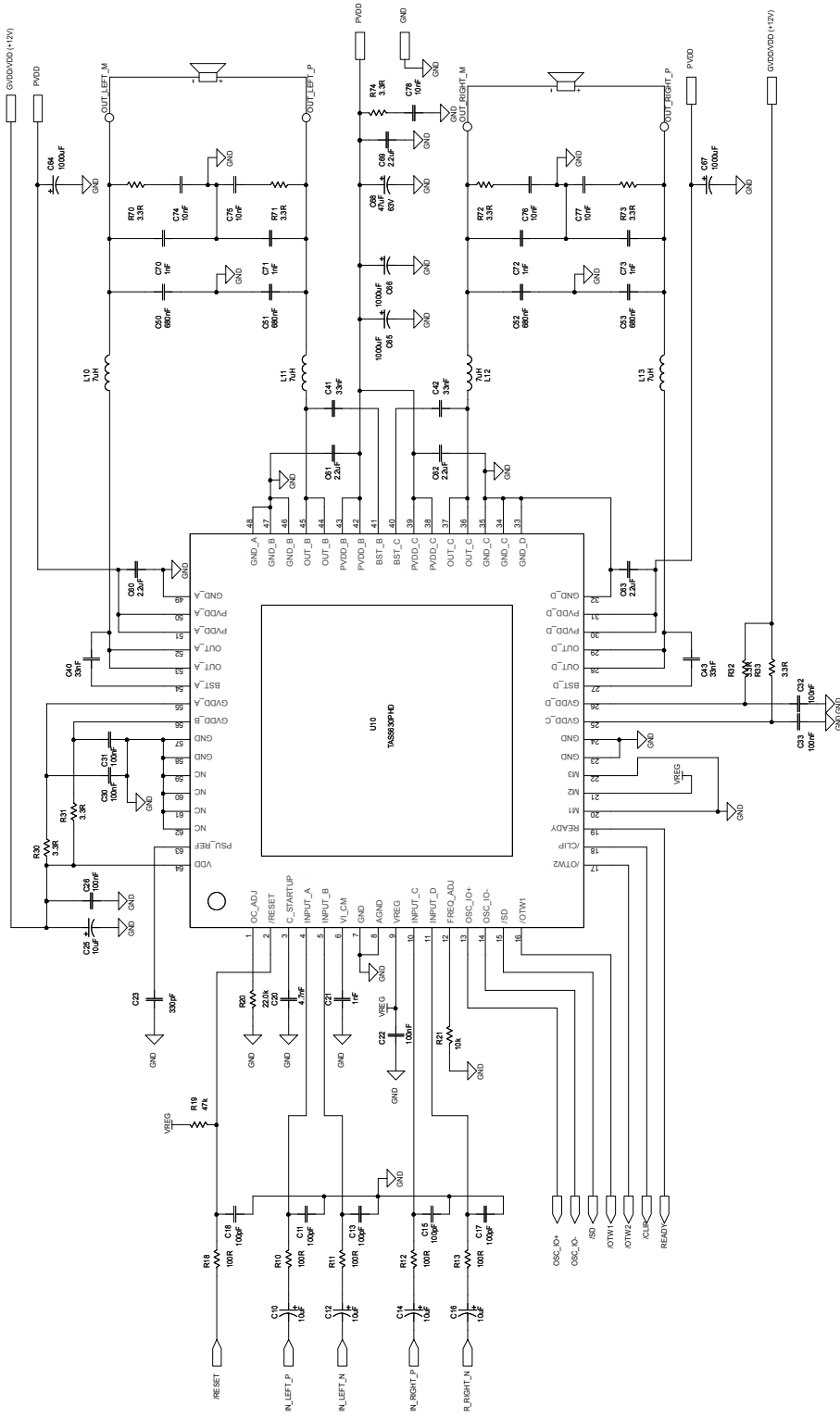


図 14. BD 変調フィルタを備えた標準的な差動入力 BTL アプリケーション

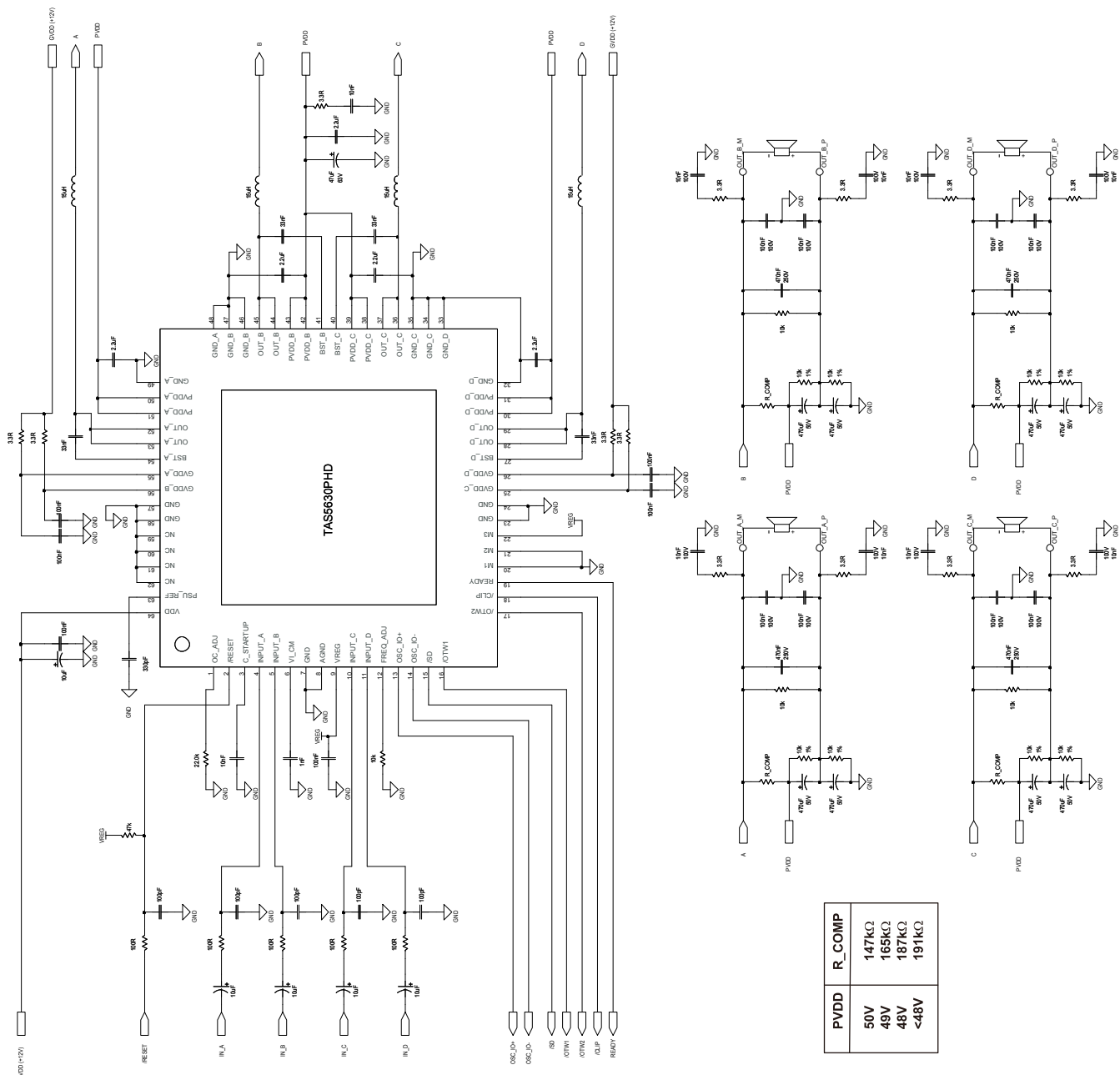


図 16. 標準的な SE アプリケーション

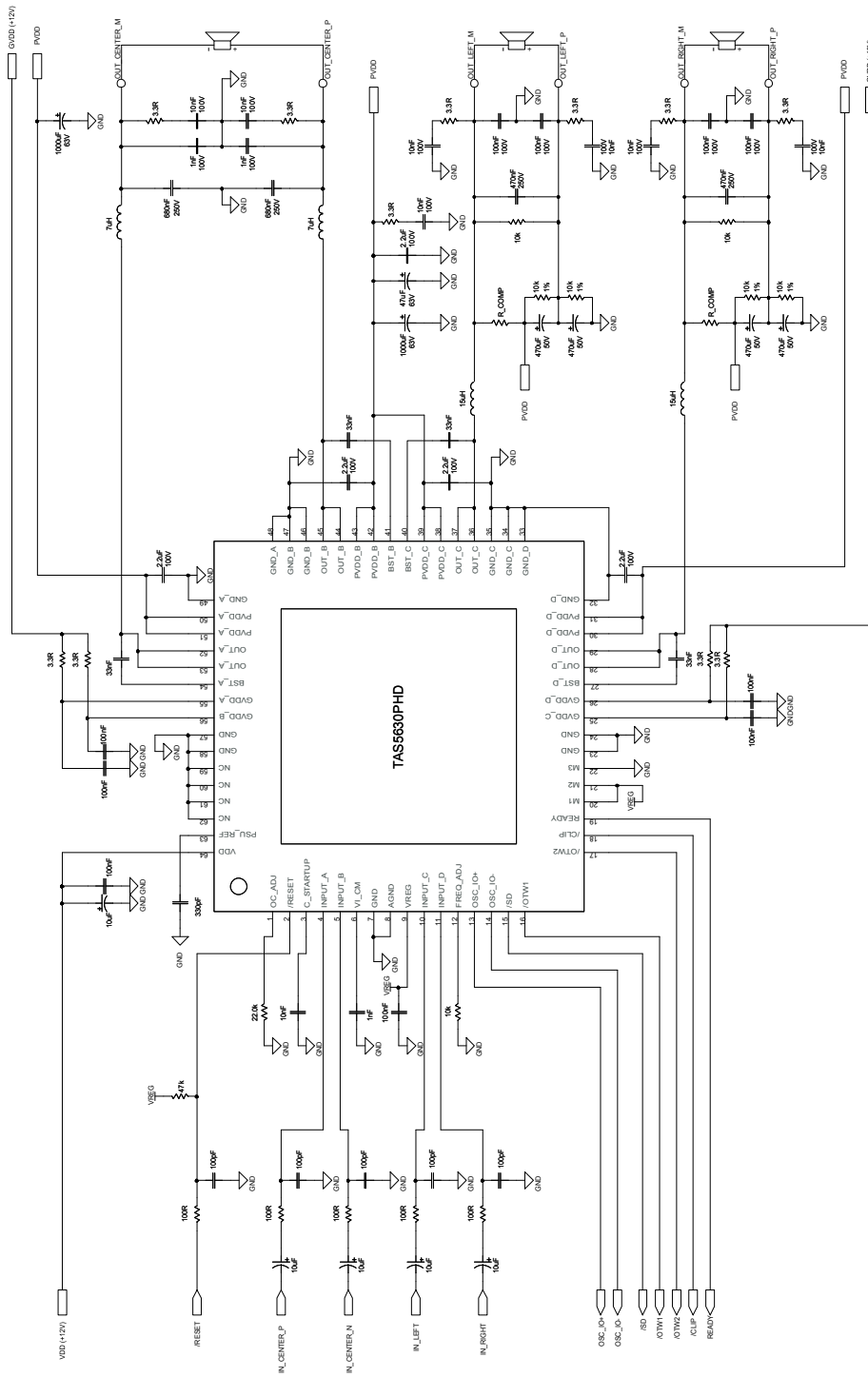


図 17. 標準的な 2.1 システム差動入力 BTL および非平衡入力 SE アプリケーション

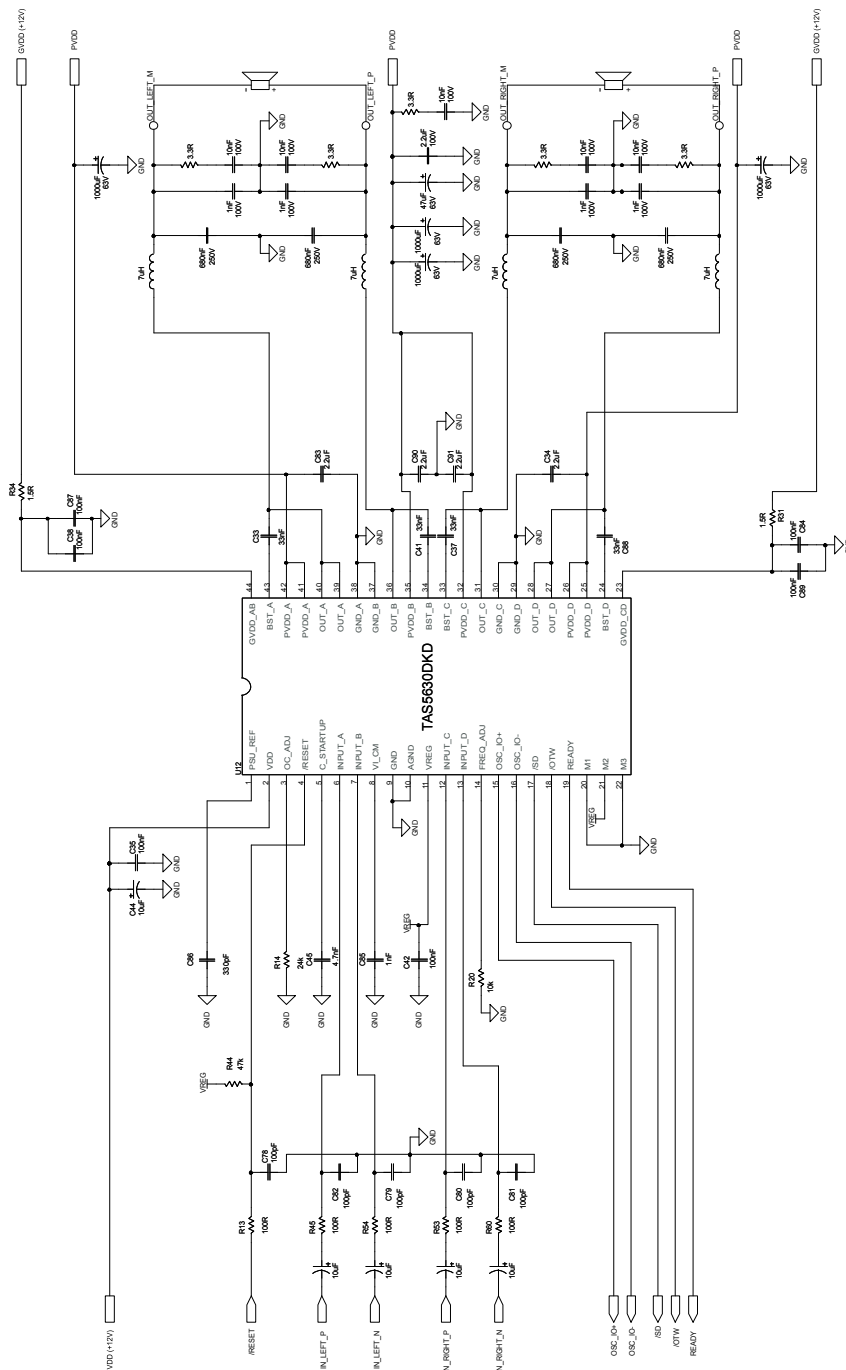


図 18. BD 変調フィルタを備えた標準的な差動入力 BTL アプリケーション (DKD パッケージ)

動作原理

電源

システム設計を簡単にするために、TAS5630は、(標準) 50Vのパワー・ステージ電源に加えて、12V電源だけを必要とします。内部の電圧レギュレータにより、デジタルおよび低電圧アナログ回路に対して適切な電圧レベルが提供されます。また、フローティング電圧供給を必要とするすべての回路 (ハイサイド・ゲートなど) は、ハーフブリッジあたり1個の外付けコンデンサのみを必要とする内蔵ブートストラップ回路で対応されています。

優れた電気的および音響的特性を実現するために、ゲート駆動および出力段を含むPWM信号パスは、同一構造の独立したハーフブリッジとして設計されています。この理由により、各ハーフブリッジには別個のゲート駆動電源 (GVDD_X)、ブートストラップ・ピン (BST_X)、およびパワー・ステージ電源ピン (PVDD_X) が備えられています。また、すべての共通回路に対する電源として、追加のピン (VDD) が用意されています。同じ12V電源から供給されていても、GVDD_A、GVDD_B、GVDD_C、GVDD_D、およびVDDは、プリント基板 (PCB) 上でRCフィルタを用いて分離することを強く推奨します (詳細はアプリケーション図を参照)。これらのRCフィルタは、推奨される高周波分離を提供します。すべてのデカップリング・コンデンサを、それぞれ対応するピンにできるだけ近づけて配置するように、特別な注意を払ってください。一般に、電源ピンとデカップリング・コンデンサとの間のインダクタンスは避ける必要があります。(詳細については、リファレンス・ボードのドキュメントを参照してください。)

適切に機能するブートストラップ回路に対して、各ブートストラップ・ピン (BST_X) とパワー・ステージ出力ピン (OUT_X) との間に小さなセラミック・コンデンサを接続する必要があります。パワー・ステージ出力が“Low”のときは、ゲート駆動電源ピン (GVDD_X) とブートストラップ・ピンとの間に接続されている内部ダイオードを通して、ブートストラップ・コンデンサが充電されます。パワー・ステージ出力が“High”のときは、ブートストラップ・コンデンサの電位が出力電位より上にシフトするため、ハイサイド・ゲート・ドライバに対して適切な電圧が供給されます。PWMスイッチング周波数が300kHz～400kHzの範囲であるアプリケーションでは、ブートストラップ電源用に33nFのセラミック・コンデンサ (サイズ0603または0805) を使用することを推奨します。これらの33nFコンデンサにより、最小のPWMデューティ・サイクル中であっても、ハイサイド・パワー・ステージFET (LDMOS) をPWMサイクルの残り期間中、完全にオンに保持するために十分なエネルギーが蓄積されます。

パワー・ステージ電源には特別な注意を払う必要があります。これには、部品の選択、PCBの配置、および配線が含まれます。前述のとおり、各ハーフブリッジには独立したパワー・ステージ電源ピン (PVDD_X) があります。電気的性能、EMI適合、およびシステムの信頼性を最適化するために、各PVDD_Xピンを、ピンにできる限り近づけて配置した2.2μFセラミック・コンデンサでデカップリングすることが重要です。TAS5630基準設計のPCBレイアウトに従うことを推奨します。推奨される電源および必要な部品についての詳細は、このデータ・シートのアプリケーション図を参照してください。

12V電源は、低ノイズ、低出力インピーダンスの電圧レギュレータから得る必要があります。同様に、50Vパワー・ステージ電源も、低出力インピーダンスおよび低ノイズである必要があります。内部のパワーオン・リセット回路構造により、電源シーケンスはそれほど重要ではありません。また、TAS5630は、寄生ゲート電荷による偶発的なパワー・ステージの起動に対して完全に保護されています。そのため、電圧供給の上昇レート (dV/dt) は、指定された範囲内であればそれほど重要ではありません (このデータ・シートの「推奨動作条件」の表を参照してください)。

システムの電源投入/切断シーケンス

電源投入

TAS5630では、電源投入シーケンスは必要ありません。Hブリッジの出力は、ゲート駆動電源電圧 (GVDD_X) およびVDD電圧が低電圧保護 (UVP) 電圧スレッシュホールドを上回るまでの間、ハイ・インピーダンス状態に保持されます (このデータ・シートの「電気的特性」の表を参照)。明確には要求されてはいませんが、デバイスの電源投入時には、 $\overline{\text{RESET}}$ を“Low”状態に維持することを推奨します。これにより、ハーフブリッジ出力のウィーク・ブルダウンをイネーブルすることで、内部回路によって外部のブートストラップ・コンデンサを充電できます。

電源切断

TAS5630では、電源切断シーケンスは必要ありません。ゲート駆動電源電圧 (GVDD_X) およびVDD電圧が低電圧保護 (UVP) 電圧スレッシュホールドを上回っている間、デバイスは完全に動作可能な状態を保ちます (このデータ・シートの「電気的特性」の表を参照)。明確には要求されてはいませんが、電源切断時には $\overline{\text{RESET}}$ を“Low”状態に維持して、ポップやクリックなどの可聴雑音を防ぐことを推奨します。

障害レポート

\overline{SD} 、 \overline{OTW} 、 $\overline{OTW1}$ 、 $\overline{OTW2}$ の各ピンは、アクティブ・ローのオープン・ドレイン出力です。これらのピンは、PWMコントローラまたは他のシステム制御デバイスへの保護モード信号レポートに使用されます。

デバイスのシャットダウンにつながるような障害は、 \overline{SD} ピンが“Low”になることで通知されます。同様に、 \overline{OTW} および $\overline{OTW2}$ はデバイスの接合部温度が125°Cを超えると“Low”になり、 $\overline{OTW1}$ は接合部温度が100°Cを超えると“Low”になります（下の表を参照）。

\overline{SD}	$\overline{OTW1}$	$\overline{OTW2}$, \overline{OTW}	概要
0	0	0	過熱 (OTE)、過負荷 (OLP)、または低電圧 (UVP)
0	0	1	過負荷 (OLP) または低電圧 (UVP)。接合部温度が100°C以上 (過熱警告)
0	1	1	過負荷 (OLP) または低電圧 (UVP)
1	0	0	接合部温度が125°C以上 (過熱警告)
1	0	1	接合部温度が100°C以上 (過熱警告)
1	1	1	接合部温度が100°C以下で、OLPおよびUVP障害未検出 (通常動作)

いずれかの \overline{RESET} を“Low”にアサートすると、障害の有無にかかわらず、 \overline{SD} 信号が強制的に“High”になります。TIでは、システム・マイクロコントローラを使用して \overline{OTW} 信号を監視し、それ以上デバイス温度が上昇してシャットダウン (OTE) に至らないよう音量を下げるなど、過熱レポート信号に対して適切な処理を行うことを推奨します。

外部部品を減らすために、 \overline{SD} および \overline{OTW} 出力の両方に、3.3Vへの内部プルアップ抵抗が備えられています。外付けで5Vへのプルアップ抵抗を追加することで、5Vロジックに対するレベル互換性が得られます（詳しい仕様については、このデータ・シートの「電気的特性」の表を参照してください）。

デバイス保護システム

TAS5630には、システムの統合を容易にして使いやすさを高め、短絡、過負荷、過熱、低電圧など幅広い範囲の障害条件による永続的な障害からデバイスを保護するために、慎重に設計された最先端の保護回路が内蔵されています。TAS5630は、パワー・ステージを直ちにハイ・インピーダンス (Hi-Z) 状態にして \overline{SD} ピンを“Low”にアサートすることで、障害に対応します。過負荷および過熱障害 (OTE) 以外の状況では、障害条件が解消され電源電圧が上昇した時点で、デバイスが自動的に復旧します。

障害発生時、デバイスは次の表に示されるように動作します。

BTLモード		PBTLモード		SEモード	
障害箇所	オフになる箇所	障害箇所	オフになる箇所	障害箇所	オフになる箇所
A	A+B	A	A+B+C+D	A	A+B
B		B		B	
C	C+D	C		C	C+D
D		D		D	

ブートストラップUVPの場合、表のようにシャットダウンされず、該当するハーフブリッジがシャットダウンされます。

ピン間短絡保護 (PPSC)

PPSC検出システムは、電力出力ピン (OUT_X) がGND_XまたはPVDD_Xに短絡された場合に、デバイスを永続的な損傷から保護します。OC保護システムは復調フィルタの後の過電流を検出しますが、PPSCはフィルタより前に直接ピン上で短絡を検出します。PPSC検出は、スタートアップ時、つまりVDDが供給されたときに実行されるため、システムのスタートアップ後にGND_XまたはPVDD_Xへの短絡が発生しても、PPSC検出システムは動作しません。出力での短絡によってPPSC検出が動作すると、短絡が解消されるまですべてのハーフブリッジがHi-Z状態に維持されます。短絡が解消されると、デバイスはスタートアップ・シーケンスを続行し、スイッチングを開始します。検出は、2つのステップからなるシーケンスによってグローバルに制御されます。最初のステップでは、OUT_XからGND_Xへの短絡がないことを確認し、2番目のステップではOUT_XからPVDD_Xへの短絡がないことを確認します。このプロセスの合計所要時間は、出力LCフィルタの容量にほぼ比例します。標準的な時間は15ms/μF未満です。PPSC検出の実行中は、 \overline{SD} が“Low”に保持され、 \overline{RESET} ピンの状態が変化してもデバイスは応答しません。短絡がなければ、PPSC検出は動作せず、 \overline{SD} は解除されます。デバイスをリセットしても新しいPPSC検出は開始されません。PPSC検出はBTLおよびPBTL出力構成でイネーブルとなります。SEモードでは実行されません。PPSC検出システムの動作を避けるには、GND_XまたはPVDD_Xに抵抗性負荷を挿入しないことをお勧めします。

過熱保護

2つの異なるパッケージ・オプションには、それぞれ独自の過熱保護方式が採用されています。

PHDパッケージ：

TAS5630のPHDパッケージ・オプションには、3レベルの過熱保護システムが内蔵されています。デバイスの接合部温度が100°C（標準）を超えるとアクティブ・ローの警告信号（ $\overline{OTW1}$ ）がアサートされ、125°C（標準）を超えると $\overline{OTW2}$ がアサートされます。さらに、デバイスの接合部温度が155°C（標準）を超えた場合は、デバイスが過熱シャットダウン状態になり、すべてのハーフブリッジ出力がハイ・インピーダンス（Hi-Z）状態となって、 \overline{SD} が“Low”にアサートされます。この場合、OTEはラッチされます。OTEのラッチをクリアするには、 \overline{RESET} をアサートする必要があります。その後、デバイスは通常動作を再開します。

DKDパッケージ：

TAS5630のDKDパッケージ・オプションには、2レベルの過熱保護システムが内蔵されています。デバイスの接合部温度が125°C（標準）を超えるとアクティブ・ローの警告信号（ \overline{OTW} ）がアサートされ、デバイスの接合部温度が155°C（標準）を超えた場合は、デバイスが過熱シャットダウン状態になり、すべてのハーフブリッジ出力がハイ・インピーダンス（Hi-Z）状態となって、 \overline{SD} が“Low”にアサートされます。この場合、OTEはラッチされます。OTEのラッチをクリアするには、 \overline{RESET} をアサートする必要があります。その後、デバイスは通常動作を再開します。

低電圧保護（UVP）およびパワーオン・リセット（POR）

TAS5630のUVPおよびPOR回路により、どのような電源投入/切断もしくは電圧低下状況でも、デバイスが完全に保護されます。電源投入時に、POR回路は過負荷回路（OLP）をリセットし、GVDD_XおよびVDD電源電圧が電気的特性表の値に達したときにすべての回路が完全に動作可能であるようにします。GVDD_XとVDDは独立して監視されていますが、VDDまたはGVDD_Xピンのいずれかで電源電圧がUVPスレッシュホールドを下回った場合は、すべてのハーフブリッジ出力が直ちにハイ・インピーダンス（Hi-Z）状態になり、SDが“Low”にアサートされます。すべての電源電圧がUVPスレッシュホールドを上回ると、デバイスは自動的に動作を再開します。

デバイスのリセット

RESETが“Low”にアサートされると、4つのハーフブリッジのすべてのパワー・ステージFETが強制的にハイ・インピーダンス（Hi-Z）状態になります。

BTLモードでは、スイッチングの開始前にブートストラップ充電を行えるように、リセット入力を“Low”にアサートすることでハーフブリッジ出力のウィーク・プルダウンがイネーブルされます。SEモードでは、リセット入力を“Low”にすると出力が強制的にハイ・インピーダンス状態になります。リセット入力を“Low”にアサートすると、SD出力で通知される障害情報が解除されます（SDが強制的に“High”になります）。過負荷障害後、リセット入力の立ち上がりエッジ遷移により、デバイスは動作を再開できます。熱的な信頼性を確保するためには、リセットの立ち上がりエッジがSDの立ち下がりエッジより4ms以上後に発生する必要があります。

システム設計に関する考慮事項

リセット入力の立ち上がりエッジ遷移で、デバイスはスタートアップ・シーケンスを実行してスイッチングを開始できます。

READYの状態が“High”であるときにだけオーディオ信号を印加することで、出力トランスデューサで可聴ノイズを生じさせることなくアンプを起動/停止できます。過電流保護機能が作動するとREADY信号は“Low”になるため、非マイクロコントローラのシステムでオーディオのミュートを行う場合には、フィルタリングが必要です。

CLIP信号は、出力がクリッピングに近づいていることを示します。この信号は、オーディオ音量の低減、またはロー/ハイ・レールを制御するインテリジェント電源用に使用できます。

デバイスは、入力と出力とのオーディオ信号を反転します。

VREGピンを外部回路の電圧源として使用することは推奨しません。

発振回路

発振周波数は、FREQ_ADJピンの外部制御によって調整できます。

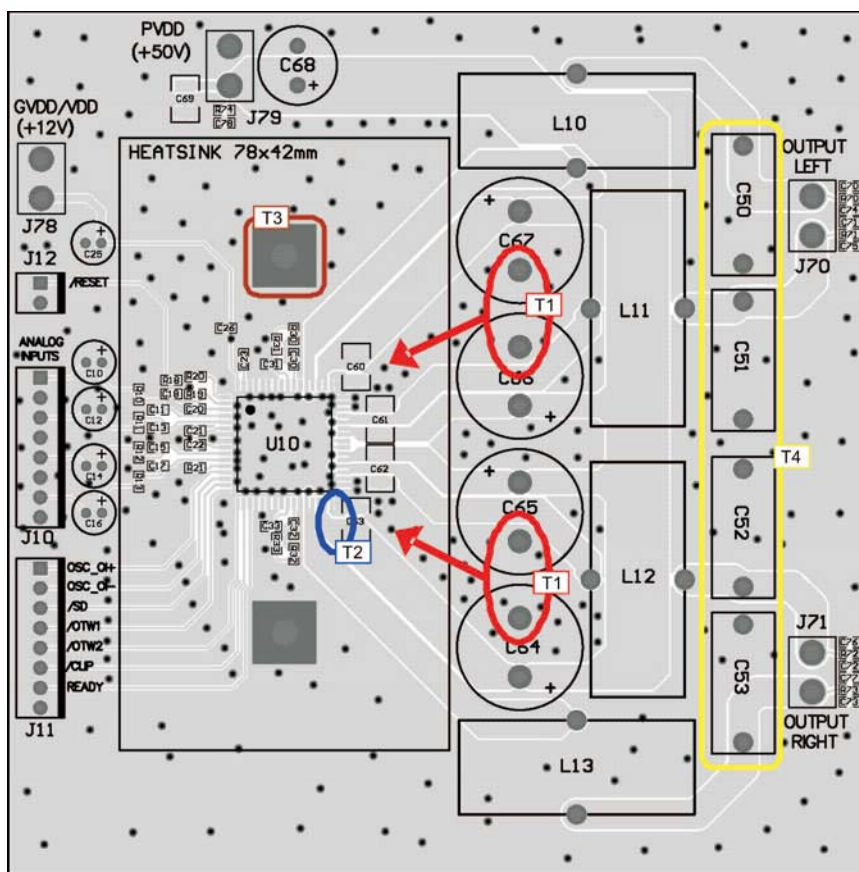
AMバンド内でチューニングされるラジオ・レシーバを使用する際に干渉の問題を低減するには、スイッチング周波数を公称値から低い値に変更できます。これらの値は、公称値とこの低い値のスイッチング周波数とによって、AMバンド全体にわたって干渉が最も少なくなるように選択する必要があります。マスタ・モードでAGNDに接続されたFREQ_ADJ抵抗の値によって選択できます。

スレープ・モード動作の場合は、FREQ_ADJピンをVREGにプルアップして発振回路をオフにします。これにより、OSC_I/Oピンは入力として構成され、外部クロックによってスレープ動作する必要があります。

プリント基板の推奨事項

切れ目のないグラウンド・プレーンを使用して、パワー信号およびオーディオ信号の電源に対して適切な低インピーダンスおよびインダクタンスのリターン・パスを用意してください。PCBレイアウト、オーディオ性能、およびEMIは、それぞれ緊密に結び付いています。回路には高速でスイッチングする高電流が流れているため、破壊的な電圧スパイクを防ぐように注意する必要があります。オーディオ入力の配線は短くし、付随するオーディオ・ソース・グラウンドと一緒に配線します。デバイスの下にあるローカル・グラウンド領域は、グラウンド・バウンスを最小限に抑えるために重要です。

このプリント基板のネットリストは、図14の回路図から生成されています。



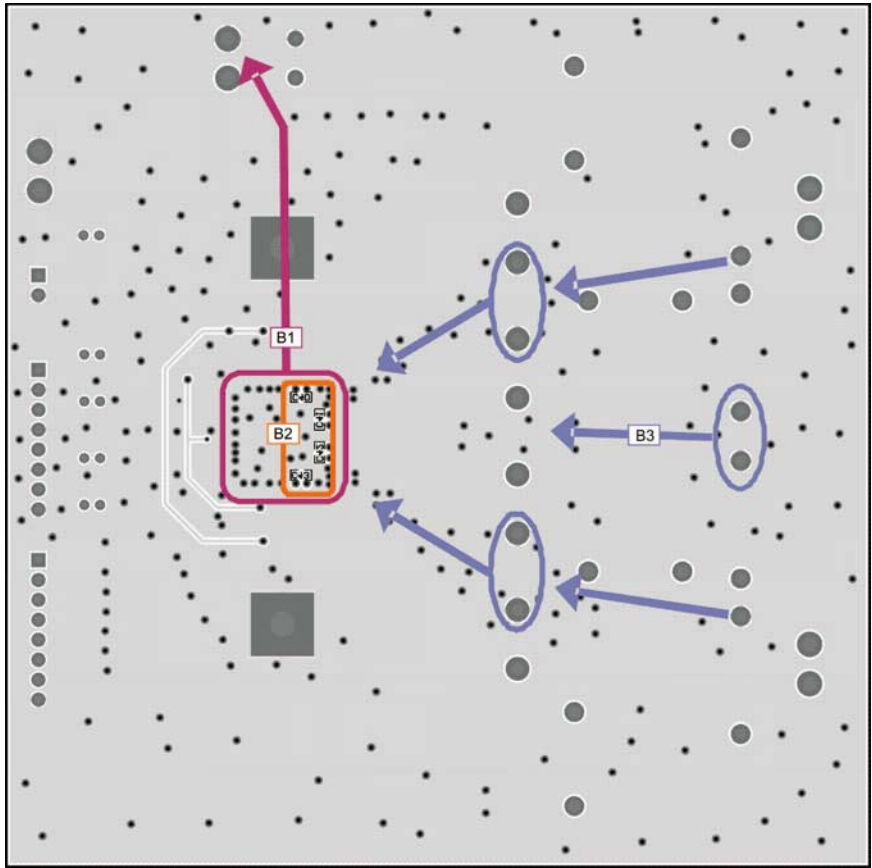
注T1：PVDDのデカップリング用バルク・コンデンサC60-C64は、PVDDおよびGND_Xピンにできる限り近づける必要があります。ヒートシンクによって距離が設定されます。上層では、幅広いパターンをピンに直接接続し、ビアを介さずに配線してください。ビアやパターンが電流パスをブロックしないようにする必要があります。

注T2：低インピーダンスのX7Rセラミック・コンデンサによるPVDDの近接デカップリングを、ヒート・シンクの下でピンに近づけて配置します。

注T3：ヒートシンクはPCBグラウンドに適切に接続されている必要があります。

注T4：出力フィルタ・コンデンサは、印加電圧範囲内で線形である必要があります。可能であれば、金属フィルムタイプを使用します。

図 19. プリント基板 - 上層



- 注B1：高電流に対しては、電源への直接の低インピーダンス・リターン・パスを設けることが重要です。多数のグランド・ビアを介して、PCBの表側と裏側間のインピーダンスは低く保ってください。
- 注B2：裏側に低インピーダンスのブートストラップX7Rセラミック・コンデンサを配置して、短い低インダクタンス電流ループを設けます。
- 注B3：バルク・コンデンサおよび出力フィルタ・コンデンサからのリターン電流。

図 20. プリント基板 - 下層

REVISION HISTORY

Changes from Original (July 2009) to Revision A

Page

-
- Deleted Product Preview from the PHD package 3
-

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TAS5630DKD	ACTIVE	HSSOP	DKD	44	29	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TAS5630DKDR	ACTIVE	HSSOP	DKD	44	500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TAS5630PHD	ACTIVE	HTQFP	PHD	64	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-5A-260C-24 HR
TAS5630PHDR	ACTIVE	HTQFP	PHD	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-5A-260C-24 HR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン・環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

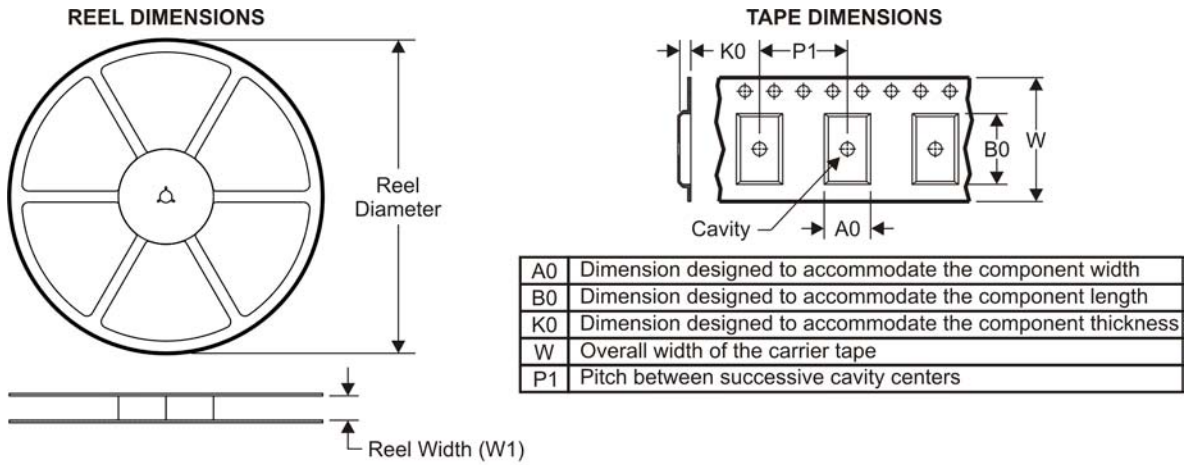
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

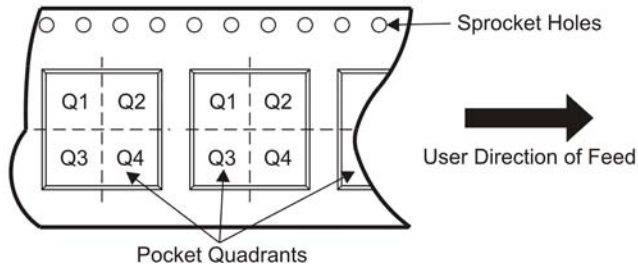
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたTIの責任は、このドキュメント発行時点でのTI製品の価格に基づくTIから顧客への合計購入価格（年次ベース）を超えることはありません。

TAPE AND REEL INFORMATION



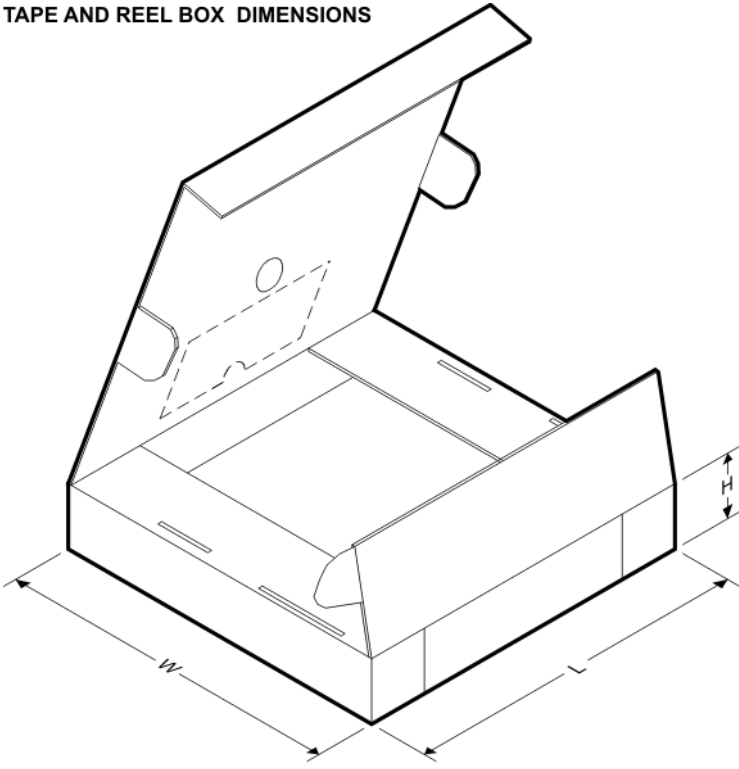
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5630DKDR	HSSOP	DKD	44	500	330.0	24.4	14.7	16.4	4.0	20.0	24.0	Q1
TAS5630PHDR	HTQFP	PHD	64	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2

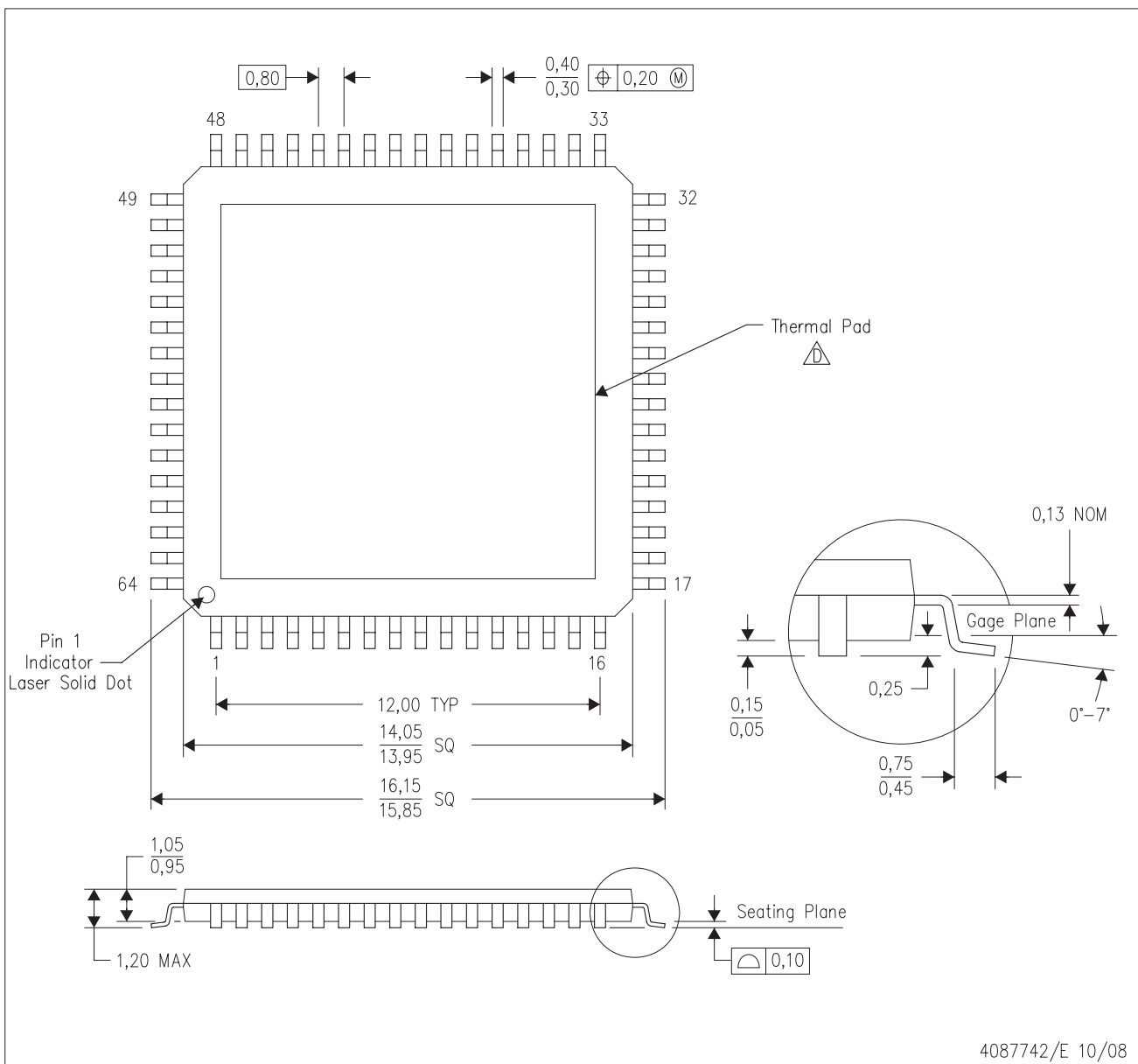
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5630DKDR	HSSOP	DKD	44	500	346.0	346.0	41.0
TAS5630PHDR	HTQFP	PHD	64	1000	346.0	346.0	41.0

PHD (S-PQFP-G64) PowerPAD™ PLASTIC QUAD FLATPACK (DIE DOWN)



4087742/E 10/08

注記:

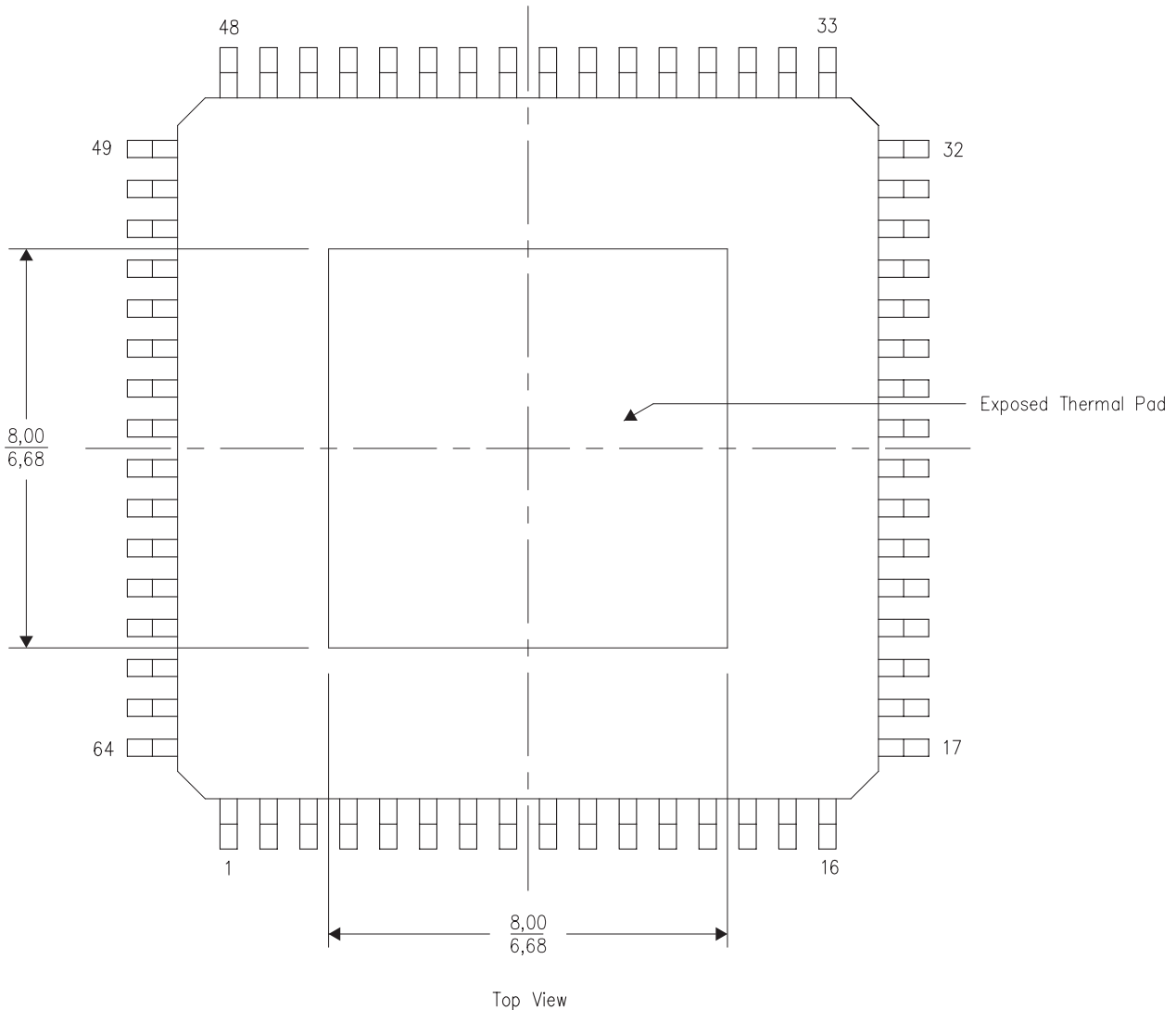
- A. 全ての線寸法の単位はミリメートルです。寸法および許容誤差は ASME Y14.5M-1994 によります。
- B. 図は予告なく変更することがあります。
- C. 本体の寸法はモールド・フラッシュや突起を含みません。
- △ このパッケージは、基板上的サーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI 文献番号 SLMA002) を参照してください。これらのドキュメントは、ホームページ www.ti.com で入手できます。
- E. JEDEC MS-026 に準拠しています。

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマル・パッドをもっています。サーマル・パッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けの後、PCBはヒートシンクとして使用できます。さらに、サーマル・ビアを使用することにより、サーマル・パッドはグランドまたは電源プレーン (どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱移動が最適化されます。

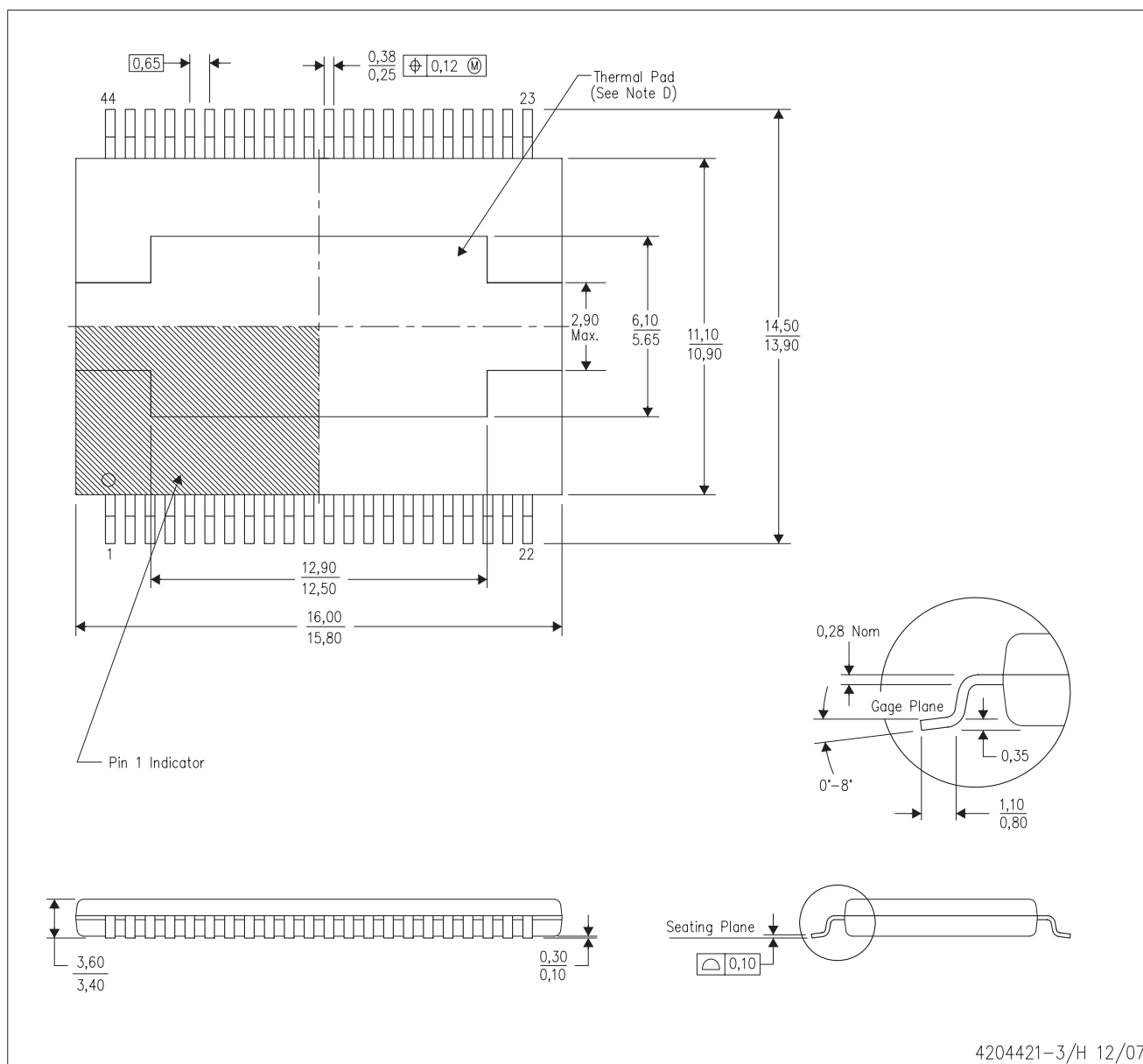
PowerPAD™パッケージの追加情報及びその熱放散能力の利用法についてはテクニカル・ブリーフ “PowerPAD™ Thermally Enhanced Package” TI文献番号SLMA002とアプリケーション・ブリーフ “PowerPAD™ Made Easy” TI文献番号SLMA004を参照してください。両方の文献ともホームページwww.ti.comで入手できます。

このパッケージの露出サーマル・パッドの寸法は以下の図に示されています。



注記：
全ての線寸法の単位はミリメートルです。

サーマル・パッド寸法図



4204421-3/H 12/07

注記:

- 全ての線寸法の単位はミリメートルです。
- 図は予告なく変更することがあります。
- 本体の寸法はモールド・フラッシュや突起を含みません。
- このパッケージの放熱性能は、外部ヒートシンクを接続することにより冷却伝導を最適にします。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TIJ指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上