



広帯域、低ノイズ、低歪みの完全差動アンプ レール・ツー・レール出力付き

特長

- レール・ツー・レール出力の完全差動アーキテクチャ
- 電源電圧の midpoint の同相入力範囲
- 1V/V (0dB) の最小ゲイン
- 帯域幅：620MHz
- スルーレート：570V/μs
- 0.1% セトリング・タイム：7ns
- HD₂：-115dBc (100kHz, V_{OD} = 8V_{PP} 時)
- HD₃：-123dBc (100kHz, V_{OD} = 8V_{PP} 時)
- 入力電圧ノイズ：2nV/√Hz (f > 10kHz)
- 同相出力制御
- 電源：
 - 電圧：3.3V (±1.65V) から 5V (±2.5V)
 - 電流：14.2mA
- パワーダウン能力：15μA

アプリケーション

- 5Vおよび3.3Vデータ収集システム
- 高直線性ADCアンプ
- 無線通信
- 試験および計測
- 音声処理システム

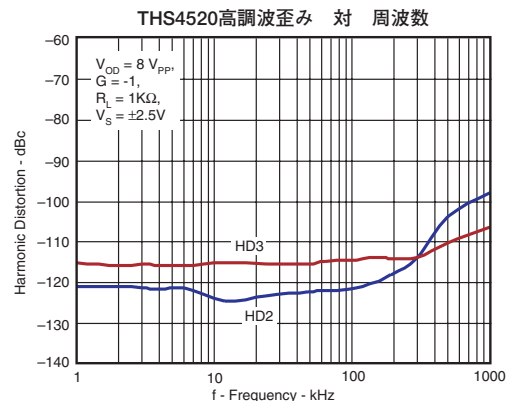
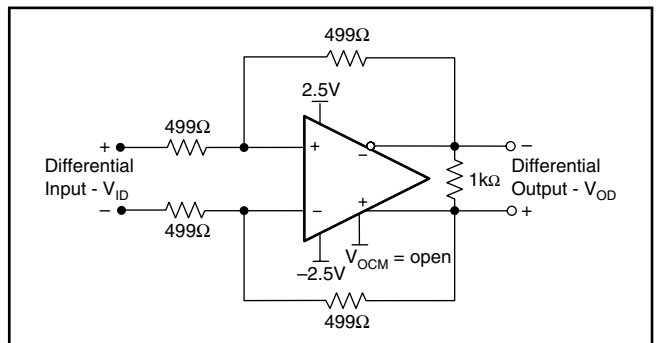
関連製品

Device	BW (MHz)	Slew Rate (V/μsec)	THD (dBc)	V _N (nV/√Hz)
THS4509	2000	6600	-102 at 10MHz	1.9
THS4500	370	2800	-82 at 8MHz	7
THS4130	150	52	-97 at 250kHz	1.3

概要

THS4520は広帯域の完全差動オペアンプであり、5Vのデータ収集システム向けに設計されています。THS4520は2nV/√Hzと非常に低ノイズであり、100kHz、V_{OD} = 8V_{PP}および1kΩ負荷時のHD₂が-115dBc、同じくHD₃が-123dBcと低歪みです。また、スルーレートは570V/μs、0.1%までのセトリング・タイムは7ns (2Vステップ)であり、データ収集アプリケーションに最適です。THS4520はユニティ・ゲイン安定に設計されています。

ADCとのDC結合を可能にするために、THS4520のユニークな同相出力制御回路が、設定電圧から0.25mV (標準値) のオフセット内に同相出力電圧を保ちます。同相設定ポイントのデフォルトは内部回路により電源の midpoint 電圧になり、これは外部信号源からオーバードライブすることができます。



HD2/HD3はG = -1, V_{OD} = 8V_{PP}, R_L = 1kΩで測定 (左図の回路)。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

入力および出力は、同相電圧を電源の midpoint に設定したときに最高の特性になるように最適化されています。低電源電圧時の高性能とともに、この最適化は非常に高性能な単電源の5Vおよび3.3Vのデータ収集システムに役立ちます。

THS4520はクワッド16ピンのリードレスQFNパッケージ(RGT)で提供し、フル産業温度範囲の-40°Cから85°Cで動作を規定しています。



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

絶対最大定格

over operating free-air temperature range (unless otherwise noted)

		単 位
$V_{S-} \sim V_{S+}$	電源電圧	6V
V_I	入力電圧	$\pm V_S$
V_{ID}	差動入力電圧	4V
I_O	出力電流 ⁽¹⁾	200mA
	連続電力消費	熱特性表を参照
T_J	最大ジャンクション温度	150°C
	最大ジャンクション温度、連続動作、長期信頼性	125°C
T_A	無風動作温度範囲	-40°C ~ 85°C
T_{stg}	保存温度範囲	-65°C ~ 150°C
	リード温度、ケースから1,6mm (1/16インチ) で10秒間	300°C
ESD定格	HBM	2000
	CDM	1500
	MM	100

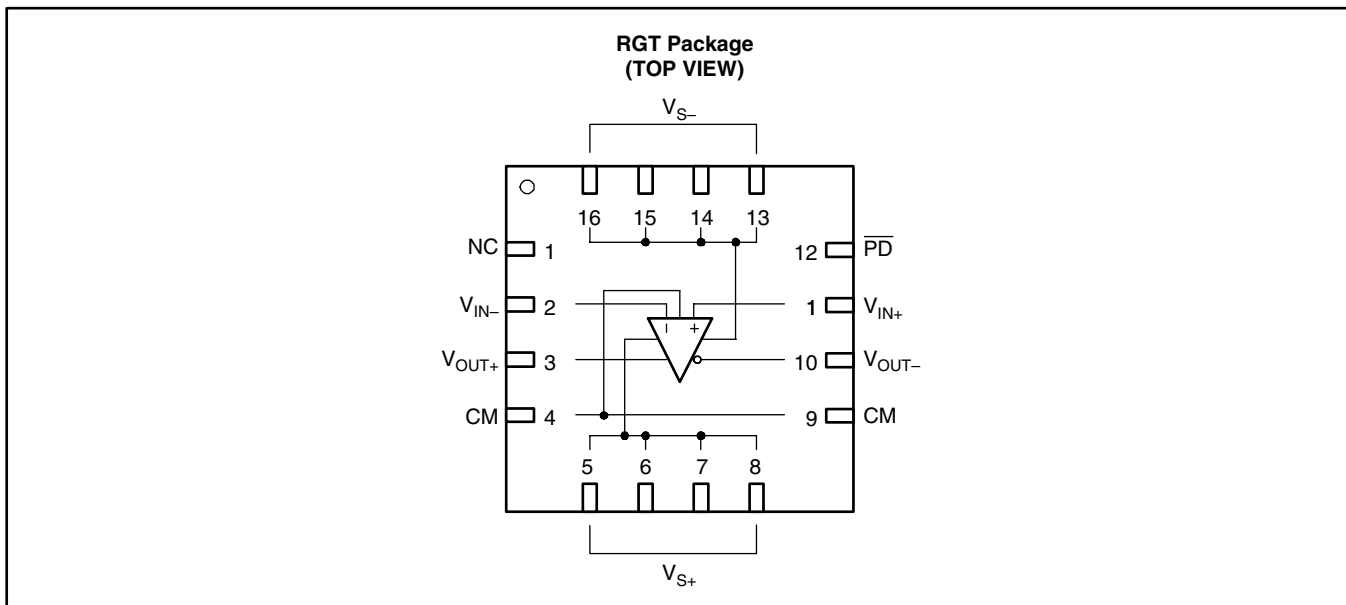
(1) THS4520は(QFN)露出サーマルパッドをチップの底面に実装しています。QFN熱特性強化パッケージの活用に関するより詳細な情報は、TIテクニカルブリーフのSLMA002およびSLMA004をご覧ください。

熱特性

PACKAGE ⁽¹⁾	θ_{JC}	θ_{JA}	POWER RATING	
			$T_A \leq 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$
RGT (16)	2.4°C/W	39.5°C/W	2.3W	225mW

(1) 最新のパッケージおよび注文情報は、本文書の巻末の「パッケージ・オプション・アデンダム」あるいはTIウェブサイトwww.tij.co.jpもしくはwww.ti.comをご覧ください。

ピン配置



ピン構成

端子 (RGTパッケージ)		説明
番号	名称	
1	NC	内部接続なし
2	V_{IN-}	反転アンプ入力
3	V_{OUT+}	非反転アンプ出力
4, 9	CM	同相電圧入力
5, 6, 7, 8	V_{S+}	正のアンプ電源入力
10	V_{OUT-}	反転アンプ出力
11	V_{IN+}	非反転アンプ入力
12	PD	パワーダウン、デバイスは $\overline{PD} = \text{Low}$ で低電力モードに入り、 $\overline{PD} = \text{High}$ あるいはオープンで通常動作。端子がオープン(終端なし)の場合、デバイスのデフォルトはイネーブル状態です。
13, 14, 15, 16	V_{S-}	負のアンプ電源入力

電気的特性； $V_{S+} - V_{S-} = 5V$:

$V_{S+} = +2.5V$ 、 $V_{S-} = -2.5V$ 、 $G = 0dB$ 、 $CM = \text{オープン}$ 、 $V_O = 2V_{PP}$ 、 $R_F = 499\Omega$ 、 $R_L = 200\Omega$ 差動、 $T_A = 25^\circ C$ 、
シングルエンド入力、差動出力、入力および出力は電源中点を基準とする。(特に記述の無い限り)

パラメータ	測定条件			MIN	TYP	MAX	単位	TEST LEVEL ⁽¹⁾
AC特性								
小信号帯域幅	G = 0dB, $V_O = 100mV_{PP}$				620		MHz	C
	G = 6dB, $V_O = 100mV_{PP}$				450		MHz	
	G = 10dB, $V_O = 100mV_{PP}$				330		MHz	
	G = 20dB, $V_O = 100mV_{PP}$				120		MHz	
ゲイン帯域幅積	G = 20dB				1200		MHz	
0.1dB平坦度の帯域幅	G = 6dB, $V_O = 2V_{PP}$				30		MHz	
大信号帯域幅	G = 6dB, $V_O = 2V_{PP}$				132		MHz	
スルーレート(差動)	2-V Step				570		V/ μ s	C
立ち上がり時間					4		ns	
立ち下がり時間					4			
1%までのセトリング・タイム					6.2			
0.1%までのセトリング・タイム					7			
2次高調波歪み ⁽²⁾	f = 100kHz ⁽³⁾	$R_L = 1k\Omega$	$V_{OD} = 8V_{PP}$		-115		dBc	C
			$V_{OD} = 2V_{PP}$		-100			
	f = 1MHz ⁽⁴⁾	$R_L = 200\Omega$	$V_{OD} = 4V_{PP}$		-93			
			$V_{OD} = 2V_{PP}$		-101			
	f = 1MHz ⁽⁴⁾	$R_L = 1k\Omega$	$V_{OD} = 2V_{PP}$		-101			
			$V_{OD} = 4V_{PP}$		-101			
	f = 8MHz ⁽⁴⁾	$R_L = 200\Omega$	$V_{OD} = 2V_{PP}$		-103			
			$V_{OD} = 4V_{PP}$		-97			
$R_L = 1k\Omega$		$V_{OD} = 2V_{PP}$		-100				
		$V_{OD} = 4V_{PP}$		-95				
3次高調波歪み ⁽²⁾	f = 100kHz ⁽³⁾	$R_L = 1k\Omega$	$V_{OD} = 8V_{PP}$		-123		dBc	C
			$V_{OD} = 2V_{PP}$		-105			
	f = 1MHz ⁽⁴⁾	$R_L = 200\Omega$	$V_{OD} = 4V_{PP}$		-93			
			$V_{OD} = 2V_{PP}$		-101			
	f = 1MHz ⁽⁴⁾	$R_L = 1k\Omega$	$V_{OD} = 4V_{PP}$		-96			
			$V_{OD} = 2V_{PP}$		-92			
	f = 8MHz ⁽⁴⁾	$R_L = 200\Omega$	$V_{OD} = 4V_{PP}$		-88			
			$V_{OD} = 2V_{PP}$		-102			
		$R_L = 1k\Omega$	$V_{OD} = 2V_{PP}$		-91			
			$V_{OD} = 4V_{PP}$		-91			
3次混変調歪み	f _C = 100kHz ⁽³⁾ 、10kHz トーン間隔、 $R_L = 1k\Omega$ 、 $V_{OD} = 8V_{PP}$ エンベロープ、G = 0dB				-135		dBc	C
	f _C = 1MHz ⁽⁴⁾ 、100-kHz トーン間隔、 $R_L = 200\Omega$ 、 $V_{OD} = 4V_{PP}$ エンベロープ、G = 10dB				-82			
	f _C = 10MHz ⁽⁴⁾ 、100-kHz トーン間隔、 $R_L = 200\Omega$ 、 $V_{OD} = 4V_{PP}$ エンベロープ、G = 10dB				-82			
入力電圧ノイズ	f > 10kHz				2		nV/ \sqrt{Hz}	
入力電流ノイズ	f > 10kHz				2		pA/ \sqrt{Hz}	

(1) テストレベル：(A) 25°Cで100%テスト。温度範囲のリミットは、特性評価とシミュレーションによる。

(B) 特性評価とシミュレーションによるリミット。

(C) 標準値のみ設定。

(2) 詳細な情報は、「標準的特性」節および「アプリケーション」節を参照。

(3) 差動入力信号を印加し、差動出力信号を測定してデータを収集した。

(4) シングルエンド入力信号を印加し、差動出力信号を測定してデータを収集した。

詳細な情報は、「アプリケーション/テスト回路」節の図55を参照。

電気的特性 ; $V_{S+} - V_{S-} = 5V$:

$V_{S+} = +2.5V$, $V_{S-} = -2.5V$, $G = 0dB$, $CM = \text{オープン}$, $V_O = 2V_{PP}$, $R_F = 499\Omega$, $R_L = 200\Omega$ 差動, $T_A = 25^\circ C$, シングルエンド入力、差動出力、入力および出力は電源中点を基準とする。(特に記述の無い限り)

パラメータ	測定条件	MIN	TYP	MAX	単位	TEST LEVEL ⁽¹⁾	
DC特性							
オープンループ電圧ゲイン (A_{OL})			112		dB	C	
入力オフセット電圧	$T_A = 25^\circ C$		± 0.25	± 2.5	mV	A	
	$T_A = -40^\circ C \sim 85^\circ C$		± 0.25	± 3	mV		
オフセット電圧ドリフト	$T_A = -40^\circ C \sim 85^\circ C$		1		$\mu V/^\circ C$	B	
入力バイアス電流	$T_A = 25^\circ C$		6.5	10	μA	A	
	$T_A = -40^\circ C \sim 85^\circ C$		6.4	11	μA		
バイアス電流ドリフト	$T_A = -40^\circ C \sim 85^\circ C$		1.9		$nA/^\circ C$	B	
入力オフセット電流	$T_A = 25^\circ C$		± 0.2	± 2.5	μA	A	
	$T_A = -40^\circ C \sim 85^\circ C$		± 0.2	± 3	μA		
オフセット電流ドリフト	$T_A = -40^\circ C \sim 85^\circ C$		1.6		$nA/^\circ C$	B	
入 力							
同相入力範囲 High			1.75		V	B	
同相入力範囲 Low			-1.3				
同相除去比			84		dB		
差動入力インピーダンス			7.5 0.31		$k\Omega pF$	C	
同相入力インピーダンス			2.67 0.7 7		$M\Omega pF$	C	
出 力							
最大出力電圧 High	各出力で電源中点に100 Ω を接続	$T_A = 25^\circ C$	1.95	2.16	V	A	
		$T_A = -40^\circ C \sim 85^\circ C$	1.9	2.16			
最小出力電圧 Low		$T_A = 25^\circ C$		-2.16	-1.95		V
		$T_A = -40^\circ C \sim 85^\circ C$		-2.16	-1.9		
差動出力電圧振幅	$T_A = -40^\circ C \sim 85^\circ C$	7.8	8.64		V		
差動出力電流ドライブ	$R_L = 10\Omega$		105		mA		
出力平衡誤差	$V_O = 100mV, f = 1MHz$		-80		dB	C	
同相出力電圧制御							
小信号帯域幅			230		MHz	C	
ゲイン			1		V/V		
CM入力からの同相出力オフセット	$1.25V < CM < 3.5V$		± 0.25		mV		
CM入力バイアス電流	$1.25V < CM < 3.5V$		0.6		μA		
CM入力電圧		-1.5		1.5	V		
CMデフォルト電圧	$CM = 0.5 (V_{S+} + V_{S-})$		0		V		
電 源							
規定動作電圧		3	5	5.25	V	C	
最大無信号時消費電流	$T_A = 25^\circ C$		14.2	15.3	mA	A	
	$T_A = -40^\circ C \sim 85^\circ C$		14.2	15.5			
最小無信号時消費電流	$T_A = 25^\circ C$	13.1	14.2		mA		
	$T_A = -40^\circ C \sim 85^\circ C$	12.75	14.2				
電源除去比 ($\pm PSRR$)			94		dB		
パワーダウン	V_{S-} を基準						
イネーブル電圧閾値	詳細は本データシートの「アプリケーション情報」節を参照。		>1.5		V	C	
ディスエーブル電圧閾値			<-1.5		V		
パワーダウン時の無信号時消費電流	$T_A = 25^\circ C$		15	70	μA	A	
	$T_A = -40^\circ C \sim 85^\circ C$		15	75			

電気的特性； $V_{S+} - V_{S-} = 3.3V$:

$V_{S+} = +1.65V$ 、 $V_{S-} = -1.65V$ 、 $G = 0dB$ 、 $CM = \text{オープン}$ 、 $V_O = 1V_{PP}$ 、 $R_F = 499\Omega$ 、 $R_L = 200\Omega$ 差動、 $T_A = 25^\circ C$ 、シングルエンド入力、差動出力、入力および出力は電源中点を基準とする。(特に記述の無い限り)

パラメータ	測定条件			MIN	TYP	MAX	単位	TEST LEVEL ⁽¹⁾
AC特性								
小信号帯域幅	$G = 0dB, V_O = 100mV_{PP}$				600		MHz	C
	$G = 6dB, V_O = 100mV_{PP}$				400		MHz	
	$G = 10dB, V_O = 100mV_{PP}$				310		MHz	
	$G = 20dB, V_O = 100mV_{PP}$				120		MHz	
ゲイン帯域幅積	$G = 20dB$				1200		MHz	
0.1dB平坦度の帯域幅	$G = 6dB, V_O = 1V_{PP}$				30		MHz	
大信号帯域幅	$G = 0dB, V_O = 1V_{PP}$				210		MHz	
スルーレート (差動)					320		V/ μs	
立ち上がり時間					4		ns	C
立ち下がり時間	2-V Step				4			
1%までのセトリング・タイム					6.6			
0.1%までのセトリング・タイム					7.1			
2次高調波歪み ⁽²⁾	$f = 100kHz^{(3)}$	$R_L = 1k\Omega$	$V_{OD} = 4V_{PP}$		-135		dBc	C
			$V_{OD} = 1V_{PP}$		-107			
	$f = 1MHz^{(4)}$	$R_L = 200\Omega$	$V_{OD} = 2V_{PP}$		-101			
			$R_L = 1k\Omega$	$V_{OD} = 1V_{PP}$		-97		
	$f = 8MHz^{(4)}$	$R_L = 200\Omega$	$V_{OD} = 2V_{PP}$		-103			
			$V_{OD} = 1V_{PP}$		-108			
	$f = 8MHz^{(4)}$	$R_L = 1k\Omega$	$V_{OD} = 2V_{PP}$		-106			
			$V_{OD} = 1V_{PP}$		-98			
3次高調波歪み ⁽²⁾	$f = 100kHz^{(3)}$	$R_L = 1k\Omega$	$V_{OD} = 4V_{PP}$		-146		dBc	C
			$V_{OD} = 1V_{PP}$		-112			
	$f = 1MHz^{(4)}$	$R_L = 200\Omega$	$V_{OD} = 2V_{PP}$		-105			
			$R_L = 1k\Omega$	$V_{OD} = 1V_{PP}$		-94		
	$f = 8MHz^{(4)}$	$R_L = 200\Omega$	$V_{OD} = 2V_{PP}$		-103			
			$V_{OD} = 1V_{PP}$		-95			
	$f = 8MHz^{(4)}$	$R_L = 1k\Omega$	$V_{OD} = 2V_{PP}$		-90			
			$V_{OD} = 1V_{PP}$		-95			
3次混変調歪み	$f_C = 1kHz^{(4)}$ 、100kHz トーン間隔、 $R_L = 200\Omega$ 、 $V_{OD} = 4V_{PP}$ エンベロープ、 $G = 10dB$				-80		dBc	C
	$f_C = 10MHz^{(4)}$ 、100-kHz トーン間隔、 $R_L = 200\Omega$ 、 $V_{OD} = 4V_{PP}$ エンベロープ、 $G = 10dB$				-80			
入力電圧ノイズ	$f > 10kHz$				2		nV/ \sqrt{Hz}	
入力電流ノイズ	$f > 10kHz$				2		pA/ \sqrt{Hz}	

(1) テストレベル：(A) 25°Cで100%テスト。温度範囲のリミットは、特性評価とシミュレーションによる。

(B) 特性評価とシミュレーションによるリミット。

(C) 標準値のみ設定。

(2) 詳細な情報は、「標準的特性」節および「アプリケーション」節を参照。

(3) 差動入力信号を印加し、差動出力信号を測定してデータを収集した。

(4) シングルエンド入力信号を印加し、差動出力信号を測定してデータを収集した。

詳細な情報は、「アプリケーション/テスト回路」節の図55を参照。

電気的特性 ; $V_{S+} - V_{S-} = 3.3V$:

$V_{S+} = +1.65V$ 、 $V_{S-} = -1.65V$ 、 $G = 0dB$ 、 $CM =$ オープン、 $V_O = 1V_{PP}$ 、 $R_F = 499\Omega$ 、 $R_L = 200\Omega$ 差動、 $T_A = 25^\circ C$ 、シングルエンド入力、差動出力、入力および出力は電源中点を基準とする。(特に記述の無い限り)

パラメータ	測定条件	MIN	TYP	MAX	単位	TEST LEVEL ⁽¹⁾
DC特性						
オープンループ電圧ゲイン (A_{OL})			104		dB	C
入力オフセット電圧	$T_A = 25^\circ C$		± 0.25		mV	
	$T_A = -40^\circ C \sim 85^\circ C$		± 0.25		mV	
オフセット電圧ドリフト	$T_A = -40^\circ C \sim 85^\circ C$		1		V/ $^\circ C$	
入力バイアス電流	$T_A = 25^\circ C$		6.5		μA	C
	$T_A = -40^\circ C \sim 85^\circ C$		6.4		μA	
バイアス電流ドリフト	$T_A = -40^\circ C \sim 85^\circ C$		1.9		nA/ $^\circ C$	
入力オフセット電流	$T_A = 25^\circ C$		± 0.2		μA	C
	$T_A = -40^\circ C \sim 85^\circ C$		± 0.2		μA	
オフセット電流ドリフト	$T_A = -40^\circ C \sim 85^\circ C$		1.6		nA/ $^\circ C$	
入 力						
同相入力範囲 High			1.4		V	C
同相入力範囲 Low			-0.45			
同相除去比			84		dB	
出 力						
最大出力電圧 High	各出力で電源中点に100 Ω を接続	$T_A = 25^\circ C$		1.4	V	C
最小出力電圧 Low		$T_A = 25^\circ C$		-1.4		
差動出力電圧振幅			5.6		V	
差動出力電流ドライブ	$R_L = 10\Omega$		78		mA	C
出力平衡誤差	$V_O = 100mV, f = 1MHz$		-80		dB	
同相出力電圧制御						
小信号帯域幅			224		MHz	C
ゲイン			1		V/V	
CM入力からの同相出力オフセット	$1.25V < CM < 3.5V$		± 0.25		mV	
CM入力バイアス電流	$1.25V < CM < 3.5V$		0.6		μA	
CM入力電圧						
CMデフォルト電圧	$CM = 0.5 (V_{S+} + V_{S-})$		0		V	
電 源						
規定動作電圧			3.3		V	C
無信号時消費電流	$T_A = 25^\circ C$		13		mA	
電源除去比 ($\pm PSRR$)			94		dB	
パワーダウン	V_{S-} を基準					
イネーブル電圧閾値	詳細は本データシートの「アプリケーション情報」節を参照。		>1		V	C
ディスエーブル電圧閾値			<-1		V	
パワーダウン時の無信号時消費電流			10		μA	C

標準的特性

標準的AC特性： $V_{S+} - V_{S-} = 5V$

$V_{S+} = +2.5V$ 、 $V_{S-} = -2.5V$ 、 $CM = \text{オープン}$ 、 $V_O = 2V_{PP}$ 、 $R_F = 499\Omega$ 、 $R_L = 200\Omega$ 差動、 $G = 0dB$ 、シングルエンド入力、入力および出力は電源中点を基準とする。(特に記述の無い限り)

小信号周波数応答			図1
大信号周波数応答			図2
高調波歪み ⁽¹⁾	HD2	対 周波数、 $V_O = 2V_{PP}$	図3
	HD3	対 周波数、 $V_O = 2V_{PP}$	図4
	HD2	対 周波数、 $V_O = 4V_{PP}$	図5
	HD3	対 周波数、 $V_O = 4V_{PP}$	図6
	HD2	対 出力電圧振幅、 $f = 1MHz$	図7
	HD3	対 出力電圧振幅、 $f = 1MHz$	図8
	HD2	対 出力電圧振幅、 $f = 8MHz$	図9
	HD3	対 出力電圧振幅、 $f = 8MHz$	図10
	HD2	対 負荷抵抗、 $f = 1MHz$	図11
	HD3	対 負荷抵抗、 $f = 1MHz$	図12
	HD2	対 負荷抵抗、 $f = 8MHz$	図13
	HD3	対 負荷抵抗、 $f = 8MHz$	図14
	HD2	対 同相出力電圧	図15
	HD3	対 同相出力電圧	図16
0.1dB平坦度			図17
Sパラメータ	対 周波数		図18
スルーレート	対 出力電圧		図19
過渡応答		ゲイン = 6dB、 $V_O = 4V_{PP}$	図20
		ゲイン = 6dB、 $V_O = 2V_{PP}$	図21
出力電圧振幅	対 負荷抵抗		図22
入力オフセット電圧	対 同相入力電圧		図23
入力バイアス電流	対 電源電圧		図24
オープン・ループ・ゲインおよび位相	対 周波数		図25
入力換算ノイズ	対 周波数		図26
無信号時消費電流	対 電源電圧		図27
電源電流	対 パワーダウン・モード時の電源電圧		図28
出力平衡誤差	対 周波数		図29
CM小信号周波数応答			図30
CM入力バイアス電流	対 CM入力電圧		図31
差動出力オフセット電圧	対 CM入力電圧		図32
同相出力オフセット	対 CM入力電圧		図33

(1) 「アプリケーション」節で別のプロットを参照。

標準的AC特性： $V_{S+} - V_{S-} = 5V$

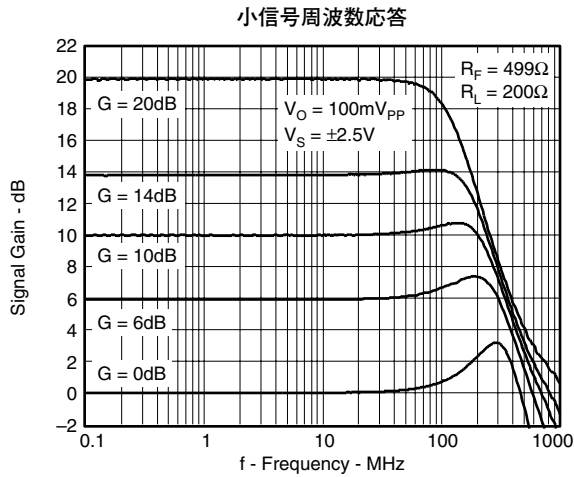


图1

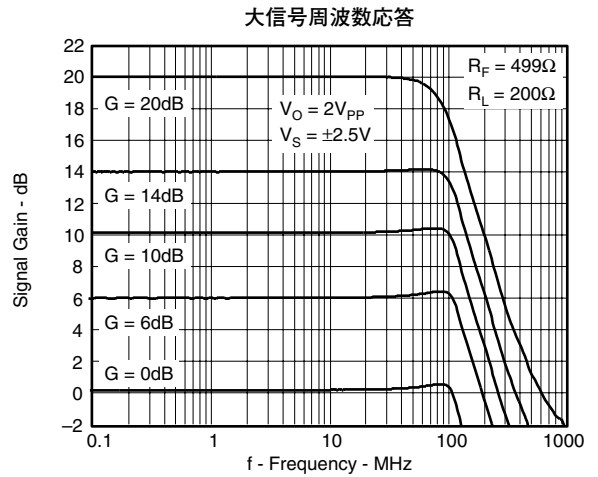


图2

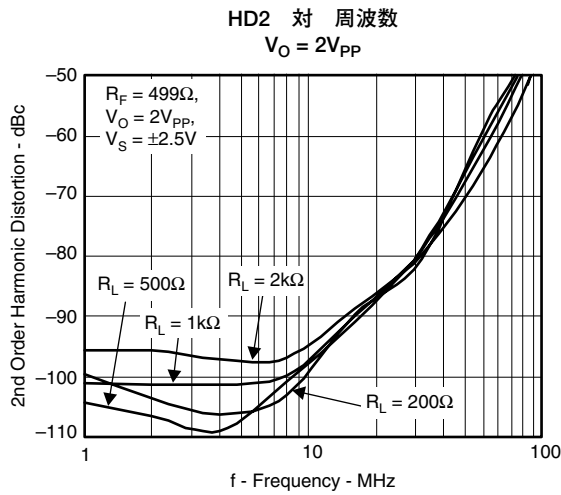


图3

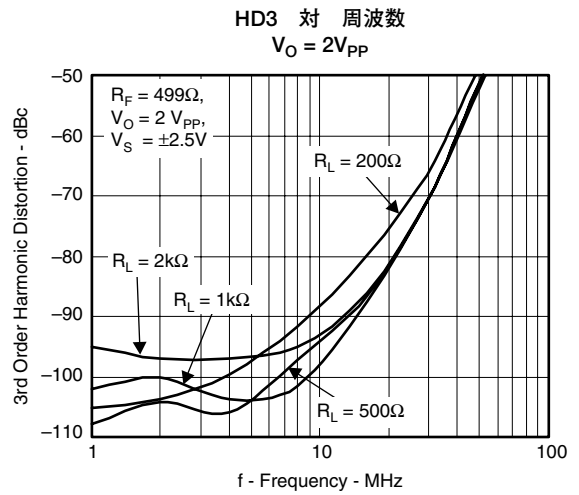


图4

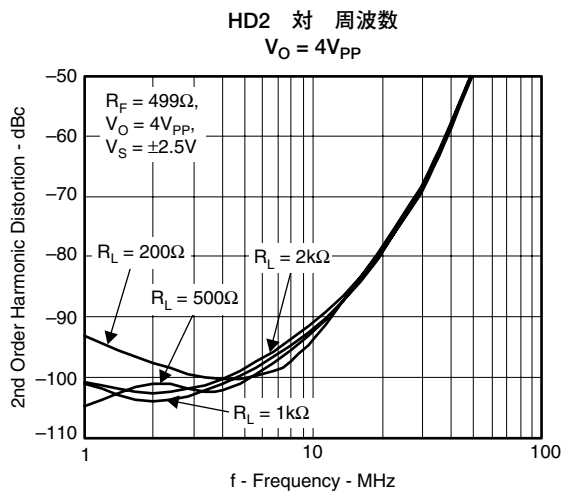


图5

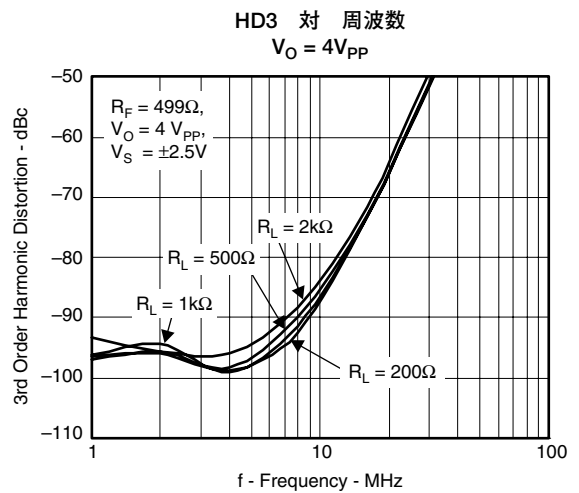


图6

標準的AC特性： $V_{S+} - V_{S-} = 5V$

HD2 对 出力電圧振幅
 $f = 1MHz$

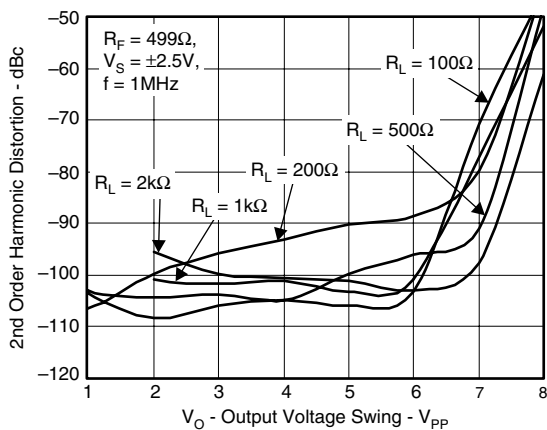


図7

HD3 对 出力電圧振幅
 $f = 1MHz$

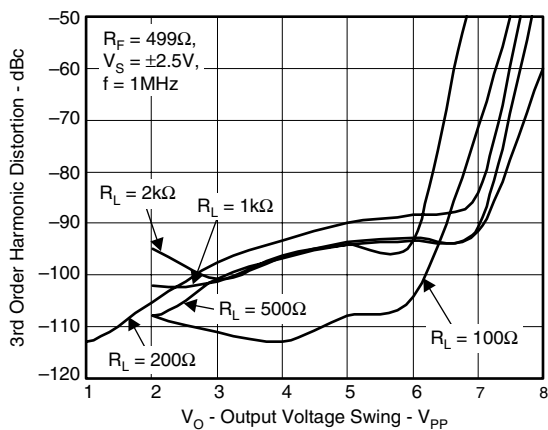


図8

HD2 对 出力電圧振幅
 $f = 8MHz$

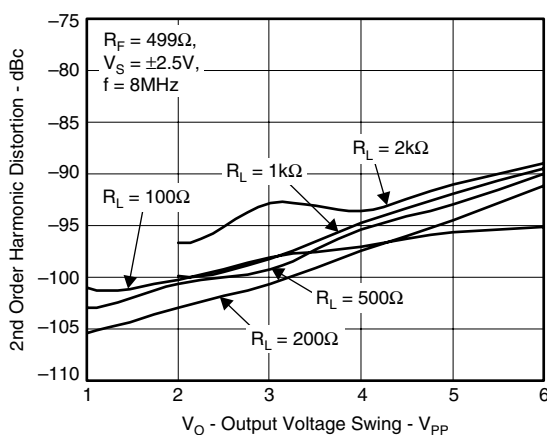


図9

HD3 对 出力電圧振幅
 $f = 8MHz$

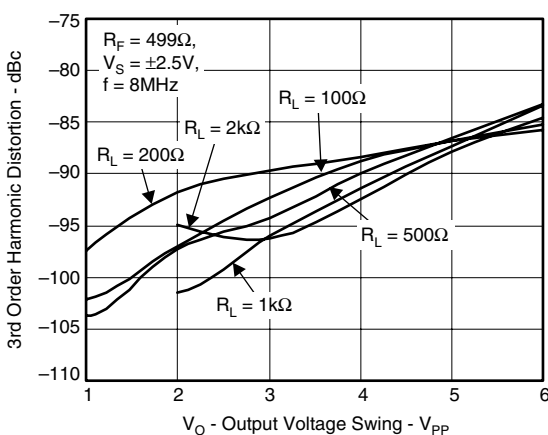


図10

HD2 对 負荷抵抗
 $f = 1MHz$

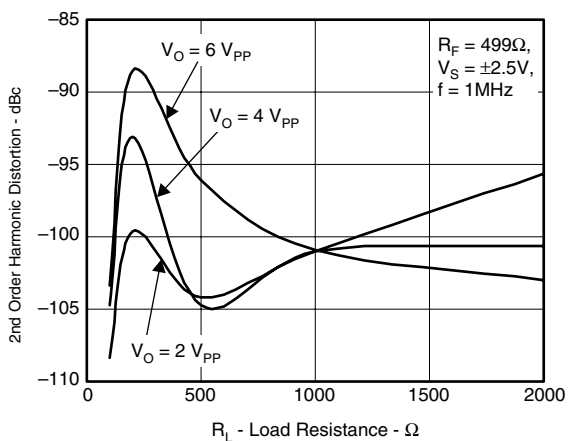


図11

HD3 对 負荷抵抗
 $f = 1MHz$

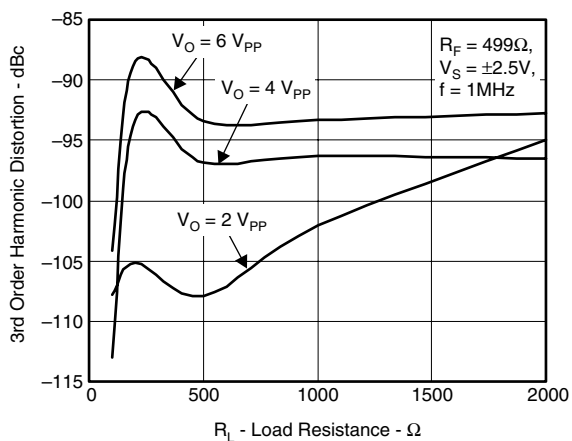


図12

標準的AC特性： $V_{S+} - V_{S-} = 5V$

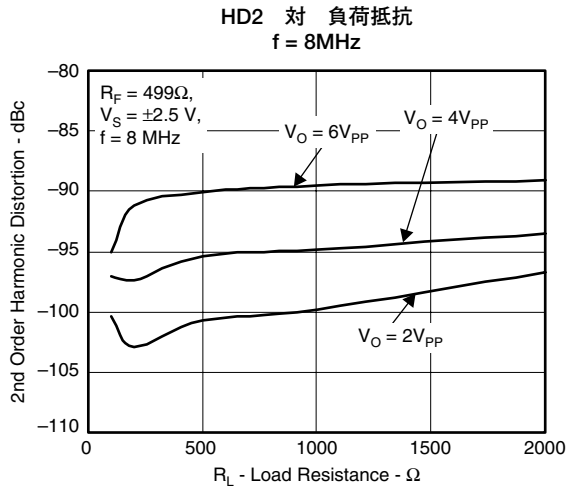


图13

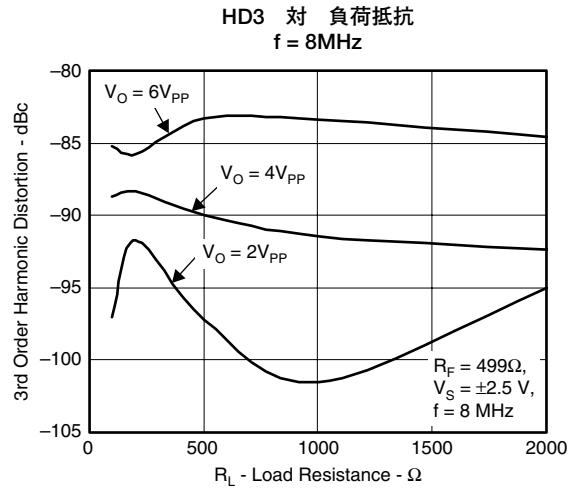


图14

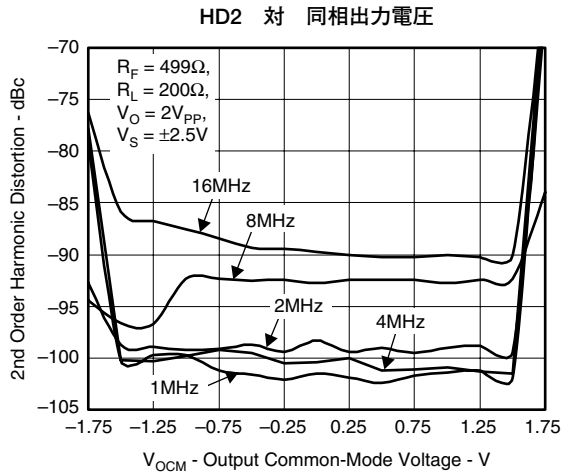


图15

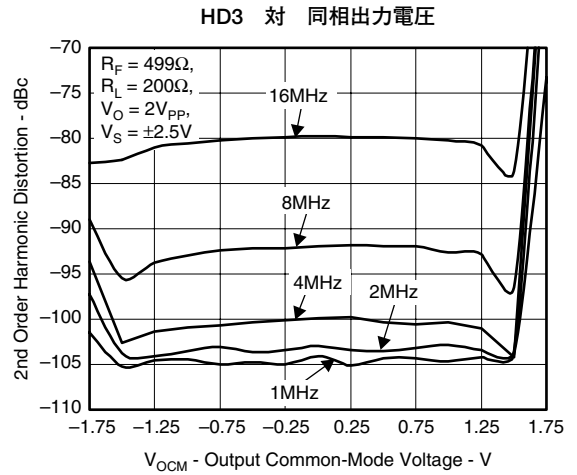


图16

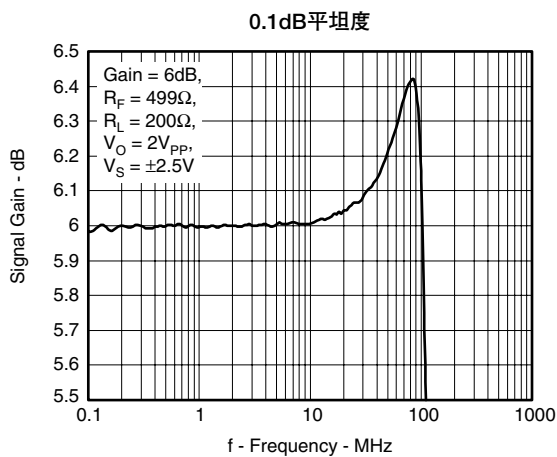


图17

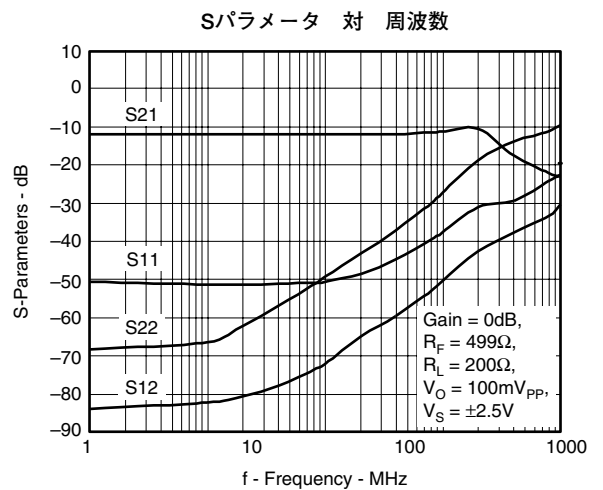


图18

標準的AC特性： $V_{S+} - V_{S-} = 5V$

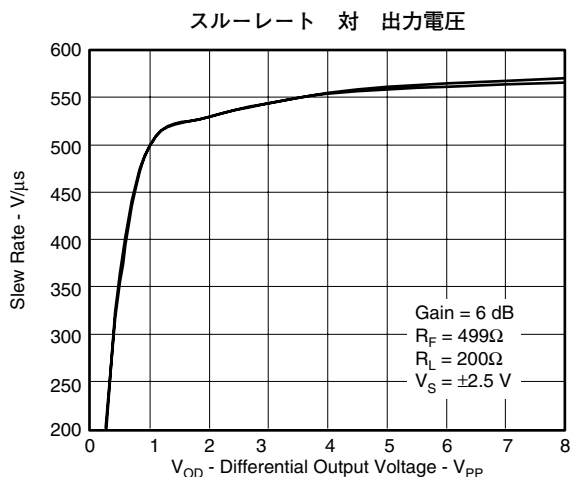


図19

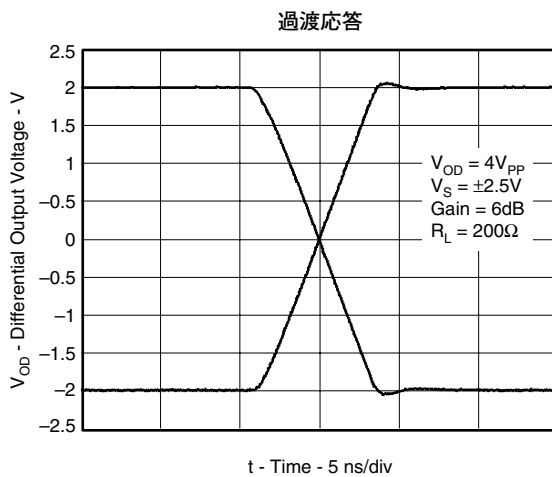


図20

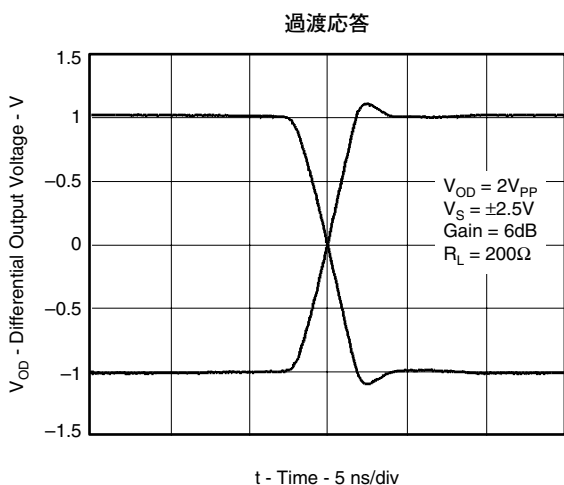


図21

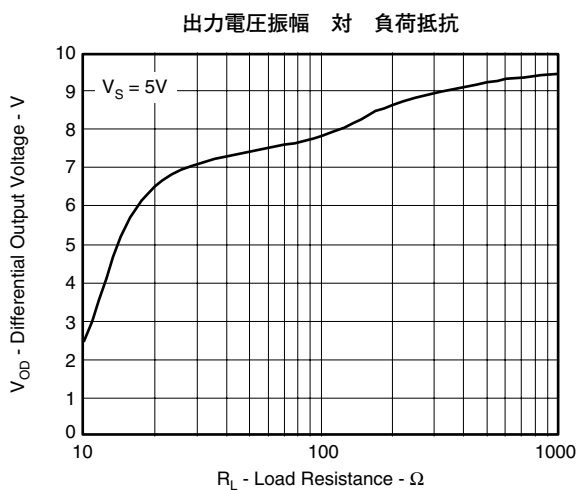


図22

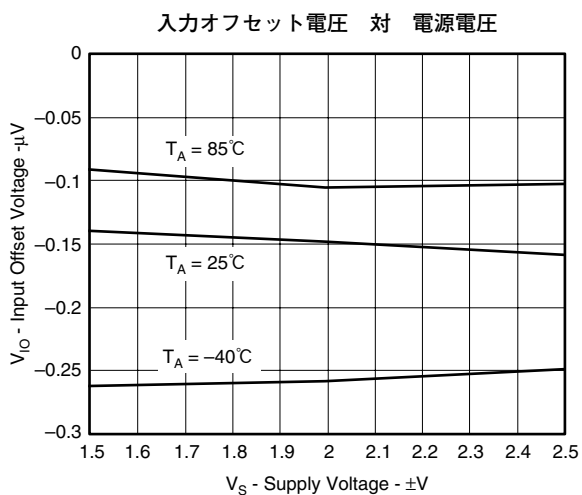


図23

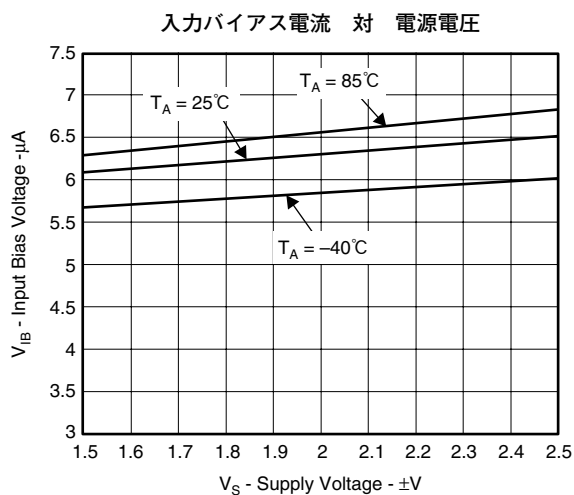


図24

標準的AC特性： $V_{S+} - V_{S-} = 5V$

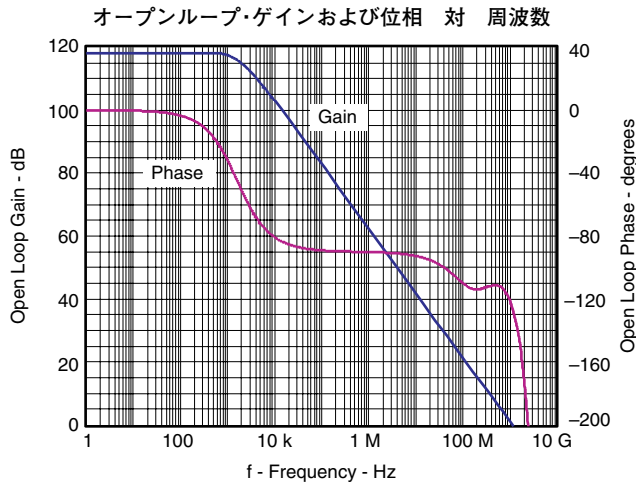


図25

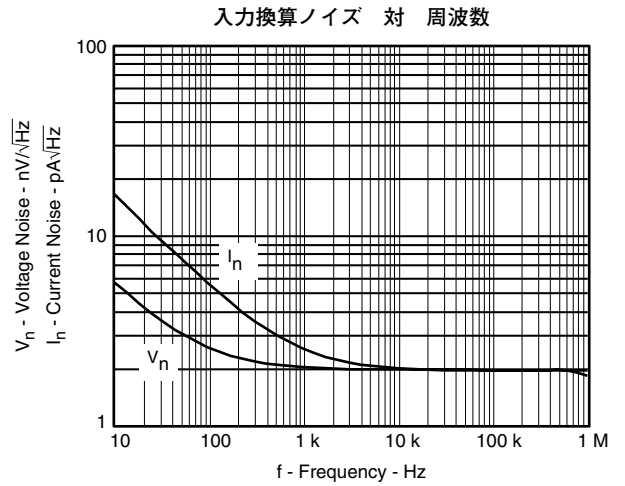


図26

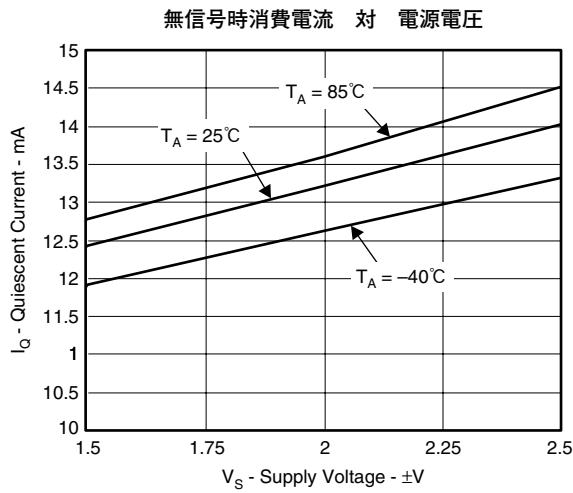


図27

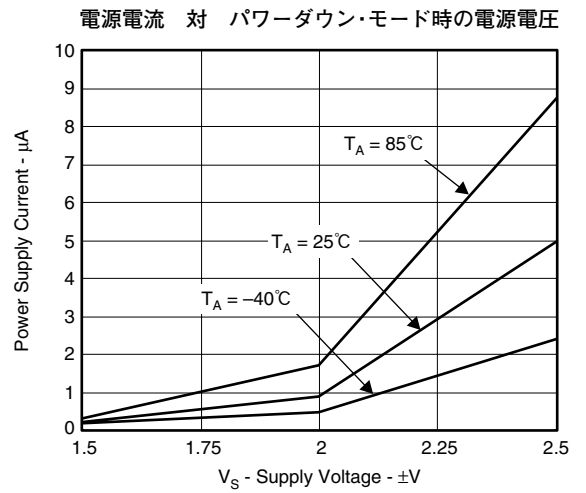


図28

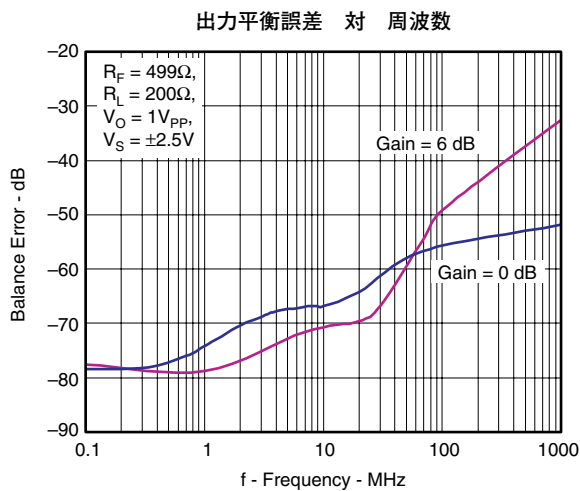


図29

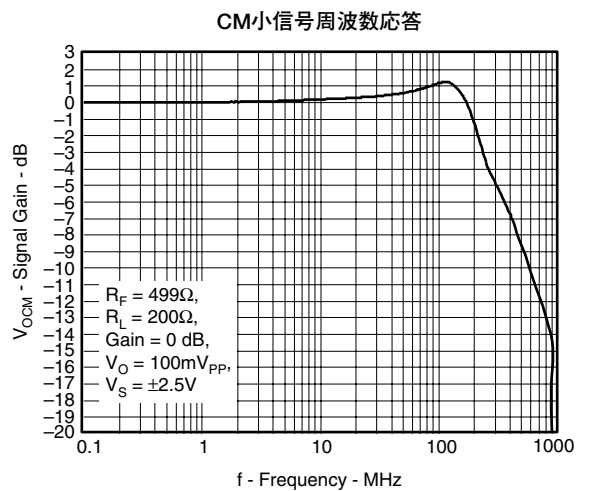


図30

標準的AC特性： $V_{S+} - V_{S-} = 5V$

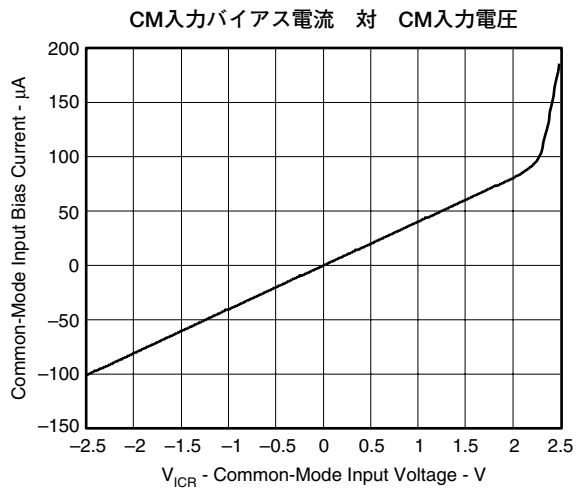


図31

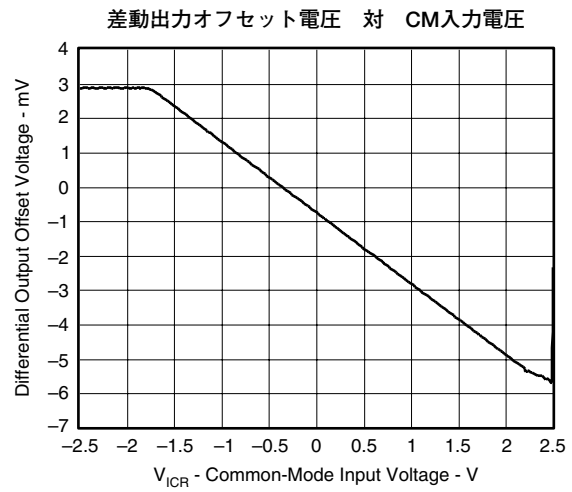


図32

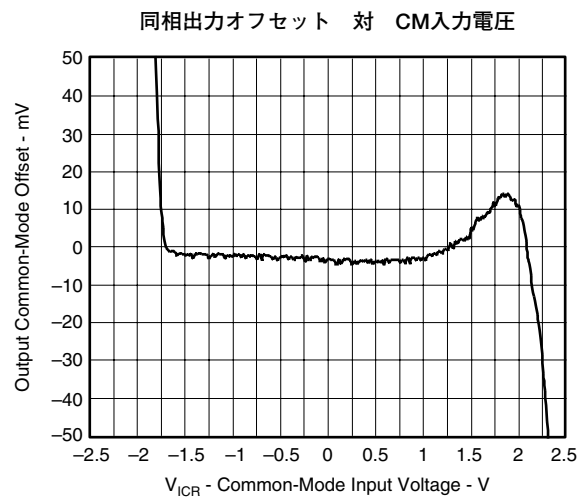


図33

標準的AC特性： $V_{S+} - V_{S-} = 3.3V$

$V_{S+} = +1.65V$ 、 $V_{S-} = -1.65V$ 、 $CM = \text{オープン}$ 、 $V_O = 1V_{PP}$ 、 $R_F = 499\Omega$ 、 $R_L = 200\Omega$ 差動、 $G = 0dB$ 、シングルエンド入力、入力および出力は電源中点を基準とする。(特に記述の無い限り)

小信号周波数応答			図34
大信号周波数応答			図35
高調波歪み ⁽¹⁾	HD2	対 周波数	図36
	HD3	対 周波数	図37
	HD2	対 出力電圧振幅、 $f = 1MHz$	図38
	HD3	対 出力電圧振幅、 $f = 1MHz$	図39
	HD2	対 出力電圧振幅、 $f = 8MHz$	図40
	HD3	対 出力電圧振幅、 $f = 8MHz$	図41
	HD2	対 負荷抵抗、 $f = 1MHz$	図42
	HD3	対 負荷抵抗、 $f = 1MHz$	図43
	HD2	対 負荷抵抗、 $f = 8MHz$	図44
	HD3	対 負荷抵抗、 $f = 8MHz$	図45
	HD2	対 同相出力電圧、 $V_O = 2V_{pp}$	図46
	HD3	対 同相出力電圧、 $V_O = 2V_{pp}$	図47
0.1dB平坦度			図48
Sパラメータ	対 周波数		図49
スルーレート	対 出力電圧		図50
過渡応答	ゲイン = 6dB、 $V_O = 4V_{pp}$		図51
	ゲイン = 6dB、 $V_O = 2V_{pp}$		図52
出力平衡誤差	対 周波数		図53
CM入力インピーダンス	対 周波数		図54

(1) 「アプリケーション」節で別のプロットを参照。

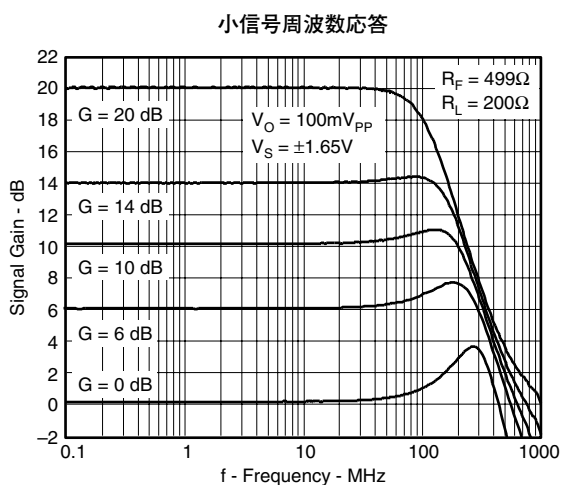


図34

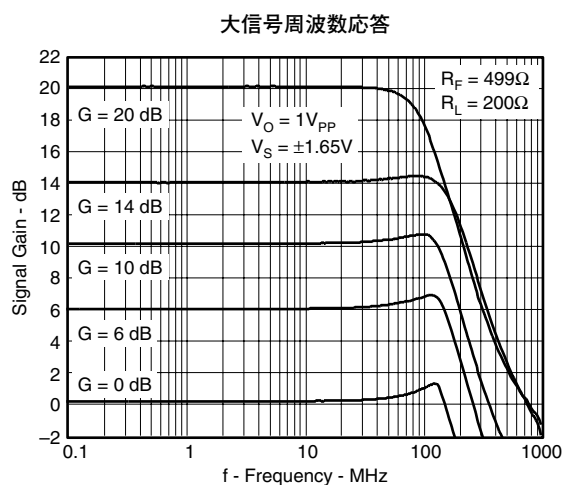


図35

標準的AC特性： $V_{S+} - V_{S-} = 3.3V$

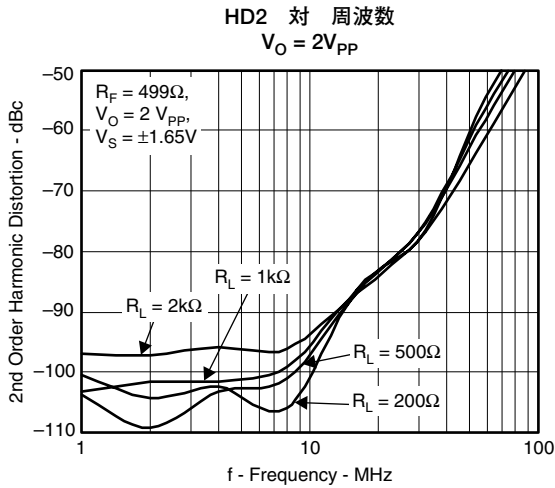


图36

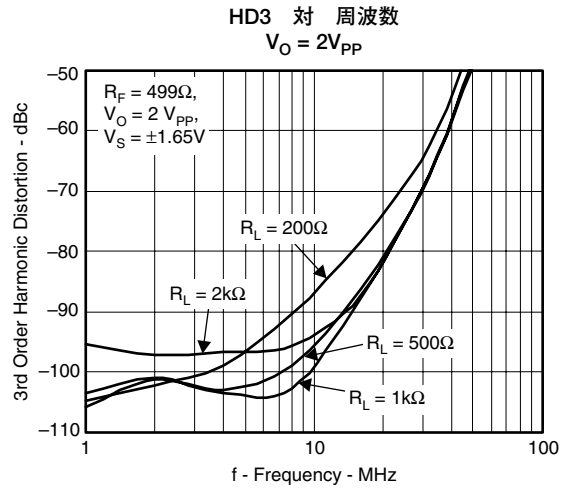


图37

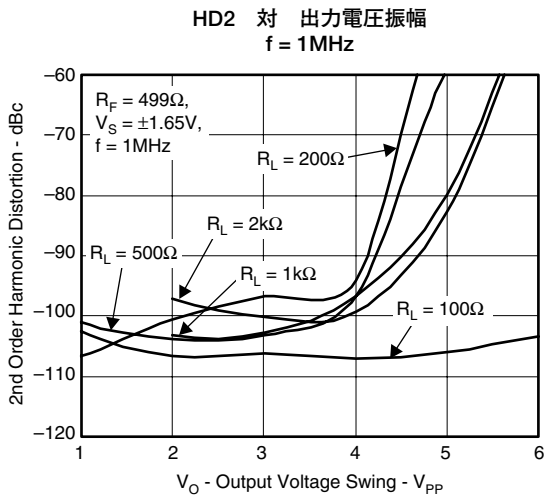


图38

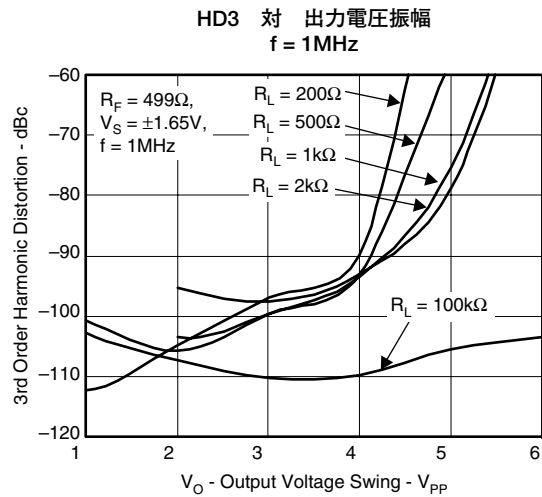


图39

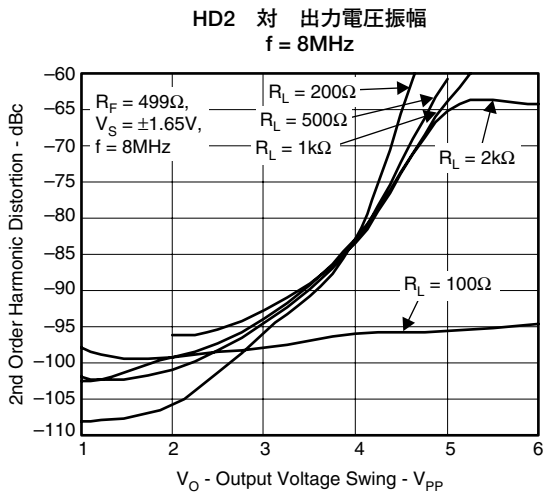


图40

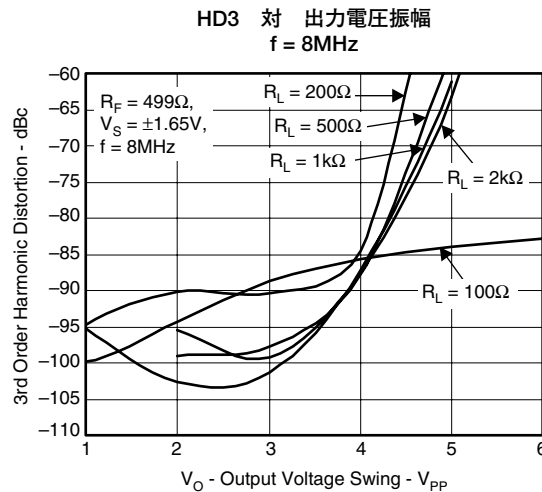


图41

標準的AC特性： $V_{S+} - V_{S-} = 3.3V$

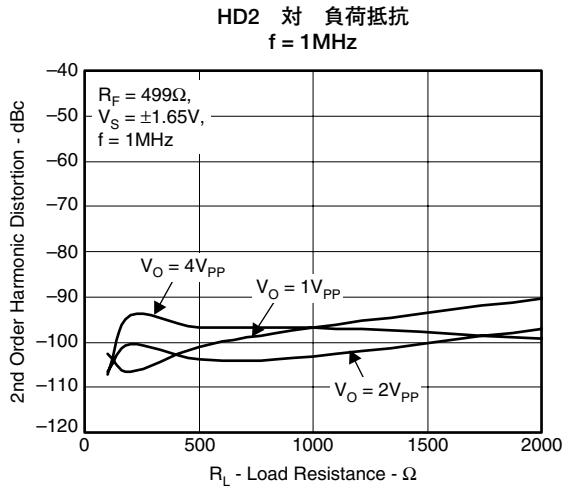


图42

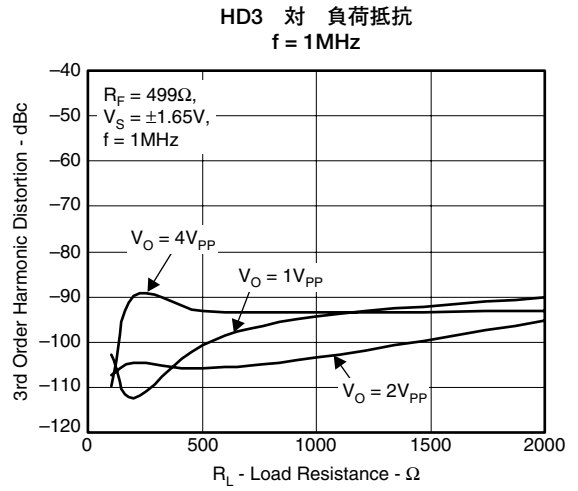


图43

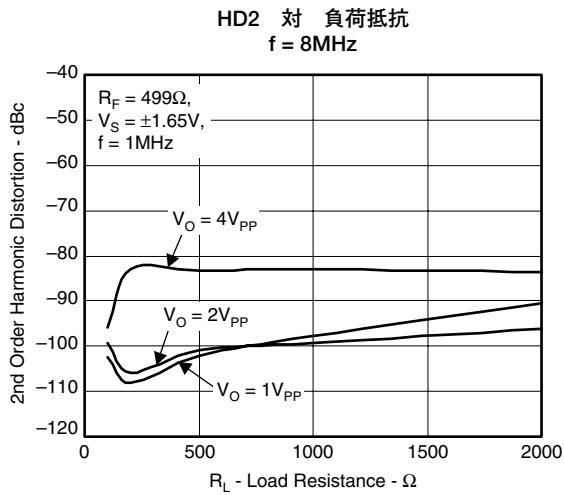


图44

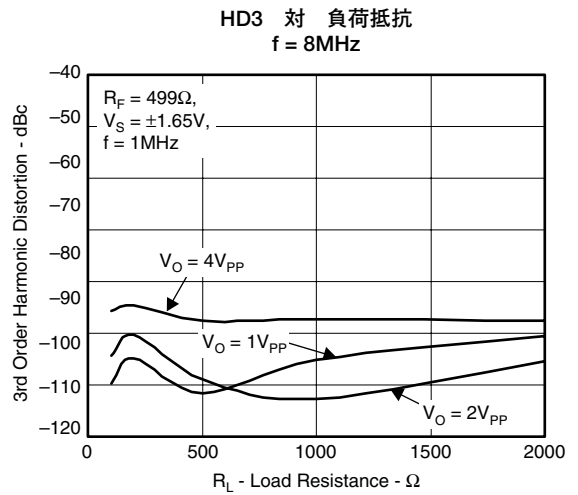


图45

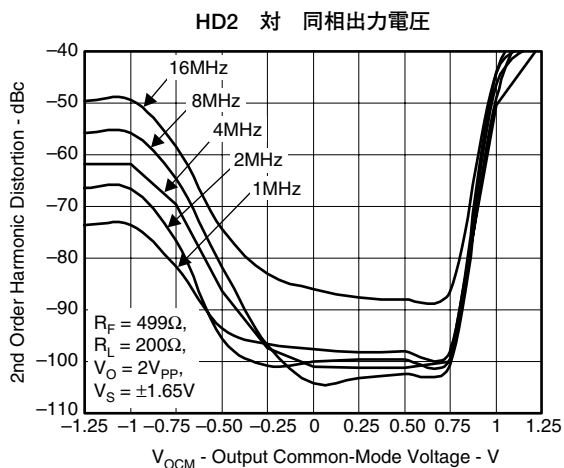


图46

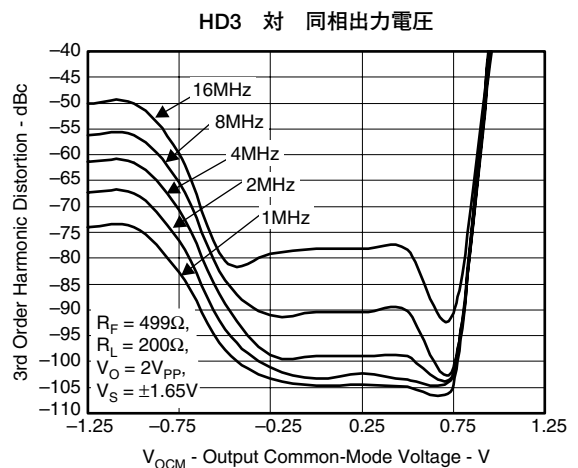


图47

標準的AC特性： $V_{S+} - V_{S-} = 3.3V$

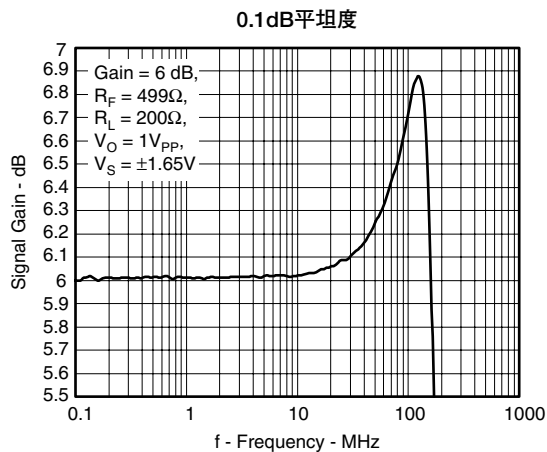


図48

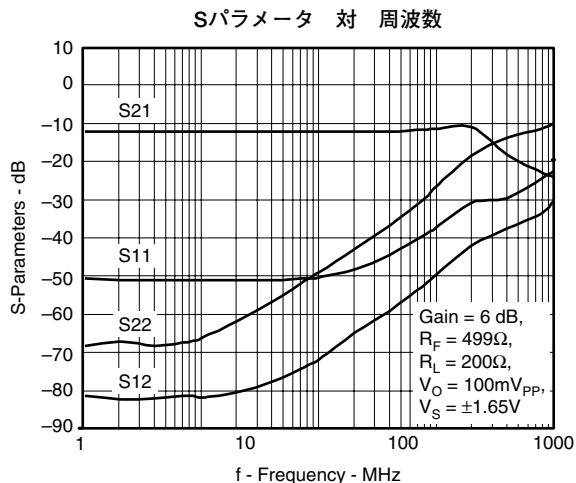


図49

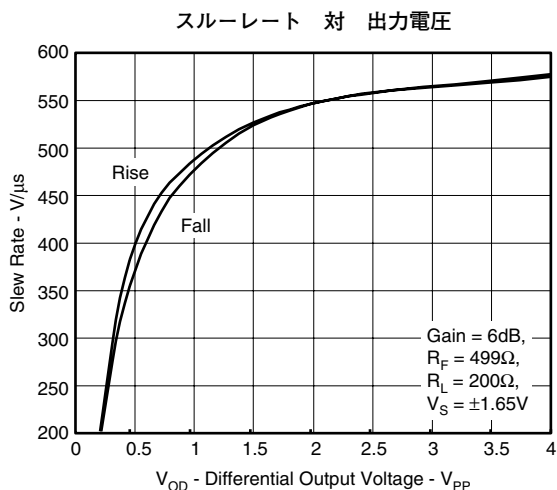


図50

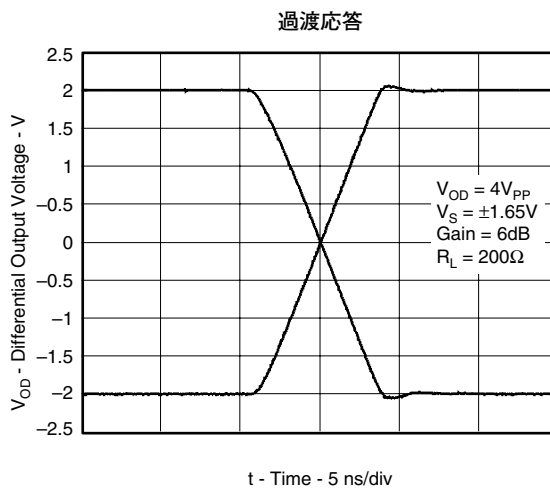
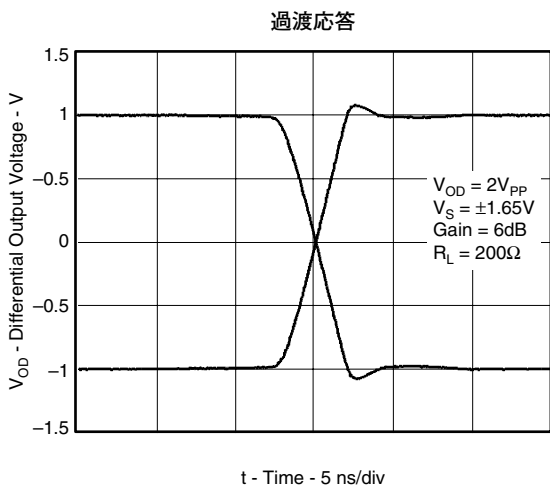
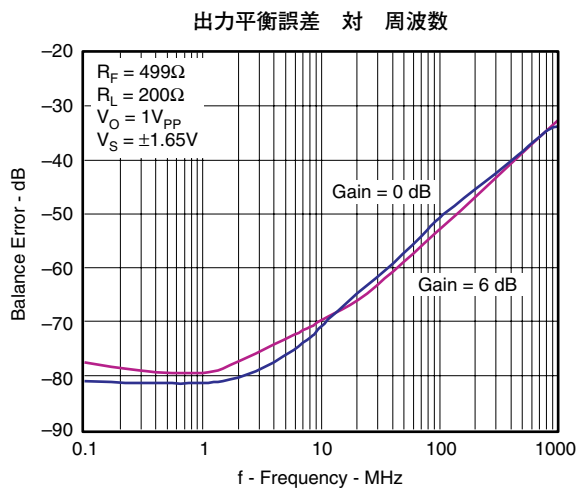


図51



—



—

CM小信号周波数応答

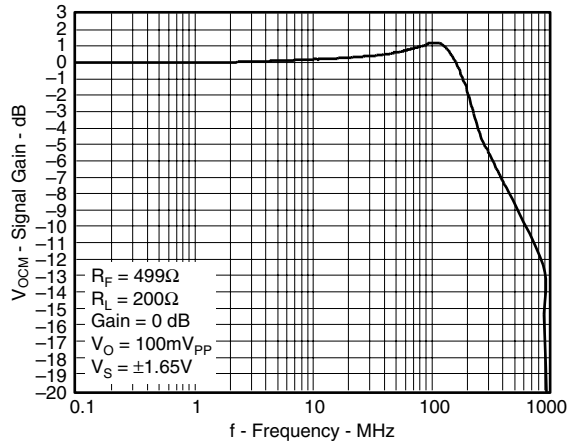


図54

テスト回路

THS4520は、EVMに組み込んだ下図のテスト回路で試験します。簡単のために電源デカップリングは図示していません。推奨するレイアウトは、「アプリケーション」節を参照してください。

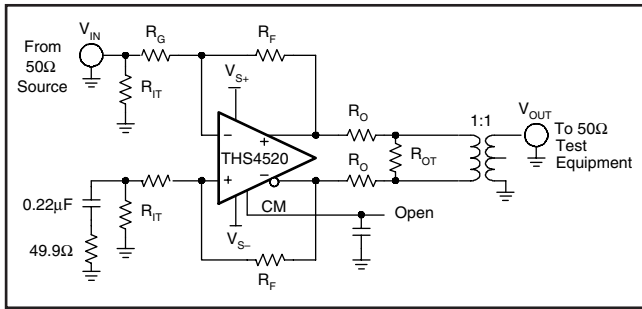


図55. デバイスの試験と特性評価用の一般的テスト回路

テスト条件によって、部品定数を下表あるいは特記する内容のように変更します。信号発生器にはAC結合の50Ω信号源を使用し、0.22μFのコンデンサとグラウンドに接続した49.9Ωの抵抗を、反対側の入力のR_{IT}と並列に挿入して回路のバランスをとります。スプリット電源を使用すると、一般のテスト装置とのインターフェイスが容易になります。しかし、本アンプは「アプリケーション」節で述べるように、単電源でも特性に影響することなく動作できます。

GAIN	R _F	R _G	R _{IT}
0dB	499Ω	487Ω	53.6Ω
6dB	499Ω	243Ω	57.6Ω
10dB	499Ω	147Ω	63.4Ω
14dB	499Ω	88.7Ω	71.5Ω
20dB	499Ω	34.8Ω	115Ω

注：ゲイン設定には50Ωの信号源インピーダンスが含まれます。各部品は、ゲインおよび50Ωの入力終端を実現するように選定します。

表1. ゲイン設定抵抗の定数

R _L	R _O	R _{OT}	Atten.
100Ω	25Ω	open	6dB
200Ω	86.6Ω	69.8Ω	16.8dB
499Ω	237Ω	56.2Ω	25.5dB
1kΩ	487Ω	52.3Ω	31.8dB
2k	976	51.1	-37.86

注：全体の負荷にはテスト装置の50Ω終端が含まれます。部品の定数は1:1のトランスを通して、負荷および50Ωのライン終端を実現するように選定します。負荷部品定数によって形成される出力の分圧回路により、テスト時のアンプ出力は減衰します。表2の「減衰」列は、抵抗分圧器により見込まれる減衰値を示します。出力でトランスを使用すると信号はわずかに損失が増加し、表2の数値は近似値になります。

表2. 負荷部品定数

周波数応答

図55に示す一般回路を図56に示すように修正して、本デバイス周波数応答の測定に使用します。

ネットワーク・アナライザを信号源および測定装置として使用します。ネットワーク・アナライザの出力インピーダンスは50Ωです。R_{IT}およびR_Gはインピーダンスを50Ωに整合し、かつ、適当なゲインを得るように選定します。アンプのバランスをとるために、0.22μFのコンデンサとグラウンドに接続した49.9Ωの抵抗を、信号源と反対側の入力のR_{IT}と並列に挿入します。

出力は高インピーダンスの差動プローブを使用して、100Ω抵抗の両端をプロービングします。ゲインは出力の分圧回路による6dBの損失を加算して、アンプの出力に換算します。

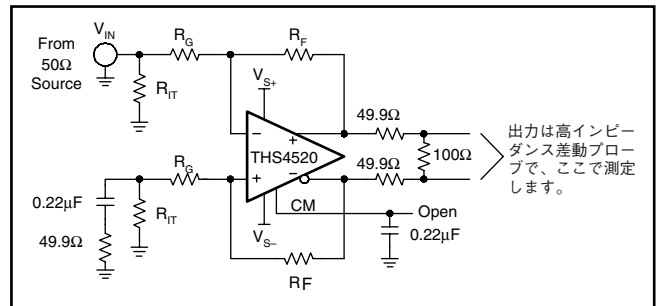


図56. 周波数応答テスト回路

Sパラメータ、スルーレート、過渡応答、

セットリング・タイム、出力電圧

図57に示す回路は、Sパラメータ、スルーレート、過渡応答、セットリング・タイムおよび出力電圧振幅の測定に使用します。

S21は50Ωの2重終端の負荷にてシングルエンドで測定するため、12dBを加算してアンプ出力を差動信号と見なします。

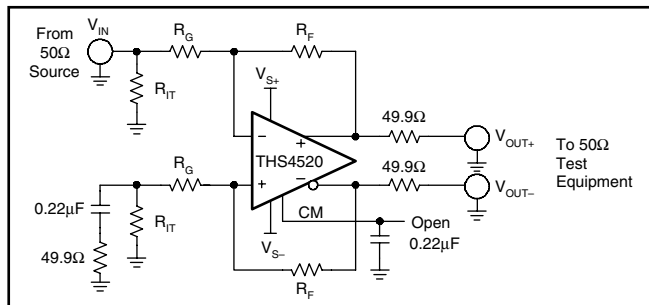


図57. Sパラメータ、SR、過渡応答、セットリング・タイム、 V_{OUT} 振幅

CM入力

図58に示す回路は、CM入力の周波数応答の測定に使用します。周波数応答は、 $R_{CM} = 0\Omega$ 、 $R_{CMT} = 49.9\Omega$ にして V_{IN} から入力を注入し、 V_{OUT+} あるいは V_{OUT-} にてシングルエンドで測定します。

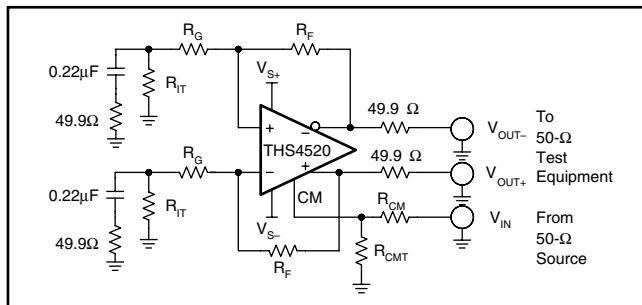


図58. CM入力テスト回路

アプリケーション情報

アプリケーション

下の回路図にTHS4520のアプリケーション情報を示します。簡単のために、これらの図中には電源デカップリング用コンデンサを示していません。完全差動オペアンプの使い方と動作に関するより詳細な情報は、アプリケーションレポート「完全差動アンプ (SLOA054)」をご覧ください。

差動入力・差動出力のアンプ

THS4520は完全差動オペアンプであり、差動入力信号を差動出力信号に増幅することができます。本デバイスの基本ブロック図を図59に示します (CM入力は省略)。デバイスのゲインは、 R_F を R_G で除算して設定します。

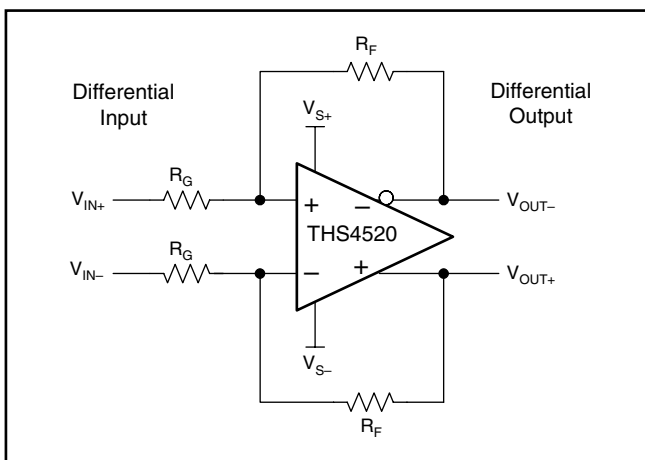


図59. 差動入力・差動出力アンプ

入力および出力の終端は、信号源と負荷によって R_{IT} および R_O を追加して行います。

シングルエンド入力・差動出力のアンプ

THS4520を使用すると、シングルエンド入力信号を差動出力信号に増幅および変換できます。本デバイスの基本ブロック図を図60に示します (CM入力は省略)。デバイスのゲインは、この場合も R_F を R_G で除算して設定します。

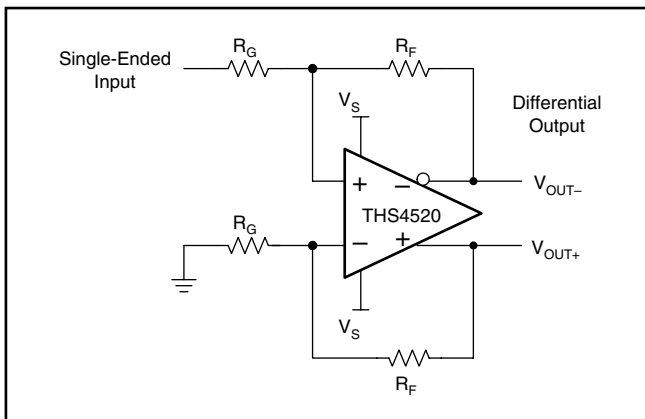


図60. シングルエンド入力・差動出力のアンプ

同相入力電圧範囲

完全差動オペアンプの同相入力電圧は、オペアンプの '+' および '-' 入力端子における電圧です。

オペアンプの同相入力電圧範囲 (V_{ICR}) を逸脱しないことが重要です。オペアンプがリニア動作をしているとすると、入力端子間の差電圧は高々わずか数mVです。したがって、一方の入力端子の電圧を求めると、オペアンプの同相入力電圧が定まります。

負入力が加算ノードとすると、その電圧は式 (1) で与えられます。

$$V_{IC} = \left[V_{OUT+} \times \frac{R_G}{R_G + R_F} \right] + \left[V_{IN-} \times \frac{R_F}{R_G + R_F} \right] \quad (1)$$

オペアンプの V_{ICR} を求めるには、負入力の電圧を V_{OUT+} の極端な値で評価します。

オペアンプのゲインが増加するほど、同相入力電圧は信号源の同相入力電圧に近くなります。

同相出力電圧の設定

同相出力電圧は、CM端子における電圧で設定されます。CM電圧を電源の midpoint の $\pm 0.5V$ 以内に設定すると、内部の同相制御回路が同相出力電圧を設定電圧から $0.25mV$ (標準値) のオフセット内に制御します。CM端子をオープンにしておくと、同相電圧設定点は内部回路により電源の midpoint に設定されます。この設定点は、外部信号源からオーバードライブすることができます。図61はCM入力の略図です。デバイス内部のCM回路は約 $230MHz$ の帯域幅であり、これは最適特性に必要です。しかし、CMはDCバイアス入力端子であることを目的としています。出力のノイズを低減するため、この端子にはバイパス用コンデンサを推奨します。内部の抵抗分圧器をオーバードライブするために要する外部電流は、式 (2) で与えられます。

$$I_{EXT} = \frac{2V_{CM} - (V_{S+} - V_{S-})}{50k\Omega} \quad (2)$$

ここで、 V_{CM} はCM端子に印加される電圧です。

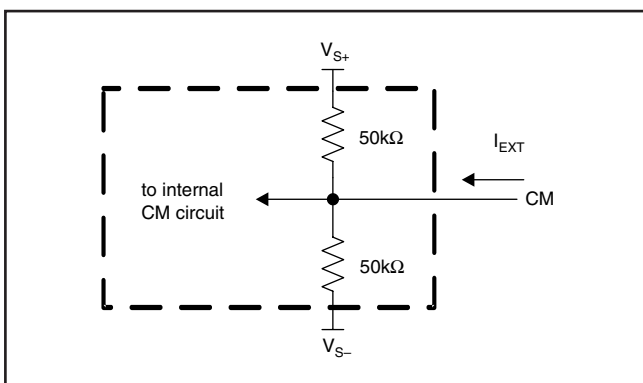


図61. CM入力回路

パワーダウン動作：デバイスのイネーブル/ディスエーブル閾値

THS4520のイネーブル/ディスエーブル閾値は電源に依存し、閾値は常に低い方の電源レールを基準にします。本デバイスは、以下の条件でイネーブルあるいはディスエーブルになります：

- デバイスのイネーブル： $V_{PD} > V_{S-} + 0.8 \times (V_{S+} - V_{S-})$
- デバイスのディスエーブル： $V_{PD} < V_{S-} + 0.2 \times (V_{S+} - V_{S-})$

PD端子がオープンの場合、デバイスのデフォルトはイネーブル状態になります。

表3に、数種類の一般的な電源設定についての閾値を示します。

電源 (V_{S+} , V_{S-})	イネーブル 閾値 (V)	ディスエーブル 閾値 (V)	注 記
±2.5V	1.5	-1.5	データ表に示す
±1.65V	1	-1	データ表に示す
(4V, -1V)	3	0	スプリット、 不平衡電源
(5V, gnd)	4	1	単電源
(3.3V, gnd)	2.64	0.66	単電源
(3V, gnd)	2.4	0.6	単電源

表3. 電源設定

単電源動作 (3Vから5V)

一般的な実験室の機器によるテストを容易にするため、THS4520のEVMはスプリット電源動作が可能であり、本データシートの特性評価データはスプリット電源入力で採られています。本デバイスは単電源入力でも、特性を低下することなく容易に使用できます。図62、図63、および図64は、シングルエンド入力でDCとAC結合の単電源回路を示します。これらの回路構成は、すべて入力および出力の同相電圧を最適な特性が得られる電源の中心電圧に設定できます。ここで示す情報は、差動入力源にも適用できます。

図62では、信号源はCM端子と同じ電圧 (V_{CM}) を基準にしています。 V_{CM} は内部回路により電源電圧の中心に設定されています。 R_T はアンプ回路の入力インピーダンスとともに入力終端を形成し、これもを基準にしています。 R_S と R_T を信号入力とは別の入力にも付加し、アンプの平衡を保っていることに注意してください。別の方法として、 $R_G + R_S \parallel R_T$ の合成値に等しい1つの抵抗を、この端子に付加することも可能です。この方法は、図63および図64に示す回路についても成り立ちます。

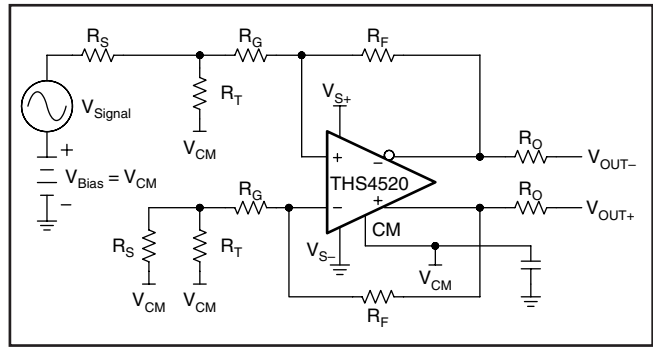


図62. THS4520のDC結合、単電源、入力を V_{CM} にバイアス

図63では、信号源および入力終端抵抗はグラウンドを基準にしています。 R_{PU} を回路に付加し、オペアンプの V_{ICR} からの逸脱を回避しています。付加する抵抗の適正值は式(3)で計算できます。

$$R_{PU} = \frac{(V_{IC} - V_{S+})}{V_{CM} \left(\frac{1}{R_F} \right) - V_{IC} \left(\frac{1}{R_{IN}} + \frac{1}{R_F} \right)} \quad (3)$$

V_{IC} は必要な同相入力電圧であり、 $V_{CM} = CM$ 電圧、および $R_{IN} = R_G + R_S \parallel R_T$ です。電源中心に設定するには、 $R_{PU} = R_G + R_S \parallel R_T$ という値にします。

表4は、信号源インピーダンスが50Ωおよび入力と出力の同相電圧を電源中心に設定する前提で、 R_{PU} の適正值を加えた場合で、表1を補正したものです。この回路構成には2つの欠点があります。その1つは、この回路が電源からの追加電流を要することです。例えば、表4の0dBゲインの場合を見ると、5V電源では電流が10mA多く、3.3V電源では電流が6.5mA多く必要になります。

他方の欠点は、この構成では回路のノイズ・ゲインも増加することです。10dBゲインの場合、ノイズ・ゲインは1.7倍に増加します。

Gain	R_F	R_G	R_{IT}	R_{PU}
0dB	499Ω	487Ω	54.9Ω	511Ω
6dB	499Ω	243Ω	59Ω	270Ω
10dB	499Ω	150Ω	68.1Ω	178Ω
14dB	499Ω	93.1Ω	82.5Ω	124Ω
20dB	499Ω	40.2Ω	221Ω	80.6Ω

表4. 様々なゲインの R_{PU} 値

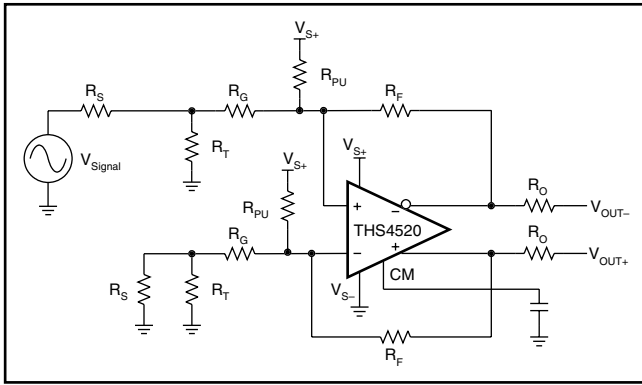


図63. 単電源THS4520のDC結合、 V_{IC} 設定の R_{PU} を使用

図64に信号源とのAC結合を示します。終端抵抗と直列にコンデンサを使用すると、アンプは入力と出力の両方を電源中点に自己バイアスすることができます。

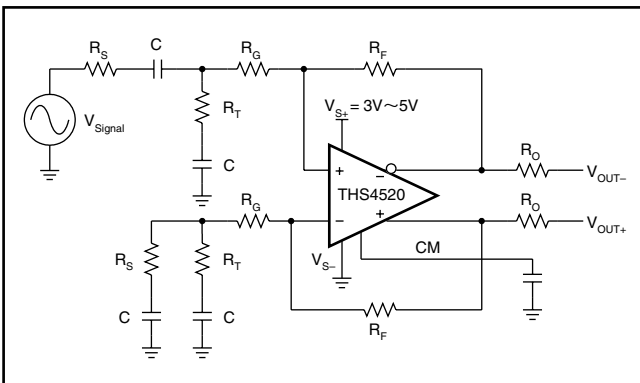


図64. 単電源THS4520のAC結合

ピーキングを低減した完全差動アンプ

図65に、低ゲインでのピーキングを低減した完全差動アンプを示します。抵抗 R_C はTHS4520のノイズ・ゲイン(NG)が高くなるように補償し、これがDCの順方向ゲインを変えずに、AC応答のピーキング(R_C が無い場合、 $G = +1$ 時に標準値で3.8dB)を低減します。なお入力信号 V_{IN} は、オペアンプのような低インピーダンスの信号源から供給されるものとします。

2つの帰還パスが対称の場合、ノイズ・ゲインは次式で与えられます。

$$NG = 1 + \frac{R_F}{R_G} + \frac{2R_F}{R_C} \quad (4)$$

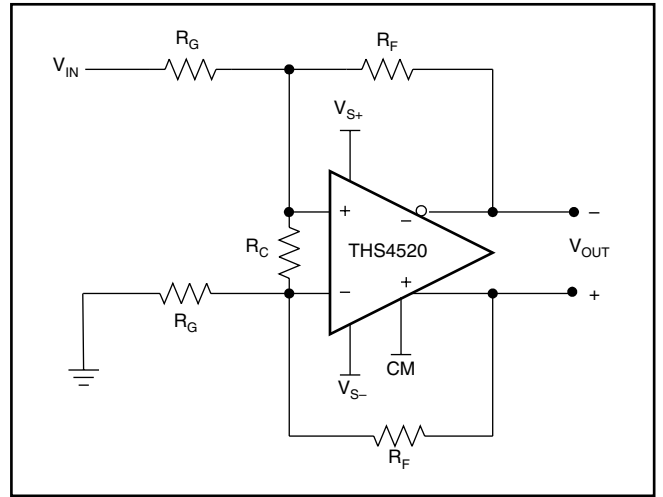


図65. ノイズ・ゲイン補償付きのTHS4520

$R_F = 499\Omega$, $R_G = 499\Omega$ および $R_C =$ オープンと選定すると、ユニティ・ゲイン・バッファを設計できます。この結果、順方向ゲイン応答は $G = 0\text{dB}$ の特性プロット図(図1参照)に類似し、ノイズ・ゲインは2になります。次に R_C を 200Ω にすると、ノイズ・ゲインは7に増加します。このときの周波数応答はピーキングおよび帯域幅が小さくなり、順方向ゲインはユニティのままです。

図66のプロットは、THS4520 EVMでデフォルトのユニティ・ゲイン設定(図72参照)の小信号AC応答を測定したものです。EVMにある終端抵抗(図72のR1, R2, およびR12)と信号発生器のソース抵抗($R_S = 50\Omega$)を計算に入れると、デフォルトEVMのノイズ・ゲインの算出値は $NG = 1.97$ になります。また図66には、同じ基板で $R_C = 200\Omega$ ($NG = 6.96$)および $R_C = 487\Omega$ ($NG = 4.02$)の2つの値で測定した2つの曲線も示されています。AC応答の低周波のロールオフは、トランス(図72のT1)によるものです。これらの2つの曲線は、回路を低い順方向ゲインに設定したときのノイズ・ゲインの増加による、ピーキングと帯域幅の低減を示しています。このようにノイズ・ゲイン補償を使用すると、回路の出力ノイズが増加し、回路の帯域幅が低減することに注意してください。デフォルト設定(R_C なし)と比較すると、 $R_C = 200\Omega$ および $R_C = 487\Omega$ を使用する場合は、回路の出力ノイズが約10.9dBおよび6dBそれぞれ増加します。

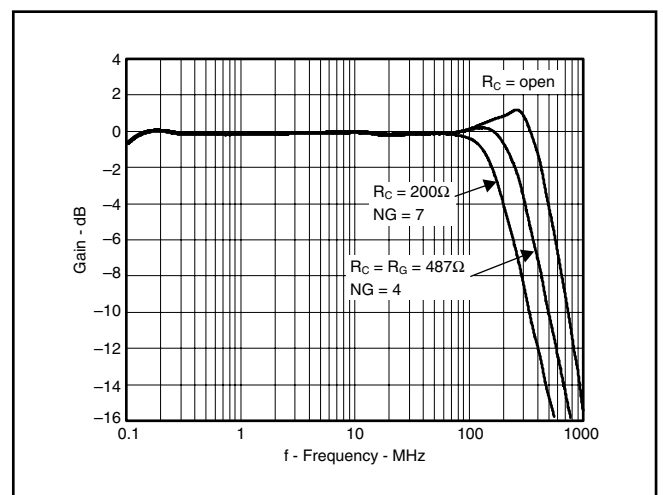


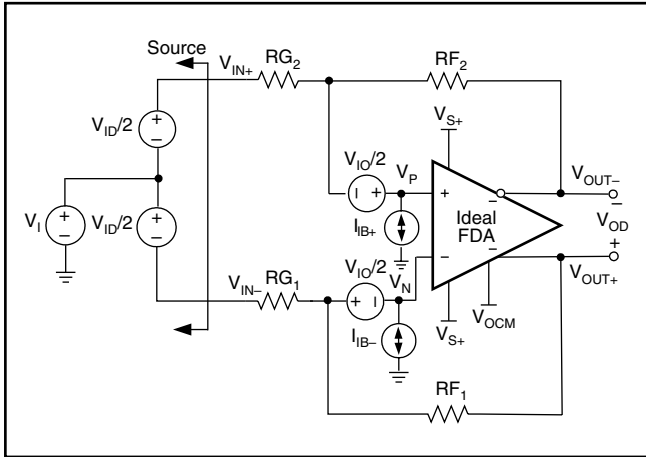
図66. ノイズ・ゲイン補償あり/なしのTHS4520の小信号応答

完全差動アンプのDC誤差

要約

完全差動電圧帰還アンプのDC誤差モデルを下の回路図に示します。このモデルでは、出力誤差に寄与する要素に以下の4つがあります。

1. 入力オフセット電圧 (V_{IO})
2. 入力オフセット電流 (I_{IO})
3. 不整合の帰還回路網と相互作用する入力バイアス電流 (I_{IB+}, I_{IB-})
4. 不整合の帰還回路網と相互作用する、入力および同相出力電圧間の不整合



帰還回路網に不整合がない場合 ($RF_1 = RF_2$ および $RG_1 = RG_2$)、入力オフセット電圧による出力誤差は次式で与えられます。

$$\Delta V_{OD}(V_{IO}) = V_{IO} \frac{RG + RF}{RG} = V_{IO}/\beta \tag{5}$$

ここで、 β は帰還係数と呼ばれることが多く、

$$\beta = \frac{RG}{RG + RF} \tag{6}$$

さらなる情報は、アプリケーション・ノート「完全差動アンプ (SLOA054)」をご覧ください。

入力オフセット電流による出力誤差は次式で与えられます。

$$\Delta V_{OD}(I_{IO}) = I_{IO}RF \tag{7}$$

不整合 ($RF_1 \neq RF_2$ あるいは $RG_1 \neq RG_2$) がある場合、入力バイアス電流による出力誤差は、

$$\Delta V_{OD}(I_{IB}, I_{IO}) = 2 \frac{I_{IB}(R_{EQ1} - R_{EQ2}) + I_{IO}(R_{EQ1} + R_{EQ2})}{(\beta_1 + \beta_2)} \tag{8}$$

ここで、 $I_{IB} = (I_{IB+} + I_{IB-})/2$ 、 $R_{EQ1,2} = RF_{1,2} || RG_{1,2}$ および $\beta_{1,2} = RG_{1,2}/(RG_{1,2} + RF_{1,2})$ です。

入力および同相出力電圧間に不整合があると、出力誤差に寄与する別の要因があります。

$$\Delta V_{OD}(V_{OCM}, V_{ICM}) = 2 \times (V_{OCM} - V_{ICM}) \frac{(\beta_1 - \beta_2)}{(\beta_1 + \beta_2)} \tag{9}$$

この出力誤差源は、2つの帰還パスの整合が十分であれば無視できることに注意してください。上記の結論に至る解析は、本節の領域を超えています。この詳細な解析を示すアプリケーション・ノートは、近い将来に発行されます。

デバイス出力振幅および信号周波数に対する高調波歪みの依存性

HD2やHD3の標準的なプロットは、これらのパラメータが周波数、出力振幅、負荷あるいは回路ゲインといった一つの変数に通常に依存することを示しています。問題となる動作条件は、いくつかの異なる種類のプロットにわたる数個の変数に一般に依存しています。そのため設計者は、彼らのアプリケーションのパラメータと動作条件を把握しようとして、数種類のプロットを補完することが強いられます。

HD2やHD3が単一変数に対してプロットされている標準的なプロット図とは異なり、以下のプロット図は、デバイスの出力振幅および信号周波数の結合パラメータに対してプロットした、THS4520のHD2とHD3について一定の等高線を示しています。これら2つのパラメータは、その結合した相互関係がデバイスの有効なスルーレートと周波数のリミットを反映するため、特に重要なものになります。出力振幅と周波数のリミットは、デバイスの選定とHDに対する両者の結合した影響の定量化を行う場合、最も重要な検討課題になることが多いです。この定量化により、必要な速度を満足するデバイスの能力に関する正確な判断が可能になります。色付けされた領域を分離する各曲線は、プロットに表示されたHD2, 3の値を示します。出力振幅と周波数の範囲にわたって曲線を追うと、HD2, 3の値が発生する条件が分かります。

水平軸は、MHzを単位とする周波数の底が10の対数表示であることに注意してください。したがって、水平軸上の‘2’という値は100MHz、‘1’という値は10MHz、および‘0’は1MHzをそれぞれ表します。この方法は、読者が個々の曲線を容易に解明できるような曲線間の間隔を与えるために選びました。周波数を線形スケールでプロットすると、曲線が混雑して判別が困難になりました。残念なことに、プロット機能には半対数軸のフォーマットがありませんでした。プロットの測定データは、THS4520の評価ボードを用いデフォルトのユニティ・ゲイン設定で $R_L = 200\Omega$ 時の測定結果を示します。回路設定に関するより詳細な情報は、本節の後にあるTHS4520評価ボードの情報をご覧ください。

最初の2つのプロット(図67および図68)は、それぞれ電源が $\pm 2.5V$ 時のHD2およびHD3です。2つのプロットでそれぞれ「大信号BW」と名付けられた曲線は、出力信号振幅($V_{OUT} = 1V_{PP}$ から $8V_{PP}$)の範囲で測定した大信号帯域幅を示します。BW曲線は、 $HD2 > -45dBc$ あるいは $HD3 > -40dBc$ という、非常に貧弱な歪み特性を示す影付き領域があります。帯域幅をプロットする目的は、報告された大信号帯域幅と実用的な歪み特性の間の現実的な比較を行うことでした。プロット間の領域は、近傍の曲線間におけるHD2あるいはHD3の10dB変化を表示するのに助けるため影付きにしています。3番目と4番目のプロット図(図69および図70)は、 $\pm 1.65V$ 電源時の一定HD2および一定HD3を等高線で示したものです。

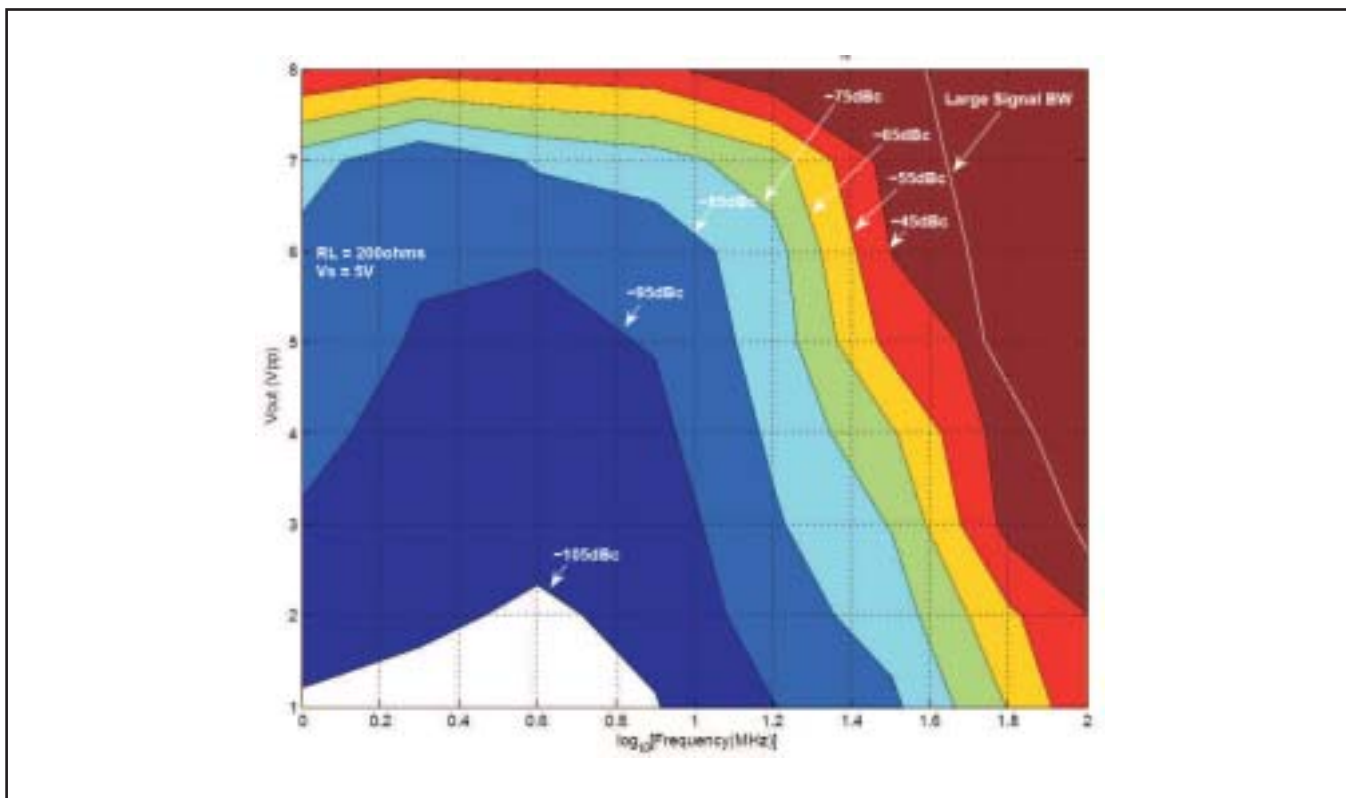


図67. 一定HD2の等高線 対 出力振幅および(周波数-MHz)
 $V_S = 2.5V$ 、ゲイン = 1、 $R_L = 200\Omega$

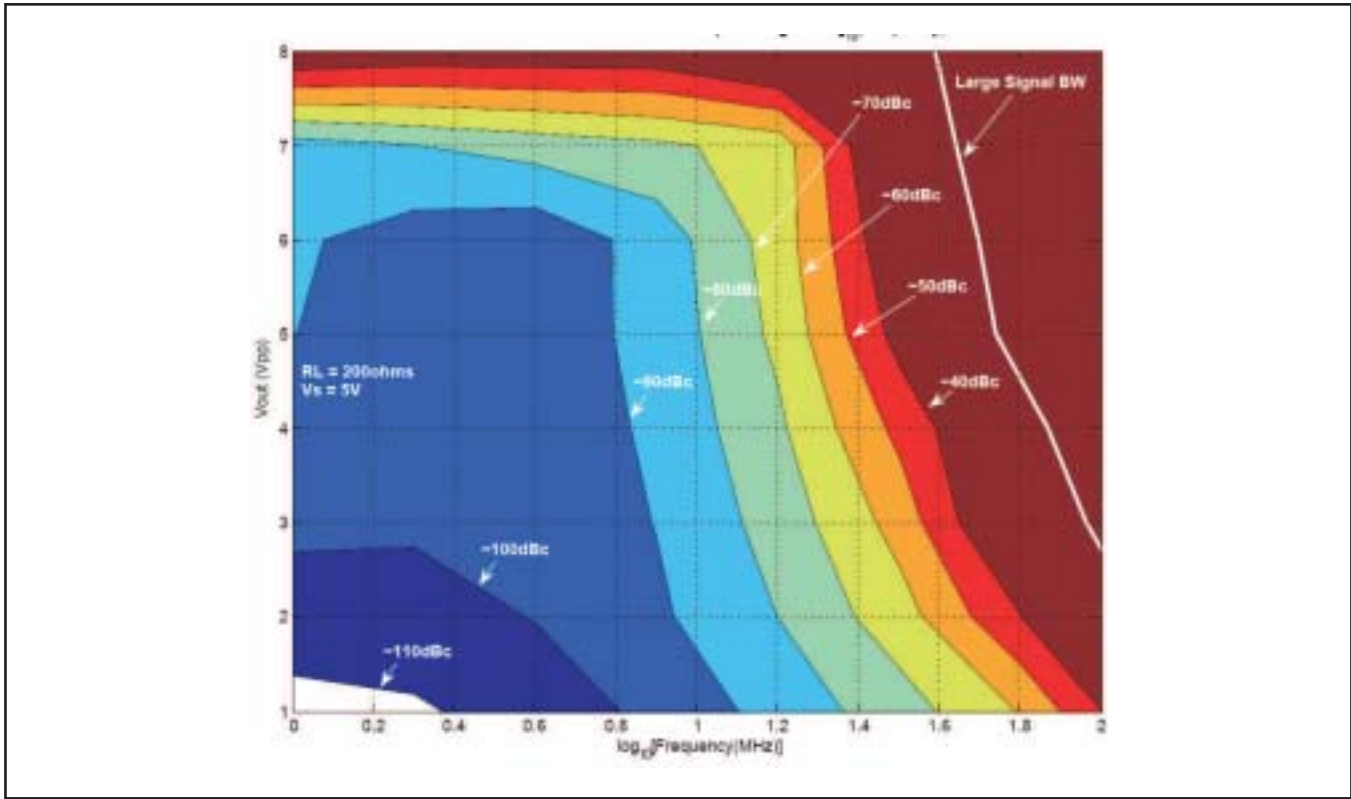


図68. 一定HD3の等高線 対 出力振幅および(周波数-MHz)
 $V_S = 2.5V$ 、ゲイン = 1、 $R_L = 200\Omega$

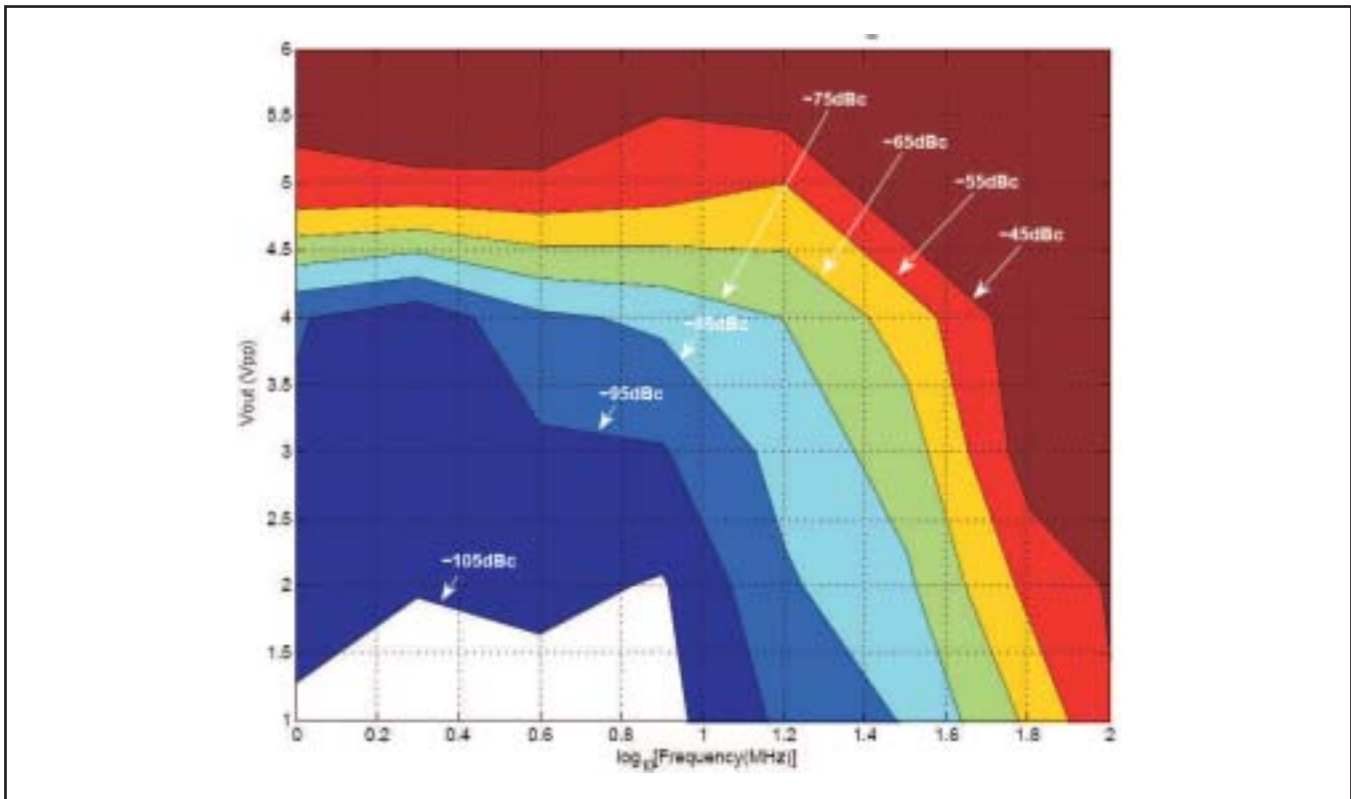


図68. 一定HD2の等高線 対 出力振幅および(周波数-MHz)
 $V_S = 1.65V$ 、ゲイン = 1、 $R_L = 200\Omega$

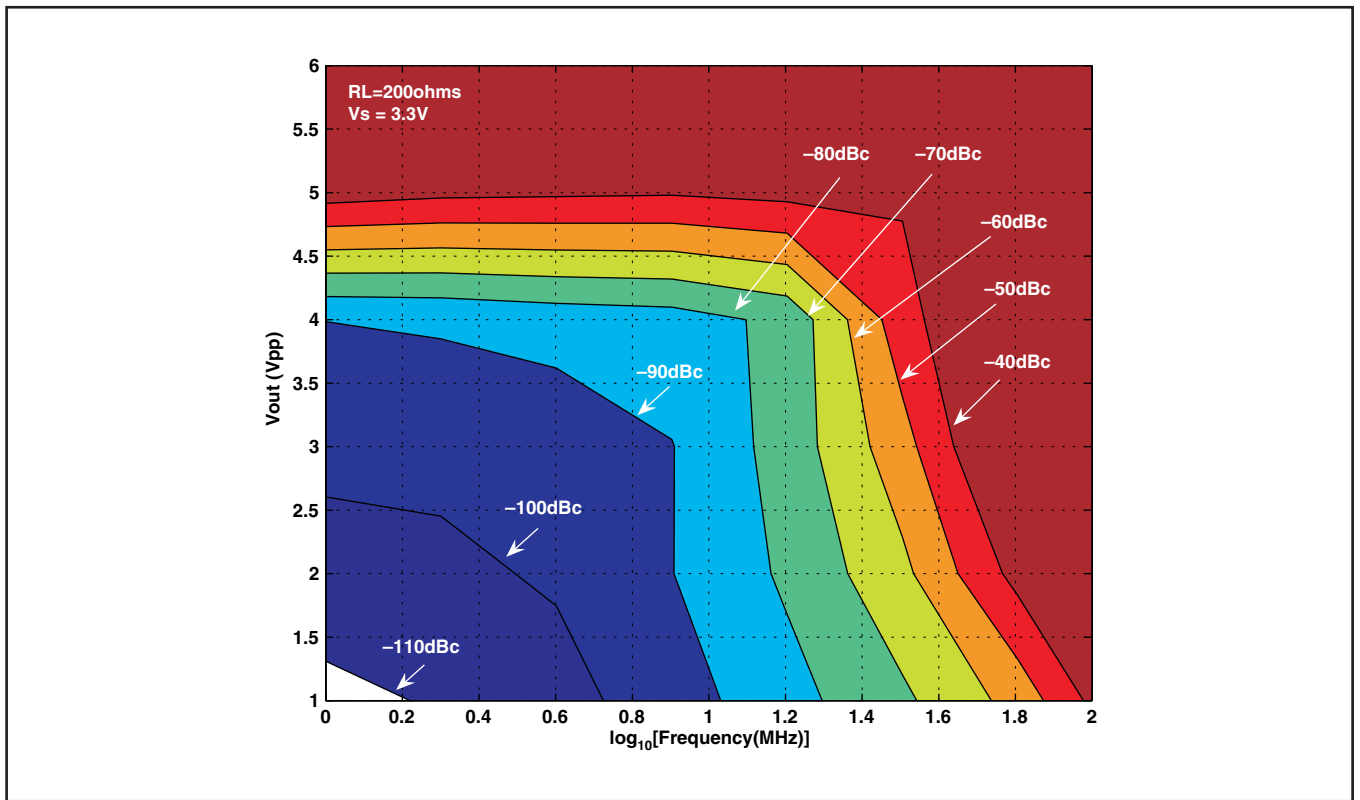


図70. 一定HD3の等高線 対 出力振幅および \log_{10} (周波数-MHz)
 $V_S = 1.65V$ 、ゲイン = 1、 $R_L = 200\Omega$

推奨レイアウト

アンプ付近の外付け部品、グランド面の構造、電源の引き回しのレイアウトは、可能なかぎりEVMに従うことを推奨します。一般的なガイドラインは以下の通りです。

1. 信号の引き回しは、オペアンプ回路に対して直かつ極力短くします。
2. 帰還パスは短く、かつ、ビアを避けて直行にさせます。
3. グランドや電源面は、アンプの入力および出力端子の直下部分では取り除きます。
4. 出力抵抗は個々の出力端子にそれぞれ取り付け、かつ出力端子のできるだけ近くに配置することを推奨します。
5. 2個の $10\mu F$ および2個の $0.1\mu F$ の電源デカップリング用コンデンサを、電源端子のできるだけ近くに配置します。
6. 2個の $0.1\mu F$ コンデンサをCM入力端子とグランド間に配置します。このコンデンサにより、端子へのノイズ結合が制限されます。4ピンと9ピンの近くのグランドに1個ずつ配置します。
7. 以下に示すように、グランド面をレイヤ2 (L2) で分離し、しっかりしたグランドをレイヤ3 (L3) で使用するように推奨します。L2およびL3それぞれの分離された領域には、1点接続を採用します。
8. 入力終端抵抗 $R1$ および $R2$ には、L2のグランドへの1点接続を推奨します。終端抵抗を使用しない場合、この接続方法を入力ゲイン抵抗に適用します。
9. THS4520のPCBの推奨フットプリントを図71に示します。

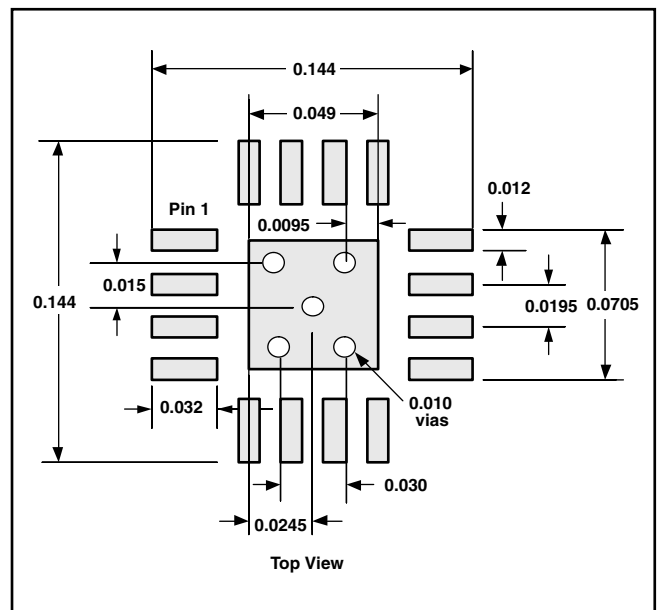


図71. QFNのエッチとビアのパターン

THS4520 EVM

図72にTHS4520 EVAL1 EVMの回路図を示し、そのPCBのレイヤ1から4を図73に示します。
また、表5にTI社から供給されるEVMの部材表を示します。

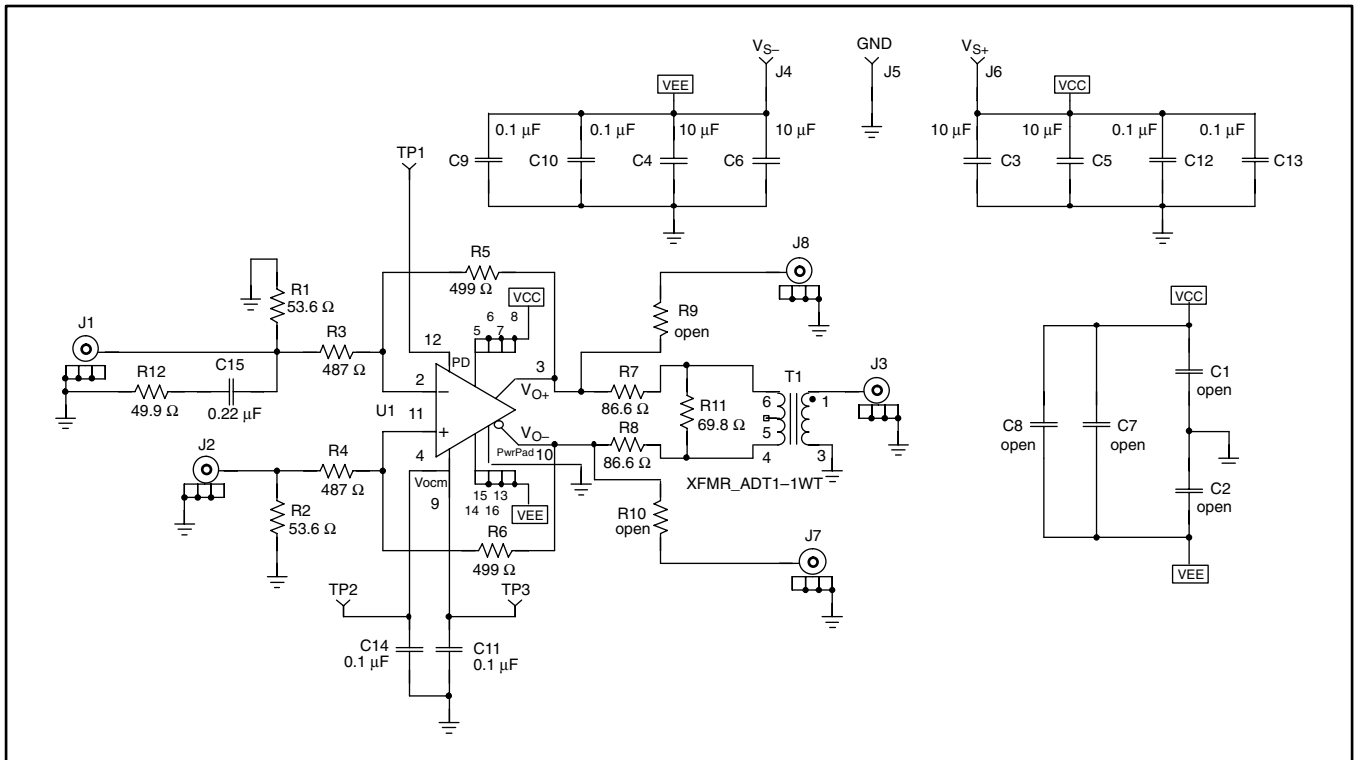


図72. THS4520 EVAL1 EVM回路図

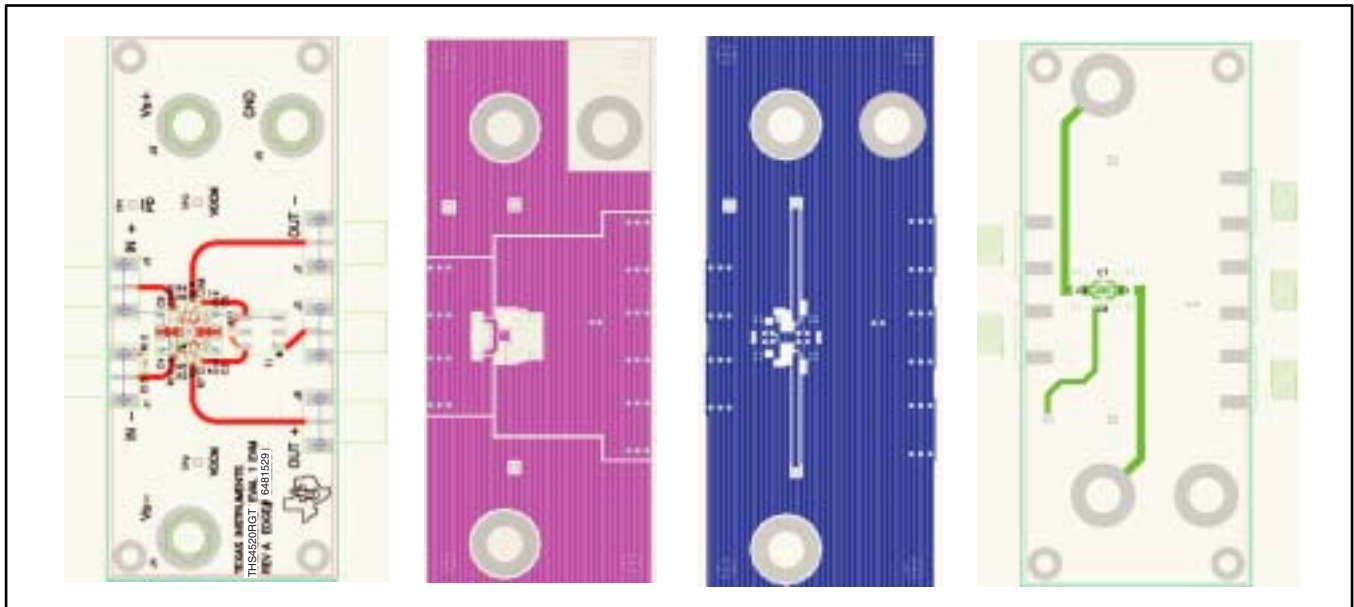


図73. THS4520 EVAL1 EVMのレイヤ1から4

項目	説明	SMD サイズ	参照識別子	PCB 数量	製造者の部品番号
1	CAP, 10.0 μ F, Ceramic, X5R, 6.3V	0805	C3, C4, C5, C6	4	(AVX) 08056D106KAT2A
2	CAP, 0.1 μ F, Ceramic, X5R, 10V	0402	C9,C10, C11, C12, C13, C14	6	(AVX) 0402ZD104KAT2A
3	CAP, 0.22 Ω F, Ceramic, X5R, 6.3V	0402	C15	1	(AVX) 04026D224KAT2A
4	OPEN	0402	C1, C2, C7, C8	4	
5	OPEN	0402	R9, R10	2	
6	Resistor, 49.9 Ω , 1/16W, 1%	0402	R12	1	(KOA)RK73H1ETTP49R9F
7	Resistor, 53.6 Ω , 1/16W, 1%	0402	R1, R2	2	(KOA)RK73H1ETTP53R6F
8	Resistor, 69.8 Ω , 1/16W, 1%	0402	R11	1	(KOA) RK73H1ETTP69R8F
9	Resistor,86.6 Ω , 1/16W, 1%	0402	R7, R8	2	(KOA) RK73H1ETTP86R6F
10	Resistor, 487 Ω , 1/16W, 1%	0402	R3, R4	2	(KOA) RK73H1ETTP4870F
11	Resistor, 499 Ω , 1/16W, 1%	0402	R5, R6	2	(KOA) RK73H1ETTP4990F
12	Transformer, RF		T1	1	(MINI-CIRCUITS) ADT1-1WT
13	Jack, banana receptance, 0.25" diameter hole		J4, J5, J6	3	(HH SMITH)101
14	OPEN		J1, J7, J8	3	
15	Connector, edge, SMA PCB Jack		J2, J3	2	(JOHNSON) 142-0701-801
16	Test point, Red		TP1, TP2, TP3	3	(KEYSTONE) 5000
17	IC, THS4520		U1	1	(TI) THS4520RGT
18	Standoff, 4-40 HEX, 0.625" length			4	(KEYSTONE) 1808
19	SCREW, PHILLIPS, 4-40, 0.250"			4	SHR-0440-016-SN
20	Printed circuit board			1	(TI) EDGE# 6481529

表5. THS4520 EVAL1 EVMの部材表

EVMの警告と制約

本EVMは、3Vから5Vの入力電圧範囲および3Vから5Vの出力電圧範囲内で使用することが重要です。

この規定入力範囲を超えると、予想できない動作やEVMへの回復不能な損傷を生じることがあります。入力範囲に関する質問がございましたら、入力電力を接続する前にTI社のフィールド担当に連絡してください。

規定出力範囲を逸脱する負荷を適用すると、意図しない動作やEVMへの永久破壊につながる可能性があります。EVM出力に負荷を接続する前に、「EVMユーザーズ・ガイド」を参考にしてください。負荷の仕様に不確かなことがありましたら、TI社のフィールド担当に連絡してください。

通常動作時に、回路部品によってはケース温度が85°Cを超えるものもあります。しかし、85°Cを超える部品があっても、入力および出力範囲が正しく保たれているならば、本EVMは適正に動作するように設計されています。これらの部品にはリニア・レギュレータ、スイッチング・トランジスタ、パス・トランジスタおよび電流検知抵抗がありますが、これらだけに限りません。この種のデバイスは、「EVMユーザーズ・ガイド」にあるEVM回路図で識別できます。動作時に測定プローブをこれらのデバイスの近くに配置する場合、これらのデバイスに触ると非常に熱いことがあるので注意してください。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
THS4520RGTR	ACTIVE	QFN	RGT	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
THS4520RGTRG4	ACTIVE	QFN	RGT	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
THS4520RGTT	ACTIVE	QFN	RGT	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
THS4520RGTTG4	ACTIVE	QFN	RGT	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

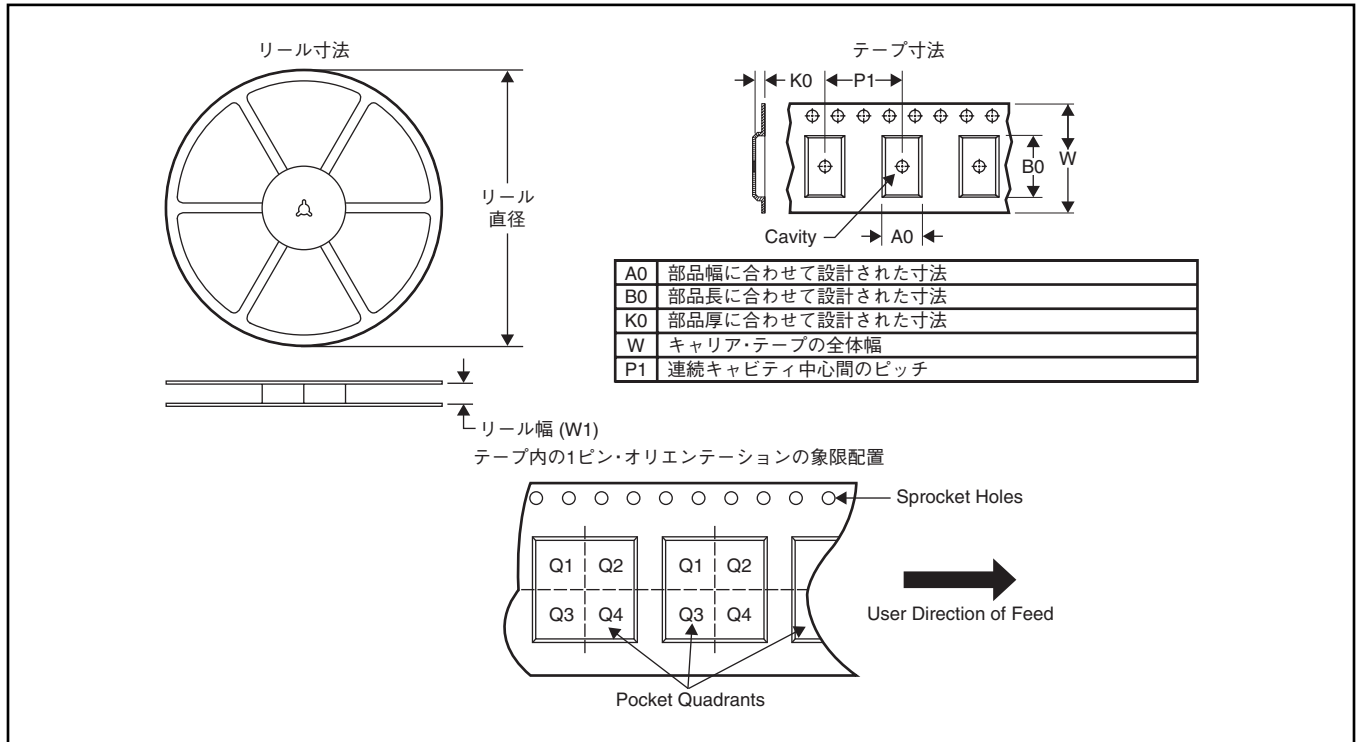
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

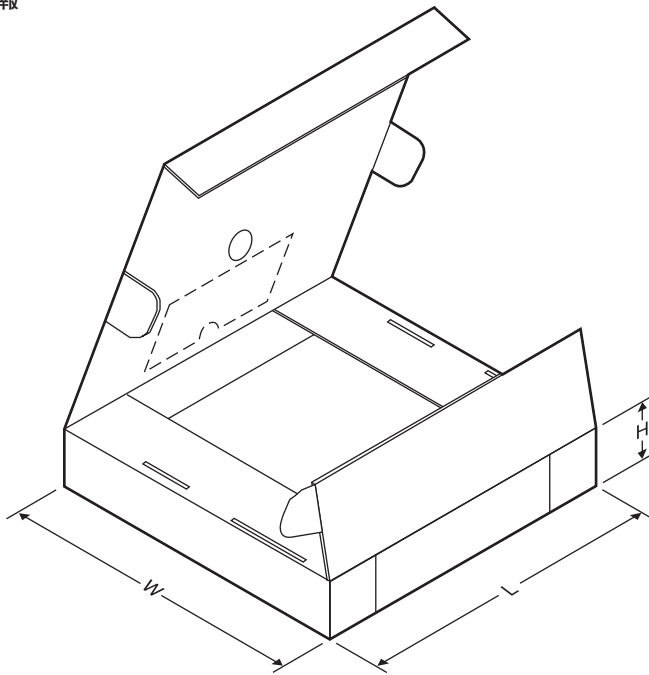


*寸法はすべて公称値です。

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THS4520RGTR	QFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
THS4520RGTT	QFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

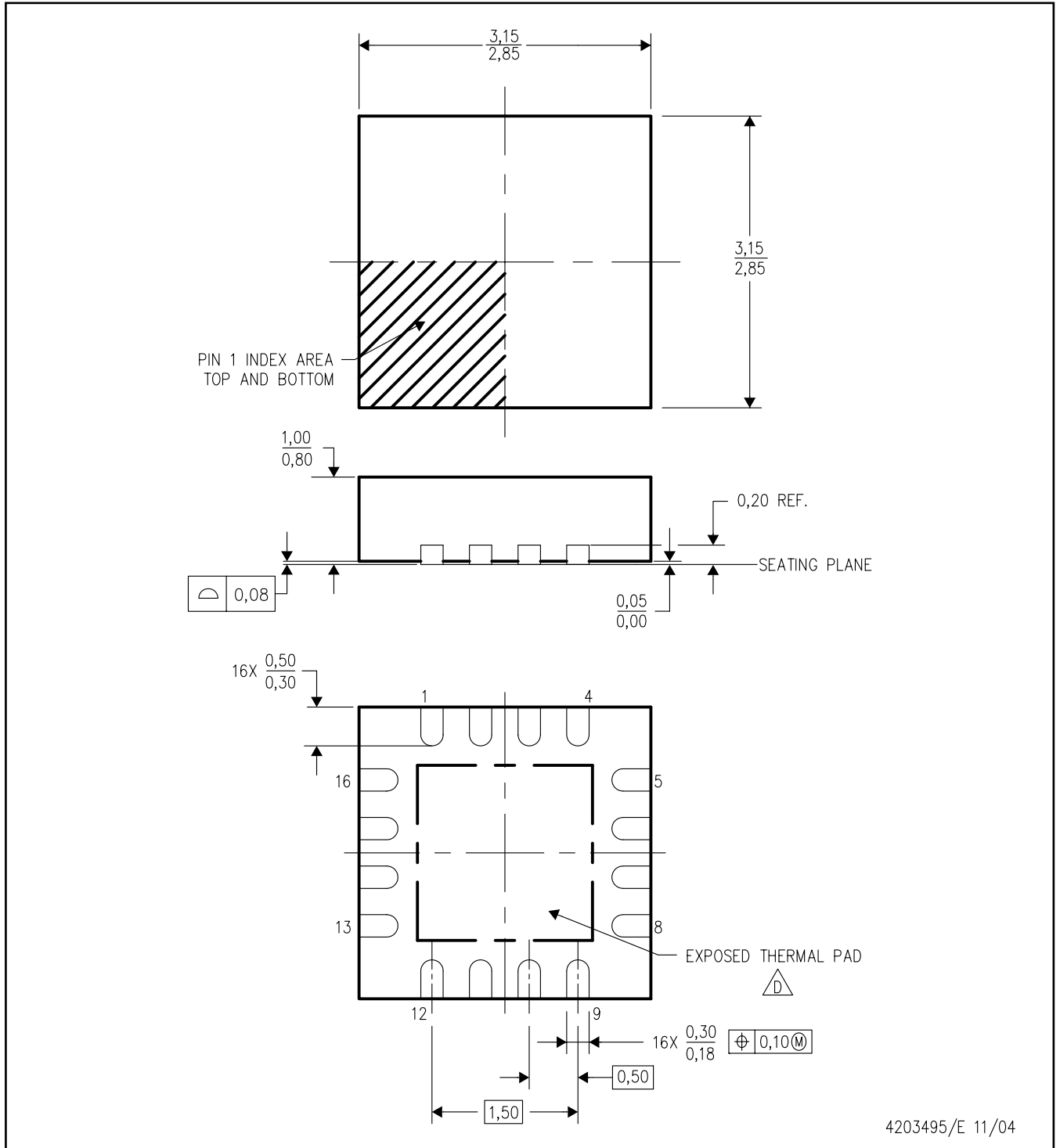
パッケージ・材料情報

テープおよびリール・ボックス情報



*寸法はすべて公称値です。

Device	PackageType	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THS4520RGTR	QFN	RGT	16	3000	346.0	346.0	29.0
THS4520RGTT	QFN	RGT	16	250	190.5	212.7	31.8



注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。

B. 本図は予告なしに変更することがあります。

C. クアッド・フラットパック・ノーリード (QFN) パッケージ構造。

$\triangle D$ パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。

E. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

RGT (S-PVQFN-N16)

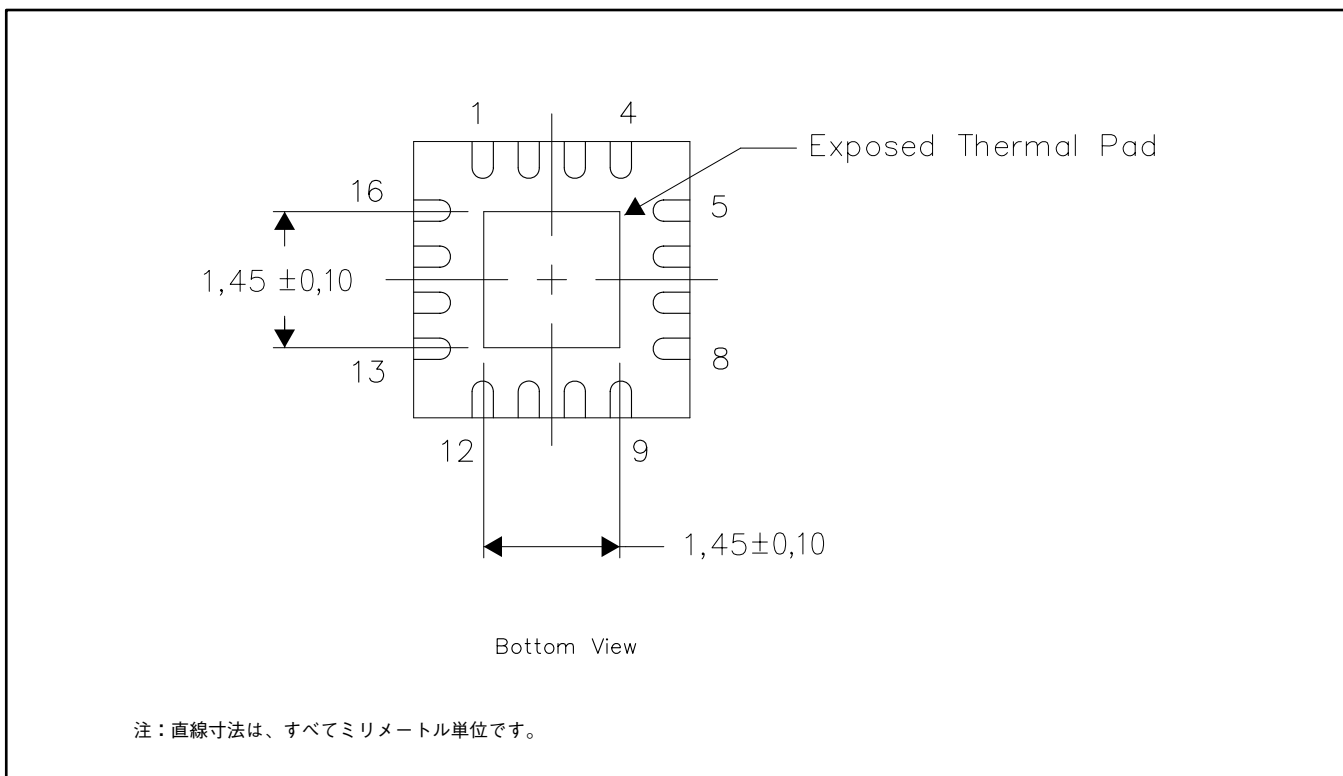
熱的特性の情報

本パッケージは、外付けヒートシンクに直接取り付けられるように設計した、露出サーマルパッドを組み込んでいます。サーマルパッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付けをした後は、PCBがヒートシンクとして使用できます。さらに、サーマル・ビアを使用すると、サーマルパッドはデバイスの電気的図面に示す適当な銅面、あるいはその代わりとして、PCBに設計された特殊なヒートシンク構

造物に直接取り付けられます。この設計により、集積回路 (IC) からの熱伝導が最適化されます。

クォード・フラットパック・ノーリード (QFN) パッケージおよびその利点に関する情報は、アプリケーション・レポート「クォード・フラットパック・ノーリード・ロジック・パッケージ」、テキサス・インスツルメンツ文献番号SCBA017を参照願います。本文献はwww.ti.com で入手できます。

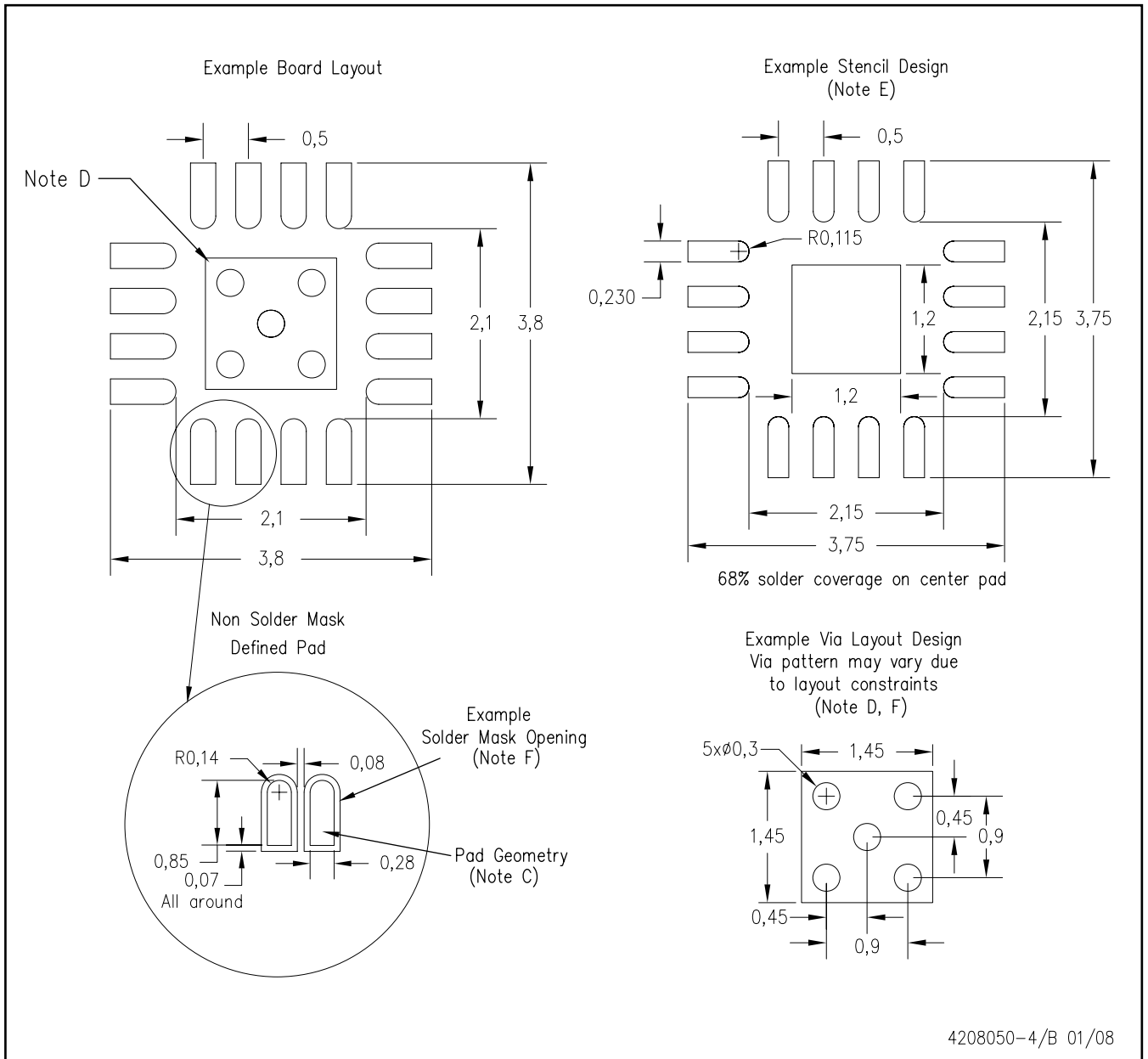
本パッケージの露出サーマルパッドの寸法を下図に示します。



露出サーマルパッドの寸法

ランド・パターン

RGT (S-PQFP-N16)



4208050-4/B 01/08

- 注：A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. 代替設計には、IPC-7351規格を推奨します。
 D. 本パッケージは、サーマルパッドを基板に半田付けするように設計されています。具体的な熱的特性情報、ビア条件、および推奨基板レイアウトについては、アプリケーション・ノート「クワッド・フラットバック・パッケージ」テキサス・インスツルメンツ文献番号SCBA017、SLUA271、および製品データシートも参照してください。これらの文献はwww.tij.co.jpもしくはwww.ti.com < http://www.ti.com > で入手できます。
 E. 台形壁面やラウンドコーナーにレーザー・カッティング・アパーチャを行うと、ペーストのリリースが容易になります。推奨のステンシル設計については、基板組立元に問合せてください。ステンシル設計の検討については、IPC7525規格を参照してください。
 F. 信号パッド間の最小半田マスク・ウェブ公差については、基板製造元に問合せてください。

(SLOS503B)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上