

# 1.2A高効率降圧型コンバータ 2mm × 2mm SONパッケージ

## 特長

- DCS-Control™アーキテクチャによる高速過渡応答制御
- 入力電圧範囲：2.5V～5.5V
- 100%デューティ・サイクル動作によりドロップアウトを最小化
- パワーセーブ・モードにより軽負荷時の効率を向上
- 出力放電機能
- パワー・グッド出力
- 過熱シャットダウン
- 2mm × 2mmの 8ピン SONパッケージで供給
- 高性能品にTPS62080があります。

## アプリケーション

- 電池駆動のポータブル機器
- ポイント・オブ・ロード(POL)レギュレータ
- 5Vや3.3Vのシステム電源からの電圧変換

## 概要

TLV62080は、入力電圧範囲が2.5V～5.5Vの同期整流方式降圧型コンバータです。TLV62080は、幅広い出力電流範囲にわたって高効率で降圧変換を行えるよう設計されています。中負荷から重負荷ではPWMモードで動作する一方、軽負荷電流時には自動的にパワーセーブ・モードで動作することで、全負荷電流範囲にわたって高い効率を維持します。

システム電源レールの要件に対応するため、内部補償回路は、実効容量10 $\mu$ F～100 $\mu$ Fの幅広い範囲から外部出力コンデンサを選択できます。また、DCS-Control™アーキテクチャにより、優れた負荷過渡特性と出力電圧レギュレーション精度を実現しています。本製品は、サーマル・パッドを備えた2mm × 2mmのSONパッケージで供給されます。

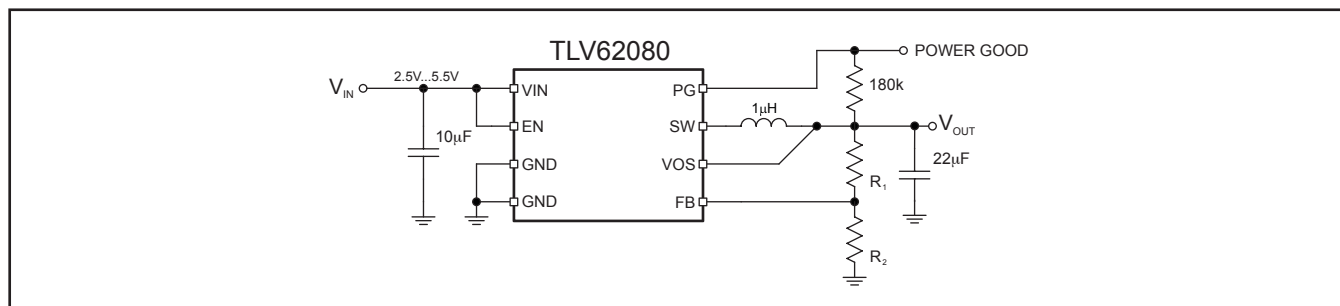


図 1. TLV62080の標準アプリケーション

DCS-Controlは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

表 1. 製品情報

T <sub>A</sub>	OUTPUT CURRENT	PACKAGE MARKING	PACKAGE	PART NUMBER <sup>(1)</sup>
-40°C ~ 85°C	1.2A	RAU	8-Pin SON	TLV62080DSG

(1) 詳細な製品情報については、最新の英文データシートの巻末にある「パッケージ情報」を参照してください。

## 絶対最大定格

動作温度範囲内(特に記述のない限り)<sup>(1)</sup>

	VALUE	単位
Voltage range at VIN, PG, VOS <sup>(2)</sup>	-0.3 ~ 7	V
Voltage range at SW <sup>(2)(3)</sup>	-0.3 ~ (V <sub>IN</sub> + 0.3V)	V
Voltage range at FB <sup>(2)</sup>	-0.3 ~ 3.6	V
Voltage range at EN <sup>(2)</sup>	-0.3 ~ (V <sub>IN</sub> + 0.3V)	V
ESD rating, Human Body Model	2	kV
ESD rating, Charged Device Model	500	V
Operating junction temperature range, T <sub>J</sub>	-40 ~ 150	°C
Storage temperature range, T <sub>stg</sub>	-65 ~ 150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。

絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) すべての電圧値は回路のグランド端子を基準としています。

(3) 動作中、デバイスのスイッチング中

## 熱特性情報

THERMAL METRIC <sup>(1)</sup>		TLV62080	単位
		DSG (8 PINS)	
θ <sub>JA</sub>	Junction-to-ambient thermal resistance	59.7	°C/W
θ <sub>JCtop</sub>	Junction-to-case (top) thermal resistance	70.1	
θ <sub>JB</sub>	Junction-to-board thermal resistance	30.9	
ψ <sub>JT</sub>	Junction-to-top characterization parameter	1.4	
ψ <sub>JB</sub>	Junction-to-board characterization parameter	31.5	
θ <sub>JCbot</sub>	Junction-to-case (bottom) thermal resistance	8.6	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

## 推奨動作条件<sup>(1)</sup>

		MIN	TYP	MAX	単位
V <sub>IN</sub>	Input voltage range	2.5		5.5	V
T <sub>A</sub>	Operating ambient temperature	-40		85	°C
T <sub>J</sub>	Operating junction temperature	-40		125	°C

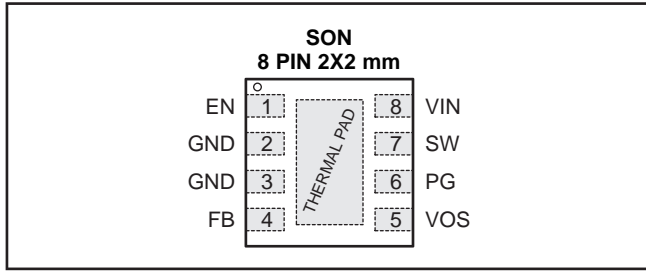
(1) 詳細については、「アプリケーション情報」を参照してください。

## 電気的特性

推奨温度範囲内、 $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、標準値は $T_A = 25^{\circ}\text{C}$ での値(特に記述のない限り)、 $V_{IN} = 3.6\text{V}$

パラメータ		テスト条件	MIN	TYP	MAX	単位
<b>SUPPLY</b>						
$V_{IN}$	Input voltage range		2.5		5.5	V
$I_Q$	Quiescent current into $V_{IN}$	$I_{OUT} = 0\text{mA}$ , Device not switching		30		$\mu\text{A}$
$I_{SD}$	Shutdown current into $V_{IN}$	EN = LOW			1	$\mu\text{A}$
$V_{UVLO}$	Under voltage lock out	Input voltage falling		1.8	2.0	V
	Under voltage lock out hysteresis	Rising above $V_{UVLO}$		120		mV
$T_{JSD}$	Thermal shut down	Temperature rising		150		$^{\circ}\text{C}$
	Thermal shutdown hysteresis	Temperature falling below $T_{JSD}$		20		$^{\circ}\text{C}$
<b>LOGIC INTERFACE (EN)</b>						
$V_{IH}$	High level input voltage	$2.5\text{V} \leq V_{IN} \leq 5.5\text{V}$	1			V
$V_{IL}$	Low level input voltage	$2.5\text{V} \leq V_{IN} \leq 5.5\text{V}$			0.4	V
$I_{LKG}$	Input leakage current			0.01	0.5	$\mu\text{A}$
<b>POWER GOOD</b>						
$V_{PG}$	Power good threshold	$V_{OUT}$ falling referenced to $V_{OUT}$ nominal	-15	-10	-5	%
	Power good hysteresis			5		%
$V_{IL}$	Low level voltage	$I_{sink} = 500 \mu\text{A}$			0.3	V
$I_{PG,LKG}$	PG Leakage current	$V_{PG} = 5.0\text{V}$		0.01	0.1	$\mu\text{A}$
<b>OUTPUT</b>						
$V_{OUT}$	Output voltage range		0.5		4.0	V
$V_{FB}$	Feedback regulation voltage	$V_{IN} \geq 2.5\text{V}$ and $V_{IN} \geq V_{OUT} + 1\text{V}$	0.438	0.45	0.462	V
$I_{FB}$	Feedback input bias current	$V_{FB} = 0.45\text{V}$		10	100	nA
$R_{DIS}$	Output discharge resistor	EN = LOW, $V_{OUT} = 1.8\text{V}$		1		$\text{k}\Omega$
$R_{DS(on)}$	High side FET on-resistance	$I_{SW} = 500\text{mA}$		120		$\text{m}\Omega$
	Low side FET on-resistance	$I_{SW} = 500\text{mA}$		90		$\text{m}\Omega$
$I_{LIM}$	High side FET switch current limit	Rising inductor current	1.6	2.8	4	A

## 製品情報



## ピン機能

PIN		I/O	説明
NAME	NO.		
VIN	8	PWR	電源電圧入力
EN	1	IN	デバイス・イネーブル論理入力。論理Highにするとデバイスがイネーブルになります。論理Lowにするとデバイスがディスエーブルになり、シャットダウンされます。
GND	2,3	PWR	パワー段および制御部のグラウンド
VOS	5	IN	内部制御ループ用の出力電圧センス・ピン。出力に接続する必要があります。
SW	7	PWR	スイッチ・ノードのピン。内部のMOSFETスイッチとインダクタを接続する端子です。このピンに出力フィルタのインダクタを接続します。
FB	4	IN	内部制御ループ用の帰還ピン。出力電圧を設定する為に、このピンに外部の帰還分圧回路を接続します。
PG	6	OUT	パワー・グッド用オープン・ドレイン出力。出力電圧がレギュレーション制限を下回ると、このピンはLowになります。未使用時は、フローティングにできます。
サーマル・パッド			必ずGNDに接続します。適切な許容損失とサーマル・パッドの機械的信頼性の確保の為に半田付けする必要があります。

## 機能ブロック図

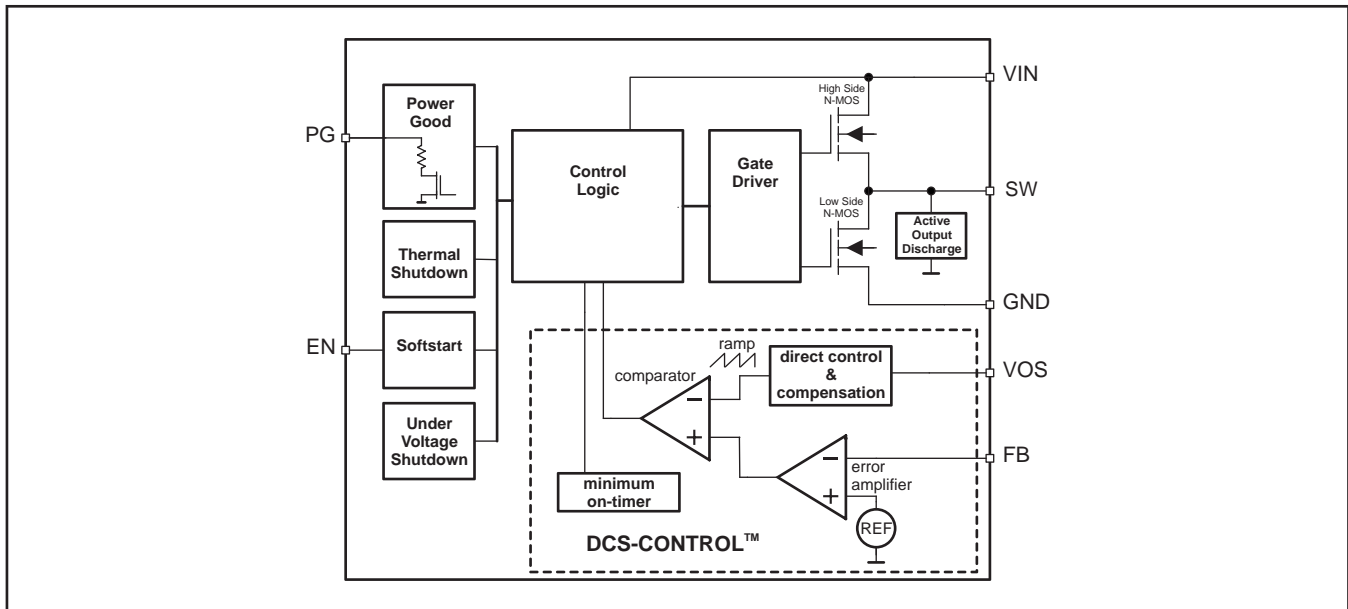


図 2. 機能ブロック図

# 標準的特性

## パラメータ測定情報

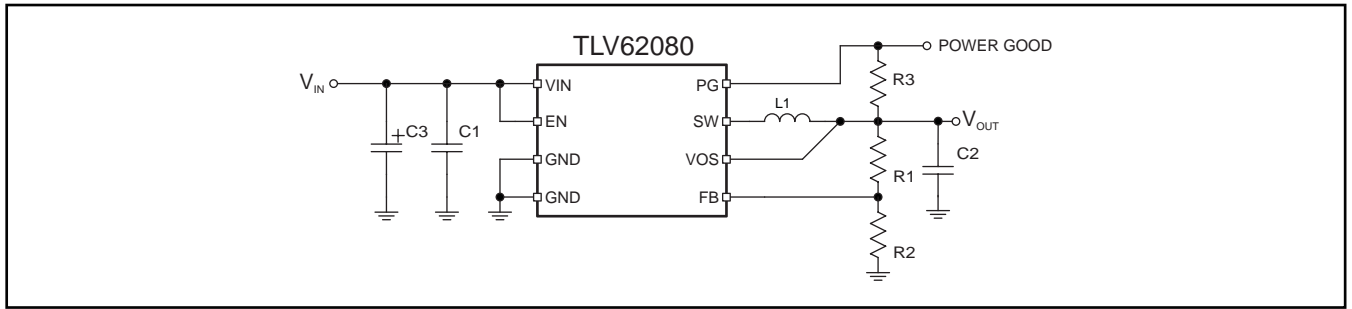


表 2. 部品一覧

REFERENCE	DESCRIPTION	MANUFACTURER
C1	10uF, Ceramic Capacitor, 6.3V, X5R, size 0603	Std
C2	22uF, Ceramic Capacitor, 6.3V, X5R, size 0805, GRM21BR60J226ME39L	Murata
C3	47uF, Tantalum Capacitor, 8V, 35mΩ, size 3528, T520B476M008ATE035	Kemet
L1	1.0μH, Power Inductor, 2.2A, size 3x3x1.2mm, XFL3012-102MEB	Coilcraft
R1	Depending on the output voltage of TLV62080, 1%;	
R2	39.2k, Chip Resistor, 1/16W, 1%, size 0603	Std
R3	178k, Chip Resistor, 1/16W, 1%, size 0603	Std

表 3. グラフ一覧

		図
効率	負荷電流、 $V_{OUT} = 0.9V$	図3
	負荷電流、 $V_{OUT} = 1.2V$	図4
	負荷電流、 $V_{OUT} = 2.5V$	図5
出力電圧精度	入力電圧、 $V_{OUT} = 0.9V$	図6
	入力電圧、 $V_{OUT} = 2.5V$	図7
	負荷電流、 $V_{OUT} = 0.9V$	図8
	負荷電流、 $V_{OUT} = 2.5V$	図9
スイッチング周波数	負荷電流、 $V_{OUT} = 2.5V$	図10
標準動作	$V_{IN} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、負荷電流 = 500mA、PWMモード	図11
	$V_{IN} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、負荷電流 = 10mA、PFMモード	図12
負荷過渡応答	$V_{IN} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、負荷電流 = 50mAから1A	図13
ライン過渡応答	$V_{IN} = 3.3V$ から4.2V、 $V_{OUT} = 1.2V$ 、負荷 = 2.2Ω	図14
スタートアップ	$V_{IN} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、負荷 = 2.2Ω	図15
	$V_{IN} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、無負荷	図16

# 標準的特性

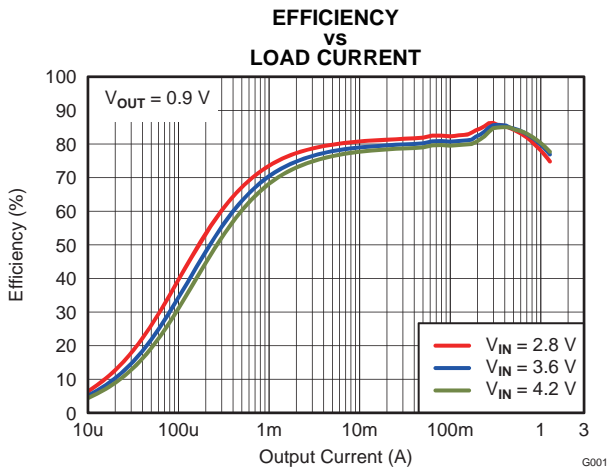


図 3

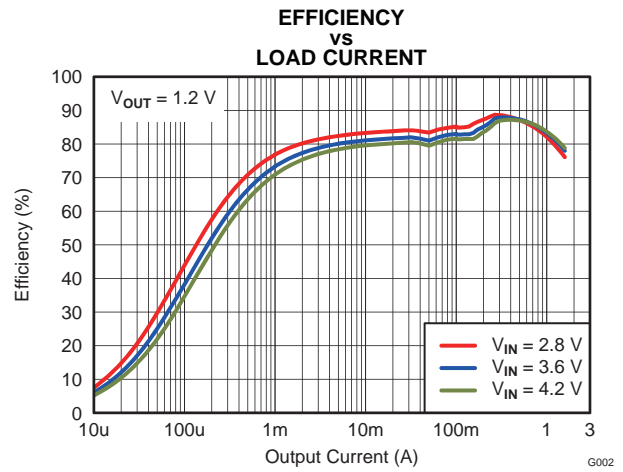


図 4

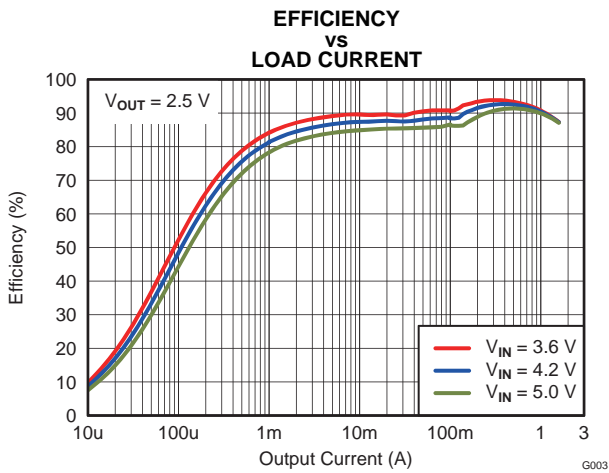


図 5

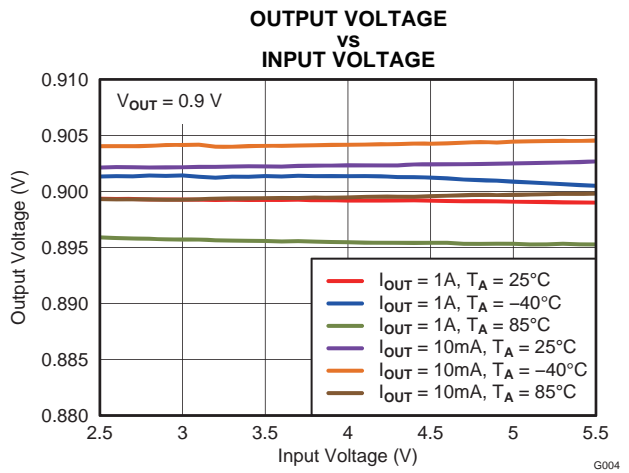


図 6

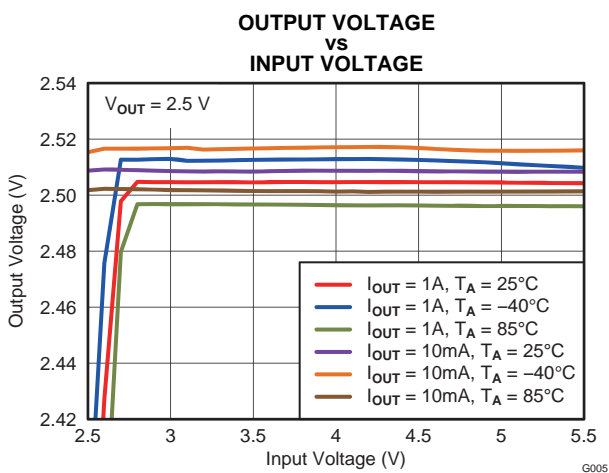


図 7

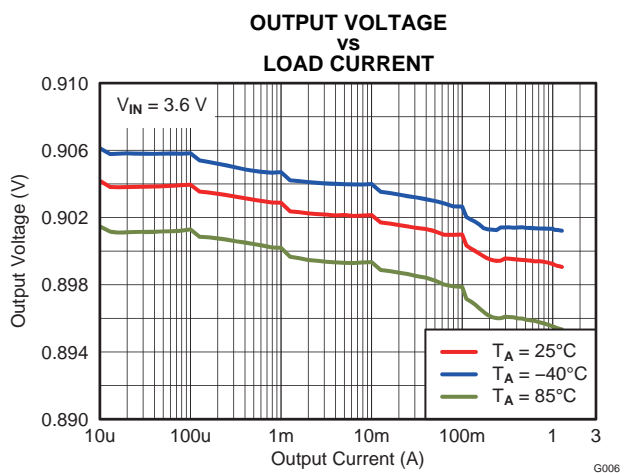


図 8

# 標準的特性

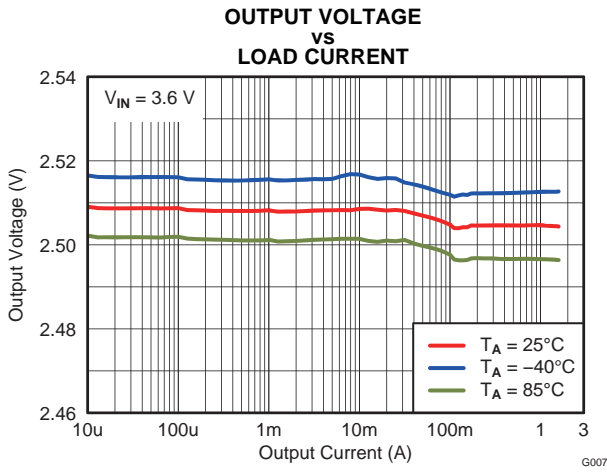


図 9

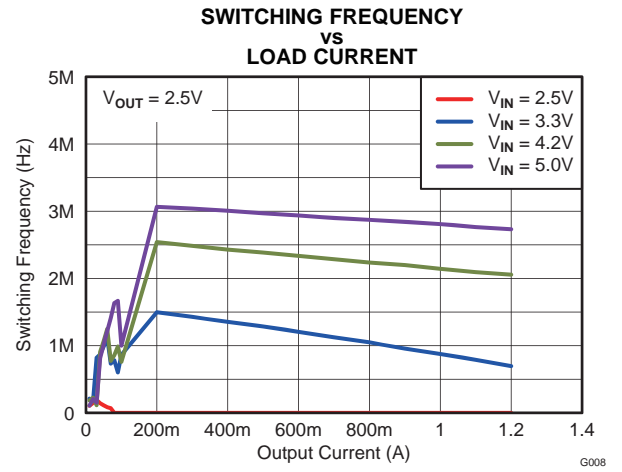


図 10

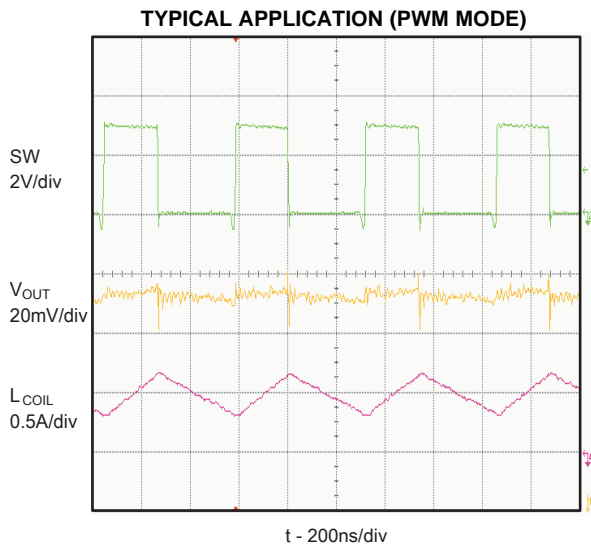


図 11

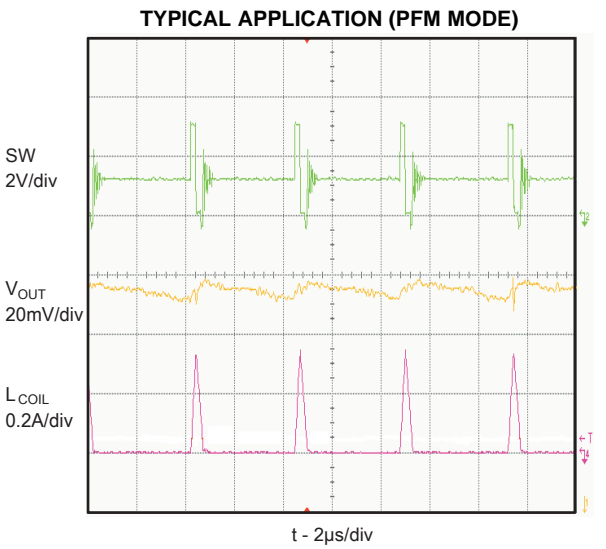


図 12

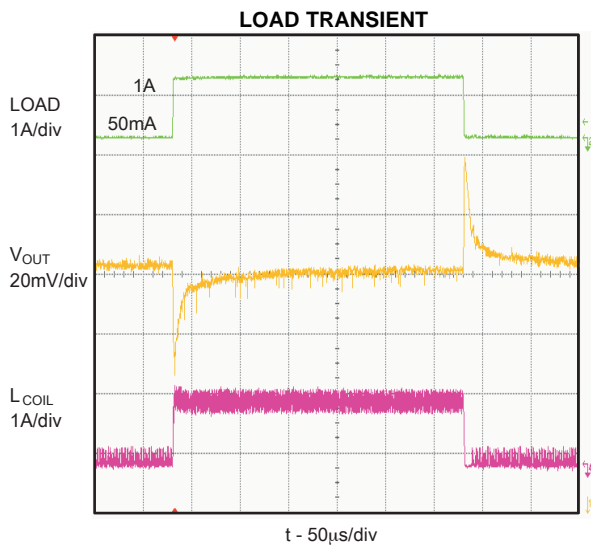


図 13

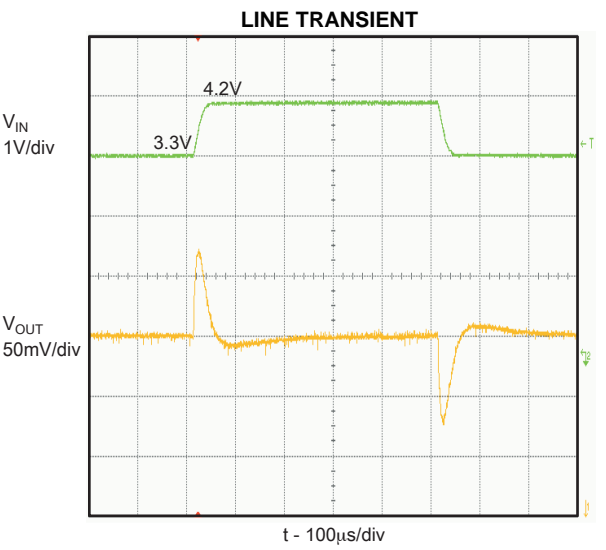


図 14

# 標準的特性

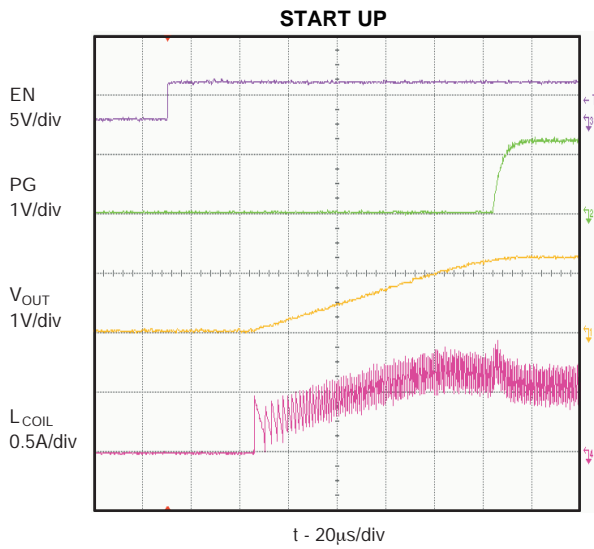


图 15

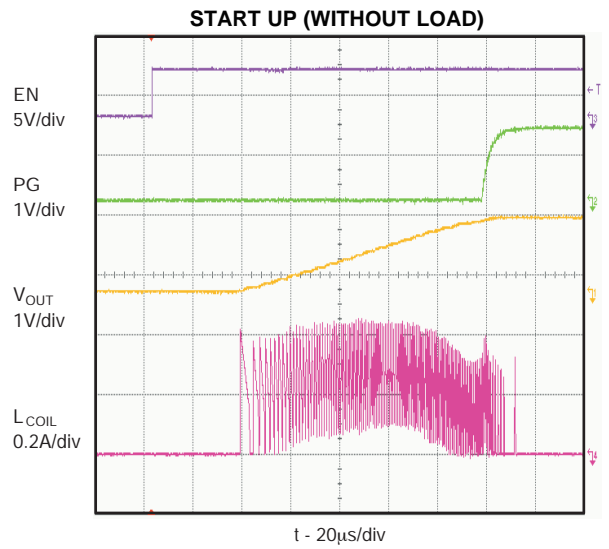


图 16



## 詳細説明 デバイス動作

TLV62080同期整流方式スイッチド・モード・コンバータは、DCS-Control™ (パワーセーブ・モードへのシームレスな遷移を備えた直接制御)に基づいています。これは、ヒステリシス制御と電圧モード制御の利点を組み合わせた高度なレギュレーション・トポロジです。

DCS-Control™トポロジは、中負荷および重負荷状態ではPWM(パルス幅変調)モードで動作し、軽負荷電流ではパワーセーブ・モードで動作します。PWMでは、コンバータは公称スイッチング周波数の2MHzで動作し、入力電圧範囲にわたって周波数変動が制御されます。負荷電流が減少すると、コンバータはパワーセーブ・モードに入り、スイッチング周波数を低下させ、ICの自己消費電流を最小限に抑えることで、負荷電流範囲全体にわたって高い効率を実現します。DCS-Control™は1つの制御ブロックを使用して両方の動作モード(PWMおよびPFM)をサポートするため、PWMからパワーセーブ・モードへの遷移は、出力電圧に影響することなくシームレスに行われます。TLV62080では、優れた直流電圧と負荷過渡のレギュレーションに加え、出力電圧リップルが非常に小さくなり、高周波回路への干渉を最小限に抑えられます。

### パワーセーブ・モード

負荷電流が減少すると、TLV62080はパワーセーブ・モード動作に移行します。パワーセーブ・モードでは、自己消費電流を最小限に抑え、高効率を維持するために、PFMモードにより低いスイッチング周波数で動作します。パワーセーブ・モードは、インダクタ電流が不連続になったときに開始されます。これは、固定オン時間アーキテクチャに基づいています。標準オン時間は、 $t_{on} = 400\text{ns} \cdot (V_{OUT}/V_{IN})$ で与えられます。負荷電流範囲全体にわたるスイッチング周波数は、図10に示されています。

### 100%デューティ・サイクルの低ドロップアウト動作

デバイスは、100%デューティ・サイクル・モードに入ることによって、入力/出力間に必要な電圧差を小さくします。このモードでは、ハイサイドMOSFETスイッチが常にオンで、ローサイドMOSFETはオフになります。この機能は、バッテリーの電圧範囲全体を最大限に活用して最長の稼動時間を実現できるため、バッテリー駆動のアプリケーションで特に有用です。スイッチングによるレギュレーションを維持するための最小入力電圧は、負荷電流と出力電圧に依存し、次の式で計算できます。

$$V_{IN,MIN} = V_{OUT} + I_{OUT,MAX} \times (R_{DS(on)} + R_L) \quad (1)$$

ここで

$V_{IN,MIN}$  = 最小入力電圧

$I_{OUT,MAX}$  = 最大出力電流

$R_{DS(on)}$  = ハイサイド FETのオン抵抗

$R_L$  = インダクタの抵抗値

### デバイスのイネーブル/ディスエーブル

EN入力をHighに設定することで、デバイスがイネーブルになります。また、Lowにすると、デバイスがディスエーブルになります。デバイスがイネーブルになると、内部の電源段でスイッチングが開始され、出力電圧がプログラミングされたスレッシュホールド値にレギュレーションされます。EN入力は、1MΩ未満の抵抗を使用してVINにプルアップまたはGNDにプルダウンされる必要があります。

### 出力放電

デバイスがシャットダウンされると、出力はSWピンから標準放電抵抗 $R_{DIS}$ を通して放電されます。これは、デバイスがEN入力、過熱シャットダウン、または低電圧誤動作防止機能(UVLO)によってディスエーブルになったときに行われます。

### ソフト・スタート

デバイスをイネーブルにすると、内部のソフト・スタート回路によって出力電圧が直線的に上昇し、ソフト・スタート時間(標準100μs)の間に公称出力電圧に達します。これにより、過大な突入電流が防止され、出力電圧がスムーズな傾きで立ち上がります。また、内部インピーダンスの高い1次電池や充電式電池が使用された場合に過大な電圧降下が発生する事を防ぎます。

高負荷状態での起動の場合などにより、ソフト・スタート時間内に公称出力電圧に達しなかった場合でも、コンバータは通常動作に入ります。その結果、以下に示すようにインダクタ電流制限が動作します。TLV62080は、出力コンデンサがプリバイアスされた状態でも起動できます。この場合、コンバータは印加されたバイアス電圧で起動した後、出力電圧を公称値まで上昇させます。

## パワー・グッド

TLV62080は、出力電圧が公称値を下回るとLowになるパワー・グッド出力を備えています。パワー・グッドは、出力がレギュレーション電圧の95%を超えるとハイ・インピーダンスを保持し、出力電圧がレギュレーション電圧の標準90%を下回るとLowになります。PGピンはオープン・ドレイン出力であり、標準で最大0.5mAまでシンクできるよう規定されています。パワー・グッド出力にはブルアップ抵抗が必要であり、これはデバイスの出力に接続することを推奨します。ディスエーブル、UVLO、または過熱シャットダウンによってデバイスがオフになると、PGピンはハイ・インピーダンスになります。

PG信号は、他のコンバータのENピンに接続することで、複数レールのシーケンシング制御に使用できます。PGピンを使用しないときは、未接続のままにします。

## 低電圧誤動作防止 (UVLO)

低入力電圧時のデバイスの誤動作を避けるために、低電圧誤動作防止機能が実装され、 $V_{UVLO}$ 未満の電圧 ( $V_{HYS\_UVLO}$ のヒステリシスを含む)ではデバイスがシャットダウンされます。

## 過熱シャットダウン

接合部温度が標準で $T_{JSD}$ を超えると、デバイスは過熱シャットダウン状態になります。デバイスの温度がスレッシュホールドを下回ると、デバイスは自動的に通常動作に戻ります。

## インダクタ電流制限

インダクタ電流制限によって、デバイスを高いインダクタ電流から保護し、バッテリーまたは入力電圧レールから過大な電流が流れるのを防ぎます。過大な電流は、インダクタが短絡/飽和した場合や、重負荷/出力短絡の状態が生じる可能性があります。

内蔵されているインダクタ・ピーク電流制限機能では、PWMモードでハイサイドおよびローサイド・パワー・MOSFETがオンのときの電流を測定します。ハイサイドの電流制限がトリップすると、ハイサイドMOSFETがオフになり、ローサイドMOSFETがオンになって、インダクタ電流が減少します。

インダクタ電流がローサイドのスイッチ電流制限まで低下すると、ローサイドMOSFETがオフになり、ハイサイドMOSFETが再度オンになります。インダクタ電流がハイサイドのスイッチ電流制限に達しなくなるまで、この動作が繰り返されます。内部の伝播遅延により、実際の電流制限値は、電気的特性表に記載された静的な電流制限を上回る可能性があります。

表 5. 推奨インダクター一覧

INDUCTANCE [μH]	CURRENT RATING [mA]	DIMENSIONS L x W x H [mm <sup>3</sup> ]	DC RESISTANCE [mΩ typ]	TYPE	MANUFACTURER
1.0	2500	3 x 3 x 1.2	35	XFL3012-102ME	Coilcraft
1.0	1650	3 x 3 x 1.2	40	LQH3NPN1R0NJ0	Murata
2.2	2500	4 x 3.7 x 1.65	49	LQH44PN2R2MP0	Murata
2.2	1600	3 x 3 x 1.2	81	XFL3012-222ME	Coilcraft

## アプリケーション情報

### 出力フィルタの設計

インダクタと出力コンデンサによって、ローパス周波数フィルタが形成されます。このプロセスを簡単にするために、ほとんどのアプリケーションに対するインダクタとコンデンサの可能な値の組み合わせを表4にまとめています。

表 4. 出力コンデンサとインダクタの組み合わせ

L [μH] <sup>(1)</sup>	C <sub>OUT</sub> [μF] <sup>(1)</sup>				
	10	22	47	100	150
0.47					
1	+	+(2)(3)	+	+	
2.2	+	+	+	+	
4.7					

- (1) 容量の公差およびバイアス電圧によるディレーティングを想定しています。実効容量は、+20%から-50%の変動が許容されています。インダクタの公差および電流のディレーティングを想定しています。実効インダクタンスには、+20%から-30%の変動が許容されています。  
 (2) +記号は、推奨されるフィルタの組み合わせを示しています。  
 (3) 標準アプリケーションでのフィルタの組み合わせです。

## インダクタの選択

インダクタの選択における主要なパラメータは、インダクタンス値と、インダクタの飽和電流です。静的な負荷条件での最大インダクタ電流は、式 (2) で計算します。

$$I_{L,MAX} = I_{OUT,MAX} + \frac{\Delta I_L}{2}$$

$$\Delta I_L = V_{OUT} \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L \times f_{SW}} \quad (2)$$

ここで

$I_{OUT,MAX}$  = 最大出力電流

$\Delta I_L$  = インダクタ電流リップル

$f_{SW}$  = スイッチング周波数

L = インダクタンス値

インダクタの飽和電流は、式 (2) の  $I_{L,MAX}$  よりも 20%~30% 大きな製品を選択することを推奨します。また、インダクタ値を大きくするとリップル電流を低減できますが、過渡応答時間が長くなります。設計では、表5のインダクタの使用を推奨します。

## コンデンサの選択

入力コンデンサは、コンバータへの低インピーダンスのエネルギー供給源であり、安定動作のために役立ちます。最適なフィルタリングのためには、低ESRの積層セラミック・コンデンサが推奨され、VINとGNDの間に、これらのピンにできるだけ近づけて配置する必要があります。ほとんどのアプリケーションに対しては10 $\mu$ Fで十分ですが、より大きな値を使用すると、入力電流リップルを低減できます。

TLV62080のアーキテクチャでは、等価直列抵抗 (ESR) の低い、小型のセラミック出力コンデンサを使用可能です。これらのコンデンサは、出力電圧リップルが低くなるため、推奨されます。高い周波数範囲まで抵抗値を保持し、温度による容量の変動を小さく抑えるために、X7RまたはX5R誘電体の使用を推奨します。TLV62080は、表4に示されるとおり、10 $\mu$ F~100 $\mu$ Fの出力容量で動作するよう設計されています。

## 出力電圧の設定

R<sub>1</sub>およびR<sub>2</sub>の選択によって、出力電圧を目的の値にプログラミングします。次の式を使用して、R<sub>1</sub>およびR<sub>2</sub>を計算できます。

$$V_{OUT} = V_{FB} \times \left(1 + \frac{R_1}{R_2}\right) = 0.45V \times \left(1 + \frac{R_1}{R_2}\right) \quad (3)$$

最高の精度を得るには、R<sub>2</sub>を40k $\Omega$ 未満に保つ事により、R<sub>2</sub>を流れる電流がI<sub>FB</sub>の100倍以上となるようにします。抵抗の合計値を小さくすると、ノイズに対する耐性が高まります。合計値を大きくすると、静止時自己消費電流が減少します。

## PCBレイアウト

PCBレイアウトは、TLV62080製品の高い性能を保持するために重要なステップです。

入力/出力コンデンサ、およびインダクタは、できるだけICピンの近くに配置する必要があります。それにより、パターンが短く保たれます。これらのパターンを幅広くし、部品面で直接配線することで、パターン抵抗が減少し、寄生インダクタンスも低下します。共通のパワーGNDを使用してください。GND電位のシフトを避けるため、入力および出力コンデンサのGND端は、パワーGNDに確実に接続します。

FBおよびVOSピンに接続される検出配線は、信号配線です。誘導されるノイズを避けるために、特別な注意を払う必要があります。直接配線によって、寄生インダクタンスを小さくできます。GND層をシールドに使用することも可能です。これらのパターンは、SWノードから離して配置します。

表 6. 推奨コンデンサ一覧

CAPACITANCE [ $\mu$ F]	TYPE	DIMENSIONS L x W x H [mm <sup>3</sup> ]	MANUFACTURER
10	GRM188R60J106M	0603: 1.6 x 0.8 x 0.8	Murata
22	GRM188R60G226M	0603: 1.6 x 0.8 x 0.8	Murata
22	GRM21BR60J226M	0805: 2.0 x 1.2 x 1.25	Murata

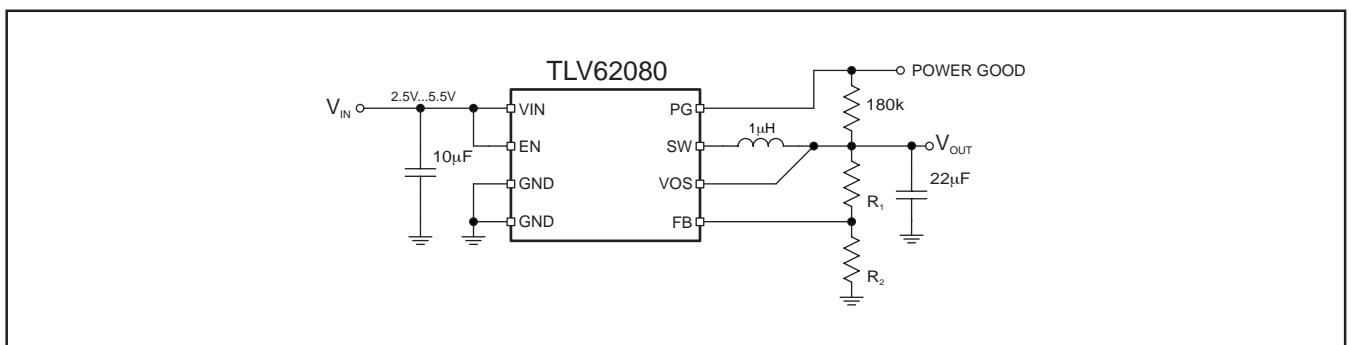


図 17. 標準アプリケーション回路

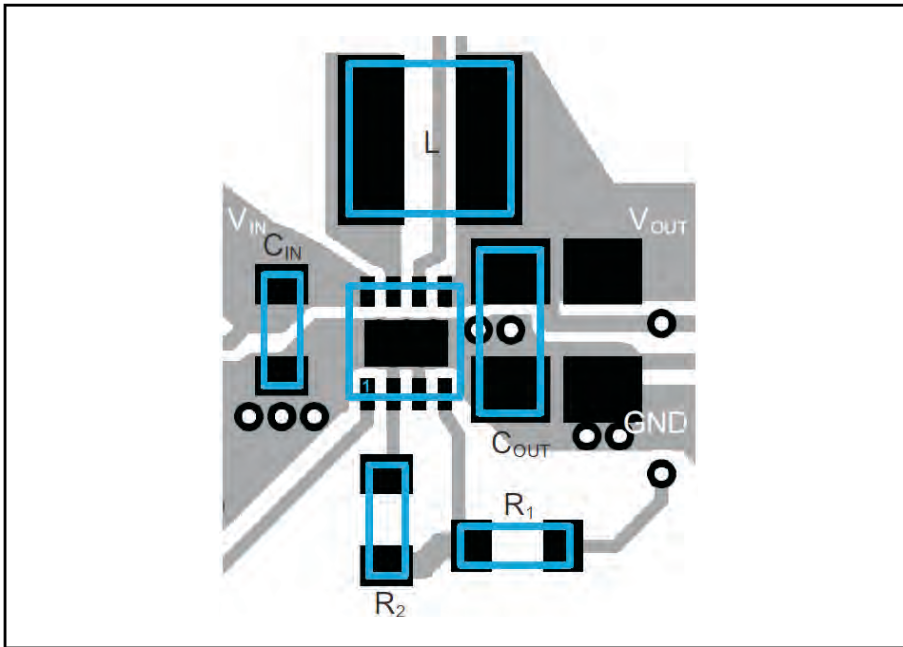


図 18. 推奨PCBレイアウト

## 熱特性について

一般に、低背でファイン・ピッチの表面実装パッケージにICを実装する場合は、熱拡散に特別な注意が必要です。熱結合、エアフロー、追加ヒートシンク、対流面、他の放熱部品の存在など、システムに依存する多くの問題により、特定の部品の許容損失が左右されます。

熱特性を向上させるための3つの基本的なアプローチを次に示します。

- PCB設計による熱拡散能力の向上
- ThermalPAD™の半田付けによる、PCBへの部品の熱結合の改善
- システムへのエアフローの導入

熱パラメータの使用法の詳細については、アプリケーション・ノート『Thermal Characteristics Application Note』(SZZA017およびSPRA953)を参照してください。

## アプリケーション例

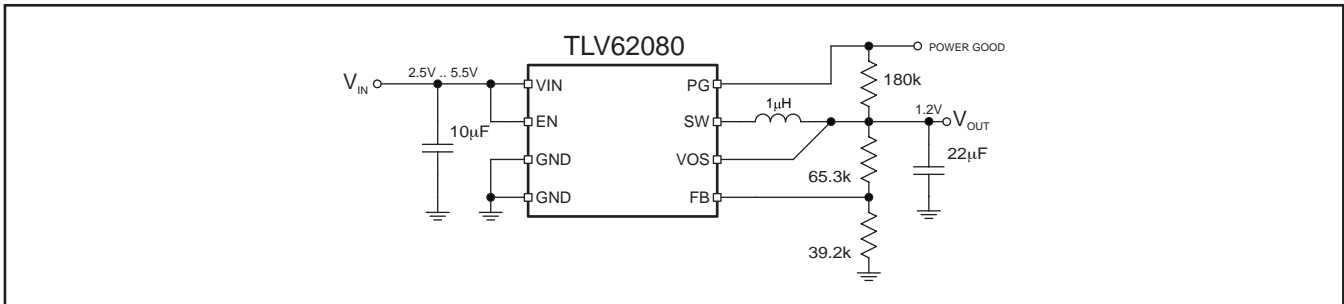


図 19. 1.2V出力電圧アプリケーション

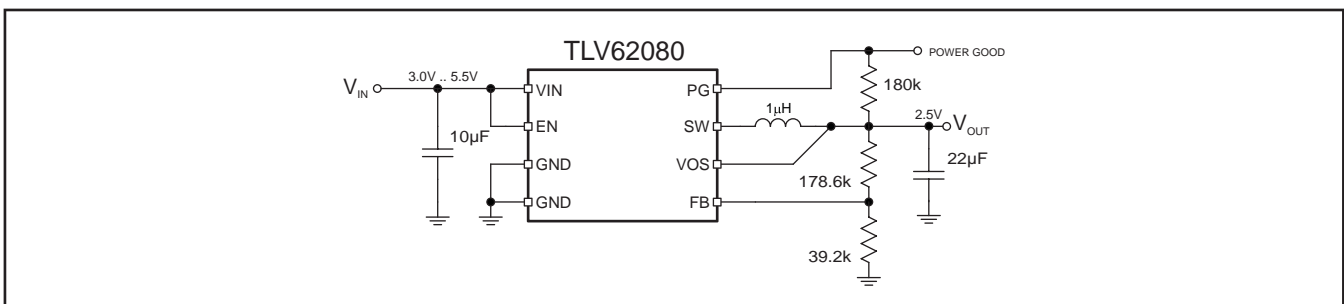


図 20. 2.5V出力電圧アプリケーション

# パッケージ情報

## 製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV62080DSGR	ACTIVE	WSON	DSG	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	RAU	<a href="#">Samples</a>
TLV62080DSGT	ACTIVE	WSON	DSG	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	RAU	<a href="#">Samples</a>

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンパ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

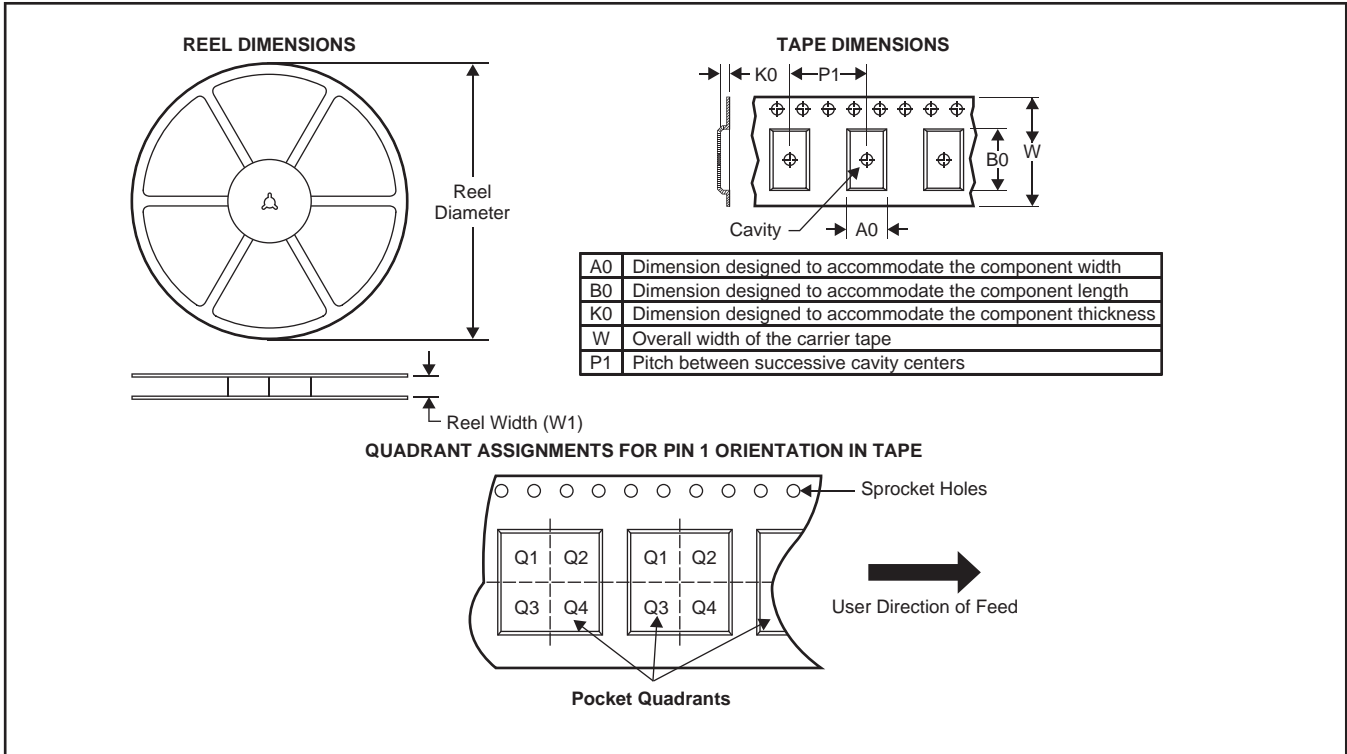
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

# パッケージ・材料情報

## テープおよびリール・ボックス情報



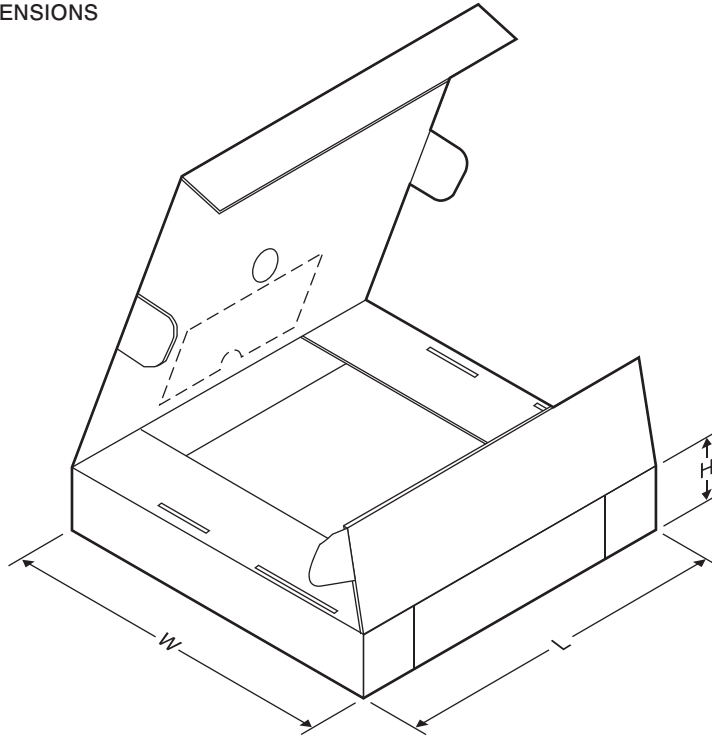
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV62080DSGR	WSON	DSG	8	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TLV62080DSGT	WSON	DSG	8	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2



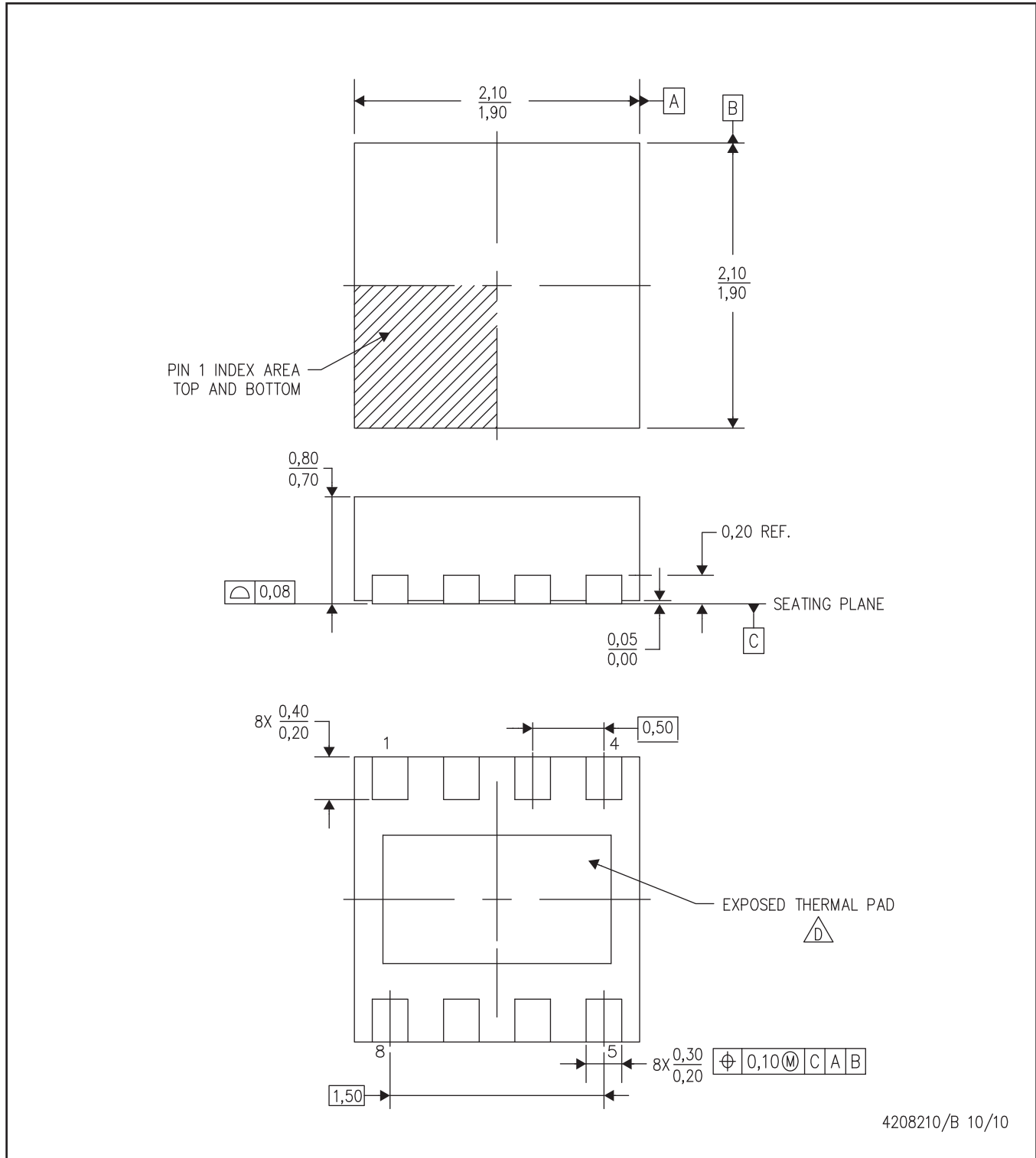
## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV62080DSGR	WSON	DSG	8	3000	195.0	200.0	45.0
TLV62080DSGT	WSON	DSG	8	250	195.0	200.0	45.0



注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。

B. 本図は予告なしに変更することがあります。

C. QFN (クワッド・フラットバック・ノーリード) パッケージ構造。

△ パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。

露出サーマルパッドの寸法および形状についての詳細は、データシート内のサーマルパッド・メカニカル・データを参照してください。

E. JEDEC MO-229に準拠します。



# サーマルパッド・メカニカル・データ

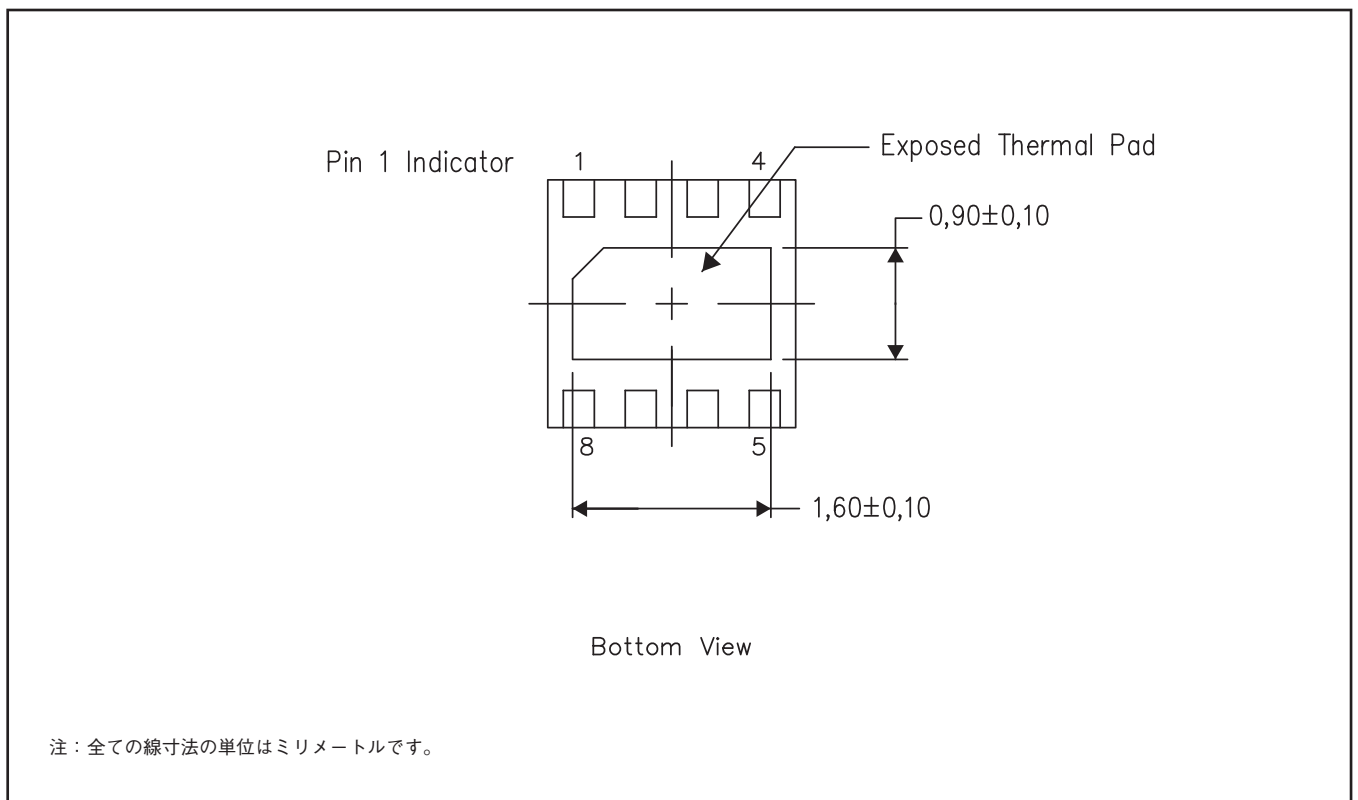
DSG(S-PWSON-N8)

## 熱的特性に関する資料

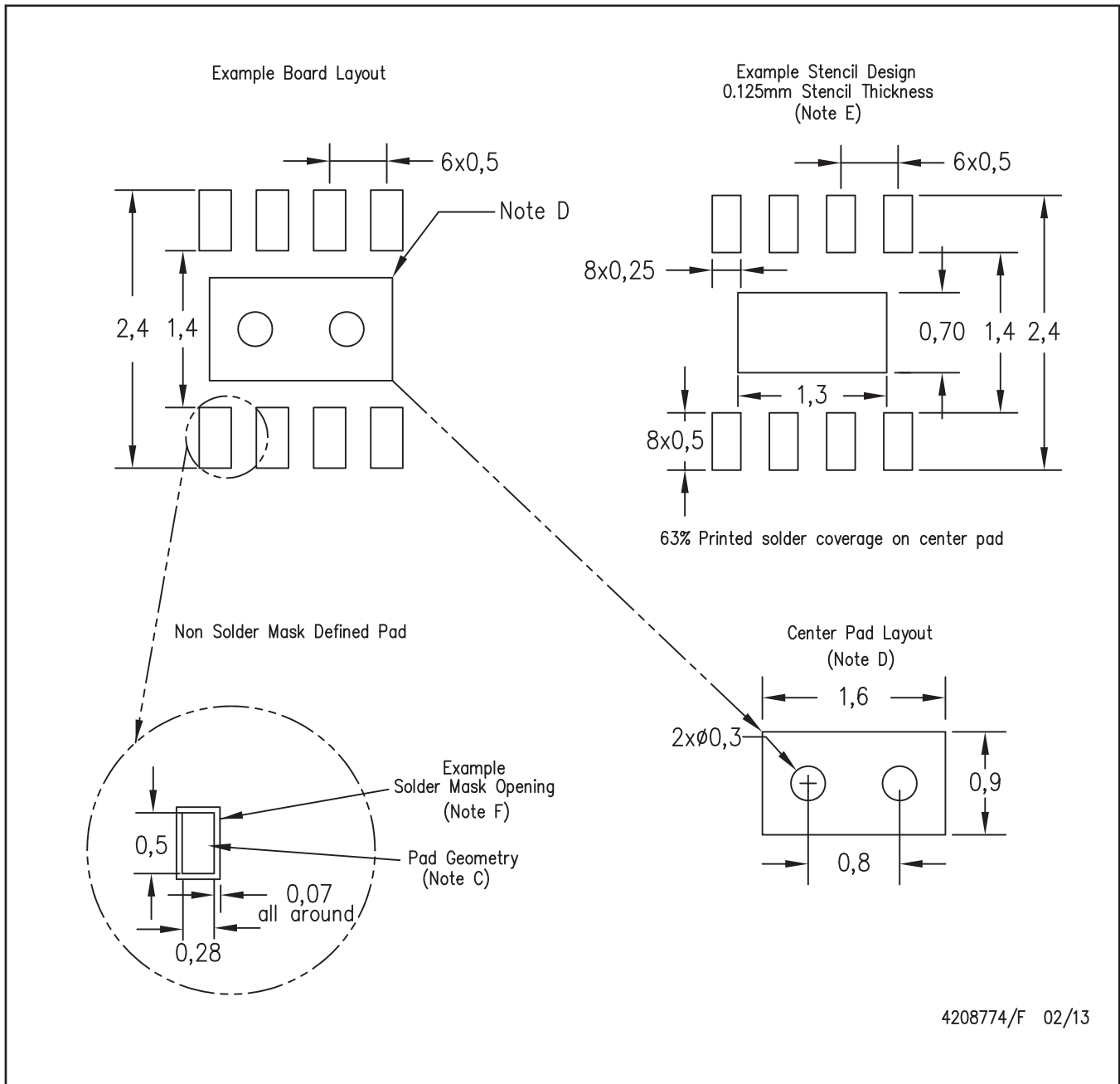
このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN(Quad Flatpack No-Lead)パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead SON PCB』(Texas Instruments文献番号SLUA271)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。に設計された、露出したサーマルパッドが装備されています。



サーマルパッド寸法図



- 注：A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 代替設計には、IPC-7351規格を推奨します。  
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。  
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

# ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得なければならない場合があります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2014, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

### 3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上