DS90UB953-Q1 CSI-2 インターフェイスを搭載した 2.3MP/60fps カメラ、レーダー、他のセンサ用の FPD-Link III 4.16Gbps シリアライザ

1 特長

- 車載アプリケーション用に AEC-Q100 (グレード 2) 認定済み
  - デバイス温度:–40℃～+105℃の周囲動作温度
- ISO 10605 および IEC 61000-4-2 ESD に準拠
- Power-over-Coax (PoC) 対応トランシーバ
- 4.16Gbps グレードのシリアライザにより、フル HD 1080p 2.3MP 60fps および 4MP 30fps イメージャを含む高速センサをサポート
- D-PHY v1.2 および CSI-2 v1.3 準拠のシステム インターフェイス
  - 最大 4 つのデータ レーン、各レーンは最高 832Mbps
  - 最大 4 つの仮想チャネルをサポート
- 高精度なマルチカメラ クロッキングおよび同期
- 柔軟なプログラマブル出力クロック ジェネレータ
- CRC データ保護、センサ データ整合性チェック、I2C 書き込み保護、電圧および温度測定、プログラマブル アラーム、ライン フォルト検出を含む高度なデータ保護および診断機能
- シングル エンドの同軸またはシールド付きツイストペア (STP) ケーブルに対応
- 超低レイテンシの双方向 I2C/GPIO 制御チャネルにより、ECU 側からの ISP 制御が可能になり
- 1.8V の単一電源電圧
- 低消費電力 (標準値 0.28W)
- 機能安全対応
  - ISO 26262 システムの設計に役立つ資料を利用可能
- DS90UB954-Q1、DS90UB964-Q1、DS90UB962-Q1、DS90UB936-Q1、DS90UB960-Q1、DS90UB934-Q1、DS90UB914A-Q1 デシリアライザと互換
- FPD-Link IV とピン互換:DS90UB971-Q1 および FPD-Link III:DS90UB935-Q1、DS90UB953A-Q1、DS90UB951-Q1 シリアライザ
- 小型の 5mm × 5mm VQFN パッケージ、およびコンパクト カメラ モジュール設計向けの PoC ソリューション サイズ

2 アプリケーション

- 先進運転支援システム (ADAS)
  - サラウンド ビュー システム (SVS)
  - カメラ監視システム (CMS)
  - 前方視野カメラ (FC)
  - ドライバー監視システム (DMS)
  - リアビュー カメラ (RVC)
  - 車載用衛星レーダー & LIDAR モジュール
  - タイム オブ フライト (ToF) センサ
- セキュリティおよび監視カメラ
- 産業用および医療用イメージング

3 概要

DS90UB953-Q1 シリアライザは、テキサス・インスツルメンツ の FPD-Link III デバイス ファミリの製品であり、60fps の 2.3MP イメージャを搭載した高速 RAW データ センサや、4MP/30fps のカメラ、衛星用レーダー、LIDAR、タイム オブ フライト (ToF) センサをサポートするように設計されています。このチップは、4.16Gbps のフォワード チャネルと超低レイテンシで 50Mbps の双方向制御チャネルを備えており、1 本の同軸ケーブルによる給電 (PoC) または STP ケーブルをサポートしています。DS90UB953-Q1 は、高度なデータ保護および診断機能により、ADAS および自動運転をサポートします。デシリアライザと組み合わせることで、DS90UB953-Q1 は高精度のマルチカメラ センサ クロックおよびセンサ同期を実現します。

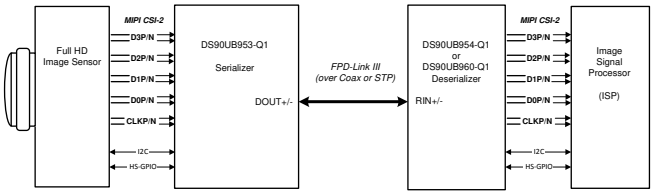
DS90UB953-Q1 は、温度範囲が -40°C～105°C と広く、AEC-Q100 認定済みです。このシリアライザは、スペースの制約があるセンサ アプリケーション向けに小型の 5mm × 5mm VQFN パッケージで供給されます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)(2)
DS90UB953-Q1	VQFN (32)	5.00mm × 5.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



代表的なアプリケーション

Copyright © 2024 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 推奨動作条件 ... 7
5.4 熱に関する情報 ... 7
5.5 電気的特性 ... 8
5.6 シリアル制御バスの推奨タイミング ... 12
5.7 タイミング図 ... 13
5.8 代表的特性 ... 13
6 詳細説明 ... 14
6.1 概要 ... 14
6.2 機能ブロック図 ... 14
6.3 機能説明 ... 15
6.4 デバイスの機能モード ... 22
6.5 プログラミング ... 27
6.6 パターン生成 ... 29
6.7 レジスタ マップ ... 33
7 アプリケーションと実装 ... 69
7.1 アプリケーション情報 ... 69
7.2 代表的なアプリケーション ... 72
7.3 電源に関する推奨事項 ... 76
7.4 レイアウト ... 80
8 デバイスおよびドキュメントのサポート ... 83
8.1 デバイス サポート ... 83
8.2 ドキュメントのサポート ... 83
8.3 ドキュメントの更新通知を受け取る方法 ... 83
8.4 サポート・リソース ... 83
8.5 商標 ... 83
8.6 静電気放電に関する注意事項 ... 83
8.7 用語集 ... 83
9 改訂履歴 ... 84
10 メカニカル、パッケージ、および注文情報 ... 88

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

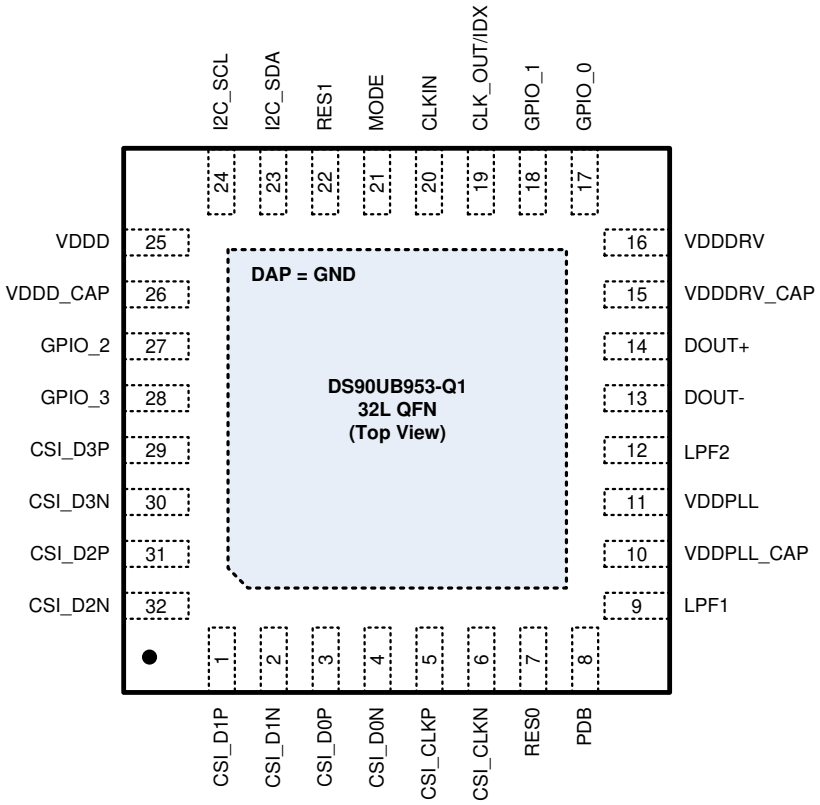


図 4-1. RHB パッケージ
32 ピン VQFN
上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
CSI インターフェイス			
CSI_CLKP	5	I、DPHY	CSI-2 クロック入力ピン。マッチングされた 100Ω (±5%) インピーダンスの相互接続を備えた CSI-2 クロック ソースに接続します。
CSI_CLKN	6	I、DPHY	
CSI_D0P	3	I、DPHY	CSI-2 データ入力ピン。マッチングされた 100Ω (±5%) インピーダンスの相互接続を備えた CSI-2 データ ソースに接続します。これらのピンを使用しない場合、フローティングのままでもかまいません。
CSI_D0N	4	I、DPHY	
CSI_D1P	1	I、DPHY	
CSI_D1N	2	I、DPHY	
CSI_D2P	31	I、DPHY	
CSI_D2N	32	I、DPHY	
CSI_D3P	29	I、DPHY	
CSI_D3N	30	I、DPHY	
シリアル制御インターフェイス			
I2C_SDA	23	OD	I2C データおよびクロック ピン。IDX の設定に応じて、1.8V または 3.3V の電源レールにプルアップします。DS90UB953-Q1 の I2C 実装の詳細については、「I2C インターフェイスの構成」を参照してください。『I2C バスのプルアップ抵抗値の計算』(SVLA689) 参照。
I2C_SCL	24	OD	
構成および制御			
RES0	7	I	予約済みピン – GND に接続
RES1	22	I	予約済みピン – 接続しない (フローティングのまま)

Copyright © 2024 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		I/O	説明
名称	番号		
PDB	8	I、PD	パワーダウン反転入力ピン。1MΩ の内部プルダウン。通常、プルダウン付きのプロセッサ GPIO に接続します。PDB 入力を High にすると、本デバイスは有効化され、内部レジスタとステート マシンがデフォルト値にリセットされます。PDB 信号を Low にアサートすると、本デバイスの電源がオフになり、消費電力が最小化されます。このピンのデフォルトの機能は PDB = LOW、パワーダウンです。電源が印加され、必要な最小限のレベルに達するまで、PDB は Low を維持する必要があります。PDB の機能の詳細については、「パワーダウン (PDB)」を参照してください 。 **PDB 入力は 3.3V 許容ではありません。** PDB = 1.8V、デバイスを有効化 (通常動作) PDB = 0、デバイスをパワーダウン。
モード	21	I、S	モード選択構成入力。デフォルトの動作モードは、起動時に PDB が Low から High に遷移したときの MODE 入力電圧に基づいてストラップされています。通常、VDD18 への外部プルアップおよび GND への外部プルダウンを介して分圧器に接続して、適切なバイアス電圧を印加します。詳細については、「モード」を参照してください。
CLK_OUT/IDX	19	I/O、S	IDX ピンは、I2C のプルアップ電圧とデバイス アドレスを設定します。VDD への外部プルアップおよび GND への外部プルダウンを接続して、分圧器を構成します。PDB が Low から High に遷移すると、CLOCK_OUT/IDX ピンでストラップ入力電圧が検出されて機能が判定され、その後 CLK_OUT に転換します。詳細については、「I2C インターフェイスの構成」を参照してください 。CLK_OUT を使用する場合、このピンの最小抵抗は 35kΩ です。使用しない場合、CLK_OUT/IDX を GND に接続できます。
FPD-Link III インターフェイス			
DOUT-	13	I/O	FPD-Link III の入出力ピン。これらのピンは AC 結合する必要があります。標準的な接続図については、図 7-5 および 図 7-6、推奨されるコンデンサの値については、表 7-3 を参照してください。
DOUT+	14	I/O	
電源およびグランド			
VDDD_CAP	26	D、P	内部アナログ レギュレータのデカップリング コンデンサの接続。通常、GND との間に 10μF、0.1μF、0.01μF のコンデンサを接続します。外部電源レールには接続しないでください。詳細については「代表的なアプリケーション」を参照してください。
VDDDRV_CAP	15	D、P	内部アナログ レギュレータのデカップリングコンデンサの接続。通常、GND との間に 10μF、0.1μF、0.01μF のコンデンサを接続します。外部電源レールには接続しないでください。詳細については「代表的なアプリケーション」を参照してください。
VDDPLL_CAP	10	D、P	内部アナログ レギュレータのデカップリングコンデンサの接続。通常、GND との間に 10μF、0.1μF、0.01μF のコンデンサを接続します。外部電源レールには接続しないでください。詳細については「代表的なアプリケーション」を参照してください。
VDDD	25	P	1.8V (±5%) 電源ピン。 通常、GND との間に 1μF コンデンサと 0.01μF コンデンサを接続します。
VDDDRV	16	P	1.8V (±5%) アナログ電源ピン。 通常、GND との間に 1μF コンデンサと 0.01μF コンデンサを接続します。
VDDPLL	11	P	1.8V (±5%) アナログ電源ピン。 通常、GND との間に 1μF コンデンサと 0.01μF コンデンサを接続します。
GND	DAP	G	DAP は、VQFN パッケージの裏側の中央にある大きな金属接触部です。グランド プレーン (GND) に接続します。
ループ フィルタ			
LPF1	9	P	ループ フィルタ 1:セクション 7.2.2.4 の説明に従って接続します。
LPF2	12	P	ループ フィルタ 2:セクション 7.2.2.4 の説明に従って接続します。
クロック インターフェイスおよび GPIO			
GPIO_0	17	I/O、PD	汎用入出力ピン。これらのピンは、入力の電圧を検出するように構成することもできます。「電圧および温度の検出」参照。電源オン時、これらの GPIO ピンは、デフォルトで 300kΩ (標準値) の内部プルダウン抵抗を備えた入力に設定されます。これらのピンを使用しない場合は、フローティングのままにできますが、GPIOx_INPUT_EN を 0 に設定してピンをディセーブルにすることを推奨します。プログラム機能については、セクション 6.3.6 を参照してください。
GPIO_1	18	I/O、PD	
GPIO_2	27	I/O、PD	汎用入出力ピン。電源オン時、これらの GPIO ピンは、デフォルトで 300kΩ (標準値) の内部プルダウン抵抗を備えた入力に設定されます。これらのピンを使用しない場合は、フローティングのままにできますが、GPIOx_INPUT_EN を 0 に設定してピンをディセーブルにすることを推奨します。プログラム機能については、セクション 6.3.6 を参照してください。
GPIO_3	28	I/O 。PD	
CLKIN	20	I	基準クロック入力ピン。非同期外部クロック モードで動作する場合、このピンをローカル クロック ソースに接続します。他のクロック モードと同様に、このピンを使わない場合はオープンのままにできます。クロック モードの詳細については、表 6-8 を参照してください。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

	ピンまたは周波数	最小値	最大値	単位
電源電圧、VDD	VDDD、VDDDRV、VDDPLL	-0.3	2.16	V
入力電圧	GPIO[3:0]、PDB、CLKIN、IDX、MODE、CSI_CLKP/N、CSI_D0P/N、CSI_D1P/N、CSI_D2P/N、CSI_D3P/N	-0.3	V_{DD} + 0.3	V
FPD-Link III 出力電圧	DOUT+、DOUT-	-0.3	1.21	V
オープンドレイン電圧	I2C_SDA、I2C_SCL	-0.3	3.96	V
接合部温度、T_J			150	℃
保管温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ESD 分類レベル 3A、AEC-Q100-002 準拠(1)	メディア依存インターフェイス ピンを除くすべてのピン	±4000	V
			メディア依存インターフェイス ピン		
		デバイス帯電モデル (CDM)、ESD 分類レベル C6、AEC-Q100-011 準拠		±1500	V
		IEC 61000-4-2 R_D = 330Ω、C_S = 150pF	接触放電 (DOUT+ および DOUT-)	±8000	V
			気中放電 (DOUT+ および DOUT-)	±18000	V
		ISO 10605 R_D = 330Ω、C_S = 150pF および 330pF R_D = 2kΩ、C_S = 150pF および 330pF	接触放電 (DOUT+ および DOUT-)	±8000	V
			気中放電 (DOUT+ および DOUT-)	±18000	V

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

Copyright © 2024 Texas Instruments Incorporated

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧	VDD (VDDD、VDDDRV、VDDPLL)	1.71	1.8	1.89	V
オープンドレイン電圧	I2C_SDA、I2C_SCL = $V_{(I2C)}$	1.71		3.6	V
自由気流での動作温度 (T_A)		-40	25	105	℃
温度低下終了温度 (Ts = 開始温度) (3)	10°C < TS ≤ 105°C	-10			℃
温度低下終了温度 (Ts = 開始温度) (3)	Ts ≤ 10°C	Ts-20			℃
MIPI データ レート (CSI-2 レーンごと)		80		832	Mbps
基準クロック周波数		25		104	MHz
ローカル I^2C 周波数 (f_{I2C})				1	MHz
電源ノイズ (4)	VDD (VDDD、VDDDRV、VDDPLL)			25	mV_{p-p}
DOUT+ と DOUT- 間の差動電源ノイズ (PSR)	f = 10 kHz～50MHz (同軸モードのみ)			25	mV_{p-p}
	f = 30Hz、10～90% の立ち上がり/立ち下がり時間 > 100µs (同軸モードのみ)			25	mV_{p-p}
非同期モード (t_{JIT}) の入力クロック ジッタ	CLKIN			0.05	UI_CLK_IN (2)
バック チャネル入力ジッタ (t_{JIT-BC})	DOUT+、DOUT-			0.4	UI_BC (1)

(1) バック チャネル ユニット間隔 (UI_BC) は 1/(BC ライン レート) です。たとえば、標準的な UI_BC は 1/100MHz = 10ns です。ジッタ許容値が 0.4UI の場合、次の式を使用して UI のジッタを秒に変換します。10ns × 0.4UI = 4ns
(2) 非同期モード - 特定のクロックについて、UI は 1/clock_freq として定義されます。たとえば、クロック = 50MHz の場合、標準的な UI_CLK_IN は 1/50MHz = 20ns です。
(3) ソフトウェア構成を使用した、連続的な PLL ロックのための温度低下終了温度。デバイス構成の詳細については、セクション 9.1.1「システムの初期化」を参照してください。
(4) DC - 50MHz

5.4 熱に関する情報

熱評価基準(1)		DS90UB953-Q1 RHB (VQFN) 32 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	10.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	20	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	10.9	℃/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピンまたは周波数	最小値	代表値	最大値	単位
消費電力							
I_{DD_TOTAL}	電源電流	416MHz CSI 入力クロック、4 レーン モード、チェッカーボード パターン	VDDPLL、VDDD、VDDDRV		160	225	mA
I_{DDPLL}			VDDPLL		55	80	
I_{DDD}			VDDD		45	70	
I_{DDDRV}			VDDDRV		60	75	
1.8-V LVCMOS I/O (VDD) = 1.71V～1.89V)							
V_{OH}	High レベル出力電圧	I_{OH} = -4mA	GPIO[3:0]、CLK_OUT	$V_{(VDD)}$ – 0.45		$V_{(VDD)}$	V
V_{OL}	Low レベル出力電圧	I_{OL} = +4mA	GPIO[3:0]、CLK_OUT	GND		0.45	V
V_{IH}	High レベル入力電圧		GPIO[3:0]、PDB、CLKIN	$V_{(VDD)}$ × 0.65		$V_{(VDD)}$	V
V_{IL}	Low レベル入力電圧		GPIO[3:0]、PDB、CLKIN	GND		$V_{(VDD)}$ × 0.35	V
I_{IH}	入力 HIGH 電流	V_{IN} = $V_{(VDD)}$	GPIO[3:0]、PDB、CLKIN			20	µA
I_{IL}	入力 LOW 電流	V_{IN} = GND	GPIO[3:0]、PDB、CLKIN	-20			µA
I_{OS}	出力短絡電流	V_{OUT} = 0V			-36		mA
I_{OZ}	トライステート出力電流	V_{OUT} = $V_{(VDD)}$、V_{OUT} = GND	GPIO[3:0]、CLK_OUT			±20	µA
C_{IN}	入力容量				5		pF

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピンまたは周波数	最小値	代表値	最大値	単位
FPD-Link III の入出力							
V_{IN-BC}	シングルエンド入力電圧	同軸構成、50Ω、最大ケーブル長	DOUT+、DOUT-	120			mV
V_{ID-BC}	差動入力電圧	STP 構成、100Ω、最大ケーブル長	DOUT+、DOUT-	240			mV
E_{H-FC}	フォワード チャネル アイの高さ	同軸構成、FPD-Link フォワード チャネル = 4.16Gbps	DOUT+、DOUT-		425		mVp-p
		STP 構成、FPD-Link フォワード チャネル = 4.16Gbps	DOUT+、DOUT-		850		mVp-p
t_{TR-FC}	フォワード チャネル出力遷移時間	FPD-Link フォワード チャネル = 4.16Gbps、20%～80%	DOUT+、DOUT-		65		ps
t_{JIT-FC}	フォワード チャネル出力のジッタ	同期モード、f/15 -3dB CDR ループ BW で測定	DOUT+、DOUT-		0.21		UI
		非同期モード、f/15 – 3dB CDR ループ BW で測定	DOUT+、DOUT-		0.22		UI
f_{REF}	内部基準周波数	非同期内部クロック モード		24.2		25.5	MHz
FPD-LINK III ドライバの仕様 (差動)							
V_{ODp-p}	出力差動電圧	R_L = 100Ω	DOUT+、DOUT-	1040	1150	1340	mV_{p-p}
ΔV_{OD}	出力電圧不平衡		DOUT+、DOUT-		5	24	mV
V_{OS}	出力差動オフセット電圧		DOUT+、DOUT-		575		mV
ΔV_{OS}	オフセット電圧不平衡		DOUT+、DOUT-		2		mV
I_{OS}	出力短絡電流	DOUT = 0V	DOUT+、DOUT-		-22		mA
R_T	内部終端抵抗	DOUT+ と DOUT- の間	DOUT+、DOUT-	80	100	120	Ω
FPD-LINK III ドライバ仕様 (シングルエンド)							
V_{OUT}	シングルエンド出力電圧	R_L = 50Ω	DOUT+、DOUT-	520	575	670	mV_{p-p}
I_{OS}	出力短絡電流	DOUT = 0V	DOUT+、DOUT-		-22		mA
R_T	シングルエンド終端抵抗		DOUT+、DOUT-	40	50	60	Ω
電圧と温度の検出							
V_{ACC}	電圧精度	「電圧と温度の検出」を参照	GPIO[1:0]		±1		LSB
T_{ACC}	温度精度	「電圧と温度の検出」を参照			±1		LSB

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピンまたは周波数	最小値	代表値	最大値	単位
CSI-2 HS インターフェイス DC 仕様							
$V_{CMRX(DC)}$	同相電圧、HS 受信モード		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	70		330	mV
V_{IDTH}	差動入力 High スレッショルド		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N			70	mV
V_{IDTL}	差動入力 Low スレッショルド		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	-70			mV
Z_{ID}	差動入力インピーダンス		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	80	100	125	Ω
CSI-2 HS インターフェイス AC 仕様							
t_{HOLD}	データ - クロック セットアップ時間		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	0.15			UI
t_{SETUP}	データ - クロック ホールド時間		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	0.15			UI
CSI-2 LP インターフェイス DC 仕様							
V_{IH}	ロジック High の入力電圧		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	880	790		mV
V_{IL}	ロジック Low の入力電圧		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N		710	550	mV
V_{HYST}	入力ヒステリシス		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	25	75		mV

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

推奨動作電源電圧および温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	ピンまたは周波数	最小値	代表値	最大値	単位
LVCMOS I/O							
t_{CLH}	LVCMOS の Low から High への遷移時間	$V_{(VDD)}$ = 1.71～1.89V	GPIO[3:0]		2		ns
t_{CHL}	LVCMOS の High から Low への遷移時間	$V_{(VDD)}$ = 1.71～1.89V	GPIO[3:0]		2		ns
t_{PDB}	PDB リセット パルス幅	電源電圧が印加され安定している状態	PDB	3			ms
シリアル制御バス							
V_{IH}	入力 HIGH レベル		I2C_SCL、I2C_SDA	0.7 × $V_{(I2C)}$		$V_{(I2C)}$	mV
V_{IL}	入力 LOW レベル		I2C_SCL、I2C_SDA	GND		0.3 × $V_{(I2C)}$	mV
V_{HY}	入力ヒステリシス		I2C_SCL、I2C_SDA		>50		mV
V_{OL}	出力 Low レベル	$V_{(I2C)}$ < 2V、I_{OL} = 3mA、標準モード / ファースト モード	I2C_SCL、I2C_SDA	0		0.2 × $V_{(I2C)}$	V
		$V_{(I2C)}$ < 2V、I_{OL} = 20mA、ファースト モード プラス	I2C_SCL、I2C_SDA	0		0.2 × $V_{(I2C)}$	V
		$V_{(I2C)}$ > 2V 、I_{OL} = 3mA 、標準モード / ファースト・モード	I2C_SCL、I2C_SDA	0		0.4	V
		$V_{(I2C)}$ > 2V、I_{OL} = 20mA、ファースト モード プラス	I2C_SCL、I2C_SDA	0		0.4	V
I_{IH}	入力 HIGH 電流	V_{IN} = $V_{(I2C)}$	I2C_SCL、I2C_SDA	-10		10	µA
I_{IL}	入力 LOW 電流	V_{IN} = 0V	I2C_SCL、I2C_SDA	-10		10	µA
I_{IL}	入力 LOW 電流	V_{IN} = 0V	I2C_SCL、I2C_SDA	-10		10	µA
C_{IN}	入力容量		I2C_SCL、I2C_SDA		5		pf

Copyright © 2024 Texas Instruments Incorporated

5.6 シリアル制御バスの推奨タイミング

I²C の電源および温度範囲内 (特に記述のない限り)

			最小値	代表値	最大値	単位
f_{SCL}	SCL クロック周波数	スタンダード モード	>0		100	kHz
		ファースト モード	>0		400	kHz
		ファースト モード プラス	>0		1	MHz
t_{LOW}	SCL Low 期間	スタンダード モード	4.7			µs
		ファースト モード	1.3			µs
		ファースト モード プラス	0.5			µs
t_{HIGH}	SCL High 期間	スタンダード モード	4.0			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
$t_{HD;STA}$	START または REPEAT-START 条件のホールド時間	スタンダード モード	4.0			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
$t_{SU;STA}$	START または REPEAT-START 条件のセットアップ時間	スタンダード モード	4.7			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
$t_{HD;DAT}$	データ ホールド時間	スタンダード モード	0			µs
		ファースト モード	0			µs
		ファースト モード プラス	0			µs
$t_{SU;DAT}$	データ セットアップ時間	スタンダード モード	250			ns
		ファースト モード	100			ns
		ファースト モード プラス	50			ns
$t_{SU;STO}$	STOP 条件のセットアップ時間	スタンダード モード	4.0			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
t_{BUF}	STOP と START 間のバス解放時間	スタンダード モード	4.7			µs
		ファースト モード	1.3			µs
		ファースト モード プラス	0.5			µs
t_r	SCL & SDA 立ち上がり時間	スタンダード モード			1000	ns
		ファースト モード			300	ns
		ファースト モード プラス			120	ns
t_f	SCL & SDA 立ち下がり時間	スタンダード モード			300	ns
		ファースト モード			300	ns
		ファースト モード プラス			120	ns
C_b	各バス ラインの容量性負荷	スタンダード モード			400	pF
		ファースト モード			400	pF
		ファースト モード プラス			550	pF
$t_{VD:DAT}$	データ有効時間	スタンダード モード			3.45	µs
		ファースト モード			0.9	µs
		ファースト モード プラス			0.45	µs
$t_{VD;ACK}$	データ有効アクノリッジ時間	スタンダード モード			3.45	µs
		ファースト モード			0.9	µs
		ファースト モード プラス			0.45	µs
t_{SP}	入力フィルタ	ファースト モード			50	ns
		ファースト モード プラス			50	ns

Copyright © 2024 Texas Instruments Incorporated

5.7 タイミング図

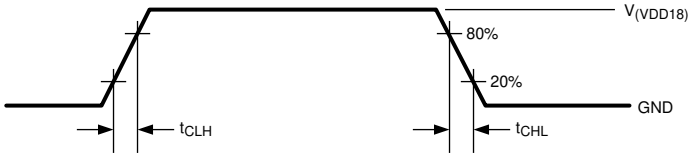


図 5-1. LVCMOS 遷移時間

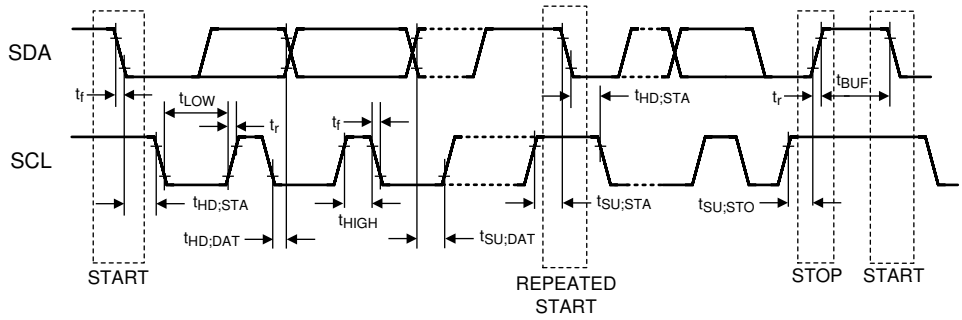


図 5-2. I²C シリアル 制御バスのタイミング

5.8 代表的特性

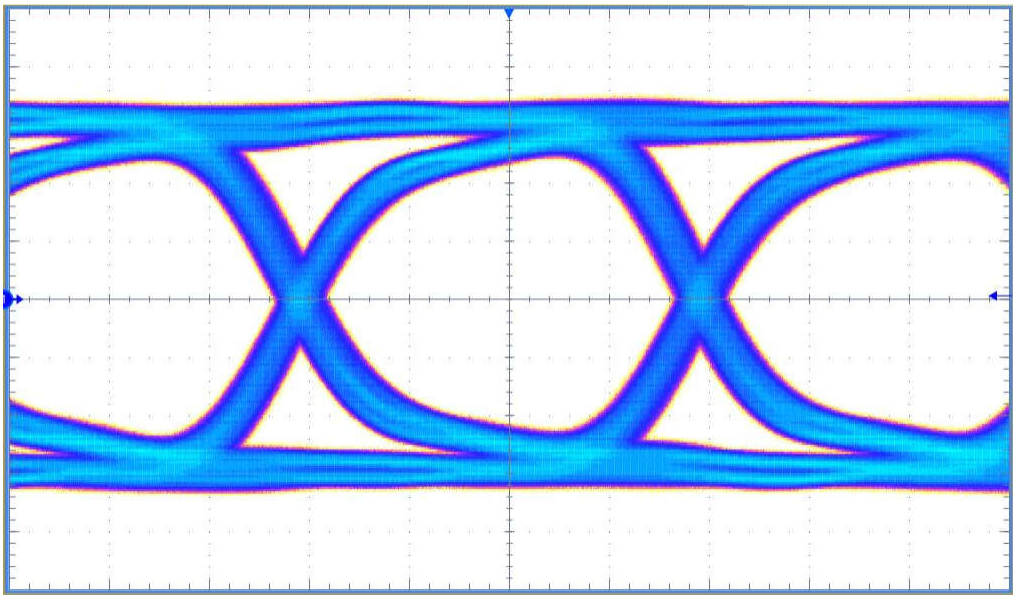


図 5-3. シリアライザ出力からの 4Gbps FPD-Link III フォワード チャネル レートでのアイ ダイアグラム、垂直スケール：100mV/DIV、水平スケール：62.5ps/DIV

6 詳細説明

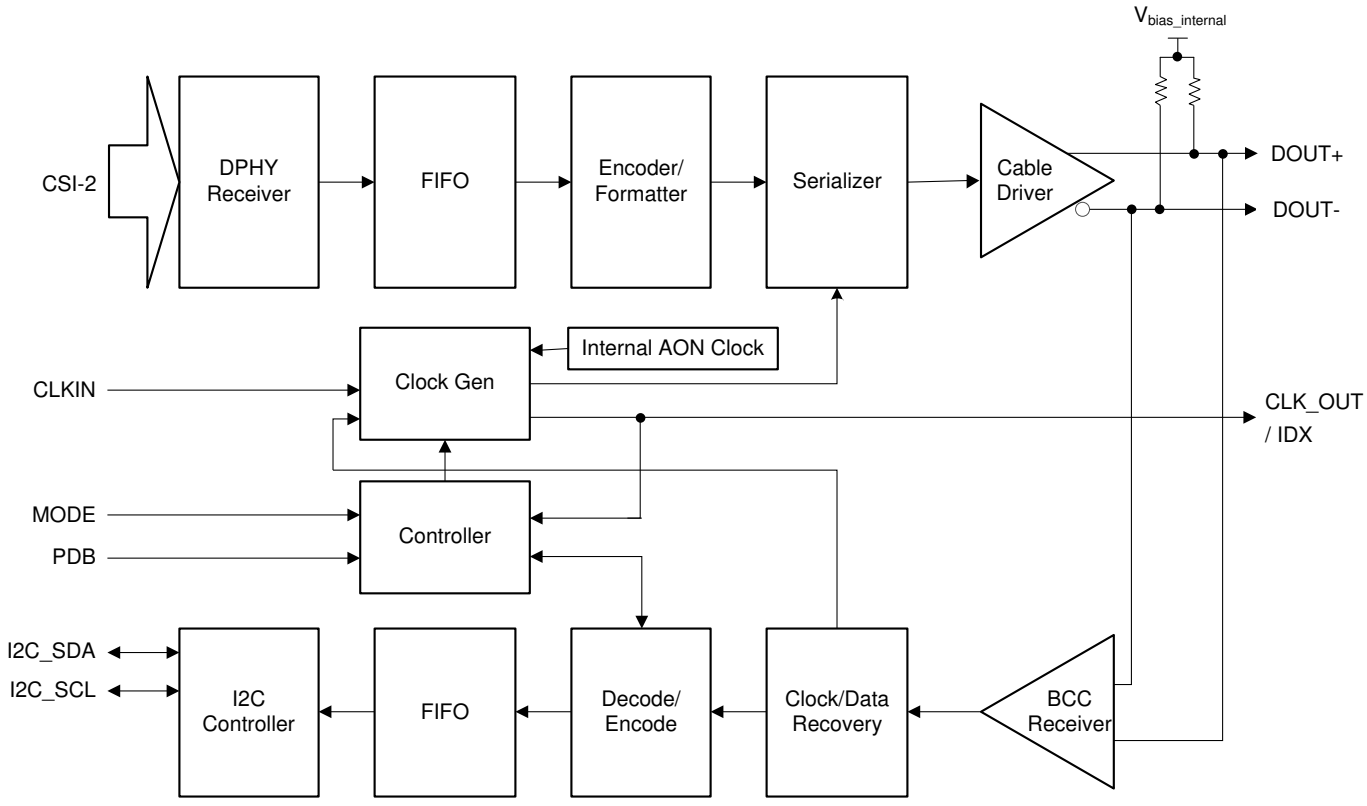
6.1 概要

DS90UB953-Q1 は、MIPI CSI-2 インターフェイスを使用する、高解像度イメージ センサまたはその他のセンサからのデータをシリアル化します。DS90UB953-Q1 シリアライザは、 DS90UB954-Q1 デシリアライザ (デュアル ハブ)、DS90UB960-Q1 デシリアライザ (クワッド ハブ)、さらには他の将来出現するデシリアライザと、インターフェイスできるように最適化されています。シリアライザとデシリアライザの間の相互接続は、同軸ケーブルまたはシールド付きツイストペア (STP) ケーブルのいずれかになります。DS90UB953-Q1 は、サラウンド ビューなどのマルチセンサ システムをサポートするように設計されており、DS90UB954-Q1 および DS90UB960-Q1 ハブを経由してセンサを同期できます。

DS90UB953-Q1 シリアライザおよび対応するデシリアライザは、I2C 互換インターフェイスを備えています。I2C 互換インターフェイスにより、ローカル ホスト コントローラからシリアライザまたはデシリアライザ デバイスをプログラムできます。さらに、このデバイスには双方向制御チャネル (BCC) が組み込まれており、シリアライザとデシリアライザ間、およびリモート I2C ターゲットデバイス間の通信が可能です。

双方向制御チャネル (BCC) は、高速フォワード チャネル (シリアライザからデシリアライザへ) の組み込み信号伝達と、バック チャネル (デシリアライザからシリアライザへ)の低速信号伝達を組み合わせて実装されています。このインターフェイスを介して、BCC はシリアル リンクを経由して 1 つの I2C バスから別の I2C バスへ I2C トランザクションをブリッジするメカニズムを提供します。

6.2 機能ブロック図



Copyright © 2024 Texas Instruments Incorporated

6.3 機能説明

DS90UB953-Q1 は、FPD-Link III シリアライザであり、60fps の 2MP イメージャ、4-MP/30fps のカメラ、衛星用レーダー、LIDAR、タイム オブ フライト (ToF) カメラをサポートするように設計されています。このチップは、最大 4.16Gbps で動作するフォワード チャネルに加えて、超低レイテンシの 50Mbps 双方向制御チャネルを備えてい ます。フォワード チャネル、双方向制御チャネル、および電力の伝送は、同軸ケーブル (Power-over-Coax) または STP ケーブルでサポートされています。DS90UB953-Q1 は、高度なデータ保護および診断機能を備えており、ADAS および自動運転をサポートします。DS90UB953-Q1 は、対応するデシリアライザと組み合わせることで、高精度のマルチカメラ センサ クロックおよびセンサ同期を実現します。

6.3.1 CSI-2 レシーバ

DS90UB953-Q1 は、センサから CSI-2 ビデオ データを受信します。CSI-2 動作中、D-PHY は 1 つのクロック レーンと 1 つ以上のデータ レーンで構成されます。DS90UB953-Q1 は、ターゲット デバイスであり、順方向の単方向レーンのみをサポートしています。低消費電力エスケープ モードはサポートされていません。

6.3.1.1 CSI-2 レシーバの動作モード

通常動作中、データ レーンは、制御モードまたは高速モードになっています。高速モードでは、データはバースト転送され、停止状態 (LP-11) で開始および終了します。D-PHY を通常モードから低消費電力モードに移行させるための遷移状態が存在します。

高速モードに移行するシーケンスは、LP-11、LP-01、LP-00 です。このシーケンスに入ると、停止状態 (LP-11) が受信されるまでデータ レーンは高速モードに維持されます。

6.3.1.2 CSI-2 レシーバの高速モード

高速データ伝送中、アナログ D-PHY の HS RX が適切に終了できるようにデジタル D-PHY は終了信号を生成し、LP RX は LP-00 状態を維持する必要があります。CSI-2 のデータ レーンとクロック レーンはどちらも同じ方法で動作します。DS90UB953-Q1 は、CSI-2 の連続クロック レーン モードと非連続クロック レーン モードの両方をサポートしています。このモードはレジスタ 0x02[6] を使用して設定する必要があり、イメージ センサのクロック モードに追従する必要があります。連続クロック レーン モードでは、クロック レーンは高速モードのままです。

6.3.1.3 CSI-2 プロトコル層

CSI-2 パケットには、ショート パケットとロング パケットの 2 種類があります。ショート パケットにはフレーム開始 / ライン開始などの情報が含まれます。ロング パケットでは、フレーム開始をアサートした後にデータが伝送されます。図 6-1 に、ショート パケットとロング パケットによる CSI-2 プロトコル層の構造を示します。DS90UB953-Q1 は、1、2、4 レーン構成をサポートしています。

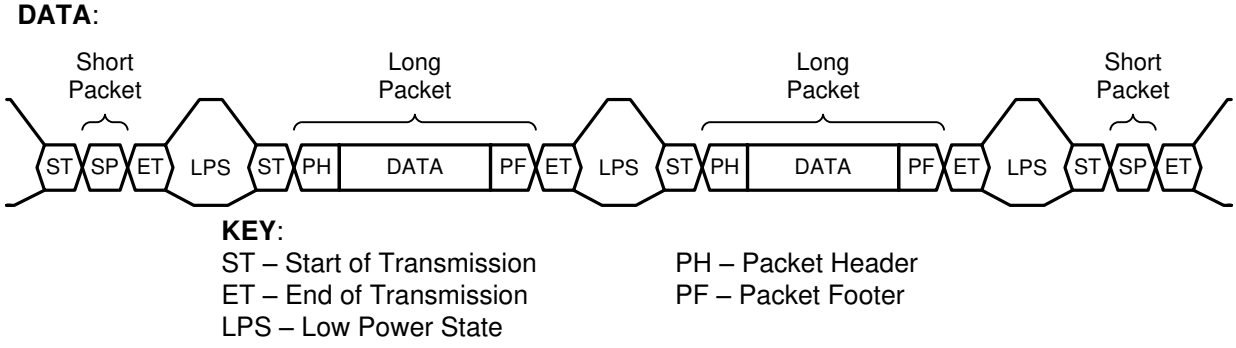


図 6-1. ショート パケットとロング パケットによる CSI-2 プロトコル層

6.3.1.4 CSI-2 ショート パケット

このショートパケットは、フレームまたはラインの同期を実現します。図 6-2 に、ショート パケットの構造を示します。ショート パケットは、データ タイプ 0x00～0x0F によって識別されます。

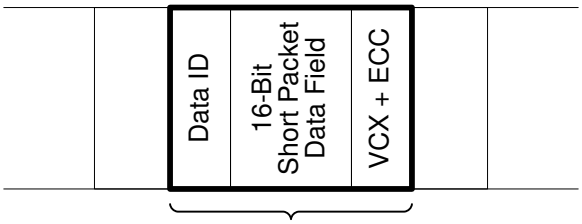


図 6-2. CSI-2 ショート パケット

6.3.1.5 CSI-2 ロング パケット

ロング パケットは、32 ビットのパケット ヘッダー (PH)、ワード数可変 (8 ビットデータ ワード) のアプリケーション固有のデータ ペイロード、16 ビットのパケット フッター (PF) という 3 つの要素で構成されています。パケット ヘッダはさらに、8 ビットのデータ識別子、16 ビットのワード数フィールド、8 ビットの ECC の 3 つの要素で構成されています。パケットフッターは、16 ビットチェックサムという 1 つの要素だけです。図 6-3 に、ロング パケットの構造を示します。

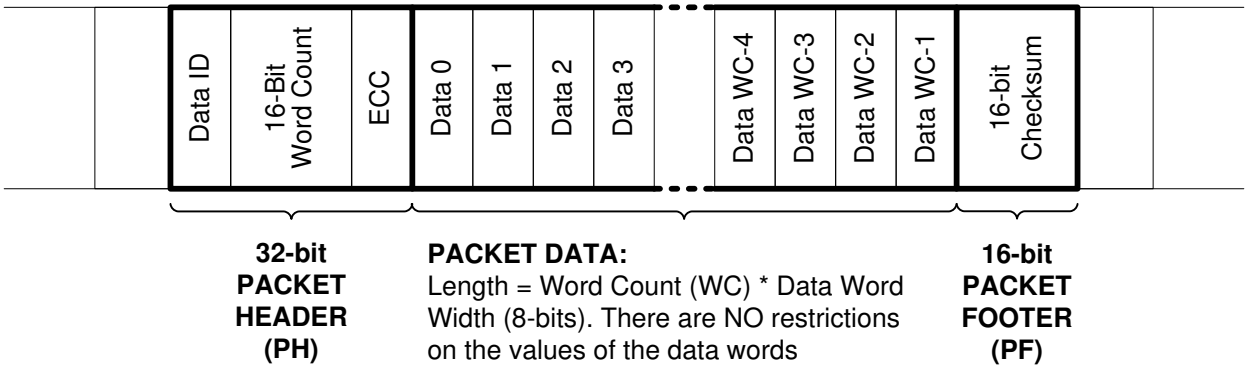


図 6-3. CSI-2 ロング パケットの構造

表 6-1. CSI-2 ロング パケット構造の説明

パケット部品	フィールド名	サイズ (ビット)	説明
ヘッダー	VC / データ ID	8	仮想チャネル識別子およびデータ タイプ情報が含まれます。
	ワード数	16	パケット データ内のデータ ワード数。ワードは 8 ビットです。
	ECC	8	データ ID および WC フィールドの ECC。1 ビットの誤り訂正と 2 ビットの誤り検出が可能です。
データ	データ	WC × 8	アプリケーション固有のペイロード (8 ビットで WC 個のワード)。
フッター	チェックサム	16	パケット データの 16 ビット CRC (巡回冗長検査)。

6.3.1.6 CSI-2 のエラーと検出

6.3.1.6.1 CSI-2 の ECC 検出および訂正

CSI-2 パケット ヘッダーには 6 ビットの誤り訂正符号 (ECC) が含まれています。32 ビット長のパケット ヘッダー内の ECC は、1 ビットの誤りが発生した場合に訂正でき、2 ビットの誤りが発生した場合に検出できます。この機能は、CSI-2 入力を監視して ECC 1 ビットの誤り訂正を行うため追加されました。ECC エラーが検出されると、ECC エラー検出レジスタがセットされ、ECC エラーが検出されたことを示すアラーム通知ビットがデシリアライザに送信されます。レジスタ制御を使用して、アラームをイネーブルまたはディセーブルできます。

Copyright © 2024 Texas Instruments Incorporated

6.3.1.6.2 CSI-2 のチェックサム検出

CSI-2 のロング パケット ヘッダーには、送信終了前に、16 ビットのチェックサムが含まれています。DS90UB953-Q1 は、受信した CSI-2 データのチェックサムを計算します。チェックサム エラーが検出された場合、チェックサム エラー ステータスは CSI_ERR_STATUS レジスタ (0x5D) に保存され、双方向制御チャネルを経由してデシリアライザに転送されます。

6.3.1.6.3 D-PHY のエラー検出

DS90UB953-Q1 は、SoT および SoT 同期エラーを検出して報告します。

6.3.1.6.4 CSI-2 レシーバのステータス

受信ポートについては、レジスタ アクセスにより、いくつかのステータス機能を追跡および監視できます。このステータス表示は、エラー条件の場合と、ライン長測定値の変化の場合に使用できます。これらは、CSI_ERR_CNT (0x5C)、CSI_ERR_STATUS (0x5D)、CSI_ERR_DLANE01 (0x5E)、CSI_ERR_DLANE23 (0x5F)、CSI_ERR_CLK_LANE (0x60) レジスタで使用できます。

6.3.2 FPD-Link III フォワード チャネル トランスミッタ

DS90UB953-Q1 は、最大 4.16Gbps の速度で信号を駆動できる高速信号トランスミッタを備えています 。

6.3.2.1 フレーム フォーマット

DS90UB953-Q1 は、データを 40 ビット長フレームにフォーマットします。各フレームは、DC 平衡を確保し、十分なデータ ライン遷移を確保するようにエンコードされています。各フレームには、ビデオ ペイロード データ、I2C フォワード チャネル データ、CRC 情報、フレーミング情報、CSI-2 インターフェイスの状態に関する情報が含まれています。

6.3.3 FPD-Link III バック チャネル レシーバ

FPD-Link III バック チャネルは、FPD-Link III インターフェイス経由で、エンコードされたバック チャネル信号を受信します。バック チャネル フレームは、30 ビットのフレームで、I2C コマンドおよび GPIO データが含まれています。バック チャネル フレームは、エンコードされたクロックとデータをデシリアライザから受信するので、データ ビットレートは、受信される最高周波数の半分の周波数です。

バック チャネル周波数は、対応するデシリアライザと組み合わせて動作するようにプログラム可能です。デフォルト設定は、MODE ストラップ ピンにより決定されます。DS90UB954-Q1 または DS90UB960-Q1 と組み合わせて動作させるには、バック チャネルを DS90UB953-Q1 の同期モードで 50Mbps 動作に、非同期モードで 10Mbps 動作にプログラムする必要があります 。

6.3.4 シリアライザのステータスと監視

DS90UB953-Q1 は、拡張された FPD-Link III 診断、システム監視、内蔵セルフ テスト機能を備えています。このデバイスは、フォワード チャネルとバックワード チャネルのデータにエラーがないか監視し、ステータスレジスタで通知します。また、このデバイスは、システム レベルの診断のために、電圧および温度の測定もサポートしています。内蔵セルフ テスト機能により、外部データ接続なしで、フォワード チャネルとバック チャネルのデータ送信をテストできます。

DS90UB953-Q1 は、フォワード チャネル経由でアラームおよびセンサ ステータス データを送信して、CSI-2 インターフェイス、双方向制御チャネル (BCC)、GPIO 電圧センサ、内部温度センサを監視できます。そのデータは、リンクされた対応するデシリアライザの SENSOR_STS_x レジスタ (0x51)～(0x54) でアクセスできます。ステータス ビットは常に送信されます。シリアライザのレジスタ (0x1C)～(0x1E) で、アラームビットの送信をイネーブルにしておく必要があります。

Copyright © 2024 Texas Instruments Incorporated

表 6-2. デシリアライザのアラーム ステータス割り込み

ビット	SENSOR_STS_0	SENSOR_STS_1	SENSOR_STS_2	SENSOR_STS_3
7	0	0	0	0
6	0	電圧 1 検出レベル	0	0
5	CSI アラーム	電圧 1 検出レベル	0	0
4	BCC アラーム	電圧 1 検出レベル	0	CSI 2 ビット ECC エラー
3	BC リンク検出	0	0	CSI チェックサム エラー
2	温度検出アラーム	電圧 0 検出レベル	温度検出レベル	D-PHY SOT エラー
1	電圧 1 検出アラーム	電圧 0 検出レベル	温度検出レベル	D-PHY 同期エラー
0	電圧 0 検出アラーム	電圧 0 検出レベル	温度検出レベル	D-PHY 制御エラー

デシリアライザ SENSOR_STS の CSI-2 エラー ステータスおよびアラームは次のとおりです。CSI-2 アラーム、CSI-2 制御エラー、CSI-2 同期エラー、CSI-2 転送開始エラー、CSI-2 チェックサム エラー、CSI-2 ECC 2 ビット エラー。これらのビットのステータスは、シリアライザのレジスタ (0x5D)～(0x60) で読み取ることもできます。BCC エラー アラームは、BCC リンク検出および CRC エラーでトリガされます。これらの状態は、レジスタ (0x52) から読み出すことができます。

電圧検出レベルおよび電圧検出アラームは、Sensor_V0 (0x58) および Sensor_V1 (0x59) に対応しています。また、温度検出レベルとアラームは、Sensor_T (0x5A) で見ることができます。

6.3.4.1 フォワード チャネルの診断

DS90UB953-Q1 は、フォワード チャネルリンクの状態を監視します。フォワード チャネル高速 PLL ロックのステータスは、HS_PLL_LOCK ビット (レジスタ 0x52[2]) で通知されます。DS90UB954-Q1 と組み合わせて使用すると、FPD-Link III デシリアライザのロック ステータスも RX_LOCK_DETECT ビット (レジスタ 0x52[6]) に通知されます。

6.3.4.2 バック チャネルの診断

DS90UB953-Q1 は、バック チャネル リンクのステータスを監視します。バック チャネル CRC エラーは、CRC_ERR ビット (レジスタ 0x52[1]) で通知されます。CRC エラーの数は CRC エラー カウンタに保存され、CRC_ERR_CNT1 (レジスタ 0x55) および CRC_ERR_CNT2 (レジスタ 0x56) レジスタに通知されます。CRC エラー カウンタは、CRC_ERR_CLR (レジスタ 0x49[3]) を 1 に設定することでリセットされます。

BIST 機能を実行しているとき、DS90UB953-Q1 は、BIST_CRC_ERR ビット (レジスタ 0x52[3]) に BIST CRC エラーが検出されたかどうかを通知します。BIST エラーの数は BIST_ERR_CNT フィールド (レジスタ 0x54) で通知されます。BIST CRC エラー カウンタは、BIST_CRC_ERR_CLR (レジスタ 0x49[5]) を 1 に設定することでリセットされます。

6.3.4.3 電圧と温度の検出

DS90UB953-Q1 は、電圧測定および温度測定をサポートしています。温度センサと電圧センサはどちらも 3 ビット ADC を搭載しています。これらのセンサを構成して、信号を監視し、信号が設定制限値を超えたときにフラグを立てることができます。たとえば、電圧センサを使用して 1.8V のラインを監視し、電圧が 1.85V を上回るか 1.75V を下回った場合にフラグを立てることができます。その後、このフラグをデシリアライザに転送し、リンクのデシリアライザ側で割り込みをセットできます。同様に、DS90UB953-Q1 の内部温度が範囲外になると、温度センサはアラーム ビットをトリガします。

GPIO0 と GPIO1 はどちらも、入力に印加される電圧を検出するように構成できます。このセクションに関連するレジスタについては 表 6-32～表 6-37 を 参照してください。

与えられた電圧または温度に対して、測定精度は ±1LSB です。これは、表 6-3 および 表 6-4 に示す最も近い値に対応する入力電圧または温度に対して、結果として得られる ADC 出力コードは、最も近い ±1 コード分の精度であることを意味します。

Copyright © 2024 Texas Instruments Incorporated

表 6-3. ADC コードと入力電圧との関係

GPIO VIN (V)	コード
VIN < 0.85	000
0.85 < VIN < 0.90	001
0.90 < VIN < 0.95	010
0.95 < VIN < 1.00	011
1.00 < VIN < 1.05	100
1.05 < VIN < 1.10	101
1.10 < VIN < 1.15	110
1.15 < VIN	111

表 6-4. ADC コードと温度との関係

温度 (℃)	コード
T < –30	000
–30 < T < –10	001
–10 < T < 15	010
15 < T < 35	011
35 < T < 55	100
55 < T < 75	101
75 < T < 100	110
100 < T	111

Copyright © 2024 Texas Instruments Incorporated

6.3.4.3.1 プログラミング例

このセクションでは、DS90UB953-Q1 および DS90UB954-Q1 の設定例を示します。ここでは、DS90UB953-Q1 の GPIO1 の電圧を監視して、アラームをセットし、さらに DS90UB954-Q1 の INT ピンをアサートします。

```
# DS90UB953-Q1 Settings
WriteI2C(0x17,0x3E) # Enable Sensor, Select GPIO1 to sense
WriteI2C(0x18,0x80) # Enable Sensor Gain Setting (Use Default)
WriteI2C(0x1A,0x62) # Set Sensor Upper and Lower Limits (Use Default)
WriteI2C(0x1D,0x3F) # Enable Sensor Alarms
WriteI2C(0x1E,0x7F) # Enable Sending Alarms over BCC
# Register 0x57 readout (bits 2 and 3), indicates if the voltage on the GPIO1 is below or above the
thresholds set in the register 0x1A.
# DS90UB954-Q1 Settings
WriteI2C(0x23,0x81) # Enable Interrupts, Enable Interrupts for the camera attached to RX0
WriteI2C(0x4C,0x01) # Enable Writes to RX0 registers
WriteI2C(0xD8,0x08) # Interrupt on change in Sensor Status
# Register 0x51 and 0x52  readouts indicate Sensor data. Register 0x24[7] bit readout indicates the
Alarm bit. The alarm bit can be routed to GPIO3/INT through GPIO_PIN_CTL and GPIO_OUT_SRC registers.
```

6.3.4.4 組み込み自己テスト

オプションの実速度での内蔵セルフ テスト (BIST) 機能を使うと、外部データ接続を使わずに高速シリアル リンクとバック チャネルをテストできます。この機能は、試作段階、デバイスの量産時、インシステム テスト、システムの診断に役立ちます。

BIST モードは、デシリアライザの BIST 構成レジスタ 0xB3[0] によってイネーブルされ、同期モードでのみ動作します。デシリアライザで BIST が開始されると、BIST イネーブル信号がバック チャネル経由でシリアライザに送信されます。シリアライザは、疑似ランダム シーケンスの連続ストリームを出力し、リンクを実速度で駆動します。デシリアライザは、テスト パターンを検出し、そのパターンのエラーを監視します。シリアライザは、各バック チャネル フレームの CRC フィールドによって示されたエラーも追跡します。適切なデータ受信の開始を識別するためにはロック通知が必要ですが、リンク障害やデータ破損をよく示すものは、デシリアライザ側の各 RX ポートについて、BIST_ERR_COUNT レジスタ 0x57 のエラー カウンタの内容です。BIST モードは、試作段階、デバイスの量産時、インシステム テスト、システムの診断に役立ちます。

6.3.5 フレーム同期の動作

対応するデシリアライザと組み合わせると、DS90UB953-Q1 のいずれかの GPIO ピンをフレーム同期に使用できます。この機能は、複数のセンサを 1 つのデシリアライザ ハブに接続する場合に役立ちます。フレーム同期信号 (FrameSync) は、バック チャネルのいずれかの GPIO を使用してバック チャネル経由で送信できます。FrameSync 信号は、有限のスキューでシリアライザに到着します。

6.3.5.1 外部フレーム同期

外部フレーム同期モードでは、デバイスの GPIO ピンの 1 つを経由してデシリアライザに外部信号が入力されます。外部 FrameSync 信号は、バック チャネルの GPIO 信号を介して、接続されている 1 つまたは複数の FPD-Link III シリアライザに伝搬できます。外部フレーム同期モードで想定されるスキュー タイミングは、1 バック チャネル フレーム周期のオーダーであり、50Mbps で動作している場合は 600ns です。

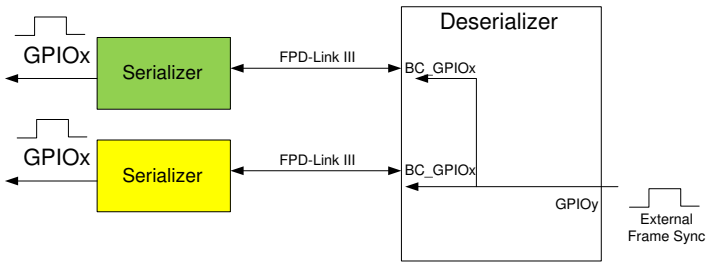


図 6-4. 外部フレーム同期

Copyright © 2024 Texas Instruments Incorporated

外部フレーム同期モードの有効化は、デシリアライザ側で実行します。詳細については、デシリアライザのデータシートを参照してください。

6.3.5.2 フレーム同期の内部生成

内部フレーム同期モードでは、内部で生成されたフレーム同期信号が、バック チャネルの GPIO 信号を通して接続されている 1 つまたは複数の FPD-Link III シリアライザに送信されます。

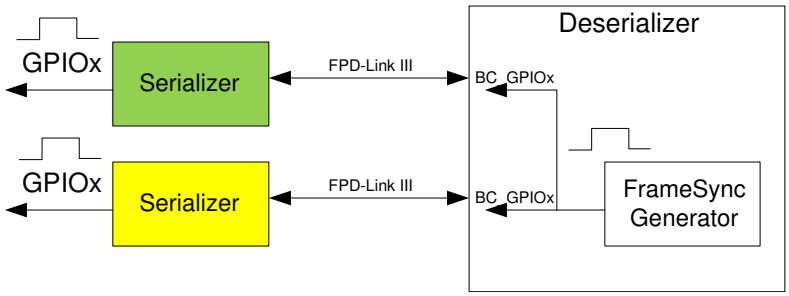


図 6-5. 内部フレーム同期

フレーム同期の動作は、デシリアライザ レジスタによって制御されます。詳細については、デシリアライザのデータシートを参照してください。

6.3.6 GPIO サポート

DS90UB953-Q1 は、GPIO0～GPIO3 の 4 つのピンをサポートしており、I2C バス経由でレジスタ 0x0D、0x0E、0x53 を使って監視、構成、制御できます。これらの GPIO は、さまざまな状況で使用するようにプログラム可能です。GPIO0 および GPIO1 には追加の診断機能があり、外部電圧レベルを検出するようにプログラムできます。

6.3.6.1 GPIO のステータス

GPIO ピン 0～3 それぞれのステータス HIGH または LOW は、GPIO_PIN_STS レジスタ 0x53 から読み出すことができます。レジスタ (0x0E) の対応する GPIOx_INPUT_EN ビットを設定すると、このレジスタ読み取り動作は、入力として構成されているときの GPIO ピンのステータスを提供します。GPIO が出力として使用されているときに GPIO のステータスを読み取るには、レジスタ (0x0E) の GPIOx_INPUT_EN ビットおよび GPIOx_OUT_EN ビットの両方をセットする必要があります。

表 6-5. GPIO の構成

構成	有効	有効	有効	無効
目的	出力として GPIO を使用	出力として GPIO を使用	入力として GPIO を使用	入力として GPIO を使用
GPIOx_INPUT_EN	0	1	1	1
GPIOx_OUT_EN	1	1	0	1
GPIO_STS	機能しない	機能(1)	機能	該当なし

注

(1) GPIOx_INPUT_EN がセットされている場合、内部プルダウンが GPIO 出力に接続されているため、ユーザーはそのプルダウン抵抗がアプリケーション固有の使用に干渉しないことを確認する必要があります。

6.3.6.2 GPIO の入力制御

初期化時、デフォルトでは GPIO0～GPIO3 は入力としてイネーブルになります。GPIO_INPUT_CTRL (0x0E) レジスタ (ビット 3:0) を使って入力イネーブルを制御できます。GPIO_INPUT_CTRL[3:0] ビットが 1 に設定されている場合、対応する GPIO_INPUT_CTRL[7:4] ビットを 0 に設定する必要があります。GPIO の数は、レジスタ (0x33) の FC_GPIO_EN を使用して設定およびイネーブルする必要があります。

Copyright © 2024 Texas Instruments Incorporated

6.3.6.3 GPIO の出力制御

個々の GPIO 出力制御は、表 6-27 の GPIO_INPUT_CTRL (0x0E) レジスタ (ビット 7:4) によりプログラムできます。GPIO_INPUT_CTRL[7:4] ビットを 1 に設定すると、GPIO を出力ピンとして使用できます。

6.3.6.4 フォワード チャネル GPIO

DS90UB953-Q1 の GPIO ピンの入力は、FPD-Link III インターフェイスを介して、対応するデシリアライザに転送できます。順方向で最大 4 つの GPIO をサポートしています。

フォワード チャネル GPIO のタイミングは、シリアライザで割り当てられた GPIO の数に依存します。DS90UB953-Q1 シリアライザからの単一の GPIO 入力が、対応するデシリアライザの GPIO 出力にリンクされている場合、その値はすべてのフォワード チャネル送信フレームでサンプリングされます。2 つの GPIO がリンクされている場合は、2 つのフォワード チャネル フレームごとにサンプリングされ、3 つまたは 4 つの GPIO がリンクされている場合は、5 フレームごとにサンプリングされます。GPIO の標準的なレイテンシは約 225ns ですが、ケーブルの長さによって異なります。情報が複数のフレームに分散されるため、通常、ジッタはサンプリング期間のオーダー (フォワード チャネル フレームの数) に基づいて増加します。リンクされた GPIO のスループットに対して、4 倍のオーバーサンプリング レートを維持することを推奨します。たとえば、REFCLK = 25MHz の 4Gbps 同期モードで動作している場合、フォワード チャネル経由でリンクされる GPIO の数に基づく最大推奨 GPIO 入力周波数を 表 6-6 に示します。

表 6-6. フォワードチャネル GPIO の標準的タイミング

リンクされたフォワード チャネル GPIO の数 (FC_GPIO_EN)	FPD-Link III ライン レート = 4Gbps での サンプリング周波数 (MHz)	推奨されるフォワード チャネル GPIO 最大周波数 (MHz)	レイテンシの標準値 (ns)	ジッタの標準値 (ns)
1	100	25	225	12
2	50	12.5	225	24
4	20	5	225	60

6.3.6.5 バック チャネル GPIO

出力としてイネーブルになっているとき、DS90UB953-Q1 の GPIO ピンを、LOCAL_GPIO_DATA レジスタ (0x0D) を使用してプログラムすると、対応するデシリアライザからのリモート データを出力するようにできます。FPD-Link III バック チャネルで受信できる最大信号周波数は、表 6-7 に示すように、DS90UB953-Q1 のクロック モードに依存します 。

表 6-7. バックチャネル GPIO の標準タイミング

DS90UB953-Q1 クロック モード	バック チャネル レート (Mbps)	サンプリング周波数 (kHz)	バック チャネル GPIO の最大推奨周波数 (kHz)	レイテンシの標準値 (µs)	ジッタの標準値 (µs)
同期モード	50	1670	416	1.5	0.7
非同期モード	10	334	83.5	3.2	3
DVP モード	2.5	83.5	20	12.2	12

6.4 デバイスの機能モード

6.4.1 クロッキング モード

DS90UB953-Q1 は、複数のクロック方式をサポートしており、MODE ピンで選択できます。DS90UB953-Q1 では、フォワード チャネルは、転送されるビデオ データで設定される要件よりも高い帯域幅で動作し、フォワード チャネルのデータ レートは、基準クロックで設定されます。クロックモードでは、デバイスが何を基準クロックとして使用するかが決定されます。最も一般的な構成は、ローカル基準発振器が不要な同期モードです。詳細については「表 6-8」を参照。

DS90UB953-Q1 のデフォルトモードは、電源投入時に MODE ピンにバイアスを印加することで設定されます。動作モード設定の詳細については、セクション 6.4.2 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

表 6-8. クロッキング モード

モード	分周	基準ソース	基準周波数 (f) (MHz)	FC データレート	CSI 帯域幅 ≤	CLK_OUT (3)
同期	該当なし	バック チャネル(1)	23～26	f × 160	f × 128	f × 160 / HS_CLK_DIV × (M/N)
同期 (ハーフ レート)	該当なし	バック チャネル(1)	11.5～13	f × 160	f × 128	f × 160 / HS_CLK_DIV × (M/N)
非同期外部クロック	CLKIN_DIV = b000	外部クロック(2)	25～52	f × 80	f × 64	f × 80 / HS_CLK_DIV × (M/N)
	CLKIN_DIV = b001	外部クロック (2)	50～104	f × 40	f × 32	f × 40 / HS_CLK_DIV × (M/N)
非同期内部クロック	OSCCLK_SEL = 1	内部クロック	48.4～51	f × 80	f × 64	該当なし
非同期内部クロック (ハーフレート)	OSCCLK_SEL = 0	内部クロック	24.2～25.5	f × 80	f × 64	該当なし
DVP 外部クロック デシリアライザ モード:RAW10	該当なし	外部クロック	25～66.5	f × 28	f × 20	f × 28 / HS_CLK_DIV × (M/N)
DVP 外部クロック デシリアライザ モード:RAW12 HF	該当なし	外部クロック	25～70	f × 28	f × 18	f × 28 / HS_CLK_DIV × (M/N)

(1) バック チャネルは FPD-Link III 双方向制御チャネルから回復されます。ローカル基準クロック ソースは必要ありません。バック チャネルの周波数設定については、デシリアライザのデータシートを参照してください。
(2) ローカル基準クロック ソースが必要です。DS90UB953-Q1 の CLKIN ピンにクロック ソースを供給します。
(3) HS_CLK_DIV は、通常、16、8、4 (デフォルト) に設定する必要があります。

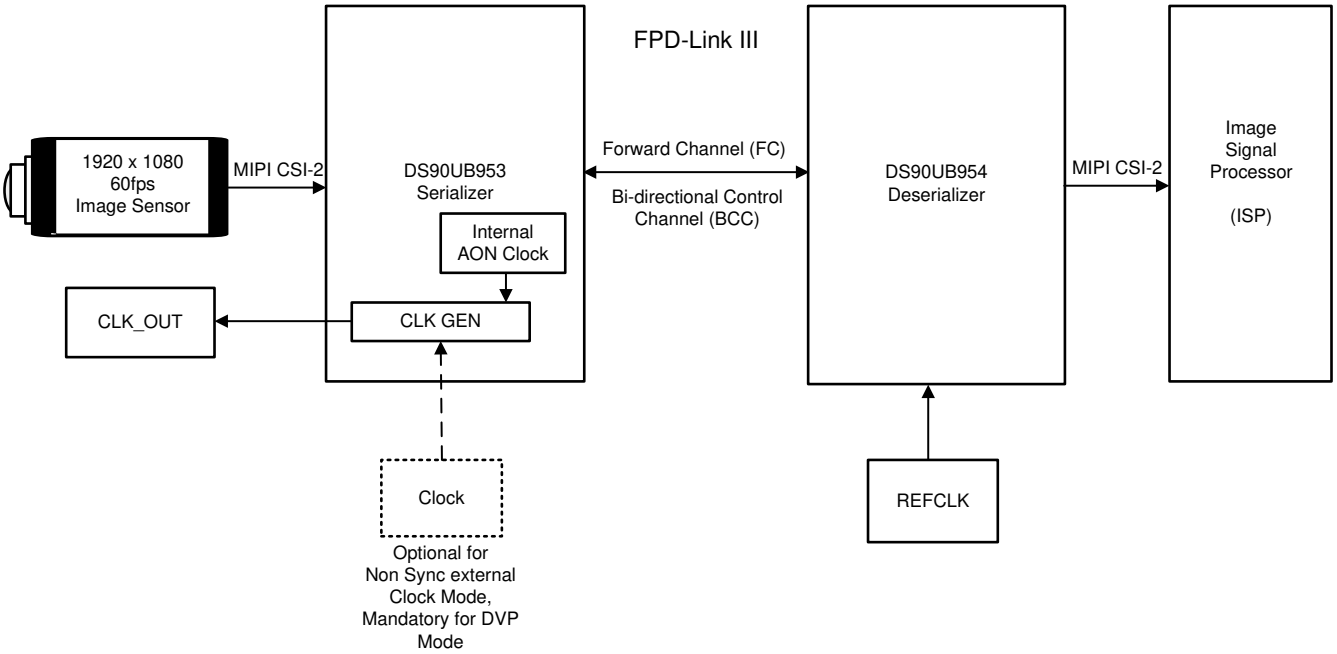


図 6-6. クロック供給システムの図

6.4.1.1 同期モード

同期モードで動作すると、レシーバおよびマルチ センサ システム内のすべてのセンサが、同じクロック ドメイン内の共通クロックにロックされるという利点が得られ、データ バッファリングや再同期の必要性が低減または排除されます。同期クロック モードでは、センサ モジュール内の基準発振器のコスト、スペース、潜在的な故障ポイントも削減できます。

このモードでは、FPD-Link III バック チャネルを経由してデシリアライザからシリアライザにクロックが渡され、シリアライザは、このクロックを、接続されているイメージ センサの基準クロック、および、デシリアライザに戻るリンクの基準クロックとして使用できます。このモードで動作するためには、DS90UB953-Q1 は、DS90UB954-Q1、DS90UB936-Q1、DS90UB962-Q1、または DS90UB960-Q1 など、この機能をサポートするデシリアライザとペアで使用する必要があります。

6.4.1.2 非同期クロック モード

非同期クロック モードでは、外部基準クロックがシリアライザに供給されます。シリアライザは、このクロックを使用して FPD-Link III フォワード チャネルと、取り付けられているイメージ センサのための外部基準クロックを生成します。CSI-2 モードの場合、CSI-2 インターフェイスはこのクロックと同期できます。CSI-2 のレートはライン レートよりも低くする必要があります。たとえば、52MHz クロックの場合、FPD-Link III のフォワード チャネル レートは 4.16Gbps であり、CSI-2 のスループットは ≤ 3.32Gbps である必要があります (表 6-8 を参照)。

6.4.1.3 非同期内部モード

非同期内部クロック モードでは、シリアライザは、内部の常時オン クロック (AON) をフォワード チャネルの基準クロックとして使用します。内部クロック モードを使用する場合、OSCCLK_SEL で最大データ レート選択を設定 (0x05[3] = 1) するとともに、CLK_OUT 機能をディセーブルする必要があります。イメージ センサまたは ISP には、別個のリファレンスが提供されます。CSI-2 のレートは、ライン レートよりも低くする必要があります。CSI-2 のレートは、表 6-8 に示す式を満たす必要があります。

6.4.1.4 DVP 下位互換モード

DS90UB953-Q1 は、DS90UB964-Q1、DS90UB934-Q1 または DS90UB914A-Q1 と下位互換性を持つ DVP モードに設定できます。このモードは、DS90UB953-Q1 の MODE ピンを使って構成する必要がありますが、レジスタ MODE_SEL 0x03[2:0] を使って、現在のモードを確認したりオーバライドしたりできます。このフィールドは常に、デバイスのモード設定を示しています。このレジスタのビット 4 が 0 の場合、このフィールドは読み取り専用で、モード設定を示します。PDB が Low から High に遷移すると、MODE はストラップ値からラッチされます。抵抗ストラップが DVP 外部クロックの下位互換モードに正しく設定されている場合、その値は 101 (0x5) と読み出されます。または、このレジスタのビット 4 が 1 に設定されている場合、MODE フィールドは読み出し / 書き込み可能になり、101 にプログラムすると正しい下位互換モードを割り当てることもできます。これは、表 6-16 に示すとおりです。

DS90UB953-Q1 に供給される CSI-2 入力データは、DVP 外部クロック モードを使用する場合、CLKIN に印加される入力周波数に同期させる必要があります。DVP 外部クロック モードの場合、DS90UB934-Q1 または DS90UB914A-Q1 デシリアライザから出力される PCLK 周波数は CLKIN に関連付けられます。詳細については、『パラレル出力デシリアライザで動作するための下位互換モード』(SNLA270) を参照してください。

表 6-9. DVP 構成に使用されるレジスタのリスト

レジスタ	レジスタ名	レジスタの説明
0X03	MODE_SEL	必要に応じてストラップ値をオーバーライドおよび確認し、また、外部クロックで DVP を構成するために使用します。
0X04	BC_MODE_SELECT	DVP モードを RAW 10 または RAW 12 に上書きできます。
0X10	DVP_CFG	DVP モードでデータを構成できます。これには、ロング、YUV 、および指定された型などのデータ型が含まれます。
0X11	DVP_DT	DVP_DT_MATCH_EN がアサートされている場合、RAW 10 または 12 モードに関係なく、特定のデータ タイプのパケットを許可します。

Copyright © 2024 Texas Instruments Incorporated

6.4.1.5 CLK_OUT の構成

DS90UB953-Q1 を同期または非同期の外部クロック モードで使用する場合、CLK_OUT はイメージ センサの基準クロックとして使用されます。非同期内部クロック モードで動作している場合、CLK_OUT 機能はディセーブルになります。外部 CLK_OUT の周波数は次のように設定されます (式 1 および 式 2 を参照)。

$$CLK_OUT = FC \times \frac{M}{HS_CLK_DIV \times N} \quad (1)$$

ここで、

- FC はフォワード チャネルのデータ レートであり、M、HS_CLK_DIV、N はレジスタ 0x06 および 0x07 で設定されるパラメータです。

$$\frac{FC}{HS_CLK_DIV} < 1.05\ GHz \quad (2)$$

CLK_OUT を生成する PLL はデジタル PLL であるため、N/M の比が整数の場合、ジッタは非常に小さくなります。N/M が整数でない場合、信号のジッタは HS_CLK_DIV/FC とほぼ等しくなります。したがって、N/M を整数比にできない場合は、HS_CLK_DIV として小さい値を選択します。

システムで特定の CLK_OUT 周波数 (たとえば 37.125MHz) が必要な場合、設計者は M = 9、N = 0xF2、HS_CLK_DIV = 4 の値を選択すれば、37.190MHz の出力周波数、0.175% の周波数誤差、これに伴うジッタを約 1ns とすることができます。または、M = 1、N = 0x1B、HS_CLK_DIV = 4 とすれば、CLK_OUT = 37.037MHz となり、0.24% の周波数誤差で、ジッタをさらに低減できます。3 番目の方法は、M = 1、N = 0x1B、HS_CLK_DIV = 4 を使用することですが、同期モードのデシリアライザに 25.000MHz 基準クロック周波数 (REFCLK) を使用する代わりに、25.059MHz の周波数を使用します。そして 2x リファレンスをデシリアライザのバック チャネルから DS90UB953-Q1 に供給することにより、低ジッタと低周波数誤差を備えた CLK_OUT = 37.124MHz を生成できます。

6.4.2 モード

DS90UB953-Q1 は、次の 4 つのモードのいずれかで動作できます。電源投入時に MODE ピンにバイアス電圧を印加して、デフォルト モードで動作させることができます。この電圧を設定するには、VDDPLL と GND の間の分圧器を使用して適切なバイアスを印加します。この分圧器は、VDDD ピンの電位を基準にする必要があります。電源投入後、レジスタ アクセスにより、モードを読み出したり変更したりできます。

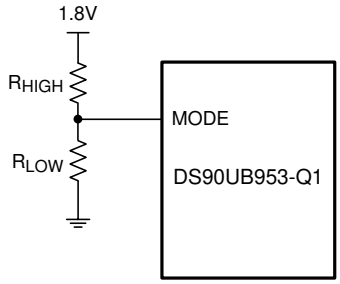


図 6-7. MODE 構成

表 6-10. ストラップ構成モードの選択

モード選択		V_{TARGET} 電圧範囲			V_{TARGET} ストラップ電圧	ストラップ抵抗の推奨値 (許容誤差 1%)		説明
モード	名称	比の最小値	比の標準値	比の最大値	$V_{(VDD)}$ = 1.8V	R_{HIGH} (kΩ)	R_{LOW} (kΩ)	
0	同期	0	0	0.133 x $V_{(VDD)}$	0	オープン	10	CSI-2 同期モード – デシリアライザから生成された FPD-Link III クロック基準。
2	非同期外部クロック	0.288 x $V_{(VDD)}$	0.325 x $V_{(VDD)}$	0.367 x $V_{(VDD)}$	0.586	75	35.7	CSI-2 非同期クロック – CLKIN ピンの外部クロック基準入力から生成された FPD-Link III クロック基準。
3	非同期内部クロック	0.412 x $V_{(VDD)}$	0.443 x $V_{(VDD)}$	0.474 x $V_{(VDD)}$	0.792	71.5	56.2	CSI-2 非同期 – 内部 AON クロックから生成された FPD-Link III クロック基準。
5 (1)	DVP モード	0.642 x $V_{(VDD)}$	0.673 x $V_{(VDD)}$	0.704 x $V_{(VDD)}$	1.202	39.2	78.7	外部クロックの DVP 。

(1) DS90UB934-Q1 および DS90UB914A-Q1 デシリアライザにも MODE ピン (21) があります。ただし、デシリアライザの MODE ピンによって、データ形式が決まります。RAW10、RAW12 LF、または RAW12 HF。DS90UB953-Q1 では RAW12 LF はサポートされていないことに注意してください。

Copyright © 2024 Texas Instruments Incorporated

6.5 プログラミング

6.5.1 I2C インターフェイスの構成

このシリアライザは、I2C 互換シリアル制御バスを使って設定できます。複数のデバイスがシリアル制御バスを共有できます (最大 2 つのデバイス アドレスをサポート)。デバイス アドレスは、IDx ピンに接続された分圧抵抗 (R_{HIGH} および R_{LOW} – 図 6-8 を参照) によって設定されます。

6.5.1.1 CLK_OUT/IDX

CLK_OUT/IDX ピンは 2 つの機能を果たします。電源オン時に、IDX ピンの電圧が VDD と比較され、この比率によって DS90UB953-Q1 の構成用の各種パラメータが設定されます。DS90UB953-Q1 を構成した後、CLK_OUT/IDX ピンは、イメージ センサに基準クロックを提供するためのクロック ソースに切り替わります。CLK_OUT 機能を使用する場合、CLK_OUT/IDX ピンにおいて 35kΩ の 最小負荷インピーダンスが必要です。

6.5.1.1.1 IDX

IDX ピンは、制御インターフェイスを 2 つの可能なデバイス アドレスのいずれか 1 つ、すなわち 1.8V または 3.3V 基準 I2C アドレスに設定します。プルアップ抵抗とプルダウン抵抗を使って、適切な IDX 入力ピン電圧を設定する必要があります。IDX 分圧抵抗は、ピン #25 (DS90UB953-Q1 のピン側のフェライト フィルタの後) を基準にする必要があります。

表 6-11. IDX の設定

IDX	V_{TARGET} 電圧範囲			V_{IDX} の目標電圧	ストラップ抵抗の推奨値 (許容誤差 1%)		I2C 8 ビット アドレス	I2C 7 ビット アドレス	$V_{(I2C)}$ (I2C I/O 電圧)
	比の最小値	比の標準値	比の最大値	V_{VDD} = 1.8V	R_{HIGH} (kΩ)	R_{LOW} (kΩ)			
1	0	0	0.131 x $V_{(VDD18)}$	0	オープン	40.2	0x30	0x18	1.8V
2	0.178 x $V_{(VDD18)}$	0.214 x $V_{(VDD18)}$	0.256 x $V_{(VDD18)}$	0.385	180	47.5	0x32	0x19	1.8V
3	0.537 x $V_{(VDD18)}$	0.564 x $V_{(VDD18)}$	0.591 x $V_{(VDD18)}$	1.015	82.5	102	0x30	0x18	3.3V
4	0.652 x $V_{(VDD18)}$	0.679 x $V_{(VDD18)}$	0.706 x $V_{(VDD18)}$	1.223	68.1	137	0x32	0x19	3.3V

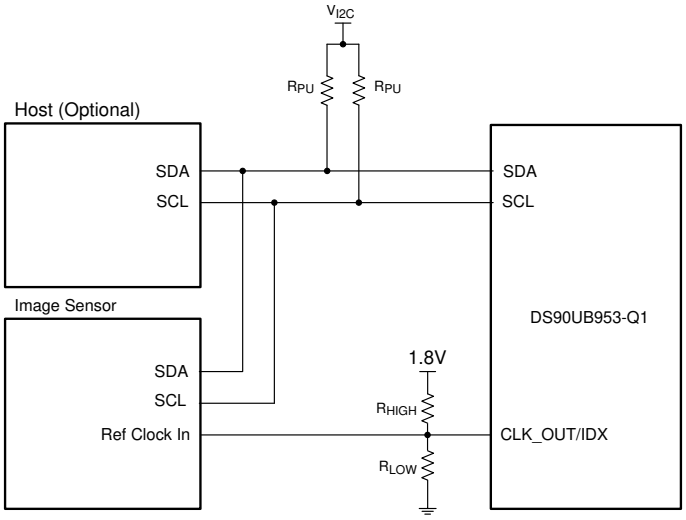


図 6-8. IDX ピンのバイアス回路

6.5.2 I2C インターフェイスの動作

シリアル制御バスは、SCL と SDA という 2 つの信号で構成されます。SCL はシリアル バス クロック入出力信号で、SDA はシリアル バス データ入出力信号です。SCL 信号と SDA 信号はどちらも、1.8V または 3.3V のどちらかに選択される V_{I2C} への外付けプルアップ抵抗を必要とします。

標準モードおよびファースト I2C モードでは、R_{PU} = 4.7kΩ のプルアップ抵抗 を推奨します。ファースト プラス モードでは、R_{PU} = 470Ω のプルアップ抵抗を推奨します。しかしこのプルアップ抵抗値は、容量性負荷およびデータ レートの要件に応じて、さらに調整できます。これらの信号は、High に引き上げられるか、Low に駆動されます。IDX ピンは、制御インターフェイスを 2 つの可能なデバイス アドレスのどちらかに設定します。プルアップ抵抗 (R_{HIGH}) およびプルダウン抵抗 (R_{LOW}) を使って、適切な IDX 入力ピン電圧を設定します。

シリアル バス プロトコルは、START、REPEAT-START、STOP によって制御されます。START は、SDA が High である間に SCL が Low に遷移したときに発生します。STOP は、SDA が High に遷移したときに SCL も High である場合に発生します。図 6-9 を参照してください。

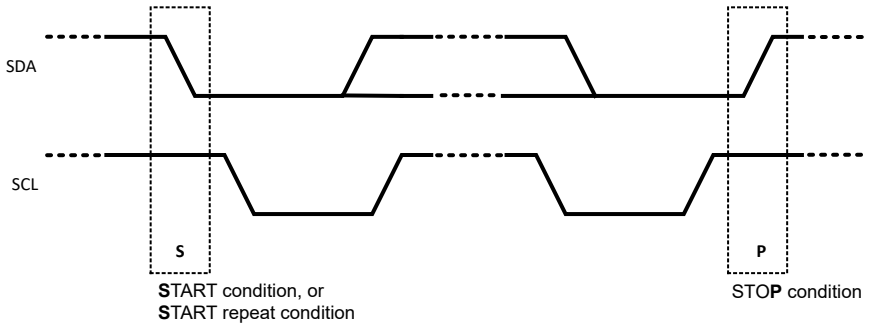


図 6-9. START 条件と STOP 条件

I2C ターゲットと通信するには、ホスト コントローラ(コントローラ) はターゲット アドレスにデータを送信し、応答を待ちます。この応答は、アクノリッジ (ACK) ビットと呼ばれます。バス上のターゲットにアドレスが正しく設定されている場合、ターゲットは、SDA バスを Low に駆動することによって、コントローラへアクノリッジ (ACK) を返します。アドレスがデバイスのターゲット アドレスと一致しない場合、ターゲットは、SDA を High に引き上げることによって、コントローラへノット アクノリッジ (NACK) を返します。ACK は、データの送信中にもバス上で発生します。コントローラがデータを書き込んでいるとき、ターゲットは、データ バイトを正常に受信する毎に ACK を返します。コントローラがデータを読み出しているとき、コントローラは、データ バイトを受信する毎に ACK を返すことによって、次のデータ バイト要求をターゲットに通知します。コントローラが読み出しを停止する場合、コントローラは、最後のデータ バイトの読み出し後に NACK を送信し、バス上に STOP 条件を生成します。バス上のすべての通信は、START 条件または 繰り返し START 条件によって開始されます。バス上のすべての通信は、STOP 条件によって終了します。図 6-10 に読み出しを示し、図 6-11 に書き込みを示します。

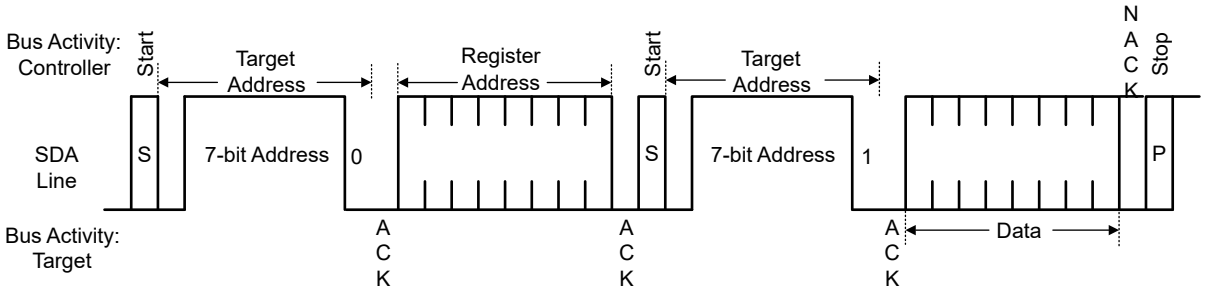


図 6-10. I2C バス読み出し

Copyright © 2024 Texas Instruments Incorporated

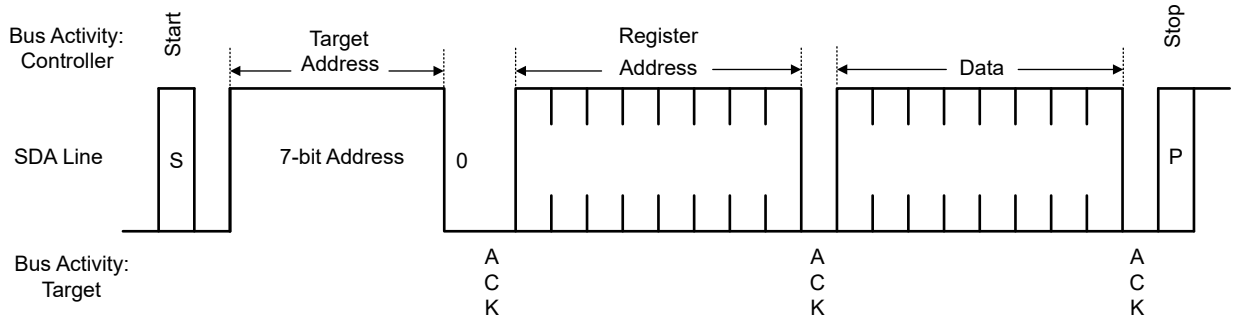


図 6-11. I2C バス書き込み

シリアライザに配置された I2C コントローラは、I2C クロック ストレッチングをサポートする必要があります。I2C インターフェイスの要件およびスループットに関する考慮事項の詳細については、『双方向制御チャネルによる FPD-Link III 上の I2C 通信』アプリケーション ノート (SNLA131) を参照してください。

6.5.3 I2C のタイミング

プロキシ コントローラのタイミング パラメータは、内部基準クロックに基づいています。I2C コントローラは、レジスタ 0x0B および 0x0C のタイミング制御を使用して I2C 読み取りまたは書き込みアクセスを再生成し、標準、ファースト、またはファースト プラス動作モードに必要な I2C タイミングを満たすようにクロック信号とデータ信号を再生成します。

I2C コントローラの SCL High 時間がレジスタ 0x0B に設定されます。このフィールドは、シリアライザがローカル I2C バスのコントローラである場合の SCL 出力の High パルス幅を設定します。 デフォルト値は、26.25MHz の内部基準クロックで SCL High 時間が最小 5µs になるように設定されています。これには、発振器クロック 5 周期分の追加遅延、すなわち同期および応答時間を含んでいます。公称発振器クロック周波数の単位は 38.1ns で、最小遅延 = 38.1ns × (SCL_HIGH_TIME + 5) となります。

I2C コントローラの SCL Low 時間がレジスタ 0x0C に設定されます。このフィールドは、シリアライザがローカル デシリアライザ I2C バスのコントローラである場合の SCL 出力の Low パルス幅を設定します。双方向制御チャネルによるアクセス中、SCL を解放する前にデータを提供するため、ターゲットは、この値を SDA セットアップ時間としても使います。デフォルト値は、26.25MHz の内部基準クロックで SCL High 時間が最小 5µs になるように設定されています。これには、発振器クロック 5 周期分の追加遅延、すなわち同期および応答時間を含んでいます。公称発振器クロック周波数の単位は 38.1ns で、最小遅延 = 38.1ns × (SCL_HIGH_TIME + 5) となります。標準モード、ファースト モード、ファースト モード プラスのタイミング設定例は、表 6-12 を参照してください。

表 6-12. 標準的な I2C タイミング レジスタ設定

I2C モード	SCL High 時間		SCL Low 時間	
	0x0B	公称遅延	0x0C	公称遅延
標準	0x7F	5.03µs	0x7F	5.03µs
ファースト	0x13	0.914µs	0x26	1.64µs
ファースト プラス	0x06	0.419µs	0x0B	0.648µs

6.6 パターン生成

DS90UB953-Q1 は、内部パターン生成機能をサポートしているため、CSI-2 トランスミッタ出力用のビデオ テスト パターンを簡単に生成できます。次の 2 種類のパターンがサポートされています。基準カラー バー パターンおよび固定カラー パターン。これは間接レジスタ セットのパターン ジェネレータ ページ 0 によってアクセスされます。内部レジスタの詳細については、セクション 6.7.2 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.6.1 基準カラー バー パターン

基準カラーバーパターンは、MIPI_CTS_for_D-PHY_v1-1_r03 仕様の付録 D で定義されたパターンに基づいています。このパターンは、CSI-2 送信データ レーン上で高、低、中周波数を出力するように設計された 8 カラー バー パターンです。

CSI-2 基準パターンは、デフォルトで 8 つのカラー バーを提供し、カラー バーに関する次のバイト データが含まれます。X バイトの 0xAA (高周波数パターン、反転)、X バイトの 0x33 (中周波数パターン)、X バイトの 0xF0 (低周波数パターン、反転)、X バイトの 0x7F (lone 0 パターン)、X バイトの 0x55 (高周波数パターン)、X バイトの 0xCC (中周波数パターン、反転)、X バイトの 0x0F (低周波数パターン)、Y バイトの 0x80 (long 1 パターン)。ほとんどの場合、Y は X と同じになります。データタイプによっては、ビデオラインの寸法を正しく埋めるために、最後のカラー バーを他のカラー バーより大きくする必要があります。

パターン ジェネレータは、以下のオプションでプログラム可能です。

- カラーバーの数 (1、2、4、または 8)
- ラインあたりのバイト数
- カラーバーあたりのバイト数
- CSI-2 データタイプ フィールドと VC-ID
- フレームあたりのアクティブなビデオ ライン数
- フレームあたりの合計ライン数 (アクティブ + ブランキング)
- ライン期間 (10ns 単位でプログラム可能)
- 垂直フロント ポーチ: フレームエンド パケットの前のブランク ライン数
- 垂直バック ポーチ:フレームスタート パケットに続くブランク ラインの数

パターン ジェネレータは、ソフトウェアによる適切なプログラミングに依存して、カラー バー幅が、指定されたデータ型に必要なブロック(またはワード) サイズの倍数に設定されていることを確認します。たとえば、RGB888 の場合、ブロック サイズは 3 バイトであり、ピクセル サイズにも一致します。この場合、カラーバーあたりのバイト数は、3 の倍数である必要があります。パターン ジェネレータは CSI-2 送信クロックドメインに実装されており、パターンを CSI-2 トランスミッタに直接供給します。この回路は、CSI-2 形式のデータを生成します。

6.6.2 固定カラー パターン

固定カラー パターン モードにプログラムされている場合、パターン ジェネレータは、プログラム可能な固定データ パターンを使用してビデオ イメージを生成できます。画像寸法の基本的なプログラミング フィールドは、カラー バー パターンで使用されるものと同じです。固定カラー パターンを送信するとき、カラー バ ーコントロールを使用して、固定パターン データと、固定パターン データをビットごとに反転したデータを切り替えることができます。

固定カラーパターンでは、バイト パターンの固定ブロック サイズを想定しています。ブロック サイズはレジスタによりプログラム可能で、ほとんどの 8 ビット、10 ビット、12 ビットのピクセル形式をサポートするよう設計されています。ブロックサイズは、バイトの整数倍のブロックに変換されたピクセルサイズに基づいて設定する必要があります。たとえば、RGB888 パターンは 3 バイトのピクセルで構成されているため、3 バイトのブロックサイズが必要です。2x12 ビットのピクセル イメージも 3 バイトのブロック サイズを必要としますが、3x12 ビットのピクセル イメージは、整数バイト数を送信するために 9 バイト (2 ピクセル) を必要とします。RAW10 パターンを送信するには、通常、4 ピクセルに対して 5 バイトのブロックサイズが必要です。そのため、1x10 ビットおよび 2x10 ビットは、5 バイトのブロックサイズで送信できます。3x10 ビットの場合、15 バイトのブロックサイズが必要です。

固定カラー パターンは最大 16 バイトのブロック サイズをサポートしており、条件によってはパターンの追加オプションが可能です。たとえば、RGB888 画像は、12 バイトのブロックサイズを使用して、4 つの異なるピクセルを交互に配置できます。最初の 3 バイトを 0xFF に、次の 3 バイトを 0x00 に設定することで、白黒交互の RGB888 イメージを 6 バイトのブロック サイズで送信できます。

最大 16 バイトのブロック サイズをサポートするため、16 個のレジスタのセットが実装されており、各データ バイトの値をプログラムできます。

Copyright © 2024 Texas Instruments Incorporated

6.6.3 パケット ジェネレータのプログラミング

このセクションの情報では、データ タイプ、フレーム サイズ、およびライン サイズに基づいて、特定のカラー バー パターンを提供するようにパターン ジェネレータをプログラムする方法について詳しく説明します。

最も基本的な設定情報は、予測されるビデオ フレーム パラメータから直接決定されます。要件には、データ タイプ、フレーム レート (フレーム / 秒)、フレームあたりのアクティブ ライン数、フレームあたりの合計ライン数 (アクティブおよびブランキング)、およびラインあたりのピクセル数が含まれます。

- PGEN_ACT_LPF –フレームあたりのアクティブ ライン数
- PGEN_TOT_LPF –フレームあたりの合計ライン数
- PGEN_LSIZE –ビデオ ライン長 (バイト単位)。ラインあたりのピクセル数にバイト単位のピクセル サイズを乗算して計算
- CSI-2 の DataType フィールドと VC-ID 。
- オプション：PGEN_VBP – 垂直バック ポーチ。これは、「フレーム有効」に続く垂直ブランキングのライン数です。
- オプション：PGEN_VFP – 垂直フロントポーチ。これは、「フレーム有効」の前にある垂直ブランキングのライン数です。
- PGEN_LINE_PD – ライン期間 (40/FC 単位)。フレーム レート、フレームあたりの総ライン数、フォワード チャネル レートに基づいて計算します。
  - PGEN ライン期間 = 1/ (フレーム レート * PGEN_TOT_LPF) * フォワード チャネル レート (Gbps) /40
- PGEN_BAR_SIZE – カラー バー サイズ (バイト単位)。データ タイプおよびバイト単位のライン長に基づいて計算します (詳細は以下を参照)。

6.6.3.1 カラー バー サイズの決定

カラー バー パターンは、送信するビデオのデータ タイプに応じて、ブロック サイズ単位またはワード サイズ単位でプログラミングする必要があります。これらのサイズは、MIPI CSI-2 仕様で定義されています。たとえば、RGB888 では、ピクセル サイズと同じ 3 バイトのブロック サイズとする必要があります。RAW10 では、4 ピクセルに等しい 5 バイトのブロックサイズが必要です。RAW12 では、2 ピクセルに等しい 3 バイトのブロックサイズが必要です。

パターン ジェネレータをプログラミングする場合、ソフトウェアはライン サイズおよびバーの数に基づいて、必要なバーサイズをバイト単位で計算する必要があります。標準の 8 色バー パターンでは、次のアルゴリズムが必要です。

- 必要とするデータ タイプおよび、そのデータ タイプの有効な長さ (ピクセル単位) を選択します。
- ピクセル / ラインをブロック / ラインに変換します (データ型仕様で定義されているように、ピクセル / ブロック数で除算します)。
- ブロック / ラインの結果をカラー バーの数 (8) で割ると、ブロック / バーが得られます。
- 結果を最も近い整数に丸めます。
- ブロック / バーをバイト / バーに変換し、その値を PGEN_BAR_SIZE レジスタにプログラムします。

あるいは、ピクセル / ラインをバイト / ラインに変換し、バイト / ブロックで割ることで、ブロック / ラインを計算することもできます。

Copyright © 2024 Texas Instruments Incorporated

6.6.4 パターン ジェネレータのコード例

```
#Patgen RGB888 1920x1080p30 Fixed 8 Colorbar
WriteI2C(0xB0,0x00) # Indirect Pattern Gen Registers
WriteI2C(0xB1,0x01) # PGEN_CTL
WriteI2C(0xB2,0x01)
WriteI2C(0xB1,0x02) # PGEN_CFG
WriteI2C(0xB2,0x33)
WriteI2C(0xB1,0x03) # PGEN_CSI_DI
WriteI2C(0xB2,0x24) # RGB888
WriteI2C(0xB1,0x04) # PGEN_LINE_SIZE1
WriteI2C(0xB2,0x16)
WriteI2C(0xB1,0x05) # PGEN_LINE_SIZE0
WriteI2C(0xB2,0x80)
WriteI2C(0xB1,0x06) # PGEN_BAR_SIZE1
WriteI2C(0xB2,0x02)
WriteI2C(0xB1,0x07) # PGEN_BAR_SIZE0
WriteI2C(0xB2,0xD0)
WriteI2C(0xB1,0x08) # PGEN_ACT_LPF1
WriteI2C(0xB2,0x04)
WriteI2C(0xB1,0x09) # PGEN_ACT_LPF0
WriteI2C(0xB2,0x38)
WriteI2C(0xB1,0x0A) # PGEN_TOT_LPF1
WriteI2C(0xB2,0x04)
WriteI2C(0xB1,0x0B) # PGEN_TOT_LPF0
WriteI2C(0xB2,0x65)
WriteI2C(0xB1,0x0C) # PGEN_LINE_PD1
WriteI2C(0xB2,0x0B)
WriteI2C(0xB1,0x0D) # PGEN_LINE_PD0
WriteI2C(0xB2,0x93)
WriteI2C(0xB1,0x0E) # PGEN_VBP
WriteI2C(0xB2,0x21)
WriteI2C(0xB1,0x0F) # PGEN_VFP
WriteI2C(0xB2,0x0A)
```


Copyright © 2024 Texas Instruments Incorporated

6.7 レジスタ マップ

「タイプ」および「デフォルト」という見出しの下にあるレジスタ定義では、次の定義が適用されます。

- R = 読み取り専用アクセス
- R/W = 読み取り / 書き込みアクセス
- R/RC = 読み取り専用アクセス、読み取り時にクリア
- (R/W)/SC = 読み取り / 書き込みアクセス、自己クリア ビット
- (R/W)/S = 読み取り / 書き込みアクセス、スタートアップ時のストラップ ピン構成に基づいて設定
- LL = Low にラッチされ、読み取りまで保持
- Lh = High にラッチされ、読み取りまで保持
- S = スタートアップ時のストラップ ピン構成に基づいて設定

6.7.1 メイン レジスタ

6.7.1.1 I2C デバイス ID レジスタ

表 6-13. デバイス ID レジスタ (アドレス 0x00)

ビット	フィールド	タイプ	デフォルト	説明
7:1	DEVICE_ID	S、R/W	S	シリアライザの 7 ビット I2C ID。 このフィールドは常に I2C ID の現在の値を示します。このレジスタのビット 0 が 0 の場合、このフィールドは読み取り専用で、ストラップされた ID を示します。このレジスタのビット 0 が 1 の場合、このフィールドは読み出し / 書き込み可能で、有効な任意の I2C ID を割り当てるために使用できます。
0	SER_ID_OVERRIDE	R/W	0x0	0:デバイス ID はストラップから取得 1:ストラップされた値をレジスタ I2C デバイス ID がオーバーライド

6.7.1.2 リセット

表 6-14. RESET_CTL レジスタ (アドレス = 0x01)

ビット	フィールド	タイプ	デフォルト	説明
7:3	RESERVED	R/W	0x00	予約済み。
2	RESTART_AUTOLOAD	(R/W)/SC	0x0	ROM の再起動自動ロード。 このビットを 1 に設定すると、ROM が再ロードされます。このビットは自動でクリアされます。
1	DIGITAL_RESET_1	(R/W)/SC	0x0	デジタル リセット 1。 レジスタを含むデジタル ブロック全体をリセットします。このビットは自動でクリアされます。 1:リセット 0:通常動作
0	DIGITAL_RESET_0	(R/W)/SC	0x0	デジタル リセット 0。 レジスタを除くデジタル ブロック全体をリセットします。このビットは自動でクリアされます。 1:リセット 0:通常動作

6.7.1.3 一般的な構成

表 6-15. General_CFG (アドレス 0x02)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6	CONTS_CLK	R/W	0x0	CSI-2 クロック レーン構成。 0:不連続クロック 1:連続クロック

Copyright © 2024 Texas Instruments Incorporated

表 6-15. General_CFG (アドレス 0x02) (続き)

ビット	フィールド	タイプ	デフォルト	説明
5:4	CSI_LANE_SEL	R/W	0x3	CSI-2 データ レーン構成。 00:1 レーン構成 01:2 レーン構成 11:4 レーン構成
3:2	RESERVED	R/W	0x0	予約済み。
1	CRC_TX_GEN_ ENABLE	R/W	0x1	トランスミッタ CRC ジェネレータ。 0:無効 1:イネーブル
0	I2C_STRAP_MODE	S、R/W	S	I2C ストラップ モード。 このフィールドは、デバイスの I2C 電圧レベルを示します。デバイスの起動時に、このフィールドには、ストラップされた IDX ピンからの I2C 電圧レベル設定が表示されます。このフィールドは書き込み可能で、I2C 電圧レベルを割り当てるために使用できます。このビットをプログラムすることによる I2C 電圧レベルの変更は、接続されているデシリアライザからのバック チャネルを介してリモートでのみ実行できます。 0:3.3V 1:1.8V

6.7.1.4 フォワード チャネル モードの選択

表 6-16. MODE_SEL (アドレス 0x03)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6	RESERVED	S、R	S	予約済み。
5	RESERVED	R/W	0x0	予約済み。
4	MODE_OV	R/W	0x0	0:ストラップされた MODE ピンからのシリアライザ モード 1:レジスタ モードはストラップされた値を上書き
3	MODE_DONE	R	0x0	MODE の値が安定し、ラッチされていることを示します。
2:0	モード	S、R/W	S	このフィールドは常に、デバイスのモード設定を示します。このレジスタのビット 4 が 0 の場合、このフィールドは読み取り専用で、モード設定を示します。このレジスタのビット 4 が 1 の場合、このフィールドは読み出し / 書き込み可能で、モードの割り当てに使用できます。PDB が Low から High に遷移すると、モードはストラップ値からラッチされます。 動作モード: 000:CSI-2 同期モード 001:予約済み 010:CSI-2 非同期外部クロック モード (ローカル クロック ソースが必要) 011:CSI-2 非同期内部 AON クロック 101:DVP 外部クロックの下位互換モード (ローカル クロック ソースが必要)

6.7.1.5 BC_MODE_SELECT

表 6-17. BC_MODE_SELECT (アドレス 0x04)

ビット	フィールド	タイプ	デフォルト	説明
7:3	RESERVED	R/W	0x0	予約済み。
2	MODE_OVERWRITE _100m	R/W	0x0	28 ビット RAW 10 モード動作。 RX のロックが検出されると、下位互換の RAW 10 DVP モード (28 ビット) が双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するために、DVP_MODE_OVER_EN ビットもセットする必要があります。

Copyright © 2024 Texas Instruments Incorporated

表 6-17. BC_MODE_SELECT (アドレス 0x04) (続き)

ビット	フィールド	タイプ	デフォルト	説明
1	MODE_OVERWRITE_75m	R/W	0x0	28 ビット RAW 12 モード動作。 RX のロックが検出されると、下位互換の RAW 12 HF DVP モード (28 ビット) が双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するために、DVP_MODE_OVER_EN ビットもセットする必要があります。
0	DVP_MODE_OVER_EN	R/W	0x0	双方向制御チャネルによる下位互換 DVP モード (28 ビット) 動作の自動ロードを防止します。

6.7.1.6 PLL クロック制御

表 6-18. PLLCLK_CTRL レジスタ (アドレス = 0x05)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:4	CLKIN_DIV	R/W	0x0	内部リファレンスを生成する CLKIN クロック分周比。 3'b000：CLKIN を 1 分周 3'b001：CLKIN を 2 分周 3'b010：CLKIN を 4 分周 3'b011：CLKIN を 8 分周 3'b100～3'b111：予約済み
3	OSCCLK_SEL	R/W	0x0	非同期の内部クロックで動作している場合、または外部システム クロックが検出されない場合に、内部で生成される OSC クロック基準。 0：24.2MHz～25.5MHz、2Gbps ライン レートの設定 1：48.4MHz～51MHz、。4Gbps ライン レートの設定。
2:0	RESERVED	R/W	0x3	予約済み。

6.7.1.7 クロック出力制御 0

DS90UB953-Q1 には、各種センサのシステム クロック入力要件を満たすようにプログラム可能なリファレンス出力クロックが用意されています。クロック出力周波数の制御は、入力分周器とレジスタ 0x06 の M 値、レジスタ 0x07 の N 値によって設定されます。

表 6-19. CLKOUT_CTRL0 (アドレス 0x06)

ビット	フィールド	タイプ	デフォルト	説明
7:5	HS_CLK_DIV	R/W	0x2	M/N 分周器のクロック ソースは、フォワード チャネルのデータ レートをこのレジスタ フィールドで分周したものです。 000：1 で分周 001：2 で分周 010：4 で分周 011：8 で分周 100：16 で分周
4:0	DIV_M_VAL	R/W	0x01	CLKOUT の M/N 分周器の M 値。CLKOUT は、内部の高速クロックの M/N 比を使用してプログラムでき、システムのセンサ要件に基づいてクロック出力を生成できます。M/N 比を選択する場合は、CLKOUT 周波数が 100MHz 未満になるように設定する必要があります。M 値は ≥ 0 である必要があります。M を 0 に設定すると、CLKOUT がディセーブルになり、出力は静的に HIGH または LOW に維持されます。

6.7.1.8 クロック出力制御 1

DS90UB953-Q1 には、各種センサのシステムクロック入力要件を満たすようにプログラム可能なリファレンス出力クロックが用意されています。クロック出力周波数の制御は、入力分周器とレジスタ 0x06 の M 値、レジスタ 0x07 の N 値によって設定されます。

表 6-20. CLKOUT_CTRL1 (アドレス 0x07)

ビット	フィールド	タイプ	デフォルト	説明
7:0	DIV_N_VAL	R/W	0x28	CLKOUT の M/N 分周器の N 値。CLKOUT は、内部の高速クロックの M/N 比を使用してプログラムでき、システムのセンサ要件に基づいてクロック出力を生成できます。M/N 比を選択する場合は、CLKOUT 周波数が 100MHz 未満になるように設定する必要があります。N はゼロ以外の値に設定する必要があります。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.9 バック チャネル ウォッチドッグ制御

表 6-21. BCC_WATCHDOG (アドレス 0x08)

ビット	フィールド	タイプ	デフォルト	説明
7:1	BCC_WD_TIMER	R/W	0x7F	BCC_WD_TIMER は、双方向制御チャネルのウォッチドッグ タイムアウト値を 2ms 単位で設定します。このフィールドは 0 には設定できません。ウォッチドッグ タイマを使うと、設定された時間内に制御チャネル トランザクションが完了しなかった場合に制御チャネル トランザクションを終了させることができます。
0	BCC_WD_TIMER_DISABLE	R/W	0x0	双方向制御チャネル ウォッチドッグ タイマの無効化。 1:BCC ウォッチドッグ タイマ動作を無効化 0:BCC ウォッチドッグ タイマ動作を有効化

6.7.1.10 I2C 制御 1

表 6-22. I2C_CONTROL1 (アドレス 0x09)

ビット	フィールド	タイプ	デフォルト	説明
7	LCL_WRITE_DISABLE	R/W	0x0	ローカル レジスタへのリモート書き込み無効。 このビットを 1 に設定すると、制御チャネル全体からのローカル デバイスのレジスタへのリモート書き込みが禁止されます。これにより、デシリアライザに接続された I2C コントローラからのシリアライザのレジスタへの書き込みが禁止されます。このビットをセットしても、シリアライザの I2C ターゲットへのリモート アクセスには影響しません。
6:4	I2C_SDA_HOLD	R/W	0x1	内部 SDA ホールド時間。 このフィールドは、SDA 入力のために確保される、SCL 入力に対する内部ホールド時間を設定します。単位は 50 ナノ秒です。
3:0	I2C_FILTER_DEPTH	R/W	0xE	I2C グリッチ フィルタ深さ。 このフィールドは、SCL および SDA 入力で除去されるグリッチ パルスの最大幅を設定します。単位は 5 ナノ秒です。

6.7.1.11 I2C 制御 2

表 6-23. I2C_CONTROL2 (アドレス 0x0A)

ビット	フィールド	タイプ	デフォルト	説明
7:4	SDA_OUTPUT_SETUP	R/W	0x1	リモート Ack SDA 出力セットアップ。 制御チャネル (リモート) アクセスがアクティブな場合、このフィールドは、ACK サイクル中の SCL の立ち上がりエッジに対する SDA 出力からのセットアップ時間を設定します。 この値を設定すると、セットアップ時間が 640ns 単位で増加します。このフィールドが 0 のときの SDA から SCL への出力セットアップ時間の公称値は 80ns です。
3:2	SDA_OUTPUT_DELAY	R/W	0x0	SDA 出力遅延。 このフィールドは、SCL の立ち下がりエッジに対する SDA 出力の追加遅延を設定します。この値を設定すると、出力遅延が 40ns 単位で増えます。 SCL から SDA までの出力遅延の公称値は以下の通りです。 00:240ns 01:280ns 10:320ns 11:360ns
1	I2C_BUS_TIMER_SPEEDUP	R/W	0x0	I2C バスのウォッチドッグ タイマを短縮 1:ウォッチドッグ タイマは約 50µs 後に満了 0:ウォッチドッグ タイマは約 1 秒後に満了

Copyright © 2024 Texas Instruments Incorporated

表 6-23. I2C_CONTROL2 (アドレス 0x0A) (続き)

ビット	フィールド	タイプ	デフォルト	説明
0	I2C_BUS_TIMER_DISABLE	R/W	0x0	I2C バスのウォッチドッグタイマを無効化。 I2C ウォッチドッグ タイマを使って、I2C バスがフリーであること、またはトランザクションの異常終了の後でハングアップしていることを検出できます。SDA が High でありかつ約 1 秒間信号伝達が見られない場合、I2C バスはフリーであるとみなされます。SDA が Low でありかつ信号伝達が見られない場合、本デバイスは SCL で 9 クロックを駆動してバスをクリアすることを試みます。

6.7.1.12 SCL High 時間

表 6-24. SCL_HIGH_TIME (アドレス 0x0B)

ビット	フィールド	タイプ	デフォルト	説明
7:0	SCL_HIGH_TIME	R/W	0x7F	I2C コントローラ SCL High 時間。 このフィールドは、シリアライザがローカル I2C バスのコントローラである場合の SCL 出力の High パルス幅を設定します。単位は 38.1ns です (発振器クロック周波数が公称値 26.25MHz である場合)。そのデフォルト値は、26.25MHz の内部発振器クロック周波数を使って 5µs 以上の SCL High 時間を確保するように設定されています。遅延には、発振器クロック周期の 5 倍の追加遅延時間が含まれます。 最小遅延 = 38.0952ns × (SCL_HIGH_TIME + 5)

6.7.1.13 SCL Low 時間

表 6-25. SCL_LOW_TIME (アドレス 0x0C)

ビット	フィールド	タイプ	デフォルト	説明
7:0	SCL_LOW_TIME	R/W	0x7F	I2C SCL Low 時間。I2C SCL Low 時間 このフィールドは、シリアライザがローカル I2C バスのコントローラである場合の SCL 出力の Low パルス幅を設定します。双方向制御チャネルによるアクセス中、SCL を解放する前にデータを提供するため、I2C ターゲットはこの値を SDA セットアップ時間としても使います。単位は 38.1ns です (発振器クロック周波数が公称値 26.25MHz である場合)。そのデフォルト値は、26.25MHz の内部発振器クロック周波数を使って 5µs 以上の SCL Low 時間を確保するように設定されています。遅延には、クロック周期の 5 倍の追加遅延時間が含まれます。 最小遅延 = 38.0952ns × (SCL_LOW_TIME + 5)

6.7.1.14 ローカル GPIO データ

表 6-26. LOCAL_GPIO_DATA (アドレス 0x0D)

ビット	フィールド	タイプ	デフォルト	説明
7:4	GPIO_RMTEN	R/W	0xF	ローカル GPIO 上のリモートデシリアライザ GPIO データを有効化します。 ビット 7:このビットが 1 に設定されている場合、リモート GPIO3 を有効化 ビット 6:このビットが 1 に設定されている場合、リモート GPIO2 を有効化 ビット 5:このビットが 1 に設定されている場合、リモート GPIO1 を有効化 ビット 4:このビットが 1 に設定されている場合、リモート GPIO0 を有効化
3:0	GPIO_OUT_SRC	R/W	0x0	GPIO 出力ソース。 このレジスタは 4 つの GPIO の論理出力を設定します。GPIO_RMTEN をディセーブルにし、GPIOx_OUT_EN をイネーブルにする必要があります。 ビット 3:GPIO3 に 0/1 を書き込む ビット 2:GPIO2 に 0/1 を書き込む ビット 1:GPIO1 に 0/1 を書き込む ビット 0:GPIO0 に 0/1 を書き込む

Copyright © 2024 Texas Instruments Incorporated

6.7.1.15 GPIO の入力制御

表 6-27. GPIO_INPUT_CTRL (アドレス 0x0E)

ビット	フィールド	タイプ	デフォルト	説明
7	GPIO3_OUT_EN	R/W	0x0	GPIO3 出力イネーブル。 0:無効化 1:イネーブル
6	GPIO2_OUT_EN	R/W	0x0	GPIO2 出力イネーブル。 0:無効化 1:イネーブル
5	GPIO1_OUT_EN	R/W	0x0	GPIO1 出力イネーブル。 0:無効化 1:イネーブル
4	GPIO0_OUT_EN	R/W	0x0	GPIO0 出力イネーブル。 0:無効化 1:イネーブル
3	GPIO3_INPUT_EN	R/W	0x1	GPIO3 入力イネーブル。 0:無効化 1:イネーブル
2	GPIO2_INPUT_EN	R/W	0x1	GPIO2 入力イネーブル。 0:無効化 1:イネーブル
1	GPIO1_INPUT_EN	R/W	0x1	GPIO1 入力イネーブル。 0:無効化 1:イネーブル
0	GPIO0_INPUT_EN	R/W	0x1	GPIO0 入力イネーブル。 0:無効化 1:イネーブル

6.7.1.16 DVP_CFG

表 6-28. DVP_CFG (アドレス 0x10)

ビット	フィールド	タイプ	デフォルト	説明
7:5	RESERVED	R/W	0x0	予約済み。
4	DVP_DT_ANY_EN	R/W	0x0	アサートされると、DVP 経由のロング データ タイプ (DT) パケットを持つ任意のパケットを許可します。
3	DVP_DT_MATCH_EN	R/W	0x0	アサートされると、DVP_DT レジスタの値に基づいてデータ タイプのマッチングを行います。注:このビットがアサートされると、DVP_DT レジスタへの書き込みはブロックされます。
2	DVP_DT_YUV_EN	R/W	0x0	このビットがアサートされ、mode_100m もアサートされている場合、DVP 経由で YUV 10 ビット DT を許可します (YUV 10 ビット DT は 0x19、0x1d、0x1f)。
1	DVP_FV_IN	R/W	0x0	フレーム有効の極性を反転。
0	DVP_LV_INV	R/W	0x0	ライン有効の極性を反転。

6.7.1.17 DVP_DT

表 6-29. DVP_DT (アドレス 0x11)

ビット	フィールド	タイプ	デフォルト	説明
7:6	RESERVED	R/W	0x0	予約済み。
5:0	DVP_DT_MATCH_VAL	R/W	0x0	レジスタ DVP_CFG (0x10) の DVP_DT_MATCH_EN ビットがアサートされると、DVP ブロックは、mode_75m または mode_100m の設定に関係なく、この DT を持つパケットの通過を許可します。DT 値はロング DT 値である必要があります (ビット 5 または 4 を設定する必要があります。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.18 BIST エラーを強制

表 6-30. FORCE_BIST_ERR (アドレス 0x13)

ビット	フィールド	タイプ	デフォルト	説明
7	FORCE_FC_ERR	SC	0x0	FORCE_ERR_CNT を使用すると、FORCE_FC_CNT の値に基づいて、フォワード チャネル パリティ エラーの数を強制的に設定できます。BIST モードの場合、BIST モードに入るとパリティエラーが自動的に生成されます。通常動作時にパリティ エラーを注入するためには、このビットを 1 にセットする必要があります。 0:強制無効 1:強制有効
6:0	FORCE_FC_CNT	R/W	0x00	強制エラー カウント。この値を強制パリティ エラーの希望する数に設定します。

6.7.1.19 リモート BIST 制御

表 6-31. REMOTE_BIST_CTRL (アドレス 0x14)

ビット	フィールド	タイプ	デフォルト	説明
7:4	FORCE_ERR_CNT	R/W	0x0	このビットを設定すると、FORCE_ERR_CNT に基づいて FC エラーを強制します。 0:強制無効 1:強制有効
3	LOCAL_BIST_EN	R/W	0x0	DS90UB953-Q1 を強制的に BIST モードに移行させます。
2:1	BIST_CLOCK	R/W	0x0	BIST クロックソースの選択。 00:外部 / システム クロック 01:50MHz 内部クロック 1X:25MHz 内部クロック
0	REMOTE_BIST_EN	R/W	0x0	下位互換のリモート BIST イネーブル レジスタ。

6.7.1.20 最大電圧ゲイン

表 6-32. SENSOR_VGAIN (アドレス 0x15)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:0	VOLT_GAIN	R/W	0x20	電圧センサのゲイン設定。VOLT_GAIN = (128 / REG_VALUE)。 0x40:ゲイン = 2 0x20:ゲイン = 4 0x10:ゲイン = 8

6.7.1.21 SSI 制御 0

表 6-33. SENSOR_CTRL0 (アドレス 0x17)

ビット	フィールド	タイプ	デフォルト	説明
7:4	RESERVED	R/W	0x3	予約済み。
3:2	SENSOR_ENABLE	R/W	0x3	温度および電圧センサ イネーブル。 00:無効化 11:イネーブル
1:0	SENSE_V_GPIO	R/W	0x0	入力電圧センサの 0/1 測定用に GPIO 0/1 をイネーブルします。 00:電圧検出なし 01:GPIO0 電圧検出 10:GPIO1 電圧検出 11:GPIO0 および GPIO1 電圧検出

Copyright © 2024 Texas Instruments Incorporated

6.7.1.22 SSI 制御 1

表 6-34. SENSOR_CTRL1 (アドレス 0x18)

ビット	フィールド	タイプ	デフォルト	説明
7	SENSE_GAIN_EN	R/W	0x1	センサのゲイン設定を有効にします。
6:0	RESERVED	R/W	0x00	予約済み。

6.7.1.23 電圧センサ 0 のスレッショルド

表 6-35. SENSOR_V0_THRESH (アドレス 0x19)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:4	SENSE_V0_HI	R/W	0x6	GPIO0/V0 センサの上限。GPIO0 が電圧センサとして構成されているとき、測定電圧が SENSE_V0_HI を上回ると、SENSOR_STATUS レジスタの V0_SENSOR_HI アラームがトリガされます。最大読み取り値は、VOLTAGE_SENSOR_V0_MAX から読み出すことができます。
3	RESERVED	R/W	0x0	予約済み。
2:0	SENSE_V0_LO	R/W	0x2	GPIO0/V0 センサの下限。GPIO0 が電圧センサとして構成されているとき、測定電圧が SENSE_V0_LO を下回ると、SENSOR_STATUS レジスタの V0_SENSOR_LOW アラームがトリガされます。最小読み取り値は、VOLTAGE_SENSOR_V0_MIN から読み出すことができます。

6.7.1.24 電圧センサ 1 のスレッショルド

表 6-36. SENSOR_V1_THRESH (アドレス 0x1A)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:4	SENSE_V1_HI	R/W	0x6	GPIO1/V1 センサの上限。GPIO1 が電圧センサとして構成されているとき、測定電圧が SENSE_V1_HI を上回ると、SENSOR_STATUS レジスタの V1_SENSOR_HI アラームがトリガされます。最大読み取り値は、VOLTAGE_SENSOR_V1_MAX から読み出すことができます。
3	RESERVED	R/W	0x0	予約済み。
2:0	SENSE_V1_LO	R/W	0x2	GPIO1/V1 センサの下限。GPIO1 が電圧センサとして構成されているとき、測定電圧が SENSE_V1_LO を下回ると、SENSOR_STATUS レジスタの V1_SENSOR_LOW アラームがトリガされます。最小読み取り値は、VOLTAGE_SENSOR_V1_MIN から読み出すことができます。

6.7.1.25 温度センサのスレッショルド

表 6-37. SENSOR_T_THRESH (アドレス 0x1B)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:4	SENSE_T_HI	R/W	0x6	温度センサの上限スレッショルド。温度センサがイネーブルで、測定された温度が SENSE_T_HI 制限値を上回ると、SENSOR_STATUS の T_SENSOR_HI アラームがトリガされます。
3	RESERVED	R/W	0x0	予約済み。
2:0	SENSE_T_LO	R/W	0x2	温度センサの下限スレッショルド。温度センサがイネーブルで、測定された温度が SENSE_T_LO 制限値を下回ると、SENSOR_STATUS の T_SENSOR_LOW アラームがトリガされます。

6.7.1.26 CSI-2 のアラーム イネーブル

表 6-38. ALARM_CSI_EN (Address 0x1C)

ビット	フィールド	タイプ	デフォルト	説明
7:6	RESERVED	R/W	0x0	予約済み。

Copyright © 2024 Texas Instruments Incorporated

表 6-38. ALARM_CSI_EN (Address 0x1C) (続き)

ビット	フィールド	タイプ	デフォルト	説明
5	CSI_NO_FV_EN	R/W	0x1	CSI-2 フレーム無効アラーム イネーブル。 1:イネーブル 0:ディセーブル
4	DPHY_SYNC_ERR_EN	R/W	0x1	DPHY_SYNC_ERR アラーム イネーブル。 1:イネーブル 0:ディセーブル
3	DPHY_CTRL_ERR_EN	R/W	0x1	DPHY_CTRL_ERR アラーム イネーブル。 1:イネーブル 0:ディセーブル
2	CSI_ECC_2_EN	R/W	0x1	CSI_ECC2 アラーム イネーブル。 1:イネーブル 0:ディセーブル
1	CSI_CHKSUM_ERR_EN	R/W	0x1	CSI-2 チェックサム エラー アラーム イネーブル。 1:イネーブル 0:ディセーブル
0	CSI_LENGTH_ERR_EN	R/W	0x1	CSI-2 長さエラー アラーム イネーブル。 1:イネーブル 0:ディセーブル

6.7.1.27 アラーム検出イネーブル

表 6-39. ALARM_SENSE_EN (アドレス 0x1D)

ビット	フィールド	タイプ	デフォルト	説明
7:6	RESERVED	R/W	0x0	予約済み。
5	T_OVER	R/W	0x0	温度センサ上限超過アラームを有効にします。
4	T_UNDER	R/W	0x0	温度センサ下限超過アラームを有効にします。
3	V1_OVER	R/W	0x0	電圧 1 センサ上限超過アラームを有効にします。
2	V1_UNDER	R/W	0x0	電圧 1 センサ下限超過アラームを有効にします。
1	V0_OVER	R/W	0x0	電圧 0 センサ上限超過アラームを有効にします。
0	V0_UNDER	R/W	0x0	電圧 0 センサ下限超過アラームを有効にします。

6.7.1.28 バック チャネルのアラーム イネーブル

表 6-40. ALARM_BC_EN (アドレス 0x1E)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6	BCC_TARGET_TO_ERROR_EN	R/W	0x0	BCC_TARGET_TO_ERROR_EN アラームをイネーブルにします。
5	BCC_TARGET_ERROR_EN	R/W	0x0	BCC_TARGET_ERROR_EN アラームをイネーブルにします。
4	BCC_MSTR_TO_ERROR_EN	R/W	0x0	BCC_MSTR_TO_ERROR_EN アラームをイネーブルにします。
3	BCC_MSTR_ERROR_EN	R/W	0x0	BCC_MSTR_ERROR_EN アラームをイネーブルにします。
2	BCC_DATA_ERROR_EN	R/W	0x0	BCC_DATA_ERROR_EN アラームをイネーブルにします。
1	CRC_ERR_EN	R/W	0x0	CRC_ERR アラームをイネーブルにします。
0	LINK_DETECT_EN	R/W	0x0	LINK_DETECT アラームをイネーブルにします。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.29 CSI-2 の極性選択

CSI-2 極性選択レジスタを使用すると、各データ レーンの P/N 入力極性を変更できます。

表 6-41. CSI_POL_SEL (アドレス 0x20)

ビット	フィールド	タイプ	デフォルト	説明
7:5	RESERVED	R	0x0	予約済み。
4	POLARITY_CLK0	R/W	0x0	CSI-2 CLK レーン 0 の極性。
3	POLARITY_D3	R/W	0x0	CSI-2 データ レーン 3 の極性。
2	POLARITY_D2	R/W	0x0	CSI-2 データ レーン 2 の極性。
1	POLARITY_D1	R/W	0x0	CSI-2 データ レーン 1 の極性。
0	POLARITY_D0	R/W	0x0	CSI-2 データ レーン 0 の極性。

6.7.1.30 CSI-2 の LP モードの極性

CSI-2 LP モード極性レジスタを使用すると、低消費電力モードにおけるすべてのクロック レーンおよびデータ レーンの極性を変更できます。

表 6-42. CSI_LP_POLARITY (アドレス 0x21)

ビット	フィールド	タイプ	デフォルト	説明
7:5	RESERVED	R/W	0x0	予約済み。
4	POL_LP_CLK0	R/W	0x0	LP CSI-2 クロック レーンの極性。
3:0	POL_LP_DATA	R/W	0x0	LP CSI-2 データレーンの極性。

6.7.1.31 CSI-2 の高速 RX イネーブル

CSI-2 高速 RX イネーブルレジスタはシステムのデバッグ用であり、通常動作では 0x00 に設定する必要があります。

表 6-43. CSI_EN_HSRX (アドレス 0x22)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R	0x0	予約済み。
6:0	RESERVED	R/W	0x00	予約済み。

6.7.1.32 CSI-2 の低消費電力イネーブル

CSI-2 低消費電力イネーブル レジスタは、システムのデバッグを目的としています。

表 6-44. CSI_EN_LPRX (アドレス 0x23)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R	0x0	予約済み。
6:0	RESERVED	R/W	0x00	予約済み。

6.7.1.33 CSI-2 の終端イネーブル

CSI-2 終端イネーブル レジスタは、システムのデバッグを目的としています。

表 6-45. CSI_EN_RXTERM (アドレス 0x24)

ビット	フィールド	タイプ	デフォルト	説明
7:4	RESERVED	R/W	0x0	予約済み。
3	EN_RXTERM_D3	R/W	0x0	予約済み。
2	EN_RXTERM_D2	R/W	0x0	予約済み。
1	EN_RXTERM_D1	R/W	0x0	予約済み。
0	EN_RXTERM_D0	R/W	0x0	予約済み。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.34 CSI-2 のパケット ヘッダー制御

表 6-46. CSI_PKT_HDR_TINIT_CTRL (アドレス 0x31)

ビット	フィールド	タイプ	デフォルト	説明
7:6	PKT_HDR_SEL_VC	R/W	0x0	インターリーブ VC パケットの場合は、VC ID を選択してパケットヘッダーを表示します。これは、ビット 4 が High (PKT_HDR_VCI_ENABLE) に設定されている場合にのみ有効です。
5	PKT_HDR_CORRECTED	R/W	0x1	1:レシーバに送信された訂正済み CSI-2 パケット ヘッダー (エラーの場合) を表示します 0:イメージャから受信した CSI-2 パケットヘッダーを表示します。
4	PKT_HDR_VCI_ENABLE	R/W	0x0	インターリーブ モードで VC に基づく CSI-2 パケットヘッダー選択を有効化します。インターリーブ VC パケットの場合、このビットをセットして、各 VC のパケットヘッダーを記録します。通常のデータ パケットの場合、このビットは無視します。
3	RESERVED	R/W	0x0	予約済み。
2:0	TINIT_TIME	R/W	0x0	電源投入後の CSI-2 初期時間。この期間中、すべての CSI-2 レーンについて、すべての LP 制御データは無視されます。 000 = 100µs 001 = 200µs 010 = 300µs 111 = 800µs など。

6.7.1.35 バック チャネルの構成

表 6-47. BCC_CONFIG (アドレス 0x32)

ビット	フィールド	タイプ	デフォルト	説明
7	I2C_PASS_THROUGH_ALL	R/W	0x0	すべてのトランザクションで I2C パススルー。 0:無効化 1:イネーブル
6	I2C_PASS_THROUGH	R/W	0x0	デコードが一致する場合、デシリアライザへの I2C パススルー。 0:パススルーを無効化 1:パススルーを有効化
5	AUTO_ACK_ALL	R/W	0x0	フォワード チャネルのロック状態やリモート アクノリッジのステータスに関係なく、すべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効
4	RESERVED	R/W	0x0	予約済み。
3	RX_PARITY_CHECKER_ENABLE	R/W	0x1	パリティ チェッカ有効。 0:無効 1:イネーブル
2	RESERVED	R/W	0x0	予約済み。
1	RESERVED	R/W	0x0	予約済み。
0	RESERVED	R/W	0x1	予約済み。

6.7.1.36 データパス制御 1

表 6-48. DATAPATH_CTL1 (アドレス 0x33)

ビット	フィールド	タイプ	デフォルト	説明
7:3	RESERVED	R/W	0x00	予約済み。
2	DCA_CRC_EN	R/W	0x1	DCA CRC 有効。 1 に設定されている場合、フォワード チャネルは、DCA シーケンスの一部として CRC を送信します。DCA CRC は、DCA シーケンスの最初の 8 バイトを保護します。 CRC は、9 番目のバイトとして送信されます。

Copyright © 2024 Texas Instruments Incorporated

表 6-48. DATAPATH_CTL1 (アドレス 0x33) (続き)

ビット	フィールド	タイプ	デフォルト	説明
1:0	FC_GPIO_EN	R/W	0x0	フォワード チャネル GPIO 有効。 有効化するフォワード チャネル GPIO の数を設定します。 00:GPIO 無効 01:1 つの GPIO 10:2 つの GPIO 11:4 つの GPIO

6.7.1.37 リモート パートナー能力 1

表 6-49. REMOTE_PAR_CAP1 (アドレス 0x35)

ビット	フィールド	タイプ	デフォルト	説明
7	FREEZE_DES_CAP	R/W	0x0	パートナーの能力を凍結します。 双方向制御チャネルによるパートナー機能の自動ロードを防止します。レジスタ 0x1E および 0x1F に書き込まれた値でこの機能は固定されます。
6	RESERVED	R/W	0x0	予約済み。
5	BIST_EN	R/W	0x0	リンク BIST 有効。 このビットは、リモートパートナーが FPD-Link III インターフェイス上で BIST 動作を要求していることを示します。 このフィールドは、バック チャネル リンクが検出されると、双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。
4	MPORT	R/W	0x0	リモート パートナー マルチポート有効。 0:リモート パートナーは、シングルポート デシリアライザ デバイスです。 1:リモート パートナーは、マルチポート デシリアライザ デバイスです。 このフィールドは、バック チャネル リンクが検出されると、双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。
3:0	PORT_NUM	R/W	0x0	リモートパートナーのポート番号。 マルチポート デバイスに接続されている場合、このフィールドはシリアライザが接続されているポート番号を示します。 このフィールドは、バック チャネル リンクが検出されると、す双方向制御チャネルによって自動的に設定されます。ソフトウェアはこの値を上書きできますが、双方向制御チャネルによる上書きを禁止するため、FREEZE DES CAP ビットもセットする必要があります。

6.7.1.38 パートナー デシリアライザ ID

表 6-50. DES_ID (アドレス 0x37)

ビット	フィールド	タイプ	デフォルト	説明
7:1	DES_ID	R/W	0x3D	リモート デシリアライザ ID。 このフィールドは通常、リモート デシリアライザから自動的にロードされます。
0	FREEZE_DEVICE_ID	R/W	0x0	デシリアライザ デバイス ID を固定します。 バック チャネルからデシリアライザ デバイス ID が自動ロードされないようにします。ID は、すでに書き込まれた値に固定されます。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.39 ターゲット 0 ID

表 6-51. TARGET_ID_0 (アドレス 0x39)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_0	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 0。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID0 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

6.7.1.40 ターゲット 1 ID

表 6-52. TARGET_ID_1 (アドレス 0x3A)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_1	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 1。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID1 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

6.7.1.41 ターゲット 2 ID

表 6-53. TARGET_ID_2 (アドレス 0x3B)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_2	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 2。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID2 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

6.7.1.42 ターゲット 3 ID

表 6-54. TARGET_ID_3 (アドレス 0x3C)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_3	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 3。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID3 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

6.7.1.43 ターゲット 4 ID

表 6-55. TARGET_ID_4 (アドレス 0x3D)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_4	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 4。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID4 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.44 ターゲット 5 ID

表 6-56. TARGET_ID_5 (アドレス 0x3E)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_5	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 5。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID5 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

6.7.1.45 ターゲット 6 ID

表 6-57. TARGET_ID_6 (アドレス 0x3F)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_6	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 6。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID6 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

6.7.1.46 ターゲット 7 ID

表 6-58. TARGET_ID_7 (アドレス 0x40)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_7	R/W	0x00	7 ビットのリモート ターゲット デバイス ID 7。 リモート デシリアライザに接続されたリモート I2C ターゲット デバイスの I2C 物理アドレスを設定します。I2C トランザクションがターゲット エイリアス ID7 にアドレス指定された場合、そのトランザクションが双方向制御チャネルでデシリアライザに転送される前に、そのトランザクションはこのアドレスに再割り当てされます。
0	RESERVED	R	0x0	予約済み。

6.7.1.47 ターゲット 0 エイリアス

表 6-59. TARGET_ID_ALIAS_0 (アドレス 0x41)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_0	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 0。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID0 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。
0	TARGET_AUTO_ACK_0	R/W	0x0	フォワード チャネルのロック状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモートターゲット 0 へのすべての I2C 書き込みを自動的にアクノリッジします。 1: 有効 0: 無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.48 ターゲット 1 エイリアス

表 6-60. TARGET_ID_ALIAS_1 (アドレス 0x42)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_1	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 1。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID1 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。
0	TARGET_AUTO_ACK_1	R/W	0x0	フォワード チャネルのロック状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモートターゲット 1 へのすべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

6.7.1.49 ターゲット 2 エイリアス

表 6-61. TARGET_ID_ALIAS_2 (アドレス 0x43)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_2	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 2。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID2 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。
0	TARGET_AUTO_ACK_2	R/W	0x0	フォワード チャネルのロック状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモート ターゲット 2 へのすべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

6.7.1.50 ターゲット 3 エイリアス

表 6-62. TARGET_ID_ALIAS_3 (アドレス 0x44)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_3	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 3。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID3 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。
0	TARGET_AUTO_ACK_3	R/W	0x0	フォワード チャネルのロック状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモートターゲット 3 へのすべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

6.7.1.51 ターゲット 4 エイリアス

表 6-63. TARGET_ID_ALIAS_4 (アドレス 0x45)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_4	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 4。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID4 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。

Copyright © 2024 Texas Instruments Incorporated

表 6-63. TARGET_ID_ALIAS_4 (アドレス 0x45) (続き)

ビット	フィールド	タイプ	デフォルト	説明
0	TARGET_AUTO_ACK_4	R/W	0x0	フォワード チャネル ロックの状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモートターゲット 4 へのすべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

6.7.1.52 ターゲット 5 エイリアス

表 6-64. TARGET_ID_ALIAS_5 (アドレス 0x46)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_5	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 5。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID5 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。
0	TARGET_AUTO_ACK_5	R/W	0x0	フォワード チャネルのロック状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモート ターゲット 5 へのすべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

6.7.1.53 ターゲット 6 エイリアス

表 6-65. TARGET_ID_ALIAS_6 (アドレス 0x47)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_6	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 6。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID6 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。
0	TARGET_AUTO_ACK_6	R/W	0x0	フォワード チャネルのロック状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモート ターゲット 6 へのすべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

6.7.1.54 ターゲット 7 エイリアス

表 6-66. TARGET_ID_ALIAS_7 (アドレス 0x48)

ビット	フィールド	タイプ	デフォルト	説明
7:1	TARGET_ID_ALIAS_7	R/W	0x00	7 ビットのリモート ターゲット デバイス エイリアス ID 7。 リモート デシリアライザに接続された I2C ターゲット デバイスを指定したトランザクションを検出するためのデコーダを設定します。このトランザクションは、ターゲット ID7 レジスタで指定されたアドレスに再割り当てされます。このフィールドの値を 0 にすると、リモート I2C ターゲットへのアクセスが無効化されます。
0	TARGET_AUTO_ACK_7	R/W	0x0	フォワード チャネルのロック状態やリモート デシリアライザ アクノリッジのステータスに関係なく、リモートターゲット 7 へのすべての I2C 書き込みを自動的にアクノリッジします。 1:有効 0:無効 これはデバッグのみを目的としており、通常の動作では推奨しません。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.55 バック チャネル制御

表 6-67. BC_CTRL (アドレス 0x49)

ビット	フィールド	タイプ	デフォルト	説明
7:6	RESERVED	R	0x0	予約済み。
5	BIST_CRC_ERR_CLR	(R/W)/SC	0x0	BIST CRC エラー カウンタをクリアします。 0:クリア無効 1:クリア有効
4	RESERVED	R/W	0x0	予約済み。
3	CRC_ERR_CLR	(R/W)/SC	0x0	CRC エラーをクリアします。 0:クリア無効 1:クリア有効
2:0	LINK_DET_TIMER	R/W	0x0	TX-RX リンク検出タイマ値。

6.7.1.56 リビジョン ID

表 6-68. REV_MASK_ID (アドレス 0x50)

ビット	フィールド	タイプ	デフォルト	説明
7:4	REVISION_ID	R	0x2	リビジョン ID。
3:0	MASK_ID	R	0x0	マスク ID。

6.7.1.57 デバイス ステータス

表 6-69. Device STS (アドレス 0x51)

ビット	フィールド	タイプ	デフォルト	説明
7	CFG_CKSUM_STS	R	0x0	構成チェックサムは正常です。 eFuse ROM 内の構成データのチェックサムが有効であった場合、このビットは初期化の後にセットされます。
6	CFG_INIT_DONE	R	0x0	電源投入時の初期化が完了しました。 初期化が完了すると、このビットがセットされます。eFuse ROM からの構成が完了しました。
5:0	RESERVED	R	0x00	予約済み。

6.7.1.58 一般ステータス

表 6-70. GENERAL_STATUS (アドレス 0x52)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R	0x0	予約済み。
6	RX_LOCK_DETECT	R	0x0	デシリアライザのロック ステータス。このビットはデシリアライザのロック ステータスを示します。
5	RESERVED	R	0x0	予約済み。
4	LINK_LOST_FLAG	R	0x0	バック チャネル リンク喪失ステータス変化。 BC LINK DET 喪失ステータスの変化が検出された場合、このビットがセットされます。このビットは、CRC ERR CLR レジスタを読み出すか、HS PLL がロックを失うとクリアされます。
3	BIST_CRC_ERR	R	0x0	BIST エラー検出。 BIST_ERR_CNT レジスタには、バック チャネル BIST エラーの数が入っています。
2	HS_PLL_LOCK	R	0x1	フォワード チャネル高速 PLL ロック フラグ。
1	CRC_ERR	R	0x0	バック チャネル CRC エラー検出。 このビットは、BC LINK DET がアサートされているときにバック チャネル エラーが検出されるとセットされます。 このビットは、CRC_ERR_CLR レジスタを読み出すとクリアされます。

Copyright © 2024 Texas Instruments Incorporated

表 6-70. GENERAL_STATUS (アドレス 0x52) (続き)

ビット	フィールド	タイプ	デフォルト	説明
0	LINK_DET	R	0x1	バック チャネルリンク検出。 このビットは、BC リンクが有効なときセットされます。

6.7.1.59 GPIO ピン ステータス

表 6-71. 入力状態のみの GPIO_PIN_STS (アドレス 0x53)

ビット	フィールド	タイプ	デフォルト	説明
7:4	RESERVED	R	0x0	予約済み。
3:0	GPIO_STS	R	0x0	GPIO ピン ステータス。 このレジスタは GPIO ピンの現在値を読み出します。 ビット 3 では、GPIO3 ピンのステータスが読み出されます。 ビット 2 では、GPIO2 ピンのステータスが読み出されます。 ビット 1 では、GPIO1 ピンのステータスが読み出されます。 ビット 0 では、GPIO0 ピンのステータスが読み出されます。

6.7.1.60 BIST エラー カウント

表 6-72. BIST_ERR_CNT (アドレス 0x54)

ビット	フィールド	タイプ	デフォルト	説明
7:0	BIST_BC_ERRCNT	R	0x00	BIST モードでの CRC エラーの数。

6.7.1.61 CRC エラー カウント 1

表 6-73. CRC_ERR_CNT1 (アドレス 0x55)

ビット	フィールド	タイプ	デフォルト	説明
7:0	CRC_ERR_CNT1	R	0x00	CRC エラー カウント (LSB)。

6.7.1.62 CRC エラー カウント 2

表 6-74. CRC_ERR_CNT2 (アドレス 0x56)

ビット	フィールド	タイプ	デフォルト	説明
7:0	CRC_ERR_CNT2	R	0x00	CRC エラー カウント (MSB)。

6.7.1.63 センサ ステータス

表 6-75. SENSOR_STATUS (アドレス 0x57)

ビット	フィールド	タイプ	デフォルト	説明
7:6	RESERVED	R	0x0	予約済み。
5	T_SENSOR_HI	R	0x0	このビットがセットされている場合、内部温度センサが SENSE_T_HI 制限値を上回っていることを示します 。このビットは、読み出すとクリアされます。
4	T_SENSOR_LOW	R	0x0	このビットがセットされている場合、内部温度センサが SENSE_T_LO 制限値を下回っていることを示します。このビットは、読み出すとクリアされます。
3	V1_SENSOR_HI	R	0x0	このビットがセットされている場合、GPIO1 入力が SENSE_V1_HI 制限値を上回っていることを示します。このビットは、読み出すとクリアされます。
2	V1_SENSOR_LOW	R	0x0	このビットがセットされているとき、GPIO1 入力が SENSO_V1_LO 制限値を下回っていることを示します。このビットは、読み出すとクリアされます。
1	V0_SENSOR_HI	R	0x0	このビットがセットされている場合、GPIO0 入力が SENSE_V0_HI 制限値を上回っていることを示します。このビットは、読み出すとクリアされます。
0	V0_SENSOR_LOW	R	0x0	このビットがセットされているとき、GPIO0 入力が SENSO_V0_LO 制限値を下回っていることを示します。このビットは、読み出すとクリアされます。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.64 センサ V0

表 6-76. SENSOR_V0 (アドレス 0x58)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:4	VOLTAGE_SENSOR_V0_MAX	RC	0x0	GPIO0 電圧が SENSE_V0_HI 制限値を上回っているときの、GPIO0 電圧センサの最大読み取り値。このビットは、読み出すとクリアされます。0 は、アラームがトリガされていないことを示します。
3	RESERVED	R/W	0x0	予約済み。
2:0	VOLTAGE_SENSOR_V0_MIN	RC	0x7	GPIO0 電圧が SENSE_V0_LO 制限値を下回っているときの、GPIO0 電圧センサの最小読み取り値。このビットは、読み出すとクリアされます。7 は、アラームがトリガされていないことを示します。

6.7.1.65 センサ V1

表 6-77. SENSOR_V1 (アドレス 0x59)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:4	VOLTAGE_SENSOR_V1_MAX	RC	0x0	GPIO1 電圧が SENSE_V1_HI 制限値を上回っているときの、GPIO1 電圧センサの最大読み取り値。このビットは、読み出すとクリアされます。 0 は、アラームがトリガされていないことを示します。
3	RESERVED	R/W	0x0	予約済み。
2:0	VOLTAGE_SENSOR_V1_MIN	RC	0x7	GPIO1 電圧が SENSE_V1_LO 制限値を下回っているときの、GPIO1 電圧センサの最小読み取り値。このビットは、読み出すとクリアされます。 7 は、アラームがトリガされていないことを示します。

6.7.1.66 センサ T

表 6-78. SENSOR_T (アドレス 0x5A)

ビット	フィールド	タイプ	デフォルト	説明
7	RESERVED	R/W	0x0	予約済み。
6:4	TEMP_MAX	RC	0x0	温度が SENSE_T_HI 制限値を上回っているときの内部温度センサの最大読み取り値。このビットは、読み出すとクリアされます。 0 は、アラームがトリガされていないことを示します。
3	RESERVED	R/W	0x0	予約済み
2:0	TEMP_MIN	RC	0x7	温度が SENSE_T_LO 制限値を下回っているときの内部温度センサの最小読み取り値。このビットは、読み出すとクリアされます。 7 は、アラームがトリガされていないことを示します。

6.7.1.67 CSI-2 エラー カウント

表 6-79. CSI_ERR_CNT (アドレス 0x5C)

ビット	フィールド	タイプ	デフォルト	説明
7:0	CSI_ERR_CNT	RC	0x00	CSI-2 エラー カウンタ レジスタ。 このレジスタは、前回のカウンタ読み取り以降にエラーが発生して受信された CSI-2 パケットの数をカウントします。

6.7.1.68 CSI-2 エラー ステータス

表 6-80. CSI_ERR_STATUS (アドレス 0x5D)

ビット	フィールド	タイプ	デフォルト	説明
7:4	RESERVED	R	0x0	予約済み。
3	LINE_LEN_MISMATCH	R/RC	0x0	ラインの長さが、受信パケット ヘッダーのワード数より短いことを示します。
2	CHKSUM_ERR	R/RC	0x0	受信データでチェックサム エラーが検出されたことを示します (訂正不可)。

Copyright © 2024 Texas Instruments Incorporated

表 6-80. CSI_ERR_STATUS (アドレス 0x5D) (続き)

ビット	フィールド	タイプ	デフォルト	説明
1	ECC_2BIT_ERR	R/RC	0x0	パケット ヘッダーで 2 ビット ECC エラー (訂正不可) があることを示します。
0	ECC_1BIT_ERR	R/RC	0x0	パケット ヘッダーで 1 ビット ECC エラーが検出されたことを示します。

6.7.1.69 CSI-2 エラー データ レーン 0 および 1

表 6-81. CSI_ERR_DLANE01 (アドレス 0x5E)

ビット	フィールド	タイプ	デフォルト	説明
7	SOT_ERROR_1	R	0x0	レーン 1:同期シーケンスのシングル ビット エラー - 訂正可能。
6	SOT_SYNC_ERROR_1	R	0x0	レーン 1:同期シーケンスのマルチ ビット エラー - 訂正不可能。
5	CNTRL_ERR_HSRQST_1	R	0x0	レーン 1:HS 要求モードでの制御エラー。
4	RESERVED	R	0x0	予約済み。
3	SOT_ERROR_0	R	0x0	レーン 0:同期シーケンスのシングル ビット エラー - 訂正可能。
2	SOT_SYNC_ERROR_0	R	0x0	レーン 0:同期シーケンスのマルチ ビット エラー - 訂正不可能。
1	CNTRL_ERR_HSRQST_0	R	0x0	レーン 0:HS 要求モードでの制御エラー。
0	RESERVED	R	0x0	予約済み。

6.7.1.70 CSI-2 エラー データ レーン 2 および 3

表 6-82. CSI_ERR_DLANE23 (アドレス 0x5F)

ビット	フィールド	タイプ	デフォルト	説明
7	SOT_ERROR_3	R	0x0	レーン 3:同期シーケンスのシングル ビット エラー - 訂正可能。
6	SOT_SYNC_ERROR_3	R	0x0	レーン 3:同期シーケンスのマルチ ビット エラー - 訂正不可能。
5	CNTRL_ERR_HSRQST_3	R	0x0	レーン 3:HS 要求モードでの制御エラー。
4	RESERVED	R	0x0	予約済み。
3	SOT_ERROR_2	R	0x0	レーン 2:同期シーケンスのシングル ビット エラー - 訂正可能。
2	SOT_SYNC_ERROR_2	R	0x0	レーン 2:同期シーケンスのマルチ ビット エラー - 訂正不可能。
1	CNTRL_ERR_HSRQST_2	R	0x0	レーン 2:HS 要求モードでの制御エラー。
0	RESERVED	R	0x0	予約済み。

6.7.1.71 CSI-2 エラー クロック レーン

表 6-83. CSI_ERR_CLK_LANE (アドレス 0x60)

ビット	フィールド	タイプ	デフォルト	説明
7:2	RESERVED	R	0x00	予約済み。
1	CNTRL_ERR_HSRQST_CK0	R	0x0	CLK レーン:HS 要求モードでの制御エラー。
0	RESERVED	R	0x0	予約済み。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.72 CSI-2 パケット ヘッダー データ

表 6-84. CSI_PKT_HDR_VC_ID (アドレス 0x61)

ビット	フィールド	タイプ	デフォルト	説明
7:6	LONG_PKT_VCHNL_ID	R	0x0	CSI-2 パケット ヘッダーの仮想チャネル ID 。
5:0	LONG_PKT_DATA_ID	R	0x00	CSI-2 パケット ヘッダーのデータ ID 。

6.7.1.73 パケット ヘッダーのワード数 0

表 6-85. PKT_HDR_WC_LSB (アドレス 0x62)

ビット	フィールド	タイプ	デフォルト	説明
7:0	LONG_PKT_WRD_CNT_LSB	R	0x00	CSI-2 パケット ヘッダーからのペイロード カウントの下位バイト。

6.7.1.74 パケット ヘッダーのワード数 1

表 6-86. PKT_HDR_WC_MSB (アドレス 0x63)

ビット	フィールド	タイプ	デフォルト	説明
7:0	LONG_PKT_WRD_CNT_MSB	R	0x00	CSI-2 パケット ヘッダーからのペイロード カウントの上位バイト。

6.7.1.75 CSI-2 ECC

表 6-87. CSI_ECC アドレス 0x64)

ビット	フィールド	タイプ	デフォルト	説明
7	LINE_LENGTH_CHANGE	R	0x0	フレームごとに検出されたラインの長さの変化を示します。
6	RESERVED	R	0x0	予約済み。
5:0	CSI-2_ECC	R	0x00	パケット ヘッダーの CSI-2 ECC バイト。

6.7.1.76 IND_ACC_CTL

表 6-88. IND_ACC_CTL (アドレス 0xB0)

ビット	フィールド	タイプ	デフォルト	説明
7:5	RESERVED	R	0x0	予約済み。
4:2	IA_SEL	R/W	0x0	間接アクセス レジスタの選択: レジスタ アクセスの対象を選択 000:PATGEN 001:アナログ レジスタ
1	IA_AUTO_INC	R/W	0x0	間接アクセスの自動インクリメント: 自動インクリメント モードを有効化します。読み出しまたは書き込みが完了すると、レジスタ アドレスが自動的に 1 ずつ増えます。
0	IA_READ	R/W	0x0	間接アクセス読み出し: これをセットすると、IND_ACC_ADDR レジスタのセット時に、選択されたレジスタブロックへの読み出しストローブを生成できます。自動インクリメント モードでは、IND_ACC_DATA レジスタを読み出した後にも、読み出しストローブがアサートされます。この機能は、レジスタ データをプリフェッチする必要があるブロックにのみ必要です。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.77 IND_ACC_ADDR

表 6-89. IND_ACC_ADDR (アドレス 0xB1)

ビット	フィールド	タイプ	デフォルト	説明
7:0	IND_ACC_ADDR	R/W	0x00	間接アクセス レジスタのオフセット: このレジスタには、間接アクセス用の 8 ビット レジスタ オフセットが含まれます。

6.7.1.78 IND_ACC_DATA

表 6-90. IND_ACC_DATA (アドレス 0xB2)

ビット	フィールド	タイプ	デフォルト	説明
7:0	IND_ACC_DATA	R/W	0x00	間接アクセス レジスタのデータ: このレジスタへ書き込むと、選択されたアナログ ブロック レジスタに対して IND_ACC_DATA 値の間接書き込みが行われます。このレジスタを読み出すと、選択されたアナログ ブロック レジスタの値が返されます。

6.7.1.79 FPD3_TX_ID0

表 6-91. FPD3_TX_ID0 (アドレス 0xF0)

ビット	フィールド	タイプ	デフォルト	説明
7:0	FPD3_TX_ID0	R	0x5F	FPD3_TX_ID0：ID コードの第 1 バイト、"_"

6.7.1.80 FPD3_TX_ID1

表 6-92. FPD3_TX_ID1 (アドレス 0xF1)

ビット	フィールド	タイプ	デフォルト	説明
7:0	FPD3_TX_ID1	R	0x55	FPD3_TX_ID1：ID コードの第 2 バイト、'U'

6.7.1.81 FPD3_TX_ID2

表 6-93. FPD3_TX_ID2 (アドレス 0xF2)

ビット	フィールド	タイプ	デフォルト	説明
7:0	FPD3_TX_ID2	R	0x42	FPD3_TX_ID2：ID コードの第 3 バイト、'B'

6.7.1.82 FPD3_TX_ID3

表 6-94. FPD3_TX_ID3 (アドレス 0xF3)

ビット	フィールド	タイプ	デフォルト	説明
7:0	FPD3_TX_ID3	R	0x39	FPD3_TX_ID3：ID コードの第 4 バイト、'9'

6.7.1.83 FPD3_TX_ID4

表 6-95. FPD3_TX_ID4 (アドレス 0xF4)

ビット	フィールド	タイプ	デフォルト	説明
7:0	FPD3_TX_ID4	R	0x35	FPD3_TX_ID4：ID コードの第 5 バイト、'5'

Copyright © 2024 Texas Instruments Incorporated

6.7.1.84 FPD3_TX_ID5

表 6-96. FPD3_TX_ID5 (アドレス 0xF5)

ビット	フィールド	タイプ	デフォルト	説明
7:0	FPD3_TX_ID5	R	0x33	FPD3_TX_ID5：ID コードの第 6 バイト、'3'

Copyright © 2024 Texas Instruments Incorporated

6.7.2 間接アクセス レジスタ

いくつかの機能ブロックには、間接アクセス マップに含まれるレジスタ セット、すなわちパターン ジェネレータおよびアナログ制御が含まれています。レジスタへのアクセスは、間接アクセス レジスタ (IND_ACC_CTL、IND_ACC_ADDR、IND_ACC_DATA) を使った間接アクセス機構によって行われます。これらのレジスタはメイン レジスタ空間のオフセット 0xB0～0xB2 に配置されています。

この間接アドレス機構には、目的のブロックを選択するための制御レジスタの設定、レジスタ オフセット アドレスの設定、データ レジスタの読み書きが含まれます。また、制御レジスタには、データ レジスタの読み書きの後にオフセット アドレスを自動的にインクリメントするための自動インクリメント機能が備わっています。

書き込み処理は次のとおりです。

1. 目的のレジスタ ブロックを選択するために ND_ACC_CTL レジスタに書き込みます。
2. レジスタ オフセットを設定するために IND_ACC_ADDR レジスタに書き込みます。
3. IND_ACC_DATA レジスタにデータ値を書き込みます。

IND_ACC_CTL レジスタで自動インクリメントが設定されている場合、手順 3 を繰り返すと追加のデータ バイトが次のレジスタ オフセット位置に書き込まれます。

読み出し処理は次のとおりです。

1. 目的のレジスタ ブロックを選択するために ND_ACC_CTL レジスタに書き込みます。
2. レジスタ オフセットを設定するために IND_ACC_ADDR レジスタに書き込みます。
3. IND_ACC_DATA レジスタから読み出します。

IND_ACC_CTL レジスタで自動インクリメントが設定されている場合、手順 3 を繰り返すと追加のデータ バイトが次のレジスタ オフセット位置から読み出されます。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1 PATGEN レジスタ

表 6-97 に、PATGEN レジスタに対してメモリマップされたレジスタを示します。表 6-97 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-97. PATGEN レジスタ

アドレス	略称	レジスタ名	セクション
0x1	PGEN_CTL	PGEN_CTL	表示
0x2	PGEN_CFG	PGEN_CFG	表示
0x3	PGEN_CSI_DI	PGEN_CSI_DI	表示
0x4	PGEN_LINE_SIZE1	PGEN_LINE_SIZE1	表示
0x5	PGEN_LINE_SIZE0	PGEN_LINE_SIZE0	表示
0x6	PGEN_BAR_SIZE1	PGEN_BAR_SIZE1	表示
0x7	PGEN_BAR_SIZE0	PGEN_BAR_SIZE0	表示
0x8	PGEN_ACT_LPF1	PGEN_ACT_LPF1	表示
0x9	PGEN_ACT_LPF0	PGEN_ACT_LPF0	表示
0xA	PGEN_TOT_LPF1	PGEN_TOT_LPF1	表示
0xB	PGEN_TOT_LPF0	PGEN_TOT_LPF0	表示
0xC	PGEN_LINE_PD1	PGEN_LINE_PD1	表示
0xD	PGEN_LINE_PD0	PGEN_LINE_PD0	表示
0xE	PGEN_VBP	PGEN_VBP	表示
0xF	PGEN_VFP	PGEN_VFP	表示
0x10	PGEN_COLOR0	PGEN_COLOR0	表示
0x11	PGEN_COLOR1	PGEN_COLOR1	表示
0x12	PGEN_COLOR2	PGEN_COLOR2	表示
0x13	PGEN_COLOR3	PGEN_COLOR3	表示
0x14	PGEN_COLOR4	PGEN_COLOR4	表示
0x15	PGEN_COLOR5	PGEN_COLOR5	表示
0x16	PGEN_COLOR6	PGEN_COLOR6	表示
0x17	PGEN_COLOR7	PGEN_COLOR7	表示
0x18	PGEN_COLOR8	PGEN_COLOR8	表示
0x19	PGEN_COLOR9	PGEN_COLOR9	表示
0x1A	PGEN_COLOR10	PGEN_COLOR10	表示
0x1B	PGEN_COLOR11	PGEN_COLOR11	表示
0x1C	PGEN_COLOR12	PGEN_COLOR12	表示
0x1D	PGEN_COLOR13	PGEN_COLOR13	表示
0x1E	PGEN_COLOR14	PGEN_COLOR14	表示
0x1F	PGEN_COLOR15	PGEN_COLOR15	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-98 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-98. PATGEN のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		

Copyright © 2024 Texas Instruments Incorporated

表 6-98. PATGEN のアクセス タイプ コード (続き)

アクセス タイプ	表記	説明
-n		リセット後の値またはデフォルト値

6.7.2.1.1 PGEN_CTL レジスタ (アドレス = 0x1) [デフォルト = 0x00]

PGEN_CTL を表 6-99 に示します。

概略表に戻ります。

表 6-99. PGEN_CTL レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:1	RESERVED	R	0x0	予約済み
0	PGEN_ENABLE	R/W	0x0	パターン ジェネレータ有効 1:パターン ジェネレータを有効化 0:パターン ジェネレータを無効化

6.7.2.1.2 PGEN_CFG レジスタ (アドレス = 0x2) [デフォルト = 0x33]

PGEN_CFG を表 6-100 に示します。

概略表に戻ります。

表 6-100. PGEN_CFG レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	PGEN_FIXED_EN	R/W	0x0	固定パターンの有効化 このビットをセットすると、固定カラー パターンが有効化されます。 0:カラー バー パターンを送信 1:固定カラー パターンを送信
6	RESERVED	R	0x0	予約済み
5:4	NUM_CBARS	R/W	0x3	カラーバーの数 00:1 カラー バー 01:2 カラー バー 10:4 カラー バー 11:8 カラー バー
3:0	BLOCK_SIZE	R/W	0x3	ブロックサイズ。 固定カラー パターンの場合、このフィールドは固定カラー フィールドのサイズをバイト単位で制御します。指定できる値は 1～12 です。

6.7.2.1.3 PGEN_CSI_DI レジスタ (アドレス = 0x3) [デフォルト = 0x24]

PGEN_CSI_DI を表 6-101 に示します。

概略表に戻ります。

表 6-101. PGEN_CSI_DI レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:6	PGEN_CSI_VC	R/W	0x0	CSI 仮想チャネル識別子 このフィールドは、仮想チャネル識別子として CSI パケットで送信される値を制御します。
5:0	PGEN_CSI_DT	R/W	0x24	CSI データ タイプ このフィールドは、データ タイプとして CSI パケットで送信される値を制御します。デフォルト値 (0x24) は、RGB888 を示しています。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1.4 PGEN_LINE_SIZE1 レジスタ (アドレス = 0x4) [デフォルト = 0x07]

PGEN_LINE_SIZE1 を表 6-102 に示します。

概略表に戻ります。

表 6-102. PGEN_LINE_SIZE1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_LINE_SIZE[15:8]	R/W	0x7	パターン ジェネレータのライン サイズの最上位バイト。これはアクティブなライン長 (バイト単位) です。デフォルト設定は、640 ピクセルのライン幅に対して 1920 バイトです。

6.7.2.1.5 PGEN_LINE_SIZE0 レジスタ (アドレス = 0x5) [デフォルト = 0x80]

PGEN_LINE_SIZE0 を表 6-103 に示します。

概略表に戻ります。

表 6-103. PGEN_LINE_SIZE0 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_LINE_SIZE[7:0]	R/W	0x80	パターン ジェネレータのライン サイズの最下位バイト。これはアクティブなライン長 (バイト単位) です。デフォルト設定は、640 ピクセルのライン幅に対して 1920 バイトです。

6.7.2.1.6 PGEN_BAR_SIZE1 レジスタ (アドレス = 0x6) [デフォルト = 0x00]

PGEN_BAR_SIZE1 を表 6-104 に示します。

概略表に戻ります。

表 6-104. PGEN_BAR_SIZE1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_BAR_SIZE[15:8]	R/W	0x0	パターン ジェネレータのカラー バー サイズの最上位バイト。これは、カラーバーのアクティブな長さ (バイト単位) です。この値は、最後のカラー バー以外のすべてに使用されます。最後のカラー バーは、PGEN_LINE_SIZE 値で定義された残りのバイトによって決定されます。

6.7.2.1.7 PGEN_BAR_SIZE0 レジスタ (アドレス = 0x7) [デフォルト = 0xF0]

PGEN_BAR_SIZE0 を表 6-105 に示します。

概略表に戻ります。

表 6-105. PGEN_BAR_SIZE0 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_BAR_SIZE[7:0]	R/W	0xF0	パターン ジェネレータのカラー バー サイズの最下位バイト。これは、カラーバーのアクティブな長さ (バイト単位) です。この値は、最後のカラー バー以外のすべてに使用されます。最後のカラー バーは、PGEN_LINE_SIZE 値で定義された残りのバイトによって決定されます。

6.7.2.1.8 PGEN_ACT_LPF1 レジスタ (アドレス = 0x8) [デフォルト = 0x01]

PGEN_ACT_LPF1 を表 6-106 に示します。

概略表に戻ります。

Copyright © 2024 Texas Instruments Incorporated

表 6-106. PGEN_ACT_LPF1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_ACT_LPF[15:8]	R/W	0x1	フレームあたりのアクティブ ライン数 フレームあたりのアクティブライン数の最上位バイト。デフォルト設定は、フレームあたりのアクティブ ライン数 480 です。

6.7.2.1.9 PGEN_ACT_LPF0 レジスタ (アドレス = 0x9) [デフォルト = 0xE0]

PGEN_ACT_LPF0 を表 6-107 に示します。

概略表に戻ります。

表 6-107. PGEN_ACT_LPF0 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_ACT_LPF[7:0]	R/W	0xE0	フレームあたりのアクティブ ライン数 フレームあたりのアクティブライン数の最下位バイト。デフォルト設定は、フレームあたりのアクティブ ライン数 480 です。

6.7.2.1.10 PGEN_TOT_LPF1 レジスタ (アドレス = 0xA) [デフォルト = 0x02]

PGEN_TOT_LPF1 を表 6-108 に示します。

概略表に戻ります。

表 6-108. PGEN_TOT_LPF1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_TOT_LPF[15:8]	R/W	0x2	フレームあたりの総ライン数 垂直ブランキングを含む、フレームあたりの総ライン数の最上位バイト

6.7.2.1.11 PGEN_TOT_LPF0 レジスタ (アドレス = 0xB) [デフォルト = 0x0D]

PGEN_TOT_LPF0 を表 6-109 に示します。

概略表に戻ります。

表 6-109. PGEN_TOT_LPF0 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_TOT_LPF[7:0]	R/W	0xD	フレームあたりの総ライン数 垂直ブランキングを含む、フレームあたりの総ライン数の最下位バイト

6.7.2.1.12 PGEN_LINE_PD1 レジスタ (アドレス = 0xC) [デフォルト = 0x0C]

PGEN_LINE_PD1 を表 6-110 に示します。

概略表に戻ります。

表 6-110. PGEN_LINE_PD1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_LINE_PD[15:8]	R/W	0xC	ライン期間 ライン期間 (40/FC 単位) の最上位バイト。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1.13 PGEN_LINE_PD0 レジスタ (アドレス = 0xD) [デフォルト = 0x67]

PGEN_LINE_PD0 を表 6-111 に示します。

概略表に戻ります。

表 6-111. PGEN_LINE_PD0 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_LINE_PD[7:0]	R/W	0x67	ライン期間 ライン期間 (40/FC 単位) の最上位バイト。

6.7.2.1.14 PGEN_VBP レジスタ (アドレス = 0xE) [デフォルト = 0x21]

PGEN_VBP を表 6-112 に示します。

概略表に戻ります。

表 6-112. PGEN_VBP レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_VBP	R/W	0x21	垂直バック ポーチ この値は、垂直ブランキング間隔の垂直バック ポーチ部分を提示します。この値は、フレームスタート パケットと最初のビデオ データ パケットの間のブランク ライン数を示します。

6.7.2.1.15 PGEN_VFP レジスタ (アドレス = 0xF) [デフォルト = 0x0A]

PGEN_VFP を表 6-113 に示します。

概略表に戻ります。

表 6-113. PGEN_VFP レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_VFP	R/W	0xA	垂直フロント ポーチ この値は、垂直ブランキング間隔の垂直フロント ポーチ部分を提示します。この値は、最後のビデオ ラインとフレームエンド パケットの間のブランク ライン数を示します。

6.7.2.1.16 PGEN_COLOR0 レジスタ (アドレス = 0x10) [デフォルト = 0xAA]

PGEN_COLOR0 を表 6-114 に示します。

概略表に戻ります。

表 6-114. PGEN_COLOR0 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR0	R/W	0xAA	パターン ジェネレータ カラー 0 基準カラー バー パターンの場合、このレジスタはカラー バー 0 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラー パターンの最初のバイトを制御します。

6.7.2.1.17 PGEN_COLOR1 レジスタ (アドレス = 0x11) [デフォルト = 0x33]

PGEN_COLOR1 を表 6-115 に示します。

Copyright © 2024 Texas Instruments Incorporated

概略表に戻ります。

表 6-115. PGEN_COLOR1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR1	R/W	0x33	パターン ジェネレータ カラー 1 基準カラー バー パターンの場合、このレジスタはカラー バー 1 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラー パターンの 2 番目のバイトを制御します。

6.7.2.1.18 PGEN_COLOR2 レジスタ (アドレス = 0x12) [デフォルト = 0xF0]

PGEN_COLOR2 を表 6-116 に示します。

概略表に戻ります。

表 6-116. PGEN_COLOR2 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR2	R/W	0xF0	パターン ジェネレータ カラー 2 基準カラー バー パターンの場合、このレジスタはカラー バー 2 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラーパターンの 3 番目のバイトを制御します。

6.7.2.1.19 PGEN_COLOR3 レジスタ (アドレス = 0x13) [デフォルト = 0x7F]

PGEN_COLOR3 を表 6-117 に示します。

概略表に戻ります。

表 6-117. PGEN_COLOR3 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR3	R/W	0x7F	パターン ジェネレータ カラー 3 基準カラー バー パターンの場合、このレジスタはカラー バー 3 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラー パターンの 4 番目のバイトを制御します。

6.7.2.1.20 PGEN_COLOR4 レジスタ (アドレス = 0x14) [デフォルト = 0x55]

PGEN_COLOR4 を表 6-118 に示します。

概略表に戻ります。

表 6-118. PGEN_COLOR4 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR4	R/W	0x55	パターン ジェネレータ カラー 4 基準カラー バー パターンの場合、このレジスタはカラー バー 4 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラー パターンの 5 番目のバイトを制御します。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1.21 PGEN_COLOR5 レジスタ (アドレス = 0x15) [デフォルト = 0xCC]

PGEN_COLOR5 を表 6-119 に示します。

概略表に戻ります。

表 6-119. PGEN_COLOR5 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR5	R/W	0xCC	パターン ジェネレータ カラー 5 基準カラー バー パターンの場合、このレジスタはカラー バー 5 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラー パターンの 6 番目のバイトを制御します。

6.7.2.1.22 PGEN_COLOR6 レジスタ (アドレス = 0x16) [デフォルト = 0x0F]

PGEN_COLOR6 を表 6-120 に示します。

概略表に戻ります。

表 6-120. PGEN_COLOR6 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR6	R/W	0xF	パターン ジェネレータ カラー 6 基準カラー バー パターンの場合、このレジスタはカラー バー 6 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラー パターンの 7 番目のバイトを制御します。

6.7.2.1.23 PGEN_COLOR7 レジスタ (アドレス = 0x17) [デフォルト = 0x80]

PGEN_COLOR7 を表 6-121 に示します。

概略表に戻ります。

表 6-121. PGEN_COLOR7 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR7	R/W	0x80	パターン ジェネレータ カラー 7 基準カラー バー パターンの場合、このレジスタはカラー バー 7 で送信されるバイト データ値を制御します。 固定カラー パターンの場合、このレジスタは固定カラー パターンの 8 番目のバイトを制御します。

6.7.2.1.24 PGEN_COLOR8 レジスタ (アドレス = 0x18) [デフォルト = 0x00]

PGEN_COLOR8 を表 6-122 に示します。

概略表に戻ります。

表 6-122. PGEN_COLOR8 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR8	R/W	0x0	パターン ジェネレータ カラー 8 固定カラー パターンの場合、このレジスタは固定カラー パターンの 9 番目のバイトを制御します。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1.25 PGEN_COLOR9 レジスタ (アドレス = 0x19) [デフォルト = 0x00]

PGEN_COLOR9 を表 6-123 に示します。

概略表に戻ります。

表 6-123. PGEN_COLOR9 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR9	R/W	0x0	パターン ジェネレータ カラー 9 固定カラー パターンの場合、このレジスタは固定カラー パターンの 10 番目のバイトを制御します。

6.7.2.1.26 PGEN_COLOR10 レジスタ (アドレス = 0x1A) [デフォルト = 0x00]

PGEN_COLOR10 を表 6-124 に示します。

概略表に戻ります。

表 6-124. PGEN_COLOR10 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR10	R/W	0x0	パターン ジェネレータ カラー 10 固定カラー パターンの場合、このレジスタは固定カラー パターンの 11 番目のバイトを制御します。

6.7.2.1.27 PGEN_COLOR11 レジスタ (アドレス = 0x1B) [デフォルト = 0x00]

PGEN_COLOR11 を表 6-125 に示します。

概略表に戻ります。

表 6-125. PGEN_COLOR11 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR11	R/W	0x0	パターン ジェネレータ カラー 11 固定カラー パターンの場合、このレジスタは固定カラー パターンの 12 番目のバイトを制御します。

6.7.2.1.28 PGEN_COLOR12 レジスタ (アドレス = 0x1C) [デフォルト = 0x00]

PGEN_COLOR12 を表 6-126 に示します。

概略表に戻ります。

表 6-126. PGEN_COLOR12 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR12	R/W	0x0	パターン ジェネレータ カラー 12 固定カラー パターンの場合、このレジスタは固定カラー パターンの 13 番目のバイトを制御します。

6.7.2.1.29 PGEN_COLOR13 レジスタ (アドレス = 0x1D) [デフォルト = 0x00]

PGEN_COLOR13 を表 6-127 に示します。

概略表に戻ります。

Copyright © 2024 Texas Instruments Incorporated

表 6-127. PGEN_COLOR13 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR13	R/W	0x0	パターン ジェネレータ カラー 13 固定カラー パターンの場合、このレジスタは固定カラー パターンの 14 番目のバイトを制御します。

6.7.2.1.30 PGEN_COLOR14 レジスタ (アドレス = 0x1E) [デフォルト = 0x00]

PGEN_COLOR14 を表 6-128 に示します。

概略表に戻ります。

表 6-128. PGEN_COLOR14 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR14	R/W	0x0	パターン ジェネレータ カラー 14 固定カラー パターンの場合、このレジスタは固定カラー パターンの 15 番目のバイトを制御します。

6.7.2.1.31 PGEN_COLOR15 レジスタ (アドレス = 0x1F) [デフォルト = 0x00]

PGEN_COLOR15 を表 6-129 に示します。

概略表に戻ります。

表 6-129. PGEN_COLOR15 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7:0	PGEN_COLOR15	R/W	0x0	パターン ジェネレータ カラー 15 固定カラー パターンの場合、このレジスタは固定カラー パターンの 16 番目のバイトを制御します。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.2 アナログ レジスタ

表 6-130 に、アナログ レジスタのメモリマップされたレジスタを示します。表 6-130 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-130. ANALOG レジスタ

アドレス	略称	レジスタ名	セクション
0x4B	TEMP_RAMP_DYNAMIC_CFG	TEMP_RAMP_DYNAMIC_CFG	表示
0x4C	TEMP_RAMP_STATIC_CFG	TEMP_RAMP_STATIC_CFG	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-131 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-131. アナログのアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

6.7.2.2.1 TEMP_RAMP_DYNAMIC_CFG レジスタ (アドレス = 0x4B) [デフォルト = 0x8X]

TEMP_RAMP_DYNAMIC_CFG を表 6-132 に示します。

概略表に戻ります。

表 6-132. TEMP_RAMP_DYNAMIC_CFG レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RESERVED	R	0x0	予約済み
6	RESERVED	R	0x0	予約済み
5	TEMP_RAMP_OV	R/W	0x0	温度ランプ オーバーライド 温度ランプ構成オーバーライドを有効化するには、フィールドを 0x1 に設定します。
4	RESERVED	R	0x0	予約済み
3:0	TEMP_RAMP_DYNAMIC_CFG	R/W	0x0	温度ランプの動的構成 シリアライザのダイ温度に応じたレジスタ オフセットを設定します。詳細については、セクション 7.3.1.1「システムの初期化」を参照してください。 温度 < -10 : 読み戻し値 - 1 - 10 < 温度 < 35 : オフセットなし 35 < 温度 < 100 : 読み戻し値 + 1 温度 > 100 : 読み戻し値 + 3

6.7.2.2.2 TEMP_RAMP_STATIC_CFG レジスタ (アドレス = 0x4C) [デフォルト = 0x00]

TEMP_RAMP_STATIC_CFG を表 6-133 に示します。

概略表に戻ります。

表 6-133. TEMP_RAMP_STATIC_CFG レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RESERVED	R	0x0	予約済み

Copyright © 2024 Texas Instruments Incorporated

表 6-133. TEMP_RAMP_STATIC_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	種類	デフォルト	説明
6:4	TEMP_RAMP_STATIC_CFG	R/W	0x0	温度ランプの静的構成 システムの初期化中にフィールドを 0x3 に設定します。セクション 7.3.1.1「システムの初期化」を参照してください。
3:0	RESERVED	R	0x0	予約済み

Copyright © 2024 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

DS90UB953-Q1 と、対応するデシリアライザとの間のリンクには、2 つの異なるデータ パスがあります。1 番目のパスは、フォワード チャネルであり、公称最大 4.16Gbps で動作し、そのチャネルが 20MHz から 2.1 GHz までの帯域幅を占有するようにエンコードされます。2 番目のパスは、デシリアライザからシリアライザへのバック チャネルであり、公称 10MHz から 50MHz までの周波数範囲を占有します。

これら 2 つの通信リンクを適切に動作させるには、シリアライザとデシリアライザの間の回路の特性インピーダンスが 50Ω である必要があります。この 50Ω 特性から逸脱すると、シリアライザまたはデシリアライザでの信号反射が発生し、ビット エラーの原因となります。

7.1.1 Power-over-Coax

DS90UB953-Q1 は、リモート センサ システムに電力を供給する PoC (Power-over-Coax) 方式をサポートするよう設計されています。この方式では、高速デジタル ビデオ データ、双方向制御、診断データ伝送に使用されるのと同じ媒体 (同軸ケーブル) で電力を供給します。この方法は、図 7-1 に示すように、受動回路すなわちフィルタを使用して、DC-DC レギュレータ回路の負荷およびリンクの両側を接続する電源配線から伝送ラインを分離します。

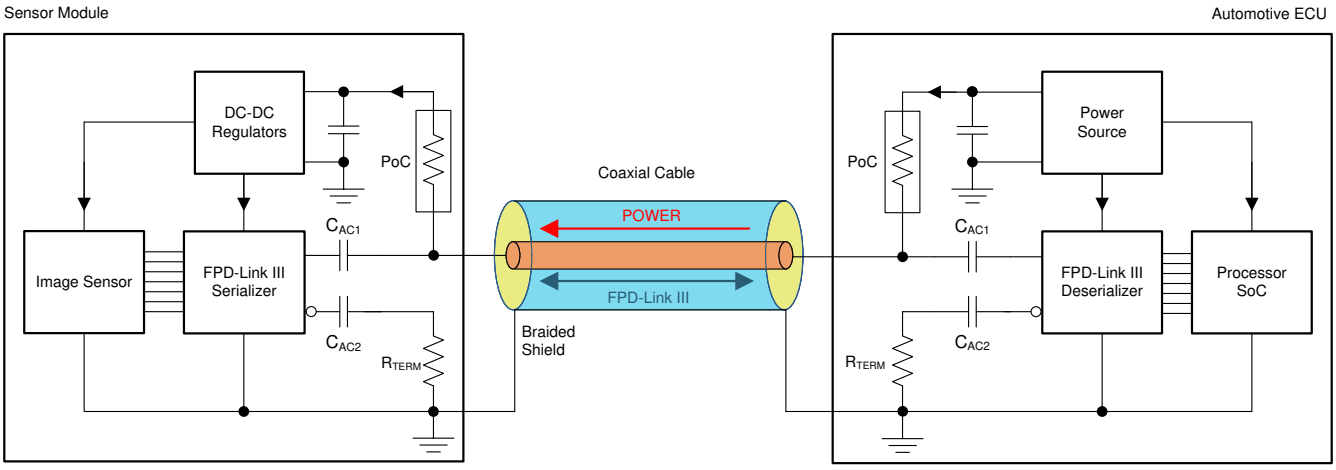


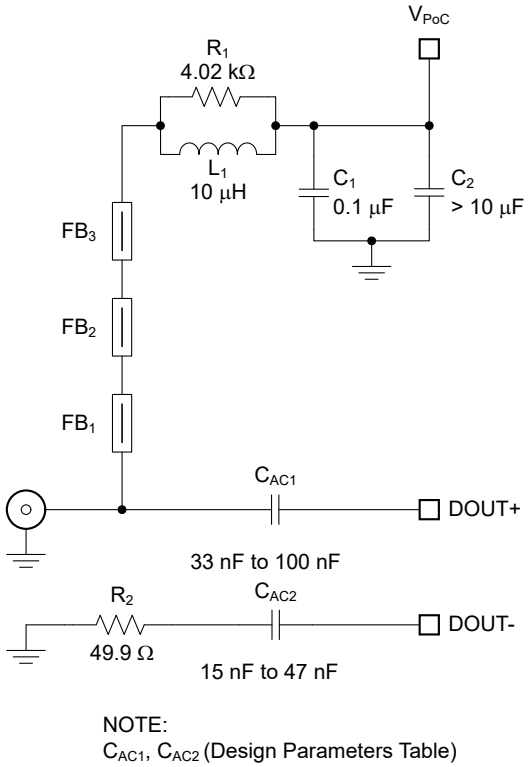
図 7-1. 同軸ケーブルを介した電力供給 (PoC) システム図

伝送ラインをレギュレータ回路の負荷から分離するために、指定された周波数帯域における PoC ネットワークのインピーダンスとして、≥ 1kΩ を推奨します。PoC ネットワークのインピーダンスが高ければ、高速チャネルにおいて良好な挿入損失および反射損失特性が得られます。周波数帯域の下限は、バック チャネルの周波数 f_{BC} の 1/2 として定義されます。周波数帯域の上限は、フォワード高速チャネルの周波数 f_{FC} です。ただし、シリアライザ PCB、デシリアライザ PCB、およびケーブルで構成される高速チャネル全体で満たす必要のある主な基準は、システムが最大電流負荷および極端な温度条件 (2) にあるときに、システム全体での合計チャネル要件 (1) に定義されている挿入損失および反射損失の制限値です。

Copyright © 2024 Texas Instruments Incorporated

1. 各 FPD-Link デバイスに定義されている、必要なチャネル仕様の詳細については、TI にお問い合わせください。
2. PoC ネットワークおよび PCB 上の高速トレースに沿ったすべての部品が、PCB の損失バジェットに寄与します。高速チャネル全体で個々の PCB およびケーブル部品に対して損失バジェットを割り当てることを推奨しますが、「チャネル仕様」でチャネル合計に定義されている損失制限を満たす必要があります。

DS90UB953-Q1 および DS90UB954-Q1 または DS90UB960-Q1 のペアによる「4G」FPD-Link III 用に設計された PoC ネットワークの例を 図 7-2 に示します。この回路は、双方向チャネルが 50Mbps (1/2 f_{BCC} = 25MHz)、フォワードチャネルが 4.16Gbps (f_{FC} ≈ 2.1GHz) で動作します。その他の PoC ネットワークも可能であり、プリント基板の反射損失要件が満たされている限り、シリアライザとデシリアライザ ボードで異なる可能性もあります 。



NOTE:
C_{AC1}, C_{AC2} (Design Parameters Table)

図 7-2. 「4G」FPD-Link III 用の代表的な PoC ネットワーク

表 7-1 に、この特定の PoC ネットワークに不可欠なコンポーネントを示します。フェライト ビーズのインピーダンス特性は、バイアス電流に応じて変動することに注意してください。したがって、ネットワークを流れる電流を 150mA 未満に維持することを推奨します。

Copyright © 2024 Texas Instruments Incorporated

表 7-1. 「4G」FPD-Link III PoC ネットワークの推奨部品

数	参照記号	説明	部品番号	メーカー
1	L1	インダクタ、10µH、最大 0.288Ω、最小 530mA (Isat、Itemp) SRF 最小値 30MHz、3mm × 3mm、汎用	LQH3NPN100MJR	Murata (村田製作所)
		インダクタ、10µH、最大 0.288Ω、最小 530mA (Isat、Itemp) SRF 最小値 30MHz、3mm × 3mm、AEC-Q200	LQH3NPZ100MJR	Murata (村田製作所)
		インダクタ、10µH、最大 0.360Ω、最小 450mA (Isat、Itemp) SRF 最小値 30MHz、3.2mm × 2.5mm、AEC-Q200	NLCV32T-100K-EFD	TDK
		インダクタ、10µH、標準値 0.400Ω、最小 550mA (Isat、Itemp) SRF 標準値 39MHz、3mm × 3mm、AEC-Q200	TYS3010100M-10	Laird
		インダクタ、10µH、最大 0.325Ω、最小 725mA (Isat、Itemp) SRF 標準値 41MHz、3mm × 3mm、AEC-Q200	TYS3015100M-10	Laird
3	FB1-FB3	フェライト ビーズ、1GHz で 1.5kΩ、85°C での DC 500mA で最大 0.5Ω、0603 SMD、汎用	BLM18HE152SN1	Murata (村田製作所)
		フェライト ビーズ、1GHz で 1.5kΩ、85°C での DC 500mA で最大 0.5Ω、0603 SMD、AEC-Q200	BLM18HE152SZ1	Murata (村田製作所)

PoC ネットワーク コンポーネントの選定に加えて、配置とレイアウトも重要な役割を果たします。

- 最小の部品 (通常はフェライト ビーズまたはチップ インダクタ) は、コネクタのできるだけ近くに配置します。スタブを避けるため、高速パターンは、いずれかのパッドを通して配線します。
- メーカーの設計ルールで許容されている最小の部品パッドを使用してください。インピーダンスの低下を最小限に抑えるため、コンポーネント パッドの下の内層にアンチ パッドを追加します。
- 最適化されたコネクタ フットプリントについては、コネクタ メーカーにお問い合わせください。コネクタが IC と同じ側 (表面) に取り付けられている場合、裏面に高速信号トレースを配線することで、スルーホール コネクタ スタブの影響を最小限に抑えます。
- デバイスのピンから AC カップリング コンデンサまで、カップリングされた 100Ω 差動信号トレースを使用します。AC カップリング コンデンサとコネクタの間には、50 Ω のシングルエンド トレースを使用します。
- 標準の 49.9 Ω 抵抗を使用して、コネクタの近くで反転信号トレースを終端します。

表 7-2 に、シリアライザまたはデシリアライザ ボードのシングルエンド PCB トレース (マイクロストリップまたはストリップライン) の推奨特性を示します 。推奨される制限に適合しているかどうかトレースをテストするときは、PoC ネットワークの影響を考慮する必要があります。

表 7-2. PoC ネットワークに接続されたシングルエンド PCB トレースの推奨特性

パラメータ		最小値	代表値	最大値	単位
L_{trace}	デバイスのピンからコネクタ ピンまでのシングルエンド PCB トレースの長さ			5	cm
Z_{trace}	シングルエンド PCB トレース特性インピーダンス	45	50	55	Ω
Z_{con}	コネクタ (実装済み) の特性インピーダンス	40	50	60	Ω

センサの過渡電流、ケーブルの DC 抵抗、PoC 部品に起因するシリアライザ側の V_{POC} 変動も最小限に抑える必要があります。V_{POC} 電圧を高くし、上乗せのデカップリング容量 (> 10µF) を追加すると、V_{POC} 変動の振幅とスルーレートを低減するのに役立ちます。

Copyright © 2024 Texas Instruments Incorporated

7.2 代表的なアプリケーション

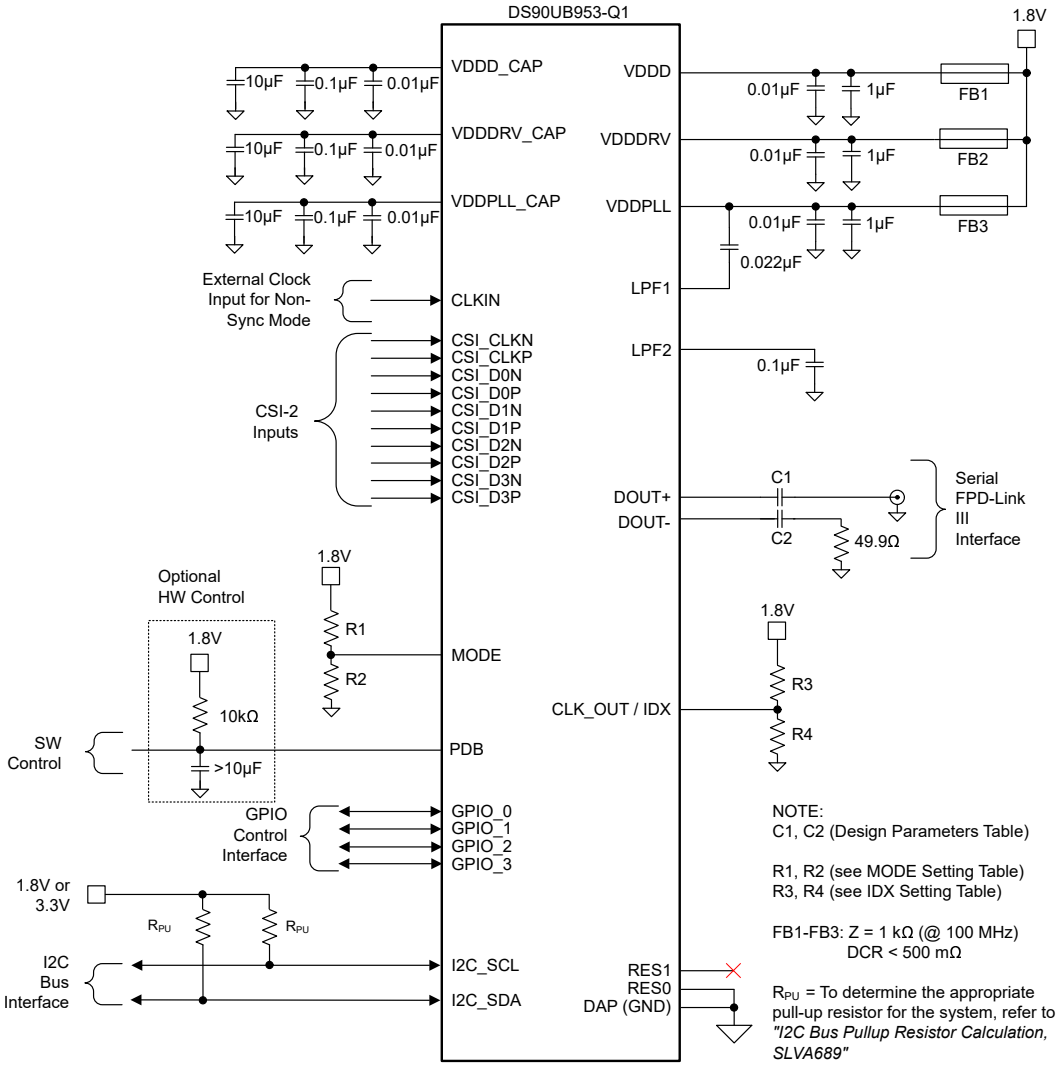


図 7-3. 代表的な接続図 - 同軸

Copyright © 2024 Texas Instruments Incorporated

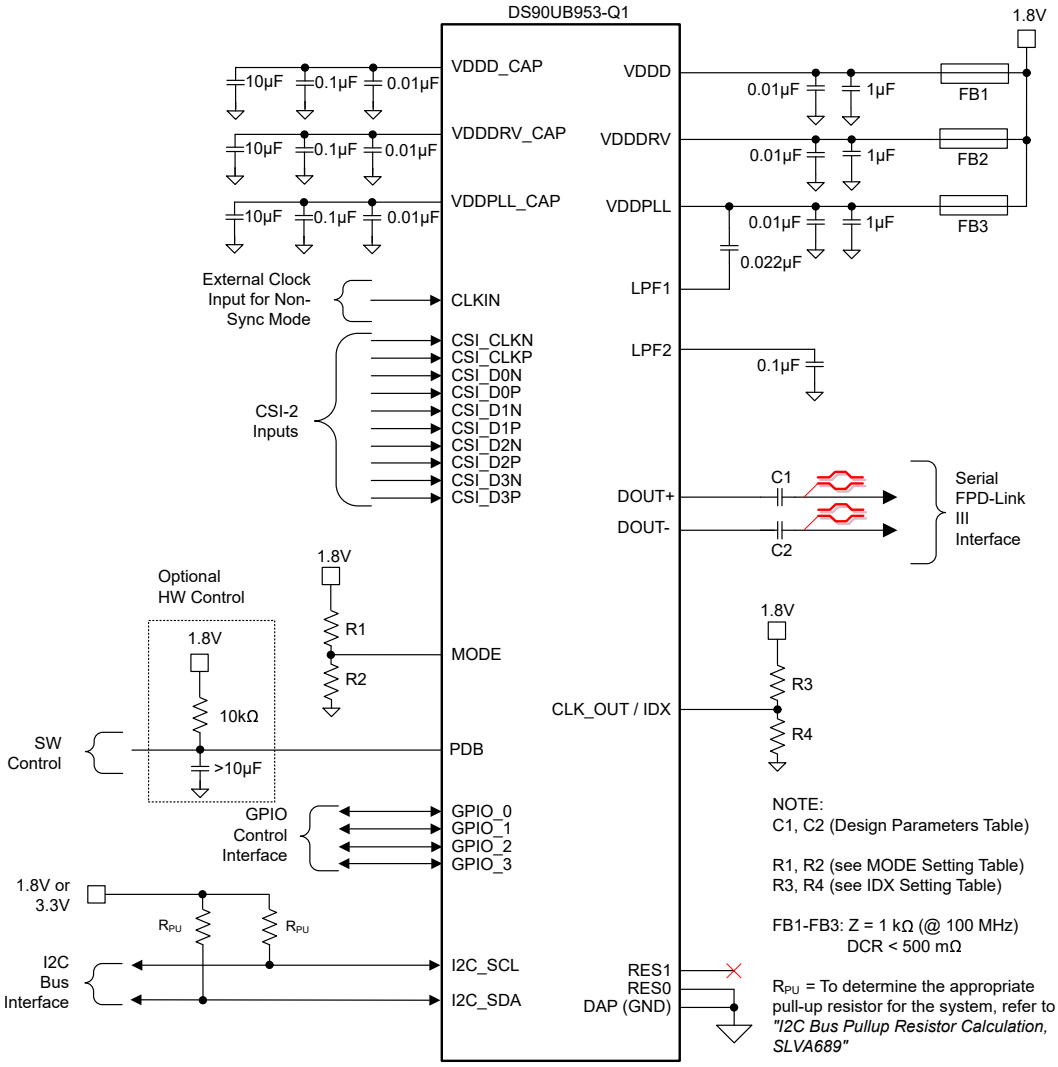


図 7-4. 代表的な接続図 - STP

7.2.1 設計要件

この設計例では、表 7-3 に記載されているパラメータを使用します。

表 7-3. 設計パラメータ

設計パラメータ	ピン	値
V_{VDD}	VDDD、VDDDRV、VDDPLL	1.8V
同期モード、同軸接続用の AC カップリング コンデンサ	DOUT+	33nF～100nF (50V / X7R / 0402)
	DOUT–	15nF～47nF (50V / X7R / 0402)
同期モード、STP 接続用の AC カップリングコンデンサ	DOUT+、DOUT-	33～100nF (50V / X7R / 0402)
非同期および DVP 下位互換モード、同軸接続用の AC カップリング コンデンサ	DOUT+	100nF (50V / X7R / 0402)
	DOUT–	47nF (50V / X7R / 0402)
非同期および DVP 下位互換モード、STP 接続用の AC カップリング コンデンサ	DOUT+、DOUT-	100nF (50V / X7R / 0402)

SER/DES は、内部 DC 平衡化デコード方式を使用した AC 結合相互接続のみをサポートしています。外付け AC カップリング コンデンサを FPD-Link III 信号路に直列に配置する必要があります (図 7-5 と図 7-6 を参照)。シングルエンド 50Ω 同軸ケーブルを使用したアプリケーションでは、未使用のデータ ピン (DOUT+、DOUT-) を AC カップリング コンデンサと 50Ω の抵抗で終端します。

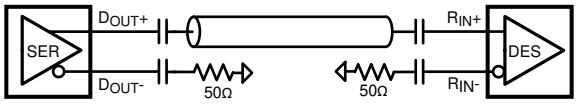


図 7-5. AC 結合接続 (同軸)

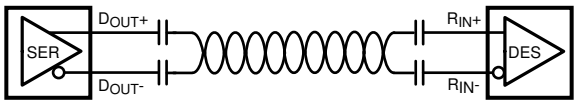


図 7-6. AC 結合接続 (STP)

高速 FPD-Link III 伝送の場合、パッケージの寄生容量による信号品質の低下を最小限に抑えるため、AC カップリング コンデンサには利用できる最小のパッケージを使用してください。

7.2.2 詳細な設計手順

セクション 7.2 に、DS90UB953-Q1 の代表的なアプリケーション回路を示します。次のセクションでは、重要なデバイス ピンに関する推奨事項について説明します。

7.2.2.1 CSI-2 インターフェイス

DS90UB953-Q1 の CSI-2 入力ポートは、MIPI D-PHY v1.2 および CSI-2 v1.3 仕様に準拠しています。CSI-2 インターフェイスはクロックと、1、2、または 4 本いずれかのデータ レーンで構成されます。クロックおよび各データ レーンは差動ラインです。DS90UB953-Q1 の CSI-2 入力は、互換性のある CSI-2 トランスミッタと DC 結合する必要があります。セクション 7.4.1.1 に示す PCB レイアウトのガイドラインに従ってください。

7.2.2.2 FPD-Link III の入出力

DS90UB953-Q1 のシリアル データ出力信号は、デバイスの動作モードに応じて異なるデータ レートで動作します。同期モードでは、基準クロックがデシリアライザから供給され、シリアル データ レートは、最大 4.16Gbps です。

DOUT+ と DOUT- の信号は AC 結合する必要があります。DOUT+ と DOUT- で使用される AC カップリング コンデンサの値は、表 7-3 に示すように、使用するモードとケーブルによって異なります 。同軸ケーブルに接続する場合、負端子

Copyright © 2024 Texas Instruments Incorporated

(DOUT-) の AC カップリング コンデンサは、DOUT+ の AC カップリング コンデンサの値の約 1/2 になり、50Ω の負荷に終端する必要があります。セクション 7.4.2 に示す重要な PCB レイアウト ガイドラインに従ってください。

7.2.2.3 内部レギュレータのバイパス

DS90UB953-Q1 には 3 つの内部レギュレータが搭載されており、これらは GND にバイパスする必要があります。VDD_CAP、VDDDRV_CAP、VDDPLL_CAP は、バイパス用に内部レギュレータの出力を外に出すピンです。それぞれのピンと GND との間に 10µF、0.1µF、0.01µF のコンデンサを接続することを推奨します。0.01µF コンデンサは、バイパス ピンにできるだけ近づけて配置する必要があります。

7.2.2.4 ループ フィルタのデカップリング

LPF1 および LPF2 ピンは、フィルタコンデンサを内部 PLL 回路に接続するためのものです。LPF1 には、VDD_PLL ピン (ピン 11) との間に 0.022µF のコンデンサを接続する必要があります。LPF1 と VDDPLL の間に接続するコンデンサが形成するループは、できるだけ小さくする必要があります。LPF2 には、このピンと GND の間に 0.1µF コンデンサを接続する必要があります。これらの PLL の 1 つは出力のシリアル化に使用される高速クロックを生成し、もう 1 つの PLL は CSI-2 受信ポートで使用されます。これらのピンにノイズが結合されると、DS90UB953-Q1 の PLL の性能を低下させるので、コンデンサは、接続されるピンの近くに配置し、形成するループの面積を最小限に抑える必要があります。

7.2.3 アプリケーション曲線

青色のトレースの立ち下がりエッジは、デバイスが LP モードから HS モードにシフトしたことを示しています。約 1 目盛後に生じる上昇は、DS90UB953-Q1 が内部終端をオンにして、デバイスが HS データを受信できるようにしたときです。連続した遷移は CSI-2 データであり、青色のトレースの下降は、終端がオフになったことを示しています。

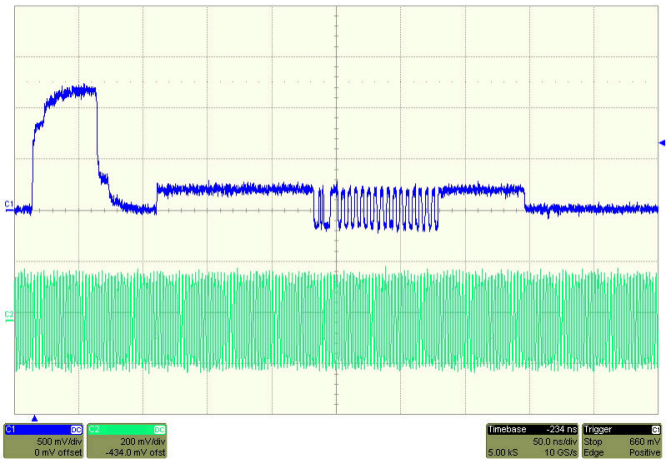


図 7-7. CSI-2 の LP モードから HS モードへの遷移

7.3 電源に関する推奨事項

本デバイスは、回路の各種部分に独立した電源およびグランド ピンを備えています。電源系を分離する目的は、スイッチング ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。どの回路ブロックをどの電源ピン ペアに接続するかに関する指針については、「ピン構成および機能」セクションを参照してください。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用います。

7.3.1 パワーアップ シーケンシング

DS90UB953-Q1 の起動シーケンスは次のとおりです。

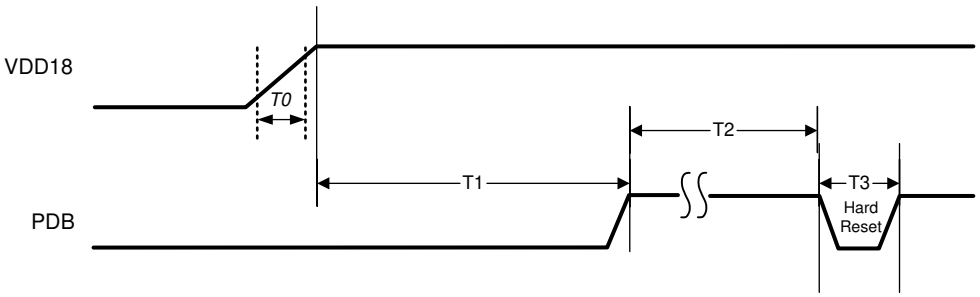


図 7-8. 電源シーケンス

表 7-4. 電源スタートアップおよび初期化シーケンスのタイミング図

パラメータ		最小値	代表値	最大値	単位	注
T0	VDD18 立ち上がり時間	0.05			ms	10/90% 時
T1	VDD18 から PDB へ	0			ms	VDD18 が安定した後
T2	PDB ハード リセット前の PDB High 時間	1			ms	
T3	PDB High から Low へのパルス幅	3			ms	ハード リセット (オプション)
T4	PDB から I2C 準備完了まで	2			ms	「初期化シーケンス: 非同期クロック モード」参照。

7.3.1.1 システムの初期化

デシリアライザ ハブと DS90UB953-Q1 シリアライザとの間の通信リンクを初期化する場合、システム タイミングは、シリアライザの基準クロックを生成するために選択されたモードに依存します。同期クロック モードを選択すると、シリアライザは、利用可能な場合には、抽出されたバック チャネル基準クロックに再ロックするため、センサモジュールでローカル水晶発振器を使用する必要はありません。初期化シーケンスは、「初期化シーケンス: 非同期クロック モード」に示されている図に従います。

Copyright © 2024 Texas Instruments Incorporated

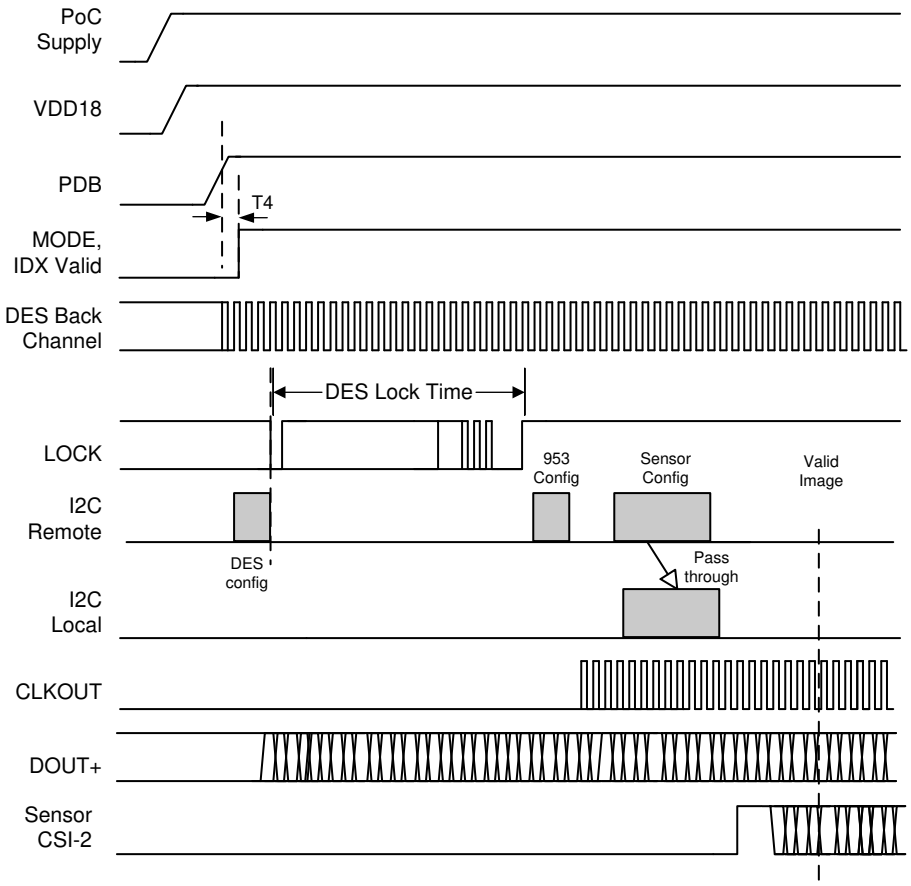


図 7-9. 初期化シーケンス：非同期クロック モード

システムの起動時間を短縮するために、デシリアライザからバック チャネル経由で SER に接続されたリモート I2C ターゲット デバイスへのアクセスを試みる前に、I2C ウォッチドッグ タイマの高速化 (0x0A = 0x12) をプログラミングすることを推奨します。これにより、センサ モジュールの電源投入時にシリアライザの I2C バスに予期しないノイズが発生した場合でも、リモート センサのアクセス時間を短縮できます。

連続 PLL ロックには、DS90UB953-Q1 シリアライザの温度ランプダウン範囲を、デバイスの初期温度に基づいて拡張するソフトウェア構成を推奨します。スタートアップ温度からの温度低下範囲は、10°C 以上の温度と 10°C 以下の温度によって異なります。 開始温度が 10°C から 105°C の範囲では、適用されたソフトウェア構成で連続 PLL ロックを維持できる最小終了温度は -10°C となります。開始温度が 10°C を下回る場合、最大の温度低下は、開始温度から 20°C です。

Copyright © 2024 Texas Instruments Incorporated

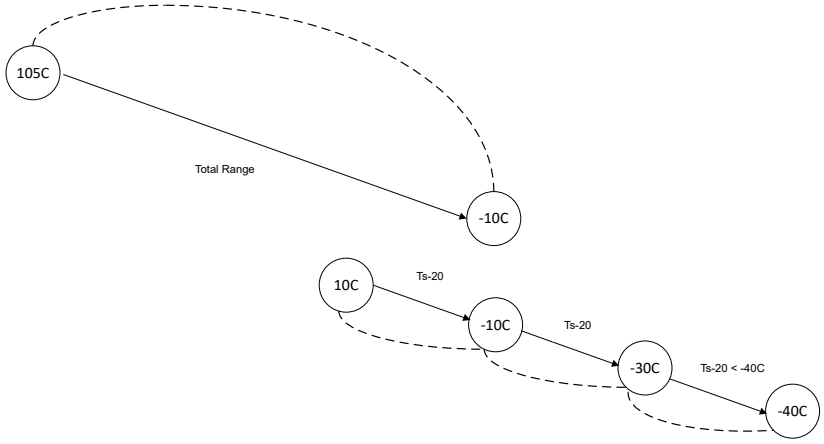


図 7-10. 温度ランプ ダウン範囲

レジスタの構成としては、動的構成、静的構成、および設定を有効にするためのオーバーライドがあります。初期化時に、アナログ レジスタ 0x4C[6:4] TEMP_RAMP_STATIC_CFG を 0x7 に設定することを推奨します。アナログ レジスタ 0x4B TEMP_RAMP_DYNAMIC_CFG の値は初期化によって変わります。このオフセット値は、ダイ温度と相関して TEMP_RAMP_DYNAMIC_CFG の読み戻し値に対してデクリメントまたはインクリメントすることを推奨します。シリアライザの温度は、対になるデシリアライザの SENSOR_STS_2[2:0] で通知されます。温度別のオフセット値は、表 7-5 に示されています。ソフトウェア構成を適用するには、TEMP_RAMP_DYNAMIC_CFG[5] を 0x1 に設定します。

表 7-5. ダイの温度別の動的構成オフセット

デシリアライザ 0x53 SENSOR_STS_2[2:0]	開始ダイ温度(°C)	動的構成オフセット値
0	T < -30	-1
1	-30 < T < -10	-1
2	-10 < T < 15	0
3	15 < T < 35	0
4	35 < T < 55	1
5	55 < T < 75	1
6	75 < T < 100	1
7	T > 100	3

Copyright © 2024 Texas Instruments Incorporated

7.3.1.1.1 温度上昇初期化のコード例

```
# Deserializer Settings
desAddr=0x7a
serAlias=0x1A
# Deserializer configuration for I2C passthrough
# Refer to Deserializer datasheet for I2C passthrough configuration
reg_0x58 = board.ReadI2C(desAddr,0x58)
reg_0x58 = reg_0x58 | 0x40
# Enable I2C Passthrough
board.WriteI2C(desAddr,0x58,reg_0x58)
temp_code = board.ReadI2C(desAddr,0x53)
# DS90UB953-Q1 Settings
board.WriteI2C(serAlias,0xB0,0x04)
board.WriteI2C(serAlias,0xB1,0x4B)
dynamic_config_ori = board.ReadI2C(serAlias,0xB2)
temp_ramp_dynamic_config= dynamic_config_ori | 0x20
board.WriteI2C(serAlias,0xB1,0x4C)
temp_ramp_static_config=board.ReadI2C(serAlias,0xB2)
temp_ramp_static_config=(temp_ramp_static_config & 0x8F) | 0x70
board.WriteI2C(serAlias,0xB2, temp_ramp_static_config)
board.WriteI2C(serAlias,0xB1,0x4B)
dynamic_offset= { 0: -1,
                  1: -1,
                  2: 0,
                  3: 0,
                  4: 1,
                  5: 1,
                  6: 1,
                  7: 3}
board.WriteI2C(serAlias,0xB2,temp_ramp_dynamic_config + dynamic_offset[temp_code])
reg_0x58 = reg_0x58 | 0x20 # Enable all auto ACK I2C Passthrough on deserializer
board.WriteI2C(desAddr,0x58,reg_0x58)
board.WriteI2C(serAddr,0x01,0x01) #Soft Reset to apply serializer updates, reinitialization of lock
# wait for deserializer lock time
```

7.3.2 パワーダウン (PDB)

このシリアライザは、デバイスをイネーブルまたはパワーダウンするために、PDB 入力ピンを備えています。このピンは、外部デバイス、または VDD で制御できます。ここで、VDD = 1.71V～1.89V です。基板上のすべての電源が安定した後、PDB を high にすることができます。

PDB を Low に駆動する場合には、必ず、このピンを少なくとも 3ms の間 0V に駆動します。その後、ピンを開放するかまたはピンを High に駆動します。PDB を直接 VDD にプルアップする場合、10kΩ のプルアップ抵抗を使用し、グランドに対しては > 10µF のコンデンサを接続する必要があります。

PDB を Low に切り替えると、本デバイスの電源がオフになり、すべての制御レジスタがデフォルトにリセットされます。電源投入後にエラーが検出された場合は、レジスタをクリアしてエラーをリセットすることを推奨します。

VDDDRV は、必ず、VDDPLL より前に、または同時に電源投入してください。

Copyright © 2024 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

FPD-Link III デバイスのプリント基板レイアウトおよび層構成は、デバイスに低ノイズの電源を供給するように設計する必要があります。また、優れたレイアウト手法としては、不要な浮遊ノイズ、帰還、干渉を最小限に抑えるために、高い周波数または高レベルの入力と出力を分離するようにします。外部バイパスには、高品質誘電体を使用した低 ESR のセラミック コンデンサを使用する必要があります。セラミック コンデンサの電圧定格は、使用する電源電圧の 2 倍以上にします。

寄生成分が小さい表面実装コンデンサを推奨します。1 つの電源ピンに複数のコンデンサを配置する場合は、容量が小さいコンデンサをピンの近くに配置します。また大容量コンデンサを電源の入り口部分に配置してください。低周波スイッチング ノイズを平滑化する容量は 47µF～100µF の範囲が一般的です。電源ピンとグランド ピンは電源層およびグランド層に直接接続し、また、バイパス コンデンサは電源層およびグランド層に接続することを推奨します。また、コンデンサの両端にビアを配置することも推奨します。電源ピンまたはグランド ピンからプリント基板表面でバイパス コンデンサへ配線を行うと、寄生インダクタンスを増加させてしまいます。

外付けのバイパス コンデンサは、X7R 特性の小型チップ コンデンサ、0603 や 0402 などを推奨します。寸法が小さいため、コンデンサの寄生インダクタンス分も小さいという利点があります。なお設計の際には、通常 20MHz～30MHz の範囲にある外付けバイパス コンデンサの自己共振周波数に注意してください。また効果的なバイパスを行うために、複数のコンデンサを用いて、対象となる周波数に対する電源系のインピーダンスを下げる手法がしばしば使われます。高周波のインピーダンスを下げるため、電源ピンまたはグランド ピンから各層に対して 2 つのビアを設けます。

デバイスによっては、内部の回路部分ごとに電源ピンとグランド ピンが分離されているものがあります。電源系を分離する目的は、スイッチング ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。通常、ピン説明表には、どの回路ブロックがどの電源ピンのペアに接続されているかに関する指針が記載されています (詳細については、「ピン構成および機能」を参照)。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用います。

プリント基板は、専用のグランド層を含む 4 層以上のものを採用してください。CSI-2 ラインから Rx 入力ラインへの結合を防止するため、CSI-2 信号はシングルエンドまたは差動 FPD-Link III RX 入力トレースから離して配置します。通常、同軸相互接続には 50Ω のシングルエンド インピーダンス、STP 相互接続には 100Ω の差動インピーダンスを推奨します。密結合のラインでは、カップリング ノイズはレシーバ端でコモン モードとして現れるため除去されます。また、放射ノイズが少ない利点も備えます。

7.4.1.1 CSI-2 のガイドライン

1. CSI0_D*P/N のペアは、制御された 100Ω 差動インピーダンス (±20%) または 50Ω シングルエンド インピーダンス (±15%) で配線します。
2. その他の高速信号から遠ざけます。
3. 差動ペアの長さの差を互いに 5mil に保ちます。
4. 配線長を一致させるための調整は、配線長の不一致が発生している場所の近くで行います。
5. クロック ペアと各データ ペアの間で、トレース長が < 25mil で一致するようにします。
6. 各ペアは、信号配線幅の 3 倍以上離す必要があります。
7. 差動配線での曲げの使用は最小限に抑えます。曲げを使用する場合、左右の曲げの数は可能な限り等しくし、曲げの角度は 135 度以上とする必要があります。こうすることで、曲げに起因する長さの不一致が最小限に抑えられ、その結果、曲げが EMI に及ぼす影響が最小限に抑えられます。
8. トレースのインピーダンス特性を一致させるため、すべての差動ペアを同じ層に配線します。
9. ビアの数を最小限に抑えます。ビアの数は 2 以下にすることを推奨します。
10. グランド プレーンに隣接する層に配線を配置します。
11. 差動ペアは、プレーンの割れ目の上には配線しないようにします。

Copyright © 2024 Texas Instruments Incorporated

注

テスト ポイントを追加することは、インピーダンスの不連続性をもたらすため、信号性能に悪影響を及ぼします。テスト ポイントを使用する場合、それらを連続的かつ対称的に配置します。差動ペアにスタブを形成するような方法で、テスト ポイントを配置するべきではありません。

7.4.2 レイアウト例

DS90UB953-Q1EVM の基板レイアウトを 図 7-11 および 図 7-12 に示します。EVM のすべての層は『 DS90UB953-Q1EVM ユーザー ガイド』(SNLU224) に掲載されています。

DOUT ピンとコネクタとの間の FPD-Link III 信号トレースの配線、および PoC フィルタからこれらのトレースへの接続は、DS90UB953-Q1 の PCB レイアウトを成功させるための最も重要な要素の 1 つです。以下のリストに、ドライバ出力ピンと FAKRA コネクタの間の FPD-Link III 信号トレース配線、および PoC フィルタ接続のための重要な推奨事項を示します。

- FPD-Link III トレースの配線は、すべて最上層に配置できます。または、EMI が懸念される場合は部分的に中間層に埋め込むことができます。
- AC カップリング コンデンサは、ピンとコンデンサの間の結合差動トレース ペアの長さを最小限に抑えるため、レシーバの入力ピンのすぐ近くの最上層に配置する必要があります。
- DOUT+ トレースは、AC カップリング コンデンサと FAKRA コネクタとの間に 50Ω シングルエンド マイクロストリップとして厳密にインピーダンスを制御 (±10%) して配線します。PCB の層構成に基づいて、50Ω インピーダンスとなるようにトレースの適切な幅を計算します。リモート センサ モジュールが提示する最大負荷に対して、配線が PoC 電流を流せることを確認します。
- PoC フィルタは、フェライトビーズまたは RF インダクタ経由で DOUT+ トレースに接続できます。伝送ラインに存在するスタブの長さを最小限に抑えるため、フェライト ビーズを高速パターンに接触させる必要があります。トレースに接触するフェライト ビーズ パッドの下に、アンチパッドすなわち切り欠きを形成します。アンチパッドは、上層の直下にあるグランド プレーンの切り欠きです。ただし、トレースの下のグランド基準を切り取らないようにする必要があります。アンチパッドの目的は、インピーダンスを可能な限り 50Ω に近い値に維持することです。
- 内層で DOUT+ を配線する場合、シングルエンドの配線に対して長さをマッチングしても大きな利点はありません。DOUT+ を最上層または最下層に配線する場合は、DOUT+ トレース長と同様の長さで、DOUT+ トレースと疎結合した DOUT- トレースを配線します。これにより、環境に存在する可能性のある同相ノイズが信号トレースに結合することを、レシーバの差動特性によって打ち消すことができます。

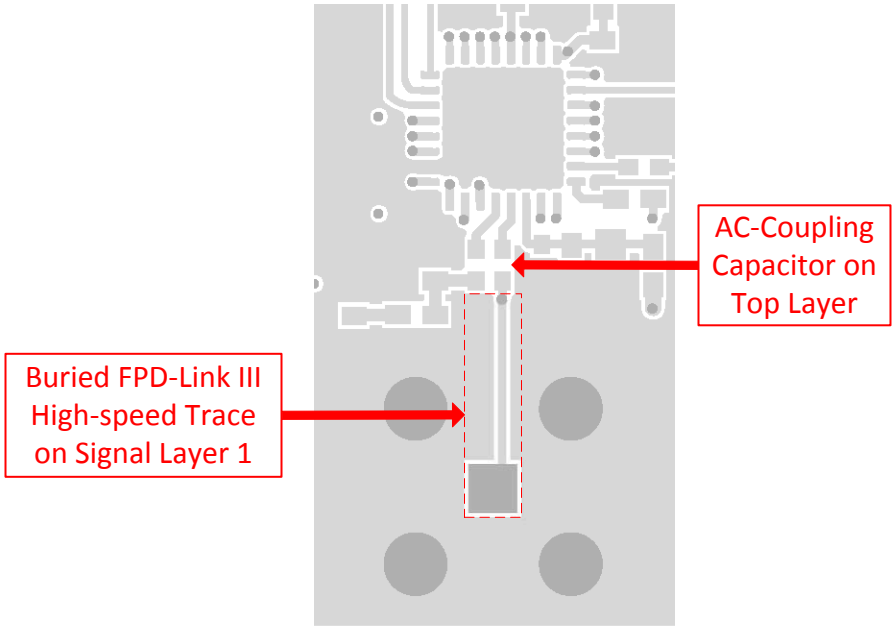


図 7-11. DS90UB953-Q1 シリアライザ DOUT+ トレースのレイアウト

Copyright © 2024 Texas Instruments Incorporated

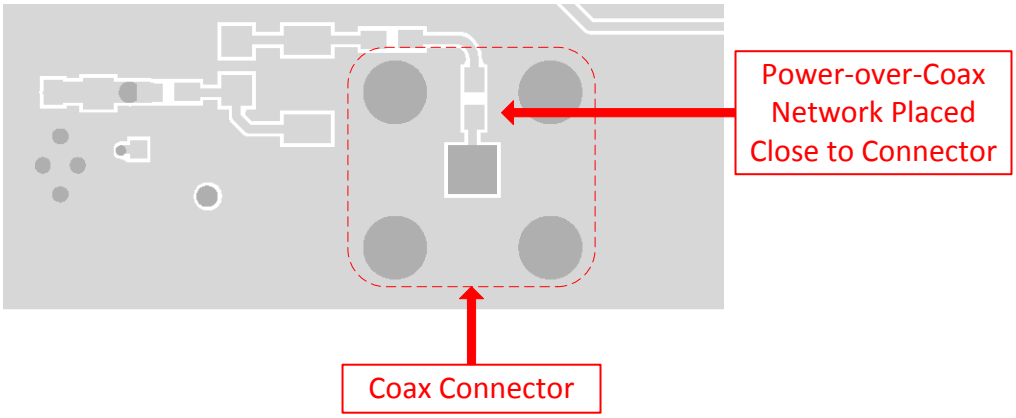


図 7-12. DS90UB953-Q1 同軸ケーブルを使用した電力供給 (Power-over-Coax) のレイアウト

Copyright © 2024 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

開発サポートについては、以下を参照してください。

DS90UB953-Q1

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- 『 FPD-Link III システムの設計方法』(SNLA267)
- 『双方向制御チャネルによる FPD-Link III 上の I2C 通信』(SNLA131)
- 『I2C バスのプルアップ抵抗値の計算』(SLVA689)
- FPD-Link ラーニング センターのトレーニング資料
- 『FPD-Link III SerDes を対象とする EMC/EMI のシステム設計とテストに関する方法論』(SLYT719)
- 『車載 EMC/EMI 要件設計のための 10 のヒント』(SLYT636)
- 『パラレル出力デシリアライザと動作するための下位互換モード』(SNLA270)
- 『Power-over-Coax 設計ガイドライン』(SNLA272)
- 『AN-1108 チャネル リンク PCB と相互接続デザイン インのガイドライン』(SNLA008)
- 『DS90UB953-Q1EVM ユーザー ガイド』(SNLU224)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2024 Texas Instruments Incorporated

9 改訂履歴

Changes from Revision D (March 2023) to Revision E (April 2024) **Page**

- I2C_SCL および I2C_SDA ピンの説明に、『I2C バスのプルアップ抵抗の計算』アプリケーション ノートへの参照を追加 ... 4
- 最大動作自由気流温度と、スタートアップ時から周囲温度が低下している場合の終了温度の仕様を更新 ... 7
- デシリアライザ SENSOR_STS_x ビットの説明の表を追加 ... 17
- CSI-2 レートが「クロック モード」表に示されている制限を満たす必要があることを記載 ... 24
- PGEN_LINE_PD は、フレーム レート、フレームあたりの合計ライン数、フォワード チャネル レートに基づいて計算されることを明確化 ... 31
- メイン ページ レジスタ 0x1E ALARM_BC_EN[6:2] を公開 ... 33
- アナログ レジスタ 0x4B および 0x4C を公開 ... 57
- 「代表的な PoC ネットワークの例」を更新し、「設計パラメータ」表への参照を追加 ... 69
- 同軸および STP の「代表的なアプリケーション」図を、Rpu を参照するように変更 ... 72
- 連続 PLL ロックのシリアライザ システム初期化について説明する情報を追加 ... 76
- シリアライザの温度上昇中の連続 PLL ロックの初期化シーケンス例を追加 ... 79

Changes from Revision C (October 2020) to Revision D (March 2023) **Page**

- 先頭ページにある消費電力の標準値の箇条書き項目を電気的特性の表に合わせて更新 ... 1
- IDD_TOTAL の標準値を 160mA に変更 ... 8
- I2C の用語を「コントローラ」および「ターゲット」に変更 ... 14
- 「機能ブロック図」で、DPHY レシーバからクロック生成ブロックへの追加矢印を削除 ... 14
- 不連続クロック レーン モードの説明を追加 ... 15
- デシリアライザ SENSOR_STS レジスタの説明を追加 ... 17
- 電圧監視のスクリプト例を更新 ... 20
- 出力として設定されている場合の GPIO ステータスの読み取りの説明を更新し、「GPIO 構成」表を追加 ... 21
- FC_GPIO_EN を使用してフォワード チャネル GPIO をイネーブルするための情報を追加 ... 21
- レジスタ 0x0E のイネーブルについて、「GPIO 出力制御」セクションの説明を更新 ... 22
- フォワード チャネル GPIO の表に標準レイテンシを追加 ... 22
- クロッキング モードの表を更新し、モード追加、周波数明確化、CSI-2 帯域幅明確化 ... 22
- レジスタ 0x06 の M 値設定の影響を訂正 ... 36
- レジスタ 0x11 の「DVP_DT_MATCH_EN」を指すように説明を更新。 ... 39
- 0x17[7:4] のデフォルト値を 0x0 から 0x3 に変更 ... 40
- レジスタ 0x19 の電圧センサ スレッショルドの説明に最大値と最小値の読み取り値を追加 ... 41
- SENSOR_V1_THRESH の説明を、レジスタ 0x1A の SENSOR_V0_THRESH と一致するよう更新 ... 41
- レジスタ 0x57 の「GPIO0 センサ」を「内部温度センサ」に変更 ... 51
- レジスタ 0xF0～0xF5 で、「FPD3_RX_ID」を「FPD3_TX_ID」に変更 ... 55
- PoC ネットワーク インピーダンスの推奨値を 2kΩ から 1kΩ に変更 ... 69
- PoC の説明を更新 ... 69
- 「PoC ネットワークに接続されたシングルエンド PCB トレースの推奨特性」表から IL および RL の値を削除 ... 69
- FB1～FB3 の要件を DCR < 500mΩ に変更。 ... 72
- システム初期化用ウォッチドッグ タイマの設定についての注を追加 ... 76
- PDB コンデンサを 1µF から 10µF に訂正 ... 79

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision B (September 2018) to Revision C (October 2020) **Page**

- 「特長」の箇条書き項目に「機能安全対応」を追加。 1

Changes from Revision A (February 2018) to Revision B (September 2018) **Page**

- GPIO ピンの説明を更新。 4
- ドキュメント全体を通して、CLK_IN をクロックに置き換え。 4
- 電源電圧を 2.5V から 2.16V に変更 6
- 電源ノイズ周波数範囲の注を追加 7
- EC 表に内部基準周波数を追加 8
- 内部 AON クロックをブロック図に追加。 14
- MODE を MODES に変更。 17
- 130ns を 225ns に変更。 22
- レイテンシを 1.5us に、ジッタを 0.7us に変更。 22
- CLK_IN モードをモードに変更。 22
- DVP モードを追加 22
- 表のフォーマットを変更。 22
- REFLCK をバック チャネルに変更 22
- 同期モードの周波数を追加 22
- CLKIN_DIV = 2 のモードの列で「非同期 CLK_IN 」から「非同期外部 CLK_IN 」へ 命名規則を変更 22
- 非同期内部クロック モードを追加 22
- 24.2～25.5MHz から 48.4～51MHz に数値を変更 22
- 25～52MHz から 24.2～25.5MHz に数値を変更 22
- DVP 外部クロックを追加。 22
- RAW10 モードを明確化するため「デシリアライザ モード」を追加 22
- RAW12 HF モードを明確化するため「デシリアライザ モード」を追加 22
- 注に情報を追加。 22
- ローカル基準ソースの脚注を追加 22
- CLK_IN をクロックに変更。 22
- 「非同期内部クロック モード」セクションを追加。 24
- 内部クロックを 25MHz から 24.2MHz に変更 24
- フォワード チャネルレートを 2Gbps から 1.936Gbps に変更 24
- CSI-2 の平均スループット値を 1.6Gbps から 3.1Gbps に変更 24
- 「DVP 下位互換モード」セクションを追加。 24
- 「非同期 CLK_IN」を「非同期外部 CLK_IN」に変更 25
- 「 CLK_OUT 機能は ... ではありません」の文を追加 25
- 非同期内部クロック モードを追加 25
- 「25MHz ± 10% の精度」を削除 29
- クロックを 25MHz ± 10% から 26.25MHz に変更。 29
- クロックを 25MHz ± 10% から 26.25MHz に変更。 29
- レジスタ マップを更新 33
- レジスタ 0x04 に DVP モードの情報を追加。 34
- 「非同期内部クロックでの動作または」を追加 36
- 「非同期内部クロックでの動作または」を追加 36
- 周波数の値を 26MHz から範囲の値 (24.2MHz～25.5MHz) に変更。 36
- 「2Gbps ライン レート設定」を追加 36
- 周波数の値を 52MHz から範囲の値 (48.4MHz～51MHz) に変更。 36
- レジスタ 0x05 に「4Gbps ライン レート設定」を追加 36

Copyright © 2024 Texas Instruments Incorporated

- 単位時間およびクロック周波数を更新。 38
- レジスタ 0x10 に DVP 情報を追加。 39
- レジスタ 0x11 に DVP 情報を追加。 39
- 代表値の -25dB を削除し、-20dB を追加 69
- –26.4+14.4f を対数式 –12+8*log(f) に変更 69
- 反射損失、S11 の最大値を標準値に移動 69
- STP の代表的な接続図を追加 72
- 容量の値を 33nF から 33nF～100nF に変更。 74
- 容量の値を 15nF から 15nF～47nF に変更。 74
- 容量の値を 33nF から 33nF～100nF に変更。 74

Changes from Revision * (September 2017) to Revision A (December 2017) **Page**

- RES1 ピンの説明を「オープンのまま」から「接続しない」に変更 4
- PDB ピンの説明に「1MΩ の内部プルダウン」のテキストを追加 4
- MODE ピンの説明を拡張 4
- 電源およびグランド ピンの説明で、「必要な」を「通常接続先」に変更 4
- 電源ピンおよびグランド ピンの説明で、「外部電源に接続しないでください」を「外部電源レールに接続しないでください」に変更 4
- CSI_ERR_COUNT (0x5C) を CSI_ERR_CNT (0x5C) に変更 17
- DS90UBUB954-Q1 を DS90UB954-Q1 に変更 20
- 「GPIO 入力制御」および「GPIO 出力制御」セクションで、GPIO_INPUT_CTL の文字を GPIO_INPUT_CTRL に変更 21
- CLKIN_DIV = 1 のときの CLK_IN の下限値を に 46MHz から 25MHz に、CLK_IN の下限値を 92MHz から 50MHz に変更。 22
- モードの説明で、モード数は 3 であるという誤字を正しい値の 2 に訂正 25
- I2C START の説明を「START は、SCLK が High である間に SDA が Low に遷移したときに 発生」に変更 28
- 予約済みレジスタを明確化するため文と表を追加 33
- 予約済みレジスタ 0x04、0x0F～0x12、0x16、0x1F、0x25～0x30、0x34、0x36、0x38、0x4A～0x4F、0x5B、0x65～0xAF、0xB3～0xEF のレジスタ表を追加。 33
- MODE_SEL レジスタのビット 6 およびビット 7 を予約済みに変更 34
- 表 6-35 のタイトルに合わせて、SENSE_VO_HI および SENSE_VO_LO レジスタを SENSE_V0_HI および SENSE_V0_LO に変更 41
- SENSE_V0_HI および SENSE_V0_LO ビットの説明を変更 41
- SENSOR_V0_THRESH ビットの説明を変更 41
- SENSE_T_HI および SENSE_T_LO ビットの説明を変更 41
- CSI_EN_HSRX レジスタ ビット 6～0 を 1 行に結合 43
- CSI_EN_LPRX レジスタビット 6～0 を 1 行に結合 43
- CSI_EN_RXTERM レジスタ ビット 7～4 を 1 行に結合 43
- TARGET_ID_ALIAS_x ビットの説明で、シリアライザをデシリアライザに変更 47
- TARGET_AUTO_ACK_1 ビットの説明で、ターゲット 0 をターゲット 1 に変更 48
- TARGET_AUTO_ACK_2 ビットの説明で、ターゲット 0 をターゲット 2 に変更 48
- TARGET_AUTO_ACK_3 ビットの説明で、ターゲット 0 をターゲット 3 に変更 48
- TARGET_AUTO_ACK_4 ビットの説明で、ターゲット 0 をターゲット 4 に変更 48
- TARGET_AUTO_ACK_5 ビットの説明で、ターゲット 0 をターゲット 5 に変更 49
- TARGET_AUTO_ACK_6 ビットの説明で、ターゲット 0 をターゲット 6 に変更 49
- TARGET_AUTO_ACK_7 ビットの説明で、ターゲット 0 をターゲット 7 に変更 49
- GENERAL_STATUS の CRC_ERR ビットの説明を、CRC_ERR_CLR レジスタ名と一致するよう変更 50
- CNTRL_ERR_HSRQST_2 ビットの説明を変更 53

Copyright © 2024 Texas Instruments Incorporated

- 「代表的なアプリケーション」の「同軸」図のキャプションを変更 72
- 表 7-3 にピン列を追加 74
- 大きいバルク コンデンサの標準範囲の下限を 50µF から 47µF に変更、専用の電源プレーンとタンタル コンデンサに関する記述を削除、レイアウトガイドラインのコンデンサの推奨電力定格を変更 80
- トレースのインピーダンスを改善するため、トレース長と配線のマッチングに関する推奨 CSI-2 ガイドラインを変更 80
- DOUT+ ピンと DOUT- ピンの配線ガイドラインを変更 81
- 「関連資料」セクションに新しいリンクを追加 83

Copyright © 2024 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

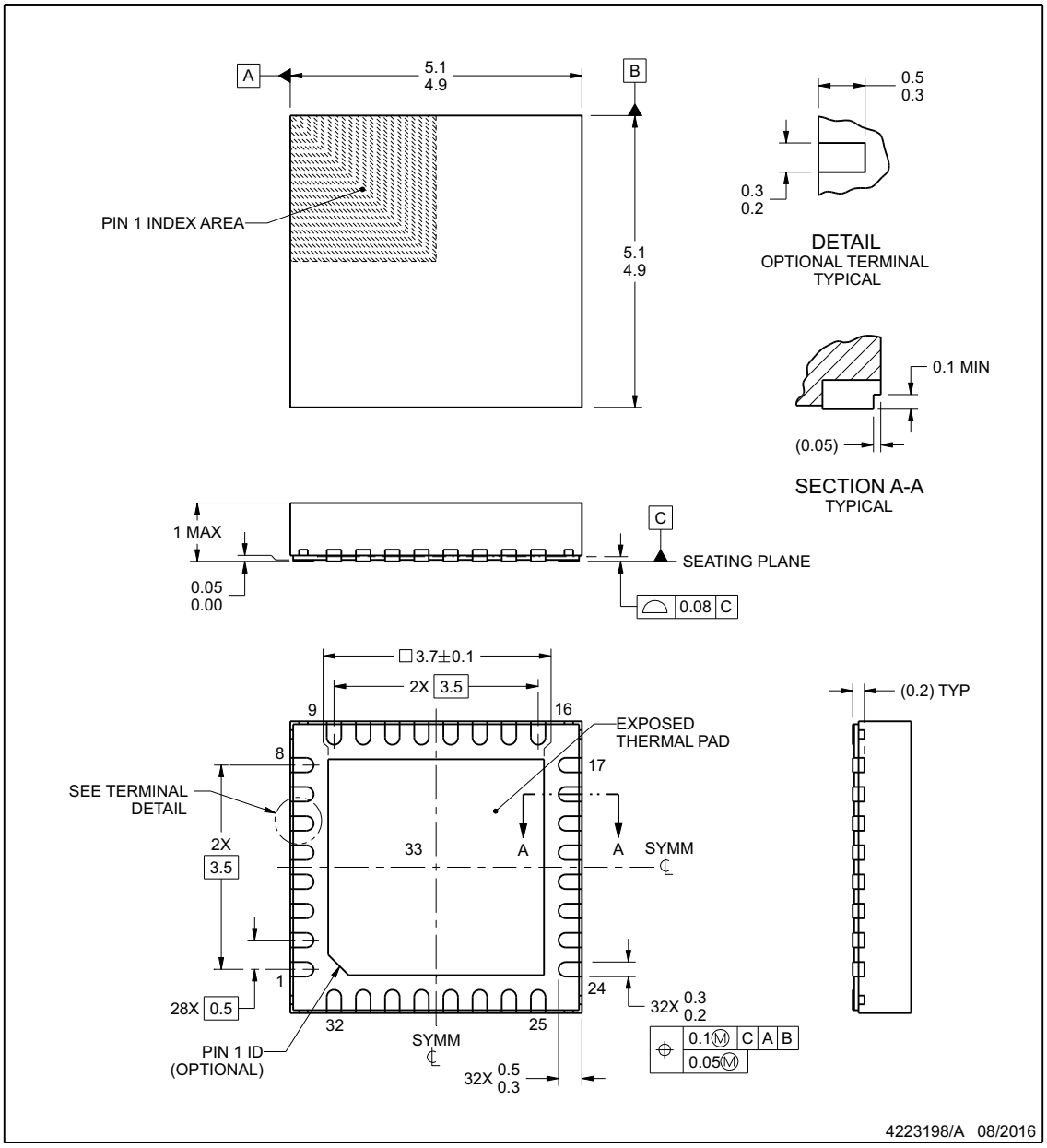
Copyright © 2024 Texas Instruments Incorporated

PACKAGE OUTLINE

RHB0032P

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

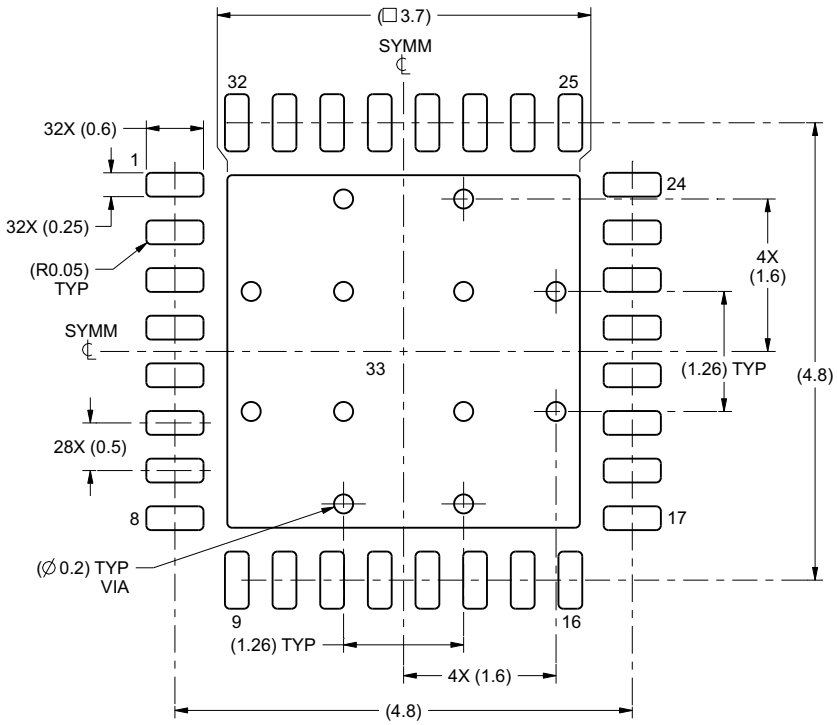
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

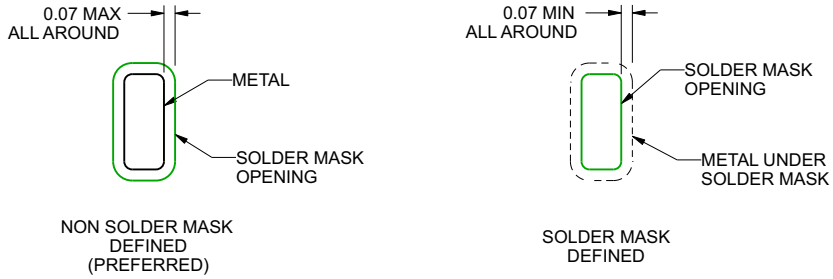
RHB0032P

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4223198/A 08/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

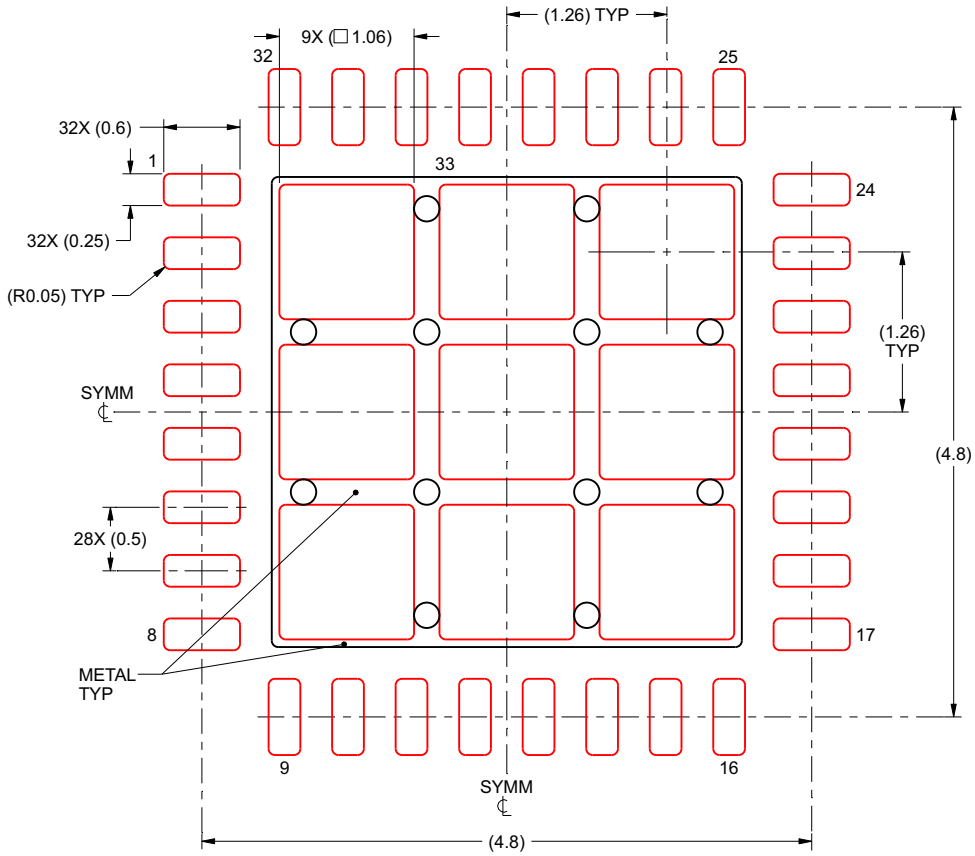
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHB0032P

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223198/A 08/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UB953TRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	Call TI | Sn | Nipdau	Level-3-260C-168 HR	-40 to 105	UB953
DS90UB953TRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	UB953
DS90UB953TRHBTQ1	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	Call TI | Sn | Nipdau	Level-3-260C-168 HR	-40 to 105	UB953
DS90UB953TRHBTQ1.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	UB953

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

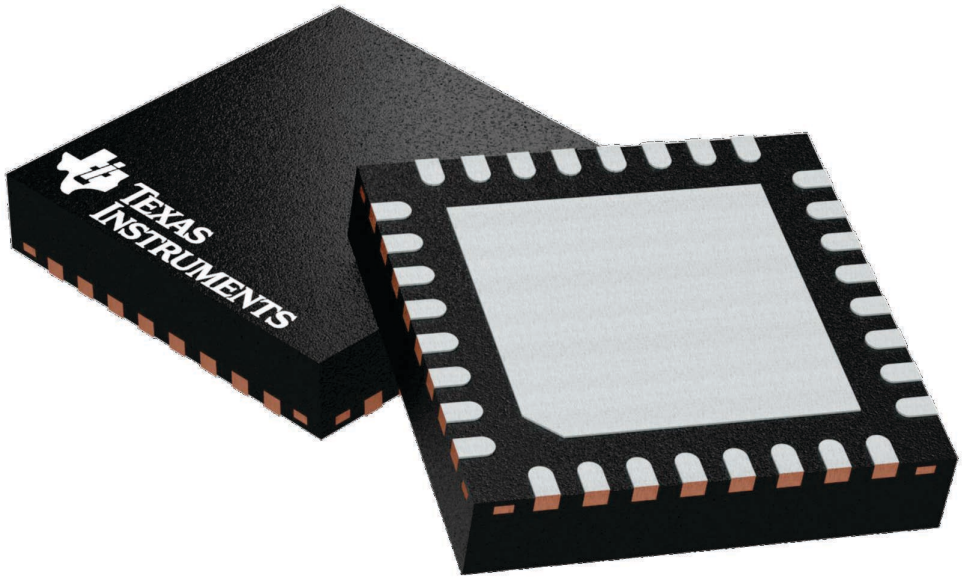
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

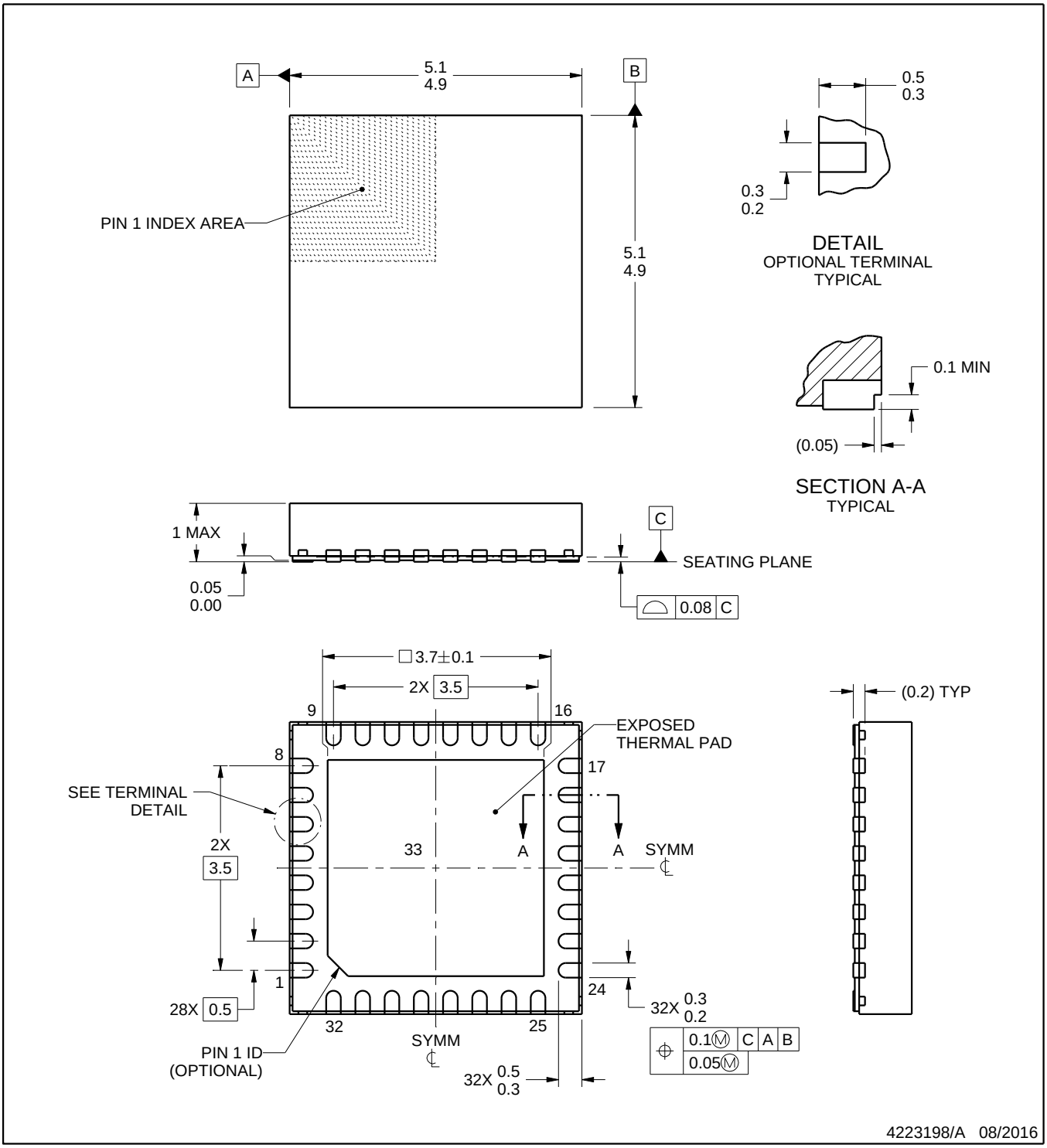
4224745/A

PACKAGE OUTLINE

RHB0032P

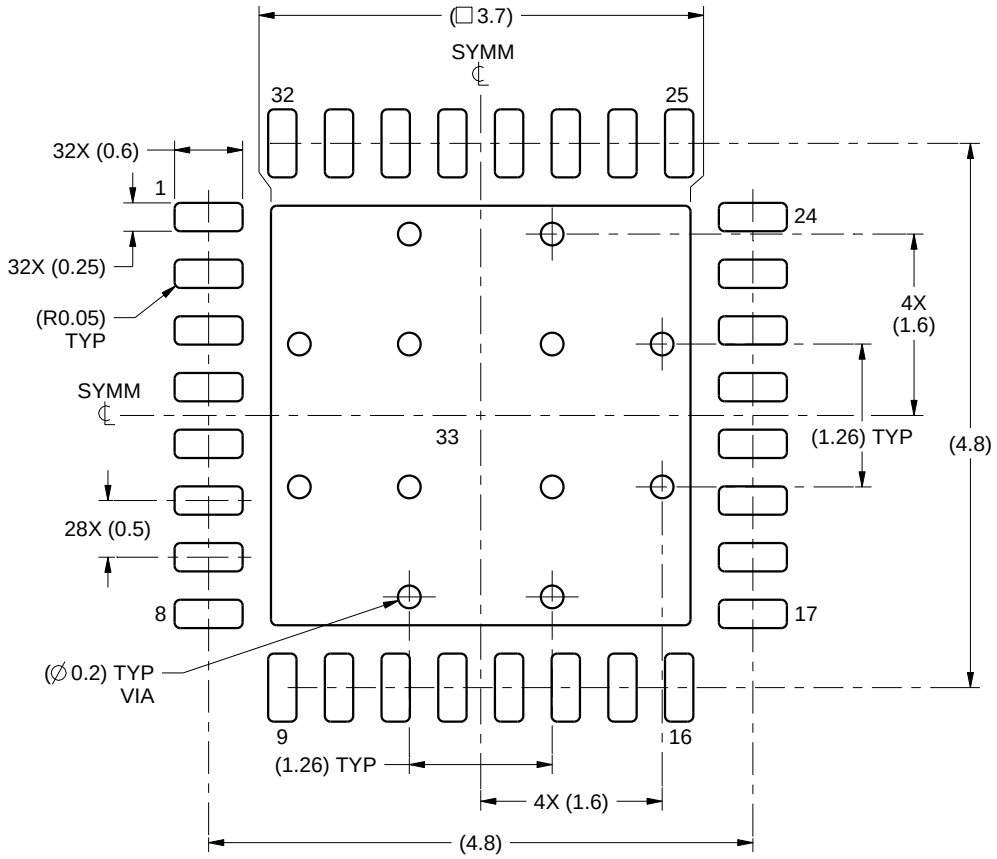
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

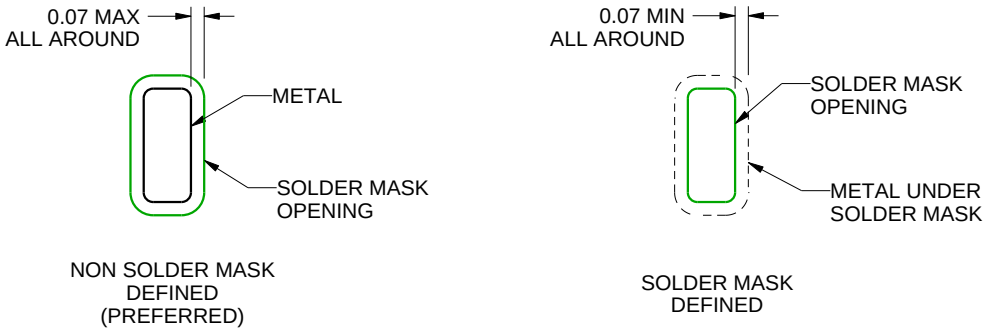


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:15X

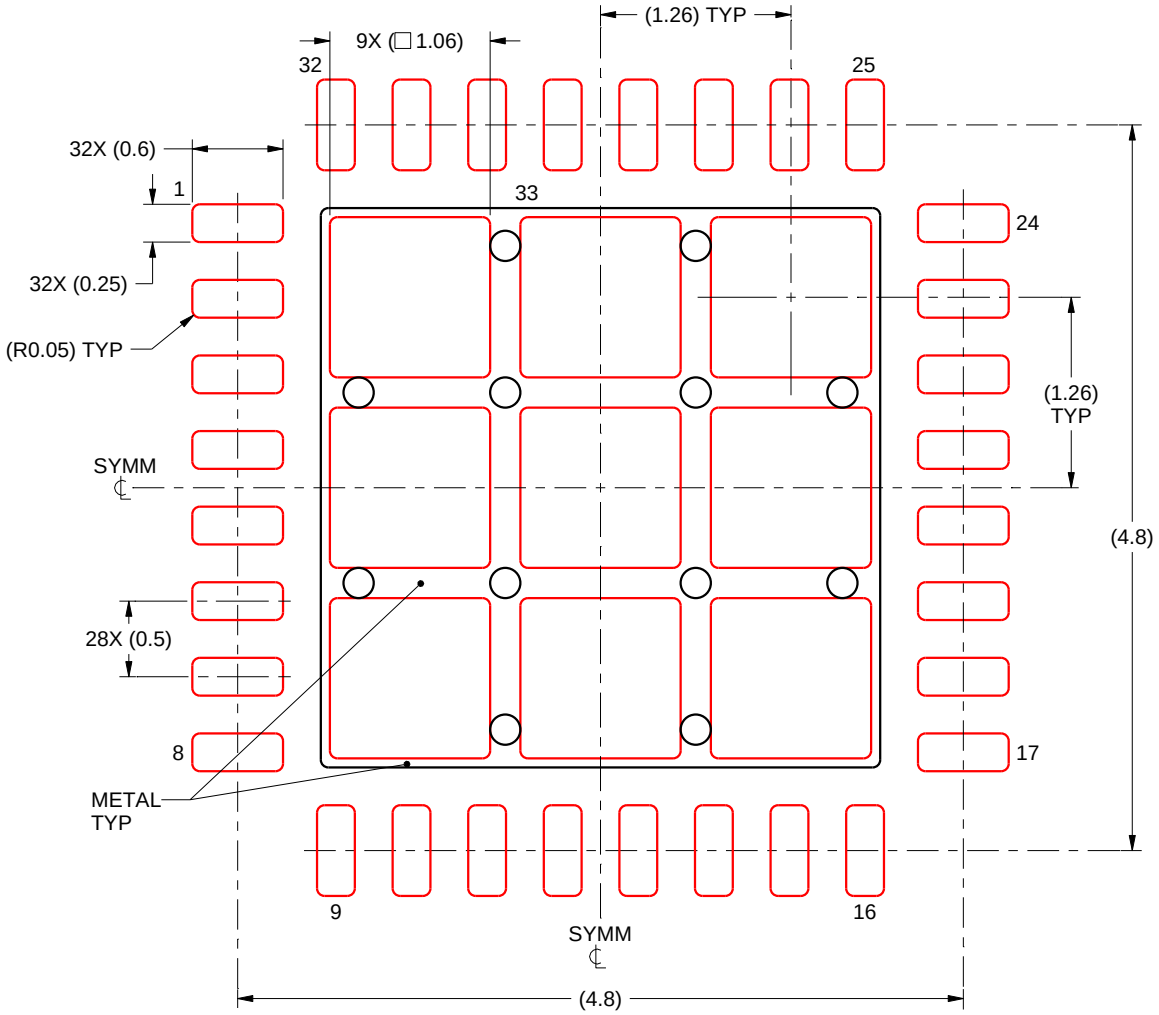


SOLDER MASK DETAILS

4223198/A 08/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223198/A 08/2016

NOTES: (continued)

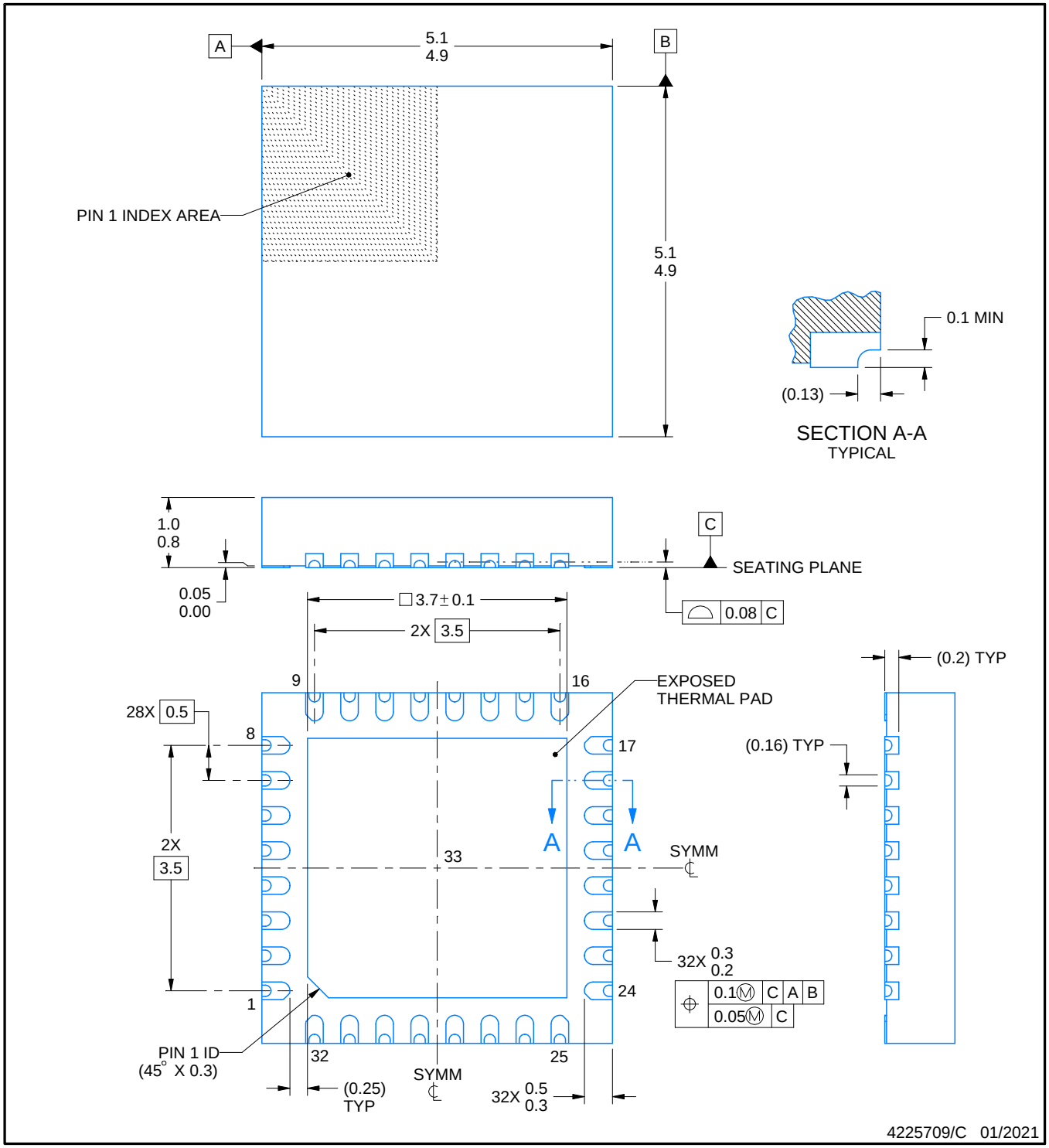
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RHB0032U

PACKAGE OUTLINE

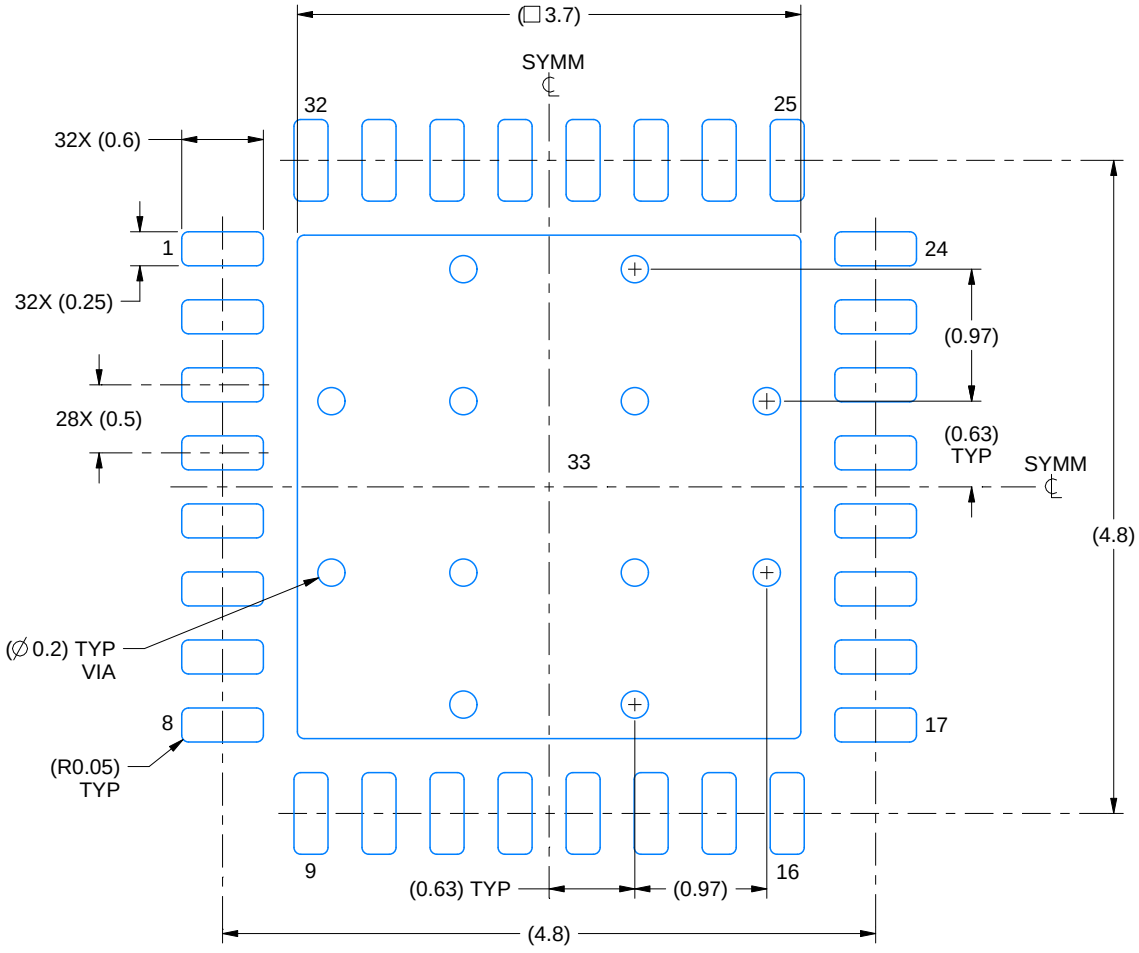
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

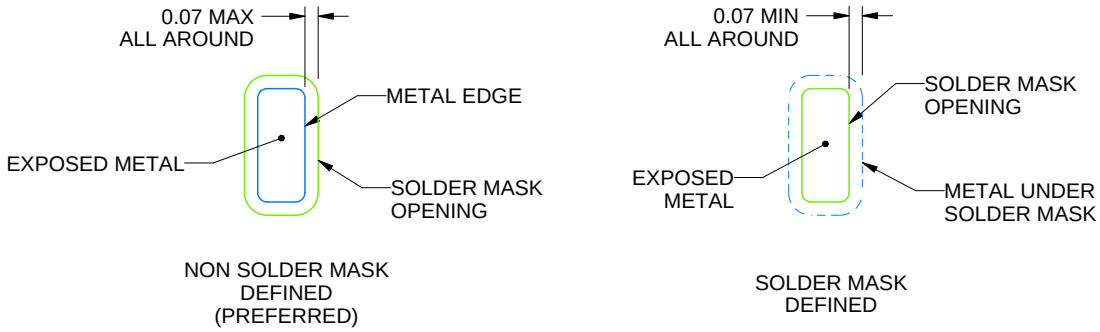


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



NON SOLDER MASK DEFINED (PREFERRED)

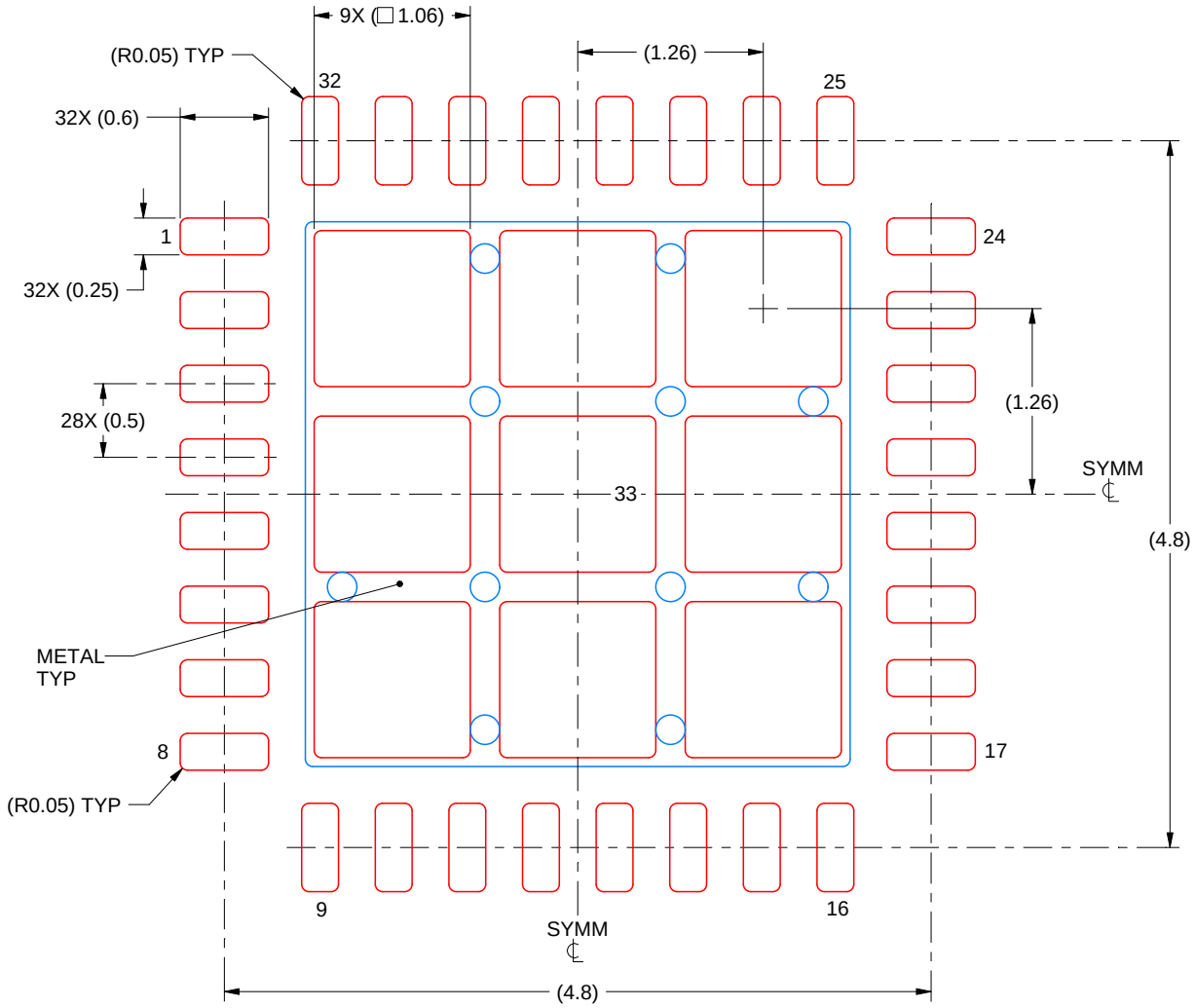
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225709/C 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月