

Analog Applications Journal

効率80%、損失1W以下を実現可能な 3A、1.2V_{OUT}、リニア・レギュレータ

はじめに

大電流 (>1A) のリニア・レギュレータを使用する場合、低出力電圧アプリケーションへの対応は長年にわたり困難な問題でした。原因としては、レギュレータのドロップアウト電圧条件、それに伴う効率の悪化、さらには安定動作のための出力キャパシタに対する面倒な条件、起動時の大きな突入電流などが挙げられます。2つの電圧入力ピンを持ったTPS74x01は、これらの問題を解決することが可能です。

リニア・レギュレータのトポロジの概要

大電流アプリケーション用のリニア・レギュレータの主な欠点は、 (V_{OUT}/V_{IN}) で計算される効率の低さです。リニア・レギュレータの電力損失 (P_{LOST}) は、次の式で計算されます。

$$(1 - V_{OUT} / V_{IN}) * P_{IN} = (V_{IN} - V_{OUT}) * I_{OUT}$$

この電力は、レギュレータのパッケージで消費されることとなります。リニア・レギュレータの表面実装パッケージで最大のもは、TO-263パッケージです。強制空冷を行わない場合、このパッケージで許容される最大消費電力は約2.75Wです(ヒートシンクとして面積の広い銅プレーンに半田付けされると仮定)。Pch-MOSFETパス素子で構成されている“大電流低ドロップアウト”リニア・レギュレータの多くは、最小入力電圧が2.5~2.7Vです。この電圧は、内部のLDO駆動回路への電源供給に加え、大きな出力電流を供給するためにPch-MOSFETを完全にONさせるのに必要な値です。

したがって、1.8V以下の出力電圧および2.5A以上の出力電流に対して、Pch-MOSFETパス素子を使用したリニア・レギュレータを使用すると、レギュレータが発生する熱を発散させるために強制空冷を考慮したり、外部ヒートシンクを付加することとなるためコストも高くなるといった厄介な問題が発生します。

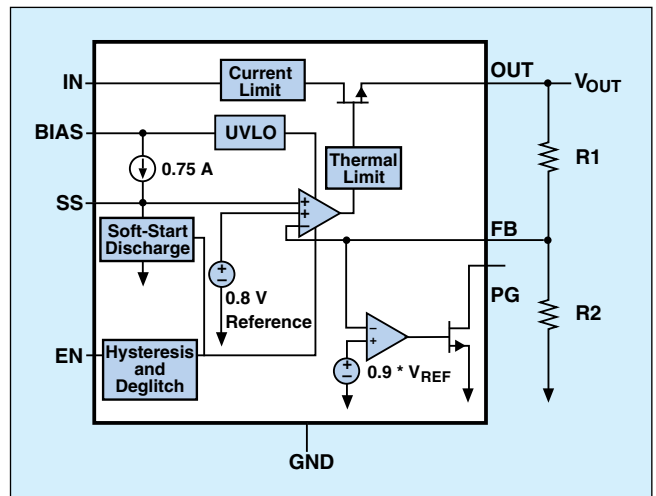


図 1. TPS74201およびTPS74401リニア・レギュレータのブロック図

Nch-MOSFETは、同等の電流定格を持ったPch-MOSFETよりもRDSONが本質的に低いいため、Nch-MOSFETパス素子では同じ電流を得るために必要な $(V_{IN}-V_{OUT})$ 間電圧降下が低くなります。ただし、Nch-MOSFETベースのレギュレータのソース・フォロワ構成では、FETのゲート電圧が出力電圧よりも、ゲートのスレッショルド電圧値(標準で1V)以上高い必要があります。レギュレータは、より高いゲート駆動電圧を得るために内部にチャージ・ポンプを備えるか、またはもっと単純に、既存の5Vまたは3.3Vバイアス電源からの第2の低電力入力レールを使用する必要があります。これが、Nch-MOSFETパス素子をベースとしたデュアル・レールのリニア・レギュレータ、TPS74x01ファミリーを開発した理由です。

ドロップアウト

図1に示すように、TPS74x01レギュレータは2つの電圧入力ピンを持っています。Nch-MOSFETパス素子を制御する内部回路に電源を供給するためのバイアス電圧ピン(小電流入力)と、パワー系入力ピン(大電流入力)があります。すべての内部回路がバイアス電圧ピンから入力された高い電圧で動作するため、デバイスは低電圧の入力電源からレギュレーションでき、電源入力INは、デバイスの出力電圧とドロップアウト電圧によってのみ制限されます。

TPS74x01には、ドロップアウト電圧について2つの異なる仕様があります。1つは“VINドロップアウト”と呼ばれ、低ドロップアウトを実現するために外部バイアス電圧を印加したいユーザー向けの仕様です。この仕様では、VBIASがVOUTより1.62V以上高いことを想定しています。そのようなアプリケーションの例としては、VINおよびVBIASがそれぞれ1.5Vおよび3.3Vのスイッチング電源から供給される、FPGAトランシーバ用の低リップル1.2V/3A電源レールが挙げられます。この構成では、55°Cで1.9Wを消費できる3mm×3mm QFNパッケージで、

$$(1.5V - 1.2V) * 3A = 0.9W$$

だけを消費すればよいため、 $1.2V/1.5V = 80\%$ の効率を得られます。

2つ目の仕様は“VBIASドロップアウト”と呼ばれ、INピンとBIASピンを接続したいユーザー向けの仕様です。これにより、補助バイアス電源がないアプリケーションや、低ドロップアウトを必要としないアプリケーションでデバイスを使用することができます。VBIASはパスFETのゲート駆動電圧でもあり、VOUTより1.4V高い必要があるため、このアプリケーションではドロップアウトがBIASによって制限されます。例えば、TPS74201は、5Vレールから3.3V/1.0Aのソフトスタート(後述)電源を供給でき、このときの効率は $3.3V/5V = 66\%$ 、消費電力は以下ようになります。

$$(5V - 3.3V) * 1.0A = 1.7W$$

安定性と過渡応答

最近まで、リニアレギュレータのループ安定性はアナログIC設計者にとって難しい問題でしたPch-MOSFETパス素子を使用したデバイスのアプリケーションでは、FETドレインのゲインが電流により変化してしまいます。結果として、出力キャパシタと負荷インピーダンスで形成される制御ループのポールの周波数が、流れる電流の大小により変化することとなります。一方、Nch-MOSFETパス素子を用いソースフォロワ構成で使用する場合は、同等の定格のPch-MOSFETレギュレータをコモンソース構成で使用した場合よりも出力インピーダンスが低いため、補償が容易となります。これは、Nch-MOSFETレギュレータではポールの周波数が同等定格

のPch-MOSFETレギュレータよりも高い周波数となるため、内部の誤差増幅器のゲインが下がっており、十分なゲインマージンを得る事が容易に出来ることによります。従来からの安定性を確保する方法には、制御ループ応答特性をより低周波数でロールオフする設計にする事により高周波領域のゲインを落として過渡応答を無視した設計とするか、特定の値の等価直列抵抗(ESR)を持った出力キャパシタを使用してこれにより作られたゼロにより位相余裕を大きく取る方法があります。TPS74x01ファミリーを使った回路構成(VBIAS = 3.3V、VIN = 1.8V、VOUT = 1.5V)では、特許取得済みの帰還制御トポロジを使用することで出力キャパシタなしで高速の過渡応答時間を実現しながら(図2を参照)、どのようなESR値を持ったキャパシタでも、しかもより大きな容量のキャパシタでも安定して動作します。負荷過渡状態の後に出力電圧にリングングが発生しないことは、レギュレータが出力容量なしでも非常に安定していることを示しています。

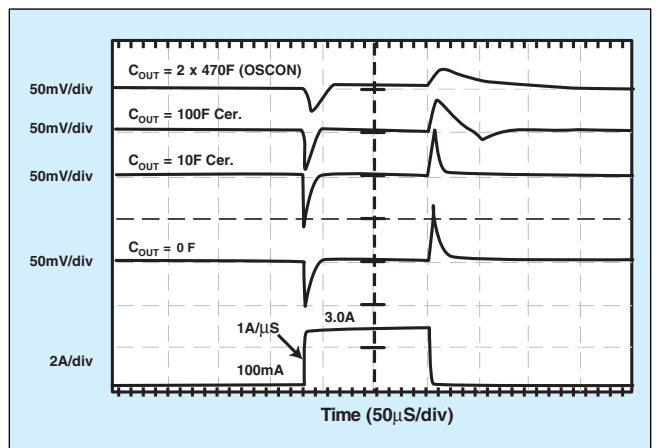


図 2. 各種の出力キャパシタでの負荷過渡応答

TPS74301は出力キャパシタなしで安定して動作するだけでなく、上記のように高速の過渡応答が可能であるため、電源ラインに複数の大容量キャパシタを使用する必要がありません。これは、最適な場所に小容量のバイパスキャパシタを設けるだけで多くのFPGAやDSPの過渡条件にも十分に対応できるということであり、結果として、ソリューション全体のコストを低減することが可能となります。

ソフトスタートおよびシーケンシング

従来のリニア・レギュレータの多くは、起動が高速となります。理由としては、帰還ループが出力電圧が低いことを検知してパスFETを急速にONするためです。一部のアプリケーションでは高速起動が必要ですが、そのような速い立ち上がりでは、デバイスの電流制限定格に達するような大きな突入電流で出力キャパシタが充電されてしまいます。このような大電流が流れると、入力電源が電圧低下を発生してしまい、システム・レベルの問題が生じる可能性があります。この問題を防止するには、起動時のピーク突入電流を低減し、入力電源から見た起動時の過渡電圧を最小限に抑えるために、リニアに一定の速さで立ち上がるソフトスタートを実現する必要があります。TPS74201では、誤差増幅器が外部のソフトスタート・キャパシタの電圧上昇に内部リファレンスを超えるまでの間、追従することでこれを実現しています。ソフトスタートの上昇時間は、ソフトスタート充電電流 (I_{SS})、ソフトスタート容量 (C_{SS})、および内部リファレンス電圧 (V_{REF}) により決まります。これは次の式で計算できます。

$$t_{SS} = (V_{REF} * C_{SS}) / I_{SS}$$

ソフトスタートは電圧制御であるため、スタートアップ時間は出力の負荷には依存しません。

TPS74301には、SSピンの代わりにTRACKピンがあります。図3にまとめられたように、外部電源の抵抗分圧電位をTRACKピンに接続することで、TPS74301の出力電圧は、TRACK電圧が0.8Vに達するまで外部電源に追従します。これを利用して、外部電源と同時または比例したシーケンシングを実現できます。この機能は、多くのプロセッサのCOREおよびI/O電源ピン間に存在するESD構造へのストレスを最小限に抑えることや、内蔵パワーオン・リセット回路の管理などに役立ちます。TPS74x01ファミリーの全製品は、内蔵PG信号を後続電源のENピンに接続することで、順次立ち上げシーケンスを実現する事も容易にできます。

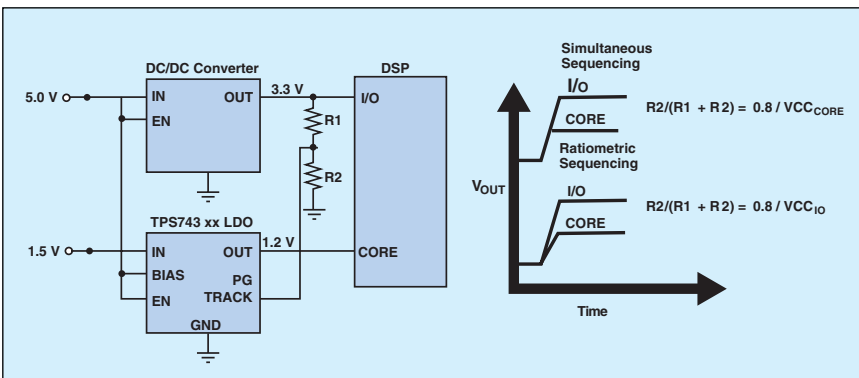


図 3. TRACKピンを使用した各種のシーケンシング方法

結論

ファミリーは、デュアル入力レールと低ドロップアウト電圧により、リニア・レギュレータを基板サイズやコストの点でスイッチング・レギュレータよりも魅力的な選択肢とし、低電圧/高出力電流電源への電源供給における効率の点でも引けを取らない性能を実現しています。また、制御可能なソフトスタート、起動の追従、内蔵PGといった付加機能によって、従来のリニア・レギュレータで悩みの種であった起動時の問題にも対処しています。さらに、出力キャパシタの合計数を最小限に抑えることが出来る高速過渡応答が加わることで、リニアレギュレータでありながらDC/DCコンバータと同じレベルのものを手にすることができます。

参考文献

1. TPS74201データシート
2. TPS74301データシート
3. TPS74401データシート
4. Intelアプリケーション・ノートAP812
(文献番号306667 Rev 002)

販売特約店 及び 取扱店

<http://www.tij.co.jp/dist/>

株式会社 アムスク

〒180-8534 東京都武蔵野市中町1-15-5 三鷹高木ビル
☎ 0422(54)7100 FAX0422(37)2549

株式会社 日立ハイテクトレーディング

電子デバイス営業本部
〒105-8418 東京都港区西新橋1-24-14 日製産業ビルディング3階
☎ 03(3504)7921 FAX03(3504)7903

コマツトライリンク株式会社

第2デバイス事業部
〒105-0004 東京都港区新橋1-16-4 りそな新橋ビル6階
☎ 03(5521)2062 FAX03(3502)6301

新光商事株式会社

本社 TI販売推進部
〒141-8540 東京都品川区大崎1-2-2
アートヴィレッジ大崎セントラルタワー13階
☎ 03(6361)8082 FAX03(5437)8486

東京エレクトロデバイス株式会社

新横浜オフィス
〒222-0033 神奈川県横浜市港北区新横浜3-18-20
パシフィックマークス新横浜8階
☎ 045(474)5256 FAX045(474)5781

富士エレクトロニクス株式会社

本社
〒113-8444 東京都文京区本郷3-2-12 御茶の水センタービル
☎ 03(3814)1411 FAX03(3814)1414

松下テクノレーディング株式会社

横浜営業所
〒222-0033 神奈川県横浜市港北区新横浜2-11-5 川浅ビル4階
☎ 045(471)1571 FAX045(471)1577

丸文株式会社

デバイスカンパニー 東日本第1本部(東京本社)
〒103-8577 東京都中央区日本橋大伝馬町8-1
☎ 03(3639)9920 FAX03(3639)8156

日本テキサス・インスツルメンツ株式会社

お問い合わせ先

日本TIプロダクト・インフォメーション・センター (PIC)
URL:<http://www.tij.co.jp/pic/>

本社

〒160-8366 東京都新宿区西新宿6-24-1 西新宿三井ビル
☎ 03(4331)2000 (番号案内)

西日本ビジネスセンター

〒530-6026 大阪府大阪市北区天満橋1-8-30 OAPオフィスタワー26階
☎ 06(6356)4500 (代)

工場

大分県・日出町 / 茨城県・美浦村
神奈川県・厚木市 (厚木テクノロジー・センター)
茨城県・つくば市 (筑波テクノロジー・センター)

S-0107

ご注意:

本資料に記載された製品・サービスにつきましては予告なしにご提供の中止または仕様の変更をすることがありますので、本資料に記載された情報が最新のものであることをご確認の上ご注文下さいませようお願い致します。

TIは製品の使用用途に関する援助、お客様の製品もしくはその設計、ソフトウェアの性能、または特許侵害に対して責任を負うものではありません。また、他社の製品・サービスに関する情報を記載していても、TIがその他社製品を承認あるいは保証することにはなりません。

