

# オペアンプの基本的な安定性に関する概要

Jerry Madalvanos

Applications Engineer  
Precision Signal Conditioning

オペアンプ回路に関する最も一般的な問題の 1 つは、安定性です。この記事では、安定性に関する次の 3 つの重要な質問に答えています。

- 信頼性の高い設計には、位相マージンは何の程度必要ですか？
- 不安定な回路を補償するには？
- 安定性の問題には、どのようなドロップイン ソリューションがありますか？

## 位相マージンは何ぐらい必要でしょうか？

オペアンプのループ安定性は位相マージンで測定されます。これは、出力の閉ループ ゲインがユニティを下回ったときの出力信号の位相シフトが 360 度から変化する差です。あらゆるオペアンプに固有のシフトもある中で (例えば主要な極)、追加のシフトはアンプを取り囲むアプリケーションと部品に依存します。

経験則によって 30 度、45 度、または 60 度の位相マージンが推奨されていますが、信頼性の高いパフォーマンスを確保するために実際にはどの程度必要ですか。従来のミラー補償オペアンプでは、標準的なプロセスの変動をシミュレートし、結果として位相マージンへの影響を確認することができます。

図 1 は、1MHz のユニティ ゲイン帯域幅で  $Z_o = 300\Omega$  のオペアンプの開ループ ゲイン ( $A_{ol}$ ) と出カインピーダンス ( $Z_o$ ) を概算します。プロセスの変動を通して、ミラー コンデンサ ( $C_{26}$ ) の値は約  $\pm 30\%$  変化し、温度範囲全体でさらに  $\pm 30\%$  (近似値) 変化することがあります。この変動から合計誤差は  $\pm 30\% \times \pm 30\%$ 、これは  $\pm 30\% + \pm 9\%$ 、または  $\pm 39\%$  の変動と同じです。ミラー コンデンサの値はオペアンプの  $A_{ol}$  の主要な極の配置を変化させるため、この変動はユニティ ゲイン帯域幅と位相マージンに大きな影響を及ぼす可能性があります。そのため、高精度アンプや高速アンプであっても、これらの仕様は常に標準値として与えられます。

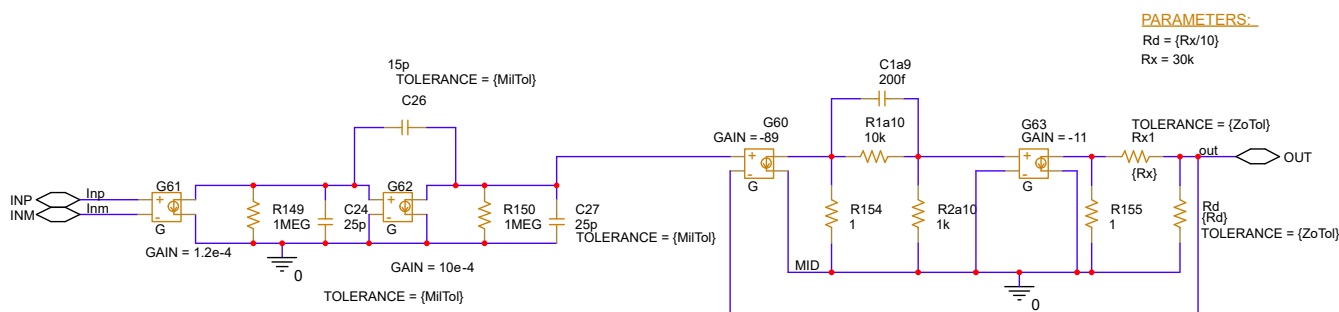


図 1. テキサス・インスツルメンツ回路用の開ループ ゲインと出カインピーダンス PSpice®

図1のアンプは、帰還ループが45度の位相マージンを持つように、負荷抵抗と容量で設定されています。ループ安定性の主要な要因、つまりミラーコンデンサ、開ループ出力インピーダンス、アンプ周辺のパッシブデバイスについてモンテカルロ分析を実行すると、プロセス変動に伴う変化や温度が回路の位相マージンにどのような影響を及ぼすかを推定できることがわかります。

図2に、結果として得られる位相マージンを示します。この解析では、ミラーコンデンサに $\pm 40\%$ の変動、 $Z_o$ に $\pm 15\%$ の変動、負荷コンデンサに $\pm 10\%$ 、負荷抵抗に $\pm 5\%$ の変動を適用しました。これらは、ミラーコンデンサと $Z_o$ の予想される内部許容誤差と、多くの汎用アプリケーションの部品の標準精度です。

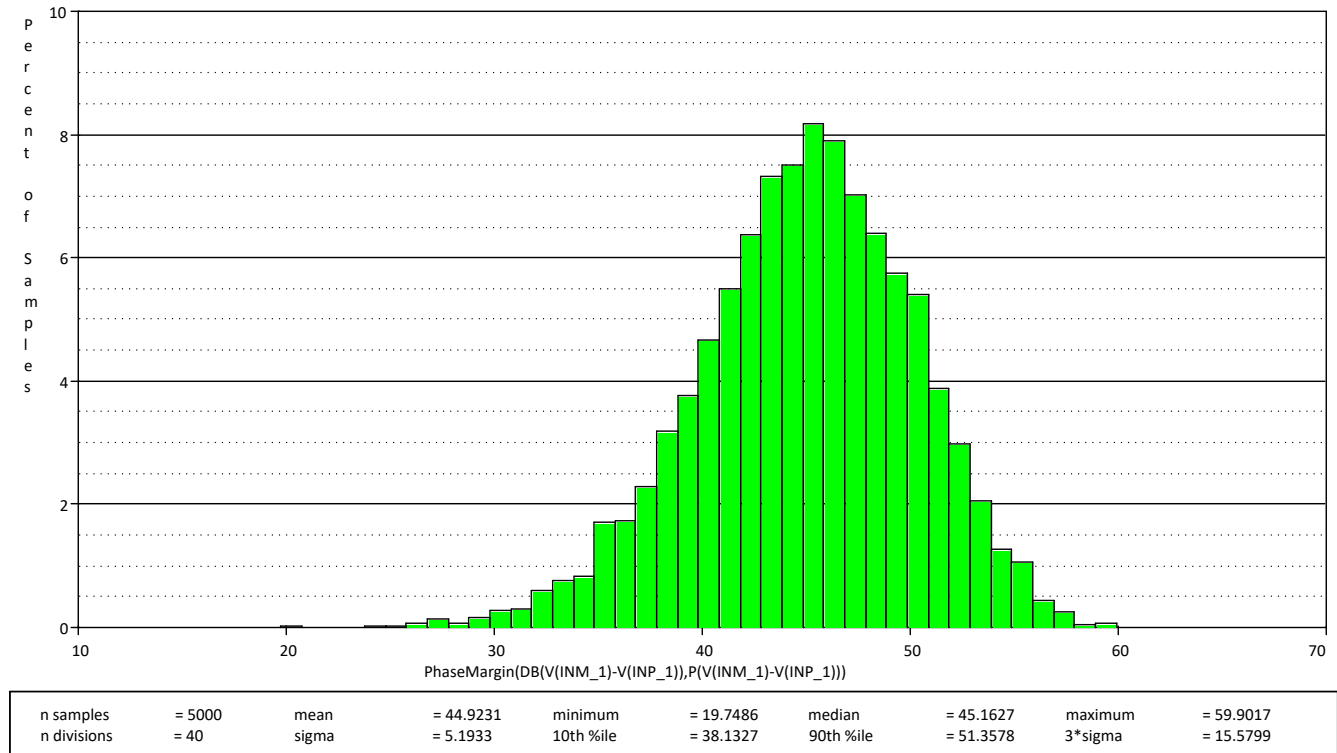


図2. 推定されるプロセス変動と温度変動を対象にした5,000回のモンテカルロ分析の実行

この変動全体にわたって、帰還ループの位相マージンには最小位相マージンが19度(45度から26度のシフト)になります。プロセス変動や温度に対しても、回路は約27度の位相マージンを持っていれば安定した状態を維持しますが、45度で優れた過渡性能とセトリングタイムの両方を実現できません。位相マージンが0度に近いほど、出力が最終値をオーバーシュートし、最終的な出力値に安定するのにかかる時間が長くなります。45度の位相マージンにより、設計上の十分な許容誤差が実現されるので、セトリングタイム時間を犠牲にしたり、過剰なオーバーシュートが発生させたりすることなく、位相マージンをシフトできます。

これらのシミュレーションは、ミラーコンデンサの変動が性能に及ぼす影響を理解するのに役立ちますが、設計の性能に最終的な責任を負うのは回路設計者です。シミュレーションは、計算の集約度を低くするために多くの理想的な特性を想定し、含まれている非理想性と同程度正確なだけです。

### 補償方式

電圧レールレギュレーション、A/Dコンバータのフィルタ容量、または他の回路の必要性のいずれかについて、オペアンプの出力側にコンデンサを減らすことができない場合があります。このような場合、適切な位相マージンを実現するにはどうすればよいでしょうか。位相マージンを増やすことができる複数の補償方式が存在していますが、この記事では図3お

よび 図 4 に示す絶縁抵抗 (Riso) と Riso デュアル フィードバックという 2 つの補償方式に注目します。これらの回路の設

計では、帰還ループの安定化に必要な Riso 値を決定するのが困難な場合があります。

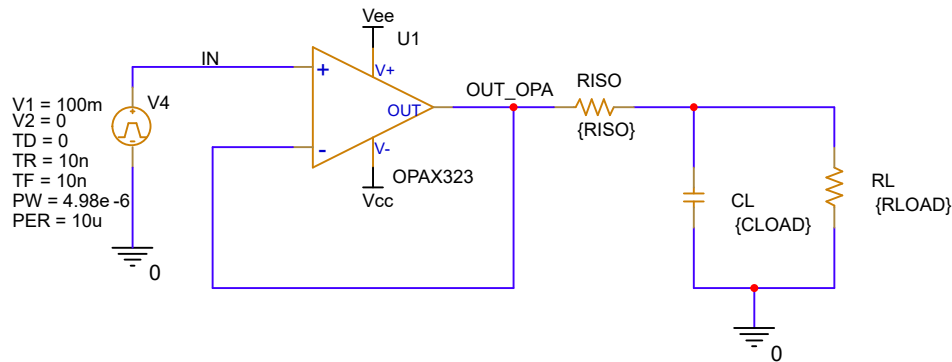


図 3. Riso 補償方式。

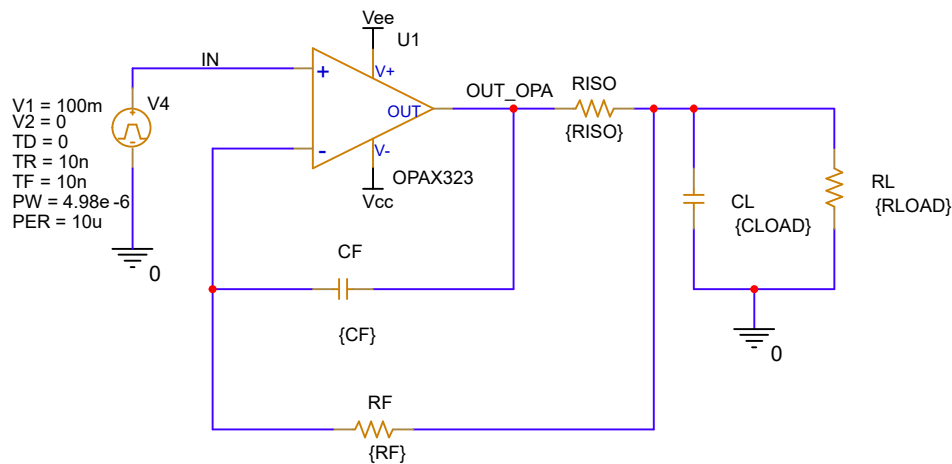


図 4. Riso デュアル フィードバック方式。

Riso は、負荷容量によって生じる位相遅れを絶縁する最も簡単な方法です。帰還ループと負荷コンデンサの間に抵抗を配置する必要があります。ただし、出力に負荷電流が発生すると DC 精度が低下することが 1 つ欠点です。DC 誤差の大きさは、絶縁抵抗の値に出力電流を掛けた値になります。

Riso デュアル フィードバック補償方式を採用すると、この DC 誤差を克服できます。この回路により帰還コンデンサを通過する高周波パスは、帰還ループと、オペアンプが絶縁抵抗全体での  $I \times R$  降下を補償できる DC パスを安定化させることができます。これらの値は、異なる値の Riso を試し、安定した動作がある場所を見ることで、数学的にもシミュレーションによっても見つけることができます。

では、シミュレーション結果を用いた数学的解析を用いたアプローチを試みみましょう。

アンプループの安定性を正確にモデル化するための 2 つの主要部品は、開ループゲインと開ループ出カインピーダンスです。テキサス・インスツルメンツの標準オペアンプマクロモデルである Green-Williams-Lis (GWL) モデルは、2016 年以降にリリースされたすべてのオペアンプについて、これらのパラメータを高精度で特性評価します。LM2904 やその新しいバージョン LM2904B などの一般的なオペアンプの多くには、これらのオペアンプ用に作成された GWL マクロモデルも付属しています。SPICE マクロモデル用のライブラリファイルには、SPICE モデルに正確に反映されているパラメータの詳細を示すヘッダーが含まれています。開ループゲインと開ル

ープ出力インピーダンスをモデル化している場合、モデルの安定性がシリコンの性能を反映する可能性があります。

SPICE モデルの精度を保証することで、回路のループ安定性を解析し、Riso に対して最適な値を数学的に計算できます。45 度の位相マージンを確保する Riso の値は、フィードバック係数 (1/β) とアンプの開ループ ゲインの交点で、帰還ループにゼロを生成する必要があります。さらに確実性を高めるために、開ループ ゲインが 20dB の位置にゼロを設定すると、帰還ループ内のゼロからの最大正の位相シフトがわかります。

補償	計算方法
大きな容量性負荷	
R <sub>iso</sub> (最小値)	$R_{iso} = \frac{1}{2 \pi f_{AOL \text{ Loaded} = 0dB} C_{LOAD}}$
R <sub>iso</sub>	$R_{iso} = \frac{1}{2 \pi f_{AOL \text{ Loaded} = 20dB} C_{LOAD}}$
R <sub>iso</sub> とデュアル フィードバック	$R_F \geq R_{iso} \cdot 100$ $\frac{5 \times R_{iso} \times C_L}{R_F} \leq C_F \leq \frac{10 \times R_{iso} \times C_L}{R_F}$

表 1. Riso デュアル フィードバックの絶縁抵抗値とフィードバック成分を計算するための式。

PSpice for TI の電力の一部は、後の回路図のためにシミュレーションと式を設定、アーカイブ、共有することができます。Riso と Riso デュアル フィードバックの評価は式で、簡単に再現できるため、これらのテンプレート プロジェクトを活用すれば、4 つの一般的なオペアンプ回路にわたって、Riso デュアル フィードバック回路の Riso または Rf/Cf を計算するための式を覚えておく必要がなくなります。PSpice for TI プロジェクトをダウンロードし、解析しようとするオペアンプをドロップインし、安定化が必要な特定の回路を完成させるパラメータを入力して、シミュレーションを実行し、必要な Riso 値を見つけるだけです。これらのプロジェクトは、反転端子の容量によって不安定な回路や非常に大きい帰還抵抗を使用した回路を補償することもできます。

回路のタイプ	PSpice for TI プロジェクト
バッファ アンプ	<a href="https://www.ti.com/lit/zip/sbomcj2">https://www.ti.com/lit/zip/sbomcj2</a>
反転アンプ	<a href="https://www.ti.com/lit/zip/sbomcj0">https://www.ti.com/lit/zip/sbomcj0</a>
非反転アンプ	<a href="https://www.ti.com/lit/zip/sbomci9">https://www.ti.com/lit/zip/sbomci9</a>

回路のタイプ	PSpice for TI プロジェクト
差動アンプ	<a href="https://www.ti.com/lit/zip/sbomcj1">https://www.ti.com/lit/zip/sbomcj1</a>

## ドロップイン ソリューション

補償回路を追加する必要がない場合や追加することが不可能な場合のソリューションもあります。テキサス・インスツルメンツの OPA994 デバイス ファミリは、容量性負荷に対して安定する特殊な補償構造を採用しています。これを実現できるのは、出力に異なる容量性負荷が見られるとデバイスの帯域幅が変化するからです。帯域幅を出力インピーダンスと容量性負荷によって生じる極よりも常に低く保つことで、出力に配置するコンデンサに関係なく、アンプの安定性が維持されます。図 5 に、OPA994 のデータシートから引用した、外部補償抵抗を使用せずに、さまざまな値の負荷容量に対する位相マージンを示します。

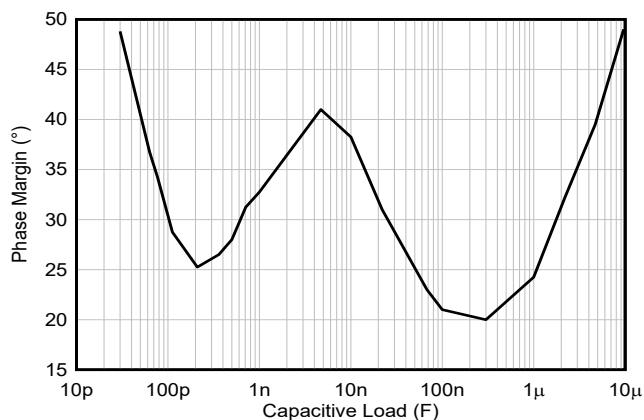


図 5. ユニティ ゲインでのさまざまな容量性負荷に対する位相マージン。

設計に関するあらゆる決定には利点に加えてコストも伴い、OPA994 デバイス ファミリもこれに当てはまります。設計がより複雑になると、デバイスが大型化し、シンプルなデバイスよりコストが高くなる可能性があります。また、これは、0.64mm<sup>2</sup> の超小型アウトライン リードなし (X2SON) パッケージなど、テキサス・インスツルメンツの最小パッケージにデバイスを収めることができないことを意味します。この設計は現在、バイポーラ アンプでのみ提供されているため、CMOS (相補型金属酸化膜半導体) の入力バイアス電流を小さくする必要のある場合、このデバイスの入力バイアス電流が過度に大きくなる可能性があります。

バイポーラ アンプには、CMOS デバイスよりも低ノイズ、高帯域幅、低静止電流など多くの利点があります。バイポーラと CMOS の完全なトレードオフは、回路ごとに計量できます [1]。全体として、**OPA994** は多くの場合、安定性を指すドロップイン ソリューションとして機能できます。

## まとめ

初期設計段階で主な問題は、プロセスの変動や温度に対して信頼性の高い性能を実現するのに十分な位相マージンはどれだけであるかです。最初の実装で位相マージンが十分でない場合、複数の補償方式を利用して位相マージンを許容可能なレベルまで増加させます。これらのソリューションは、PSpice for TI の事前構成済みの使いやすいプロジェクトにより提供されます。最後に、すでに生産中に安定性の問題が発生しているプロジェクトがある場合は、提案されたドロップインソリューションを使用します。

## 参考資料

1. **CMOS、JFET、およびバイポーラ入力段テクノロジー間のトレードオフ** – Marek Lis

**重要なお知らせ:**ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated