

# TPS40055に基づく設計により 12Vバスを15Aで1.8Vに変換(HPA070)

## ユーザーズ・ガイド

1	はじめに .....	1
2	特長 .....	1
3	回路図 .....	2
4	部品選択 .....	3
5	テストの設定 .....	6
6	テスト結果および性能データ .....	7
7	EVMアセンブリ図およびPCBレイアウト .....	8
8	部品表 .....	11
9	References .....	11

## 1 はじめに

今日の多くの電子アプリケーションでは、12Vのバスを1.8Vの低いデジタル電圧に変換する回路の要求が高まっています。電流要件は1A以下から15A以上まで様々です。小型で高効率な回路のために、広範囲の入力が可能な同期バック・コントローラTPS40055を使用することで、そのようなコンバータを実装するために必要な制御および駆動機能が得られます。TPS40055EVM-001は、300kHzで動作し、15Aで1.8Vを供給します。負荷範囲の大部分で90%以上の効率を発揮し、最大負荷時効率は88%です。

TPS40055同期バック・コントローラは、動作周波数、ソフト・スタート時間、電圧フィードフォワード、ハイサイド電流制限、外部ループ補償など、各種のユーザ・プログラミング機能を提供します。また、レギュレーションされた10Vバイアス電圧によりNチャンネル・スイッチおよび同期整流MOSFETに対するオンボード・ドライバを提供し、適応型のゲート・ドライブ・ロジックを利用してパワーMOSFETのクロス導通を防いでいます。<sup>[1]</sup>

## 2 特長

- 6Aでのピーク効率：92%
- 15Aでのピーク効率：88%
- 15Aで1.8Vを出力
- $V_{IN}$ 範囲：10~14  $V_{DC}$
- 小型回路：1.4" × 2.5" SMT設計(片面実装)
- ライン/負荷レギュレーション < 0.5%
- 高周波数動作：300kHz
- 負荷過渡時偏差：60mV(負荷ステップ10A時)



## 4 部品選択

### 4.1 TPS40055デバイスの選択

TPS4005xファミリのデバイスには、出力電流構成としてソースのみ(TPS40054)、ソース/シンク(TPS40055)、および $V_{OUT}$ プリバイアス付きソース/シンク(TPS40057)が用意されています。本コンバータでは、ソース/シンク構成のTPS40055を選択しています。これにより、ゼロ負荷までのすべての範囲にわたって連続したインダクタ・リップル電流を維持し、インダクタ電流が非連続電流モードに移移するのを防ぐことで、小信号ループ応答を改善します。

TPS4005xファミリは、TIの熱特性強化パッケージであるPowerPADのPWPで提供されます。このパッケージは、標準の半田フロー手法を用いてPCBに半田付けする必要があります。PowerPAD™テクノロジーでは、熱伝導性エポキシを利用してICダイをリードフレーム・ダイ・パッドに接合します。リードフレーム・ダイ・パッドは、完成したパッケージの底面に露出しています。PWP PowerPADパッケージの $\theta_{JC}$ は $2^{\circ}\text{C}/\text{W}$ であり、オンボードMOSFETドライバに固有の消費電力を考慮しても接合部温度の上昇を比較的低位で維持することができます。この電力損失は、スイッチング周波数、駆動電圧、およびNチャネルMOSFETのエンハンスに必要なゲート電荷に比例します。効果的な熱除去により、高い部品信頼性を維持しながら、超小型パッケージの使用が可能になっています。

PowerPADパッケージの詳細については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』<sup>[2]</sup>を参照してください。

### 4.2 動作周波数

TPS40055のクロック動作周波数は、 $R_T$ (ピン2)と信号グランド間の1個の抵抗によって設定されます。データシートに記載されている次の式(1)により、特定のスイッチング周波数(kHz)に対して選択する $R_T$ (k $\Omega$ )を決定できます。

$$R_T = R_2 = \frac{1}{f_{SW} \times 17.82 \times 10^{-6}} - 23 \text{ (k}\Omega\text{)} \quad (1)$$

300kHz動作の場合、 $R_2$ は165k $\Omega$ となります。

特定の動作周波数に対して、PWMのランプ時間は $V_{IN}$ に接続された抵抗 $R_{KFF}$ で設定する必要があります。また、 $R_{KFF}$ の選択により、回路が動作を開始する $V_{IN}$ 電圧も決定されます。これにより、回路が低電圧で起動して必要以上の電流が流れることを防ぎます。 $R_{KFF}$ は式(2)で決定されます。

$$R_{KFF} = R_6 = (V_{IN(\min)} - 3.5) \times (58.14 \times R_T + 1340) \text{ (k}\Omega\text{)} \quad (2)$$

ここで、 $V_{IN(\min)}$ はスタートアップ時の最小入力電圧であり、 $R_T$ はk $\Omega$ です。この式には内部許容差が含まれているため、入力電圧の実際の $V_{IN(\min)}$ を使用する必要があります。動作周波数が300kHzの場合、 $R_{KFF}$ の値として71.5k $\Omega$ が選択されます。

### 4.3 UVLO回路

TPS4005xにはユーザがプログラミング可能なUVLOが内蔵され、合計7サイクルよりも短い過渡状態に対してヒステリシスを提供します。コンバータへの入力電圧が最小 $V_{IN}$ 範囲の付近で低速で上昇する場合は、外部ヒステリシスを組み込むことにより、スタートアップまたはシャットダウン中に複数のオン/オフ・サイクルが発生するのを防ぐことができます。これらのオン/オフ・サイクルは、EVMの外部のライン・インピーダンスによって負荷状態でのモジュールの $V_{IN}$ が低下し、プログラミング可能なUVLOスレッシュホールドを繰り返し通過する結果として生じます。

本コンバータでは、C1およびD1を追加して、コンバータの動作時のみアクティブになる下側ゲート駆動からのピーク検出回路を構成しています。これにより、ピーク検出電圧から3.5Vの下側KFF電圧へのヒステリシス電流を提供するバイアス・ソースが得られ、設計者はプログラミング可能なUVLOシャットダウン・ポイントを変更することができます。このバイアスはスタートアップ中には存在しないため、回路は $R_{KFF}$ の計算から期待されるとおりに起動します。

本アプリケーションでは、 $R_4$ はヒステリシス電流が $I_{KFF}$ の20%となるように選択されています。 $R_4$ は式(3)から計算できます。

$$R_{HYS} = R_4 = \frac{R_{KFF} \times (V_{PD} - 3.5)}{0.2 \times (V_{IN(\min)} - 3.5)} \quad (3)$$

ここで

- $V_{PD}$ はピーク検出回路の電圧です。
- $V_{IN(\min)}$ は、 $R_{KFF}$ の決定で使用される目的の開始電圧です。

標準的なケースでは、 $V_{PD} = 8\text{V}$ 、 $R_4$ は247k $\Omega$ と求められ、標準値の243k $\Omega$ が選択されます。テストではスタートアップ電圧が9.2V、シャットダウン電圧が8.5Vになっています。

### 4.4 インダクタンス値

図2の回路では出力インダクタL1が使用され、値は式(4)で選択されています。

$$L = \frac{V_{OUT}}{f \times I_{RIPPLE}} \times 1 - \frac{V_{OUT}}{V_{IN(\min)}} \quad (4)$$

ここで、 $I_{RIPPLE}$ は通常、 $I_{OUT}$ の10%~40%の範囲内で選択されます。 $I_{RIPPLE}$ が $I_{OUT(\max)}$ の20%である場合、リップル電流が3Aとなり、インダクタンス値は1.7 $\mu\text{H}$ となります。

#### 4.5 入力キャパシタの選択

バルク入力キャパシタの大きさは、入力電圧の許容リップルと、必要なRMS電流量を基に選択されます。標準的なバック・コンバータのアプリケーションでは、前段の電源コンバータからその出力容量が供給されます。本コンバータでは、回路要件を満足するセラミック・キャパシタがオンボードで提供されています。このパワー・レベルでは、約250mVの入力電圧リップルが妥当であり、最小容量は(5)で計算されます。

$$C_{IN} = \frac{I \times \Delta t}{\Delta V} = \frac{I \times V_O}{\Delta V \times V_{IN} \times f_s}$$

$$= \frac{15A \times 1.8V}{0.25V \times 10V \times 300kHz} = 36\mu F \quad (5)$$

また、入力キャパシタに必要なRMS電流定格(6)も考慮します。

$$i \cong I_{OUT} \times \sqrt{D} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}}} = 15 \times \sqrt{\frac{1.8}{10}} = 6.4 A \quad (6)$$

この要件を最小のコストとサイズで満たすために、22 $\mu$ F、16VのX5Rセラミック・キャパシタを2個(C12、C14)、基板上に実装しています。1812のケースでは、各部品はそれぞれ約4A<sub>RMS</sub>の電流量を持ちます。これらのキャパシタはパワー・バイアス部品として機能し、高周波電流フローを小さく緊密なループ内に維持するために、MOSFETパッケージの近くに配置する必要があります。

#### 4.6 出力キャパシタの選択

出力キャパシタの選択は、機能、コスト、サイズ、可用性など、アプリケーションによって異なる多くの要素に基づいています。許容される最小出力容量は、式(7)に示すように、インダクタ・リップル電流の量と、許容出力リップルによって決まります。

$$C_{OUT(min)} = \frac{I_{RIPPLE}}{8 \times f \times V_{RIPPLE}}$$

$$= \frac{3A}{8 \times 300kHz \times 15mV} = 83\mu F \quad (7)$$

本設計では、多少のマージンを得るために、 $V_{RIPPLE} = 15mV$ で $C_{OUT(min)}$ は83 $\mu$ Fです。ただし、これはリップル電圧の容量性成分にのみ影響し、容量の最終的な値は一般に、ESRと過渡状態を考慮して決定されます。容量ESRによる電圧成分。

$$C_{ESR} \leq \frac{V_{RIPPLE}}{I_{RIPPLE}} = \frac{15mA}{3A} = 5\mu\Omega \quad (8)$$

出力インダクタおよび容量値の選択におけるもう1つの考慮事項は、全負荷から無負荷への負荷ステップで発生する可能性のある過渡電圧オーバーシュートを調べることに関係しています。誘導性エネルギーを容量性エネルギーと一致させることで、式(9)が導かれます。

$$C_O \leq \frac{L \times I^2}{V^2} = \frac{L \times ((I_{OH})^2 - (I_{OL})^2)}{(V_f)^2 - (V_i)^2}$$

$$= \frac{1.7\mu H \times (15A)^2}{(1.9V)^2 - (1.8V)^2} = 1034\mu F \quad (9)$$

ここで

- $I_{OH}$  = 全負荷電流
- $I_{OL}$  = 無負荷電流
- $V_f$  = 許容される過渡電圧上昇
- $V_i$  = 初期電圧

過渡応答能力を維持しながら設計をコンパクトにするため、470 $\mu$ FのPOSCAPキャパシタ(C16、C17)を2個並列に配置しています。これらのキャパシタの合計ESRは約5m $\Omega$ です。POSCAPに並列に、追加の47 $\mu$ F、6.3Vセラミック・キャパシタC15を配置することで、各スイッチング・サイクル中に入力および出力回路間で電流が切り替わるときの高速な電流遷移によって発生する高周波雑音を抑制できます。

#### 4.7 MOSFETの選択

回路効率を最適化するためには、適切なMOSFETの選択が重要です。高電流で動作するには、発生した熱をできるだけ容易に放出できるようなパッケージを選択することが重要です。本アプリケーションに対しては、SO-8フットプリントと同様なパッケージを持つ各種のMOSFETが考慮され、接合部・ケース間の熱インピーダンスの低いデバイスが選択されています。

上側スイッチQ1には、ゲート電荷が低く(10Vで標準27nC)、 $R_{DS(on)}$ が6m $\Omega$ のHitachi HAT2168H MOSFETが選択され、スイッチング損失を最小限に抑えています。下側整流器スイッチQ2には、ゲート電荷がさらにやや高め(10Vで43nC)で $R_{DS(on)}$ は4.2m $\Omega$ と低い、Hitachi HAT2167Hを選択し、導通損失を最小限にしています。この高電流設計ではQ2に並列してショットキー・ダイオードD2が配置され、短絡条件で高い循環電流の一部を流せるようにしています。

#### 4.8 短絡保護

TPS40055は、上側MOSFET(オン時)の両端の電圧と、ピン16内部の10 $\mu$ A電流源によって $R_{LIM}$ に生じる電圧とを比較することにより、短絡保護を実現しています。これらの電圧は両方とも、 $V_{IN}$ に対して負極性です。データシートの式から、 $R_{LIM}$ は次のように定義されます。

$$R_{LIM} = R9 = \frac{I_{OC} \times R_{DS(on)}(\max)}{1.12 \times I_{SINK}} + \frac{V_{OS}}{I_{SINK}} = (\Omega) \quad (10)$$

ここで

- $I_{OC}$ は過電流設定点であり、DC出力電流 + (インダクタのリップル電流  $\times 1/2$ ) に等しくなります。
- $V_{OS}$ は過電流コンパレータのオフセットであり、 $I_{SINK}$ は  $I_{LIM}$ (ピン16)への電流です。

ワースト・ケースの許容差を使用した場合、コンバータがすべての条件において定格電流を完全に伝達できるように、 $R_{LIM}$ の値を最大にする必要があります。ワースト・ケース条件では、 $R_{LIM} = R9$ であり、次のようになります。

$$\begin{aligned} R_{LIM} &= \frac{(15A + 1.5A) \times (7.9m\Omega \times 1.45)}{1.12 \times 8.65\mu A} + \frac{-30mV}{8.65\mu A} \\ &= 16.0k\Omega \end{aligned} \quad (11)$$

標準値の16.2k $\Omega$ が選択されています。これにより、電流制限がアクティブになる前に、最低15Aを伝達できます。また、信号をフィルタリングするために、R9に並列して小容量のキャパシタC7を配置しています。

#### 4.9 スナバ部品の選択

最初、Q1、Q2、およびL1の接合部では、100MHz付近で約30Vのピーク電圧でリングングが発生していました。これは、MOSFETのスイッチング速度が極端に速すぎ、クロス条件がなかったためです。C13を追加して高周波リングングをグラウンドにシャントしたことで、ピーク電圧は25V以下になりました。

#### 4.10 補償部品

TPS40055では、高周波誤差増幅器とともにフィードフォワード付き電圧モード制御を使用して、閉ループ制御を実装しています。電源回路のL-C二重極コーナー周波数 $f_C$ は3.8kHzにあり、出力キャパシタのESRゼロは約38kHzに存在します。帰還補償ネットワークは、2つのゼロと3つの極が得られるように実装されています。最初の極は原点近くに配置して、DCレギュレーションの向上を図っています。

最初のゼロは、L-Cコーナー周波数のすぐ下である2.8kHzに配置されています。

$$f_{z1} = \frac{1}{2\pi \times R5 \times C5} \quad (12)$$

2番目のゼロは、L-Cコーナー周波数3.8kHzと一致するように選択されています。

$$f_{z2} = \frac{1}{2\pi \times (R7 + R8) \times C6} \quad (13)$$

2番目の極は、37kHzのESRゼロ周波数の近くに配置しています。

$$f_{p1} = \frac{1}{2\pi \times R5 \times \left( \frac{C4 \times C5}{C4 + C5} \right)} \quad (14)$$

3番目の極は、スイッチング周波数の1/2である150kHzに配置しています。

$$f_{p2} = \frac{1}{2\pi \times R8 \times C6} \quad (15)$$

## 5 テストの設定

図2に、TPS40055EVM-001の評価に必要な最良のテスト設定を示します。

### 5.1 DC入力源

入力電圧源は、定格電流4A以上で10~14V<sub>DC</sub>を供給する必要があります。最良の結果を得るためには、入力リードに18AWG以上のワイヤを使用する必要があります。

### 5.2 出力負荷

出力負荷は、電子負荷または抵抗負荷で、0~15Aを流すように設定されている必要があります。出力リードには、直径16AWG以上のワイヤを使用してください。PCB上の電圧を監視するには、TP9およびTP10に電圧計を接続することで、大きな測定誤差につながるPCBパターンおよび出力端子ブロックでの電圧降下を防ぎます。

### 5.3 オシロスコープ・プローブ・テスト・ジャック

出力電圧リップルの監視用に、オシロスコープ・プローブ・テスト・ジャック(TP8)が用意されています。

### 5.4 ファン

ユーザが内部の回路ノードをプローブするのを防ぐカバーはありません。通常動作時に高温(60°C)になり手で触れると危険な部品もあります。全負荷またはそれに近い条件で動作する場合には、15cfm以上の能力を持つ小さなファンを使用してください。

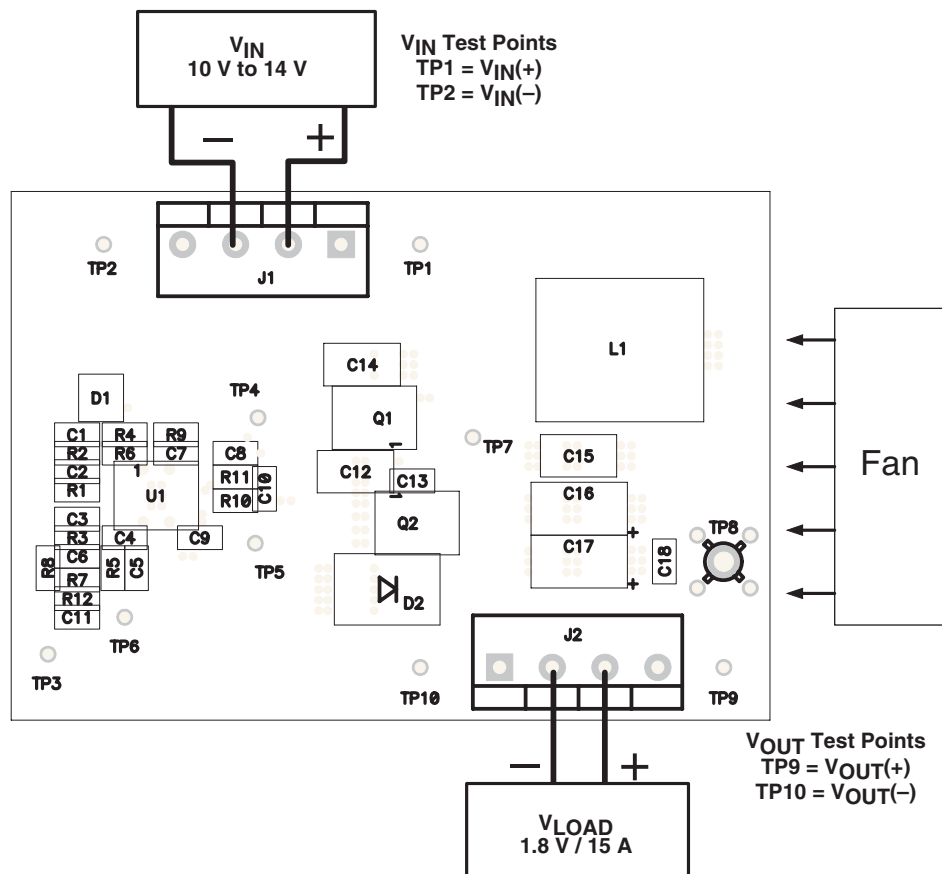


図2. テストの設定

## 6 テスト結果および性能データ

### 6.1 効率および電力損失

図3に、負荷が1Aから15A以上まで変化したときの効率を示します。負荷が3~12Aの範囲では、標準の効率が90%以上に保たれています。

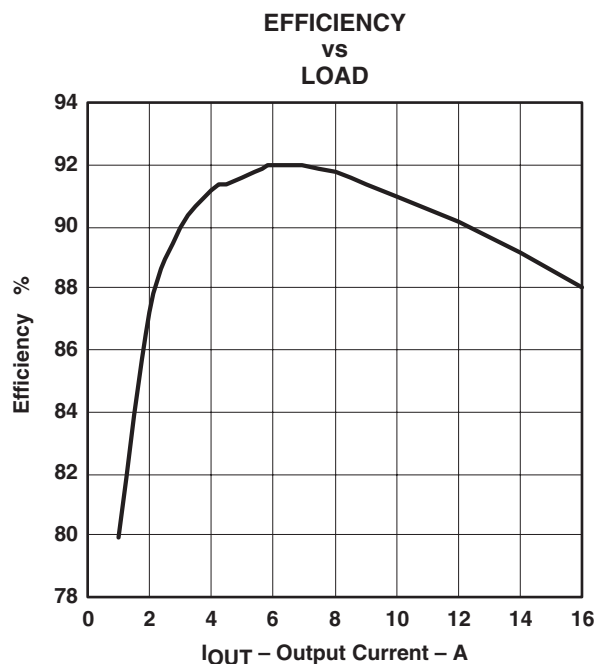


図3

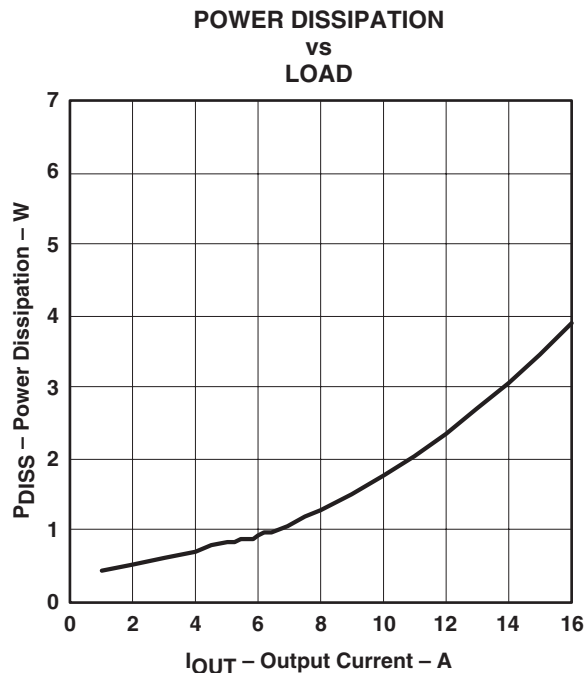


図4

### 6.2 閉ループ性能

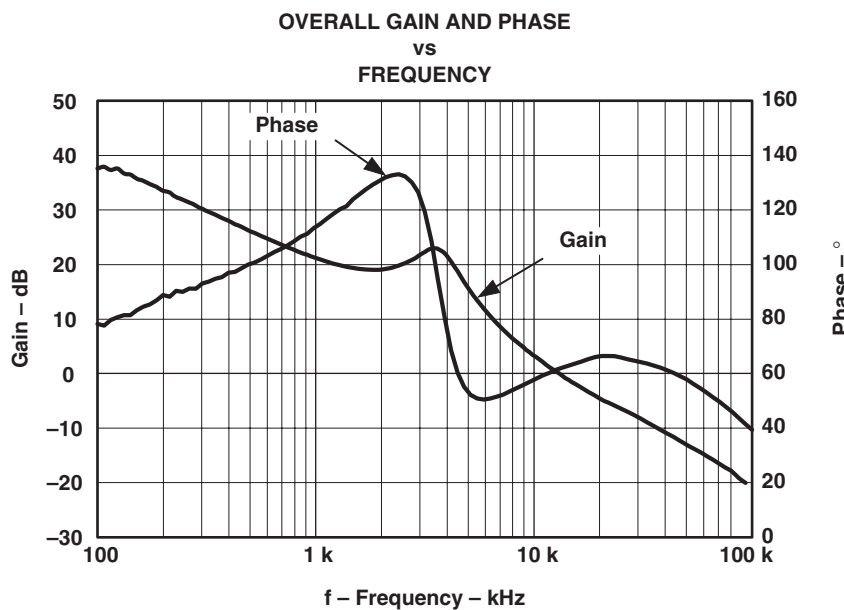


図5



### 6.3 出力リップルおよび過渡応答

図6に、 $I_{OUT} = 15A$ での標準の出力電圧リップル(20mVpp未満)を示します。

図7に、負荷が5Aから15Aまで変化したときの過渡応答を示します。電圧偏差は60mV未満です。

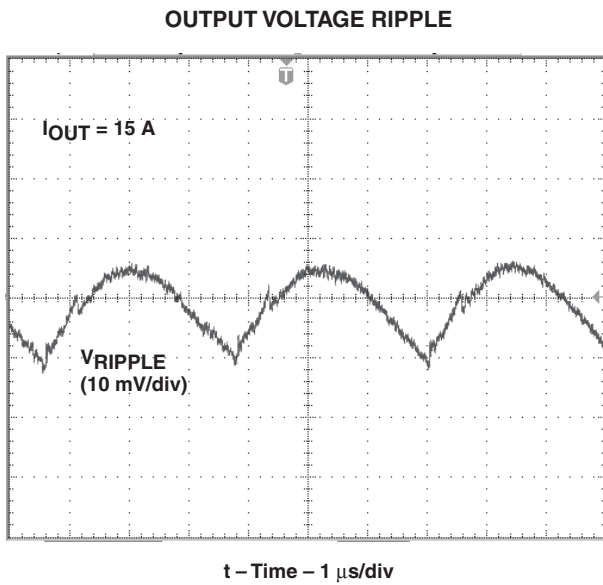


図6

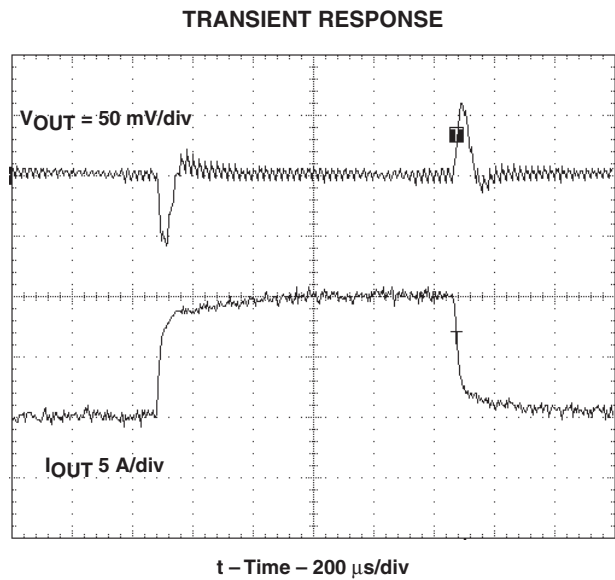


図7

## 7 EVMアセンブリ図およびPCBレイアウト

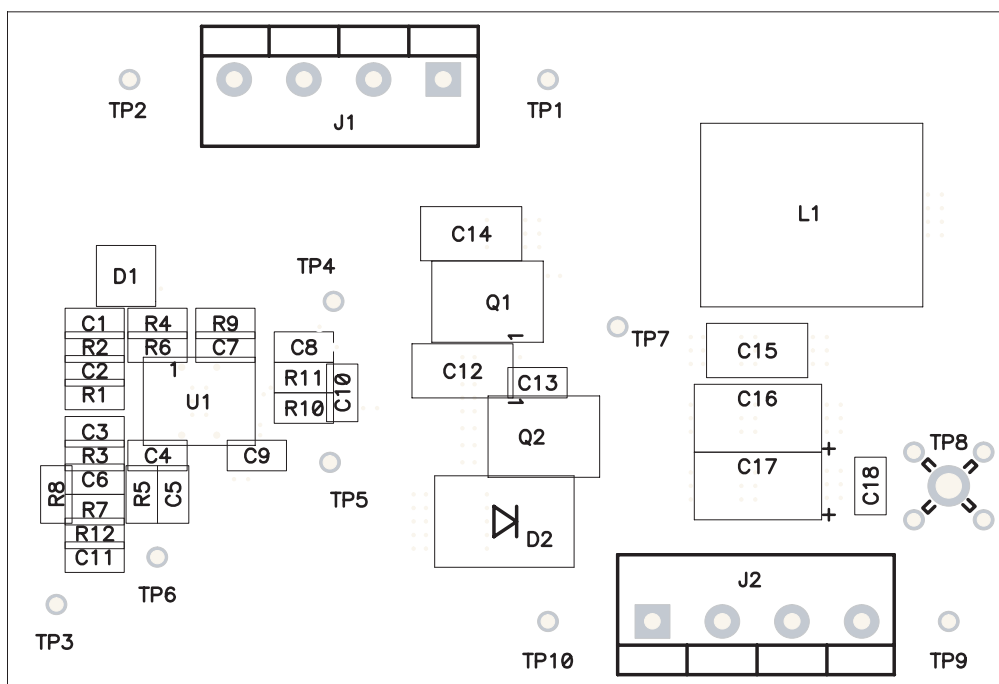


図8. 上側部品アセンブリ

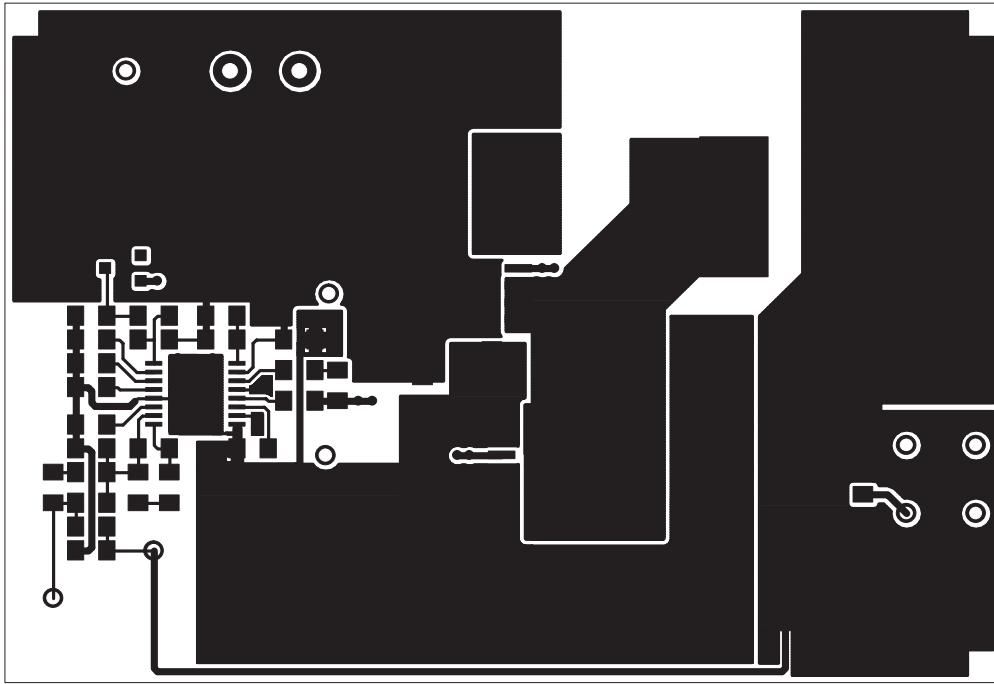


図9. 上側銅領域

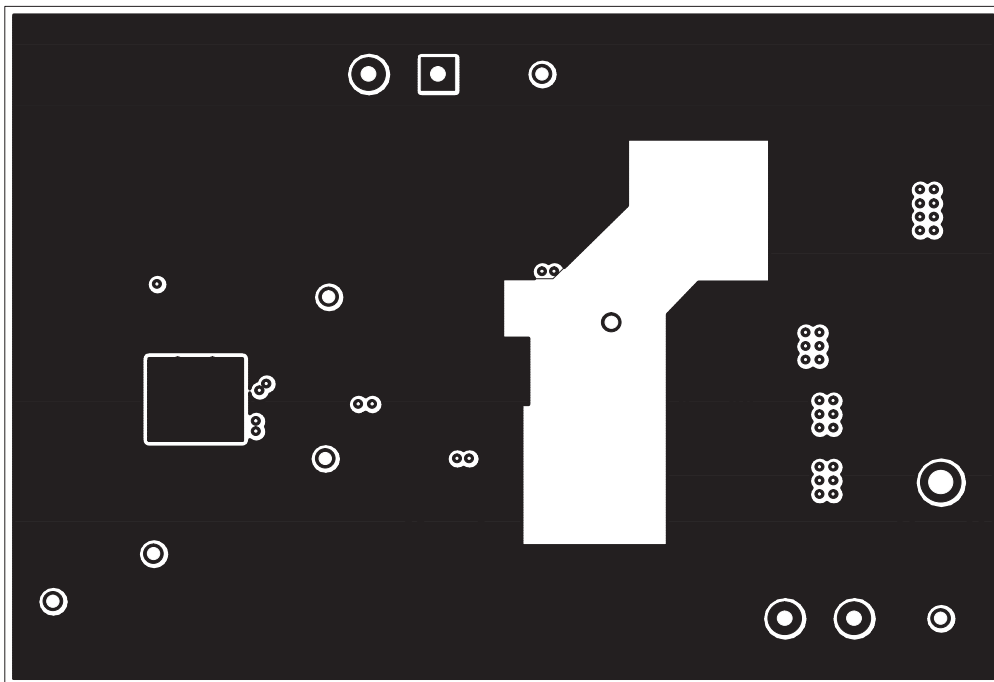


図10. 内部第1層銅領域

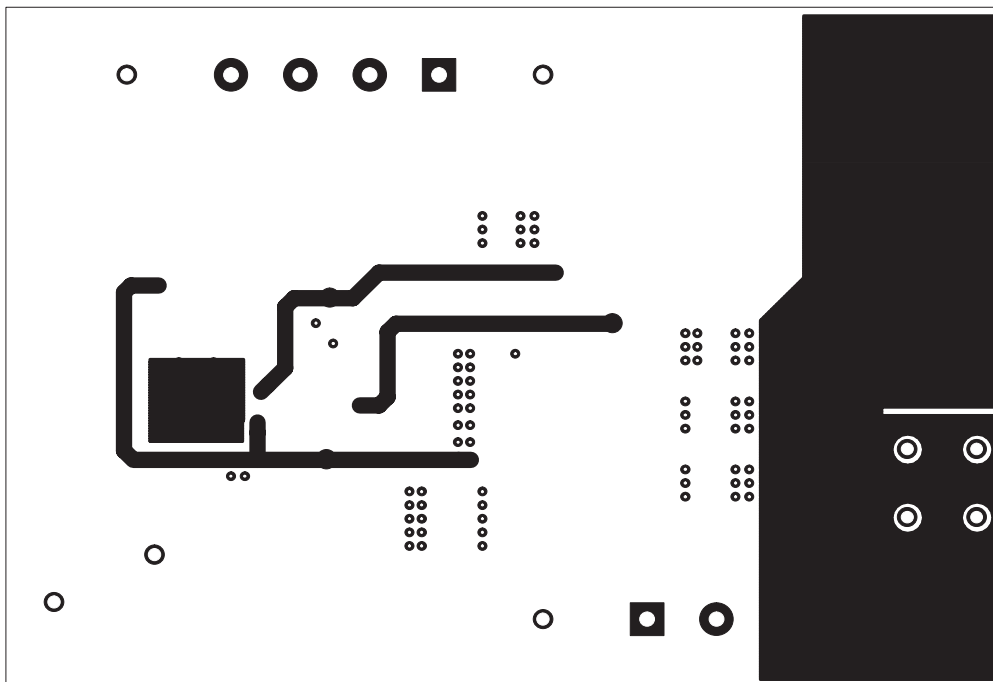


図11. 内部第2層銅領域

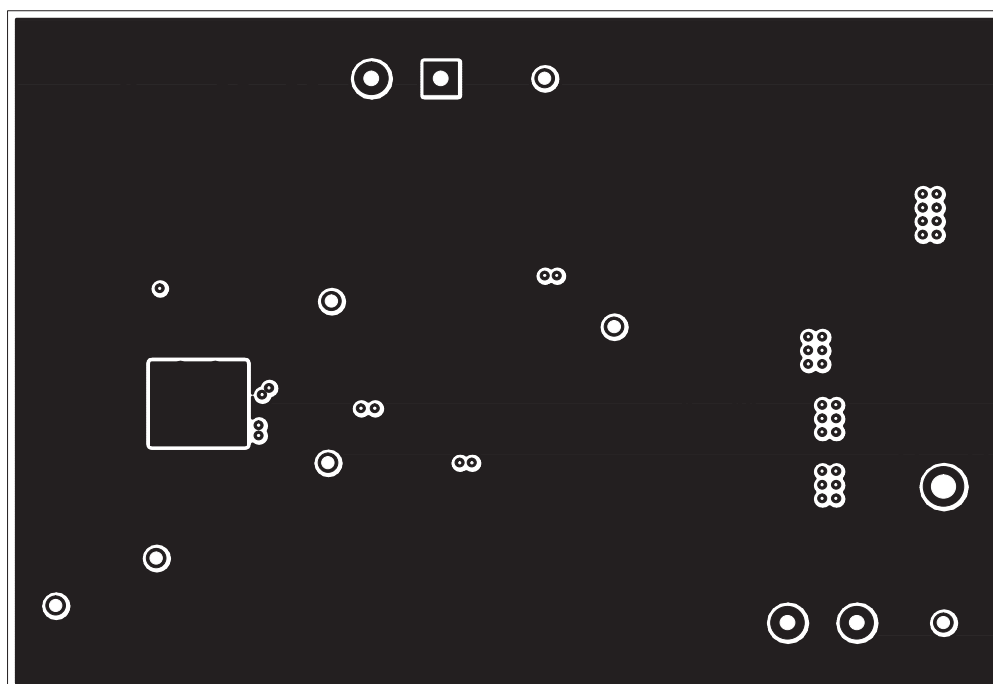


図12. 最下層銅領域

## 8 部品表

表1に、評価ボードの部品値を示します。これらの値は、アプリケーションの要件を満足するために変更できます。

表1. TPS40055EVM-001(HPA070)部品表

REFERENCE DESIGNATOR	QTY	DESCRIPTION	SIZE	MFR	PART NUMBER
C1, C4	2	Capacitor, ceramic, 470pF, 50V, X7R, 10%	805	Vishay	VJ0805Y471KXAAT
C12, C14	2	Capacitor, ceramic, 22 $\mu$ F, 16V, X5R, 20%	1812	TDK	C4532X5R1C226MT
C15	1	Capacitor, ceramic, 47 $\mu$ F, 6.3V, X5R, 20%	1812	TDK	C4532X5R0J476MT
C16, C17 <sup>(1)</sup>	2	Capacitor, POSCAP, 470 $\mu$ F, 4V, 10m $\Omega$ , 20%	7343 (D)	Sanyo	4TPD470M
C2, C8, C10, C11, C18	5	Capacitor, ceramic, 0.1 $\mu$ F, 25V, X7R, 10%	805	Vishay	VJ0805Y104KXXAT
C3	1	Capacitor, ceramic, 2.2nF, 50V, X7R, 10%	805	Vishay	VJ0805Y222KXAAT
C5	1	Capacitor, ceramic, 5.6nF, 50V, X7R, 10%	805	Vishay	VJ0805Y562KXAAT
C6, C13	2	Capacitor, ceramic, 4.7nF, 50V, X7R, 10%	805	Vishay	VJ0805Y472KXAAT
C7	1	Capacitor, ceramic, 100pF, 50V, NPO, 10%	805	Vishay	VJ0805A101KXAAT
C9	1	Capacitor, ceramic, 1 $\mu$ F, 16-V, X5R, 10%	805	TDK	C2012X5R1C105KT
D1	1	Diode, switching, 10mA, 85V, 350mW	SOT23	Vishay-Liteon	BAS16
D2	1	Diode, schottky, 3A, 40V	SMC	IR	30BQ040
J1, J2	2	Terminal block, 4-pin, 15A, 5.1mm	0.80 x 0.35	OST	ED2227
L1 <sup>(1)</sup>	1	Inductor, SMT, 1.7- $\mu$ H, 22.3A, 1.8m $\Omega$	0.512 x 0.512	Coiltronics	HC1-1R7
Q1 <sup>(1)</sup>	1	MOSFET, N-channel, V <sub>DS</sub> 30V, R <sub>DS</sub> 6m $\Omega$ , I <sub>D</sub> 30A	LFPAK	Hitachi	HAT2168H
Q2 <sup>(1)</sup>	1	MOSFET, N-channel, V <sub>DS</sub> 30V, R <sub>DS</sub> 4.2m $\Omega$ , I <sub>D</sub> 40A	LFPAK	Hitachi	HAT2167H
R1	1	Resistor, chip, 1k $\Omega$ , 1/10-W, 1%	805	Std	Std
R10	1	Resistor, chip, 0 $\Omega$ , 1/10-W, 5%	805	Std	Std
R11	1	Resistor, chip, 0 $\Omega$ , 1/10-W, yy%	805	Std	Std
R12	1	Resistor, chip, 20 $\Omega$ , 1/10-W, 5%	805	Std	Std
R2	1	Resistor, chip, 165k $\Omega$ , 1/10-W, 1%	805	Std	Std
R3	1	Resistor, chip, 5.49k $\Omega$ , 1/10-W, 1%	805	Std	Std
R4	1	Resistor, chip, 243k $\Omega$ , 1/10-W, 1%	805	Std	Std
R5	1	Resistor, chip, 10 k $\Omega$ , 1/10-W, 1%	805	Std	Std
R6	1	Resistor, chip, 71.5k $\Omega$ , 1/10-W, 1%	805	Std	Std
R7	1	Resistor, chip, 8.66k $\Omega$ , 1/10-W, 1%	805	Std	Std
R8	1	Resistor, chip, 226 $\Omega$ , 1/10-W, 1%	805	Std	Std
R9	1	Resistor, chip, 16.2k $\Omega$ , 1/10-W, 1%	805	Std	Std
TP1, TP4, TP5, TP7, TP9	5	JACK, test point, red		Farnell	240-345
TP2, TP3, TP6, TP10	4	JACK, test point, black		Farnell	240-333
TP8	1	Adaptor, 3.5 mm probe clip	0.2	Tektronix	131-4244-00 or 131-5031-00
U1	1	Wide input synchronous buck controller	PWP16	TI	TPS40055PWP
—	1	PCB, 2.85" x 2" x .062 In		Std	HPA070

## 9 References

1. Data Sheet, TPS40055 Wide-Input Synchronous Buck Controller (SLUS593).
2. Technical Brief, PowerPAD Thermally Enhanced Package (SLMA002).

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上