

TPS40071

降圧型コンバータ

5V~12Vのバス電圧で10Aを供給

ユーザーズ・ガイド

要約.....	1
1 はじめに	1
2 説明.....	2
3 回路図	2
3.1 出力フィルタ部品.....	2
3.2 MOSFETの選択.....	4
3.3 周波数およびフィードフォワード抵抗の選択.....	4
3.4 出力電圧設定点	4
3.5 短絡保護および抵抗の選択	4
3.6 その他の部品.....	4
3.7 制御ループ補償	4
4 テストの設定	5
5 結果.....	6
5.1 制御ループ特性	7
6 アセンブリ図およびPCBレイアウト.....	7
7 部品表.....	10
8 参考資料	10

要約

TPS40071EVM-001評価モジュール(EVM)は、入力バス電圧5V~12Vで動作する同期バック・コンバータであり、Predictive Gate Drive™(PGD)を利用して、最大10Aの負荷電流で1.8Vを高い効率で供給します。

1 はじめに

TPS40071EVM-001評価モジュール(EVM)は、Predictive Gate Drive™(PGD)を利用した同期バック・コンバータであり、ボディ・ダイオードの導通損失を最小限に抑えることで、変換効率を最大限に高めています。中入力同期バック・コントローラであるTPS40071を使用することにより、このEVMは5V~14Vのバス電圧範囲で10Aを供給できます。出力電圧は初期設定で1.8Vに設定されていますが、1個の表面実装抵抗を変更することで、最大10Aの負荷電流で1.2V~3.3Vを供給するように設定できます。

2 説明

TPS40070/1同期バック・コントローラ・ファミリーは、スイッチング周波数、ソフト・スタート、ハイサイド電流制限、UVLO、外部補償など、ユーザーがプログラマブルに設定できる多様な機能を持っています。コントローラは固定周波数の電圧モード制御で動作し、入力電圧フィードフォワード制御入力により、可変入力源を持つアプリケーションの性能を向上できます。このEVMでは、全動作範囲にわたってソース/シンク・モードで動作するTPS40071が選択されています。

TPS40071では、ハイサイドのスイッチおよびローサイドの同期整流器の位置に、外部NチャネルMOSFET用の内部ゲート・ドライバが内蔵されています。MOSFETドライバは、TI独自のPredictive Gate Drive™技術を利用してボディ・ダイオードの導通間隔を最小にすることで、無用な電力損失を低減します。PowerPAD™パッケージにより、接合部温度の過度な上昇を防いで、レギュレータのバイアス電力とゲート駆動電力を安全に消費することができます。ハイサイド電流制限/短絡保護により、上面のMOSFETにおける電圧降下を検知し、調整可能な基準電圧と比較することで、出力パルスを1パルス単位で終了させることができます。

TPS40071EVM-001は、TPS40071コントローラの使用によって得られる小型・高効率のソリューションに焦点を当てています。このユーザーズ・ガイドでは、標準的なアプリケーションでTPS40071を評価するために必要な資料を提供します。この資料には、回路図、部品表、テスト設定、アセンブリ図、PCB図などが含まれています。

TPS40071EVM-001の性能上の特長を次に示します。

- 4.75V~14Vの入力範囲にわたって連続して動作
- 10Aで1.8V出力を供給(他の電圧も設定可能)
- 優れたライン/負荷レギュレーション: 0.1%未満
- $V_{IN} = 8V$ 、 $V_{OUT} = 3.3V$ で96%の効率
- パワー・グッド信号
- 出力短絡保護

3 回路図

図1に、TPS40071EVM-001の回路図を示します。広範囲の入力および出力条件にわたってコンバータが効率良く動作できるように、スイッチング周波数として300kHzが選択されています。EVMに供給する前段のコンバータの出力容量に相当するC1が基板上に搭載され、入力側に外部容量は必要ありません。短い入力ワイヤ(出力電力レベルに応じて

1"未満から3"まで)を使用する標準的なアプリケーションでは、C1が必要ない場合もあります。C12およびC14は、電源回路用のローカル高周波バイパス・キャパシタです。

3.1 出力フィルタ部品

パワー・インダクタの選択は、合計入力/出力電圧範囲内の各種のインダクタンス値におけるピーク・ツー・ピーク・リップル電流 I_{PP} の範囲を計算することで決定されています。以前の世代のバック・コンバータでは、大きなESRを持つ電解キャパシタが標準であり、出力電圧リップルを最小限に抑えるために、インダクタのリップル電流として I_{OUT} の10%~20%の値が選択されていました。現在は、ESRが $1m\Omega$ ~ $3m\Omega$ のセラミック出力キャパシタが容易に入手できるため、リップル電流は出力電流の20%~50%にすることができます。リップル電流の計算には次の式を使用しています。選択したインダクタ値 $1.6\mu H$ に対するすべての結果を表に示します。

$$\Delta I_{PP} = T_{ON} \times \frac{V_{IN} - V_{OUT}}{L} = \frac{V_{OUT}}{V_{IN} \times f_1} \times \frac{V_{IN} - V_{OUT}}{L}$$

表1

V_{IN}	V_{OUT}	I_{RIPPLE}
12	3.3	4.98
12	1.8	3.19
12	1.2	2.25
8	3.3	4.04
8	1.8	2.91
8	1.2	2.12
5	3.3	2.34
5	1.8	2.4
5	1.2	1.9

出力キャパシタにはセラミック・キャパシタが選択され、最小値は出力電圧リップルを考慮して決定されています。

$$C_{OUT(min)} = \frac{I_{RIPPLE}}{8 \times f \times V_{RIPPLE}} = \frac{5 A}{8 \times 300kHz \times 0.018V} = 116\mu F$$

$V_{IN} = 12V$ および $V_{OUT} = 3.3V$ 時のワーストケースのリップル電流5Aを処理するために、3つの $47\mu F$ セラミック・キャパシタが選択されています。出力電圧が低くなるにつれて、対応するリップル電流も減少するため、過度な出力電圧リップルも問題にならなくなります。

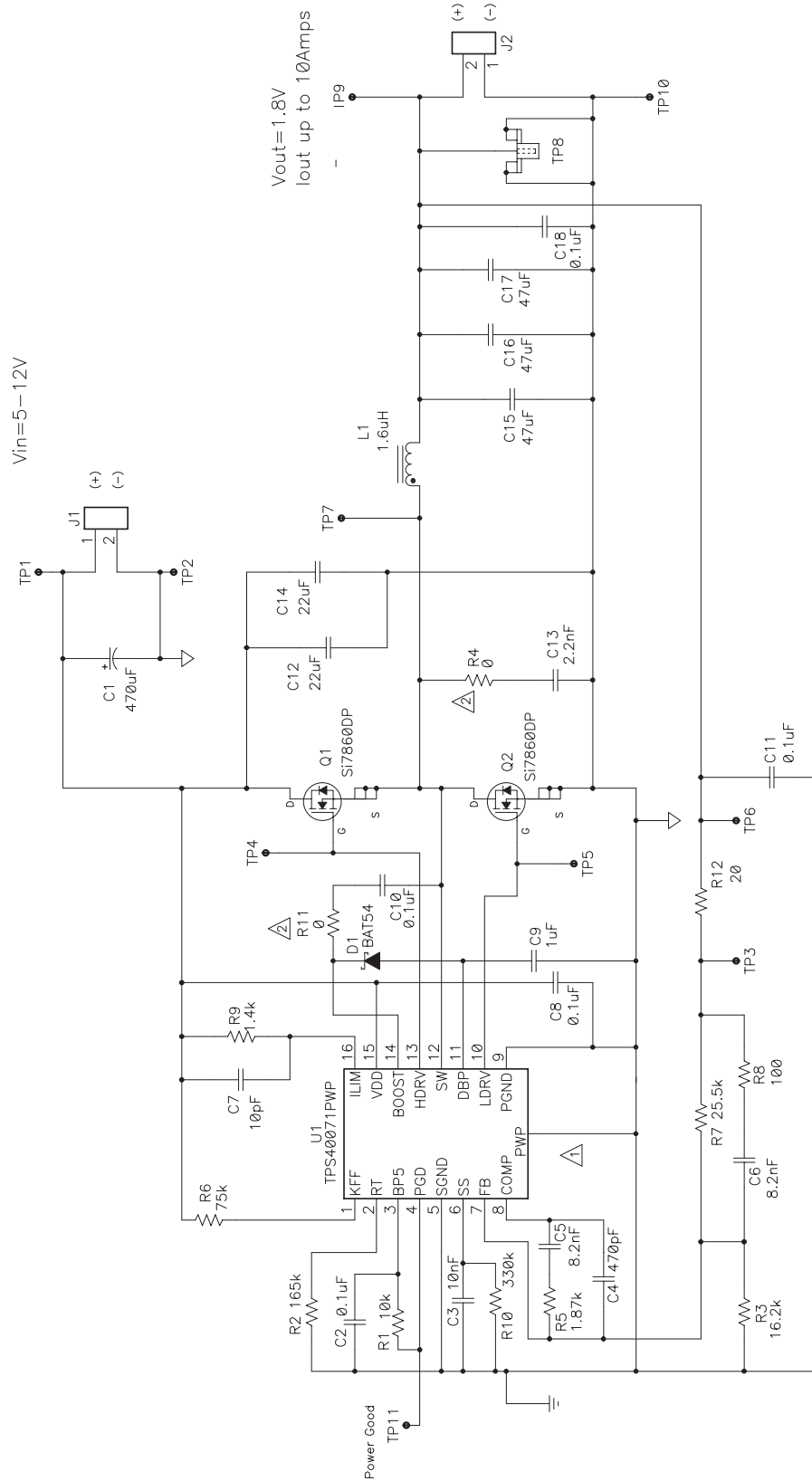


図1. TPS40071EVM-001回路図

3.2 MOSFETの選択

パワーMOSFETの選択は、動作範囲全体にわたって最適な1組の部品を選択するのは難しいという事実のもとに行われています。V_{IN}の最大値から最小値までの間で、スイッチ・デューティ・サイクルは約10%から66%以上まで変動します。Vishay Si7860DPは、上下両方に対して確実な選択肢であり、8mΩのR_{DS(on)}と30nC未満のゲート電荷により、スイッチング損失を低く保ちます。V_{IN}が範囲の下限にあるときに最大のブースト電圧を提供できるように、D1が組み込まれています。

3.3 周波数およびフィードフォワード抵抗の選択

300kHzのスイッチング周波数を設定するために、R2はTPS40071^[1]データシートの式に従って選択されています。

$$R_t = R = \frac{1}{f_{SW} \times 17.82 \times 10^{-6}} - 23 = 164 \text{ k}\Omega$$

標準の1%値である165kΩが選択されています。

スイッチング周波数を選択した後、通常は、V_{UVLO_ON}の式を調整することで、必要な最小起動電圧が設定されるようにR_{kff}の値を選択します。ただし、UVLOのスレッシュホールドは厳密に管理された仕様ではないため、低い起動電圧を正確には設定できません。この場合、コンバータは固定のUVLOスレッシュホールド4.5Vで起動できます。そのためには、データシート内の調整可能なUVLO V_{ON}、V_{OFF}対R_{kff}のグラフに示されている最小値よりも、小さいR_{kff}を選択する必要があります。このコンバータでは、R_{kff}として75kΩが選択されています。

3.4 出力電圧設定点

出力電圧は、R3の値をその公称値から変化させることにより、1.2V~3.3Vの範囲で簡単に調整できます。出力電圧デバイスR7およびR3と内部基準電圧0.7Vから、次の式が得られます。

$$R3 = \frac{0.7V \times R7}{(V_{OUT} - 0.7)}$$

V_{OUT}の範囲1.2V~3.3Vに対するR3の値を次の表に示します。

表2. R3値

V _{OUT}	R3 VALUE
1.2V	35.7kΩ
1.8V	16.2kΩ
3.3V	6.81kΩ

3.5 短絡保護および抵抗の選択

電流制限抵抗R9は、データシートに記載されている次の式により選択されています。

$$R_{LIM} = \frac{I_{LIM} \times R_{DS(on)} - V_{LIM(offset)}}{I_{SNK}}$$

ここで、I_{LIM} = I_{OUT(max)} × 1.3、R_{DS(on)} = 0.0085Ω × 1.3 (温度補正)、V_{LIM(offset)} = -0.030V、およびI_{SNK} = 80μAです。これらの条件により、R9 = 1.4kΩが選択されます。短いブランキング間隔を設定するために、キャパシタC7に10pFが選択されています。

3.6 その他の部品

R4およびR11の場所は存在しますが、このEVMでは短絡されています。これらの場所は、他のMOSFETやスナバの評価用に保持されています。C13には2.2nFが使用され、スイッチ・ノードに生じる高周波リングの一部をグラウンドにシャントしています。このEVMの起動電圧は6.2V未満であるため、R10にはデータシートで規定されているように330kΩが使用されています。

3.7 制御ループ補償

TPS40071には、フィードフォワード補償付きの電圧モード制御が内蔵され、可変電源電圧に対するゲインの変動を最小限に抑えます。タイプ3の補償回路を使用して、下記に示すように2つのゼロと3つの極を得ています。

電源回路のLC二重極コーナー周波数f_Cは10.6kHzとなり、出力キャパシタのESRゼロは1.1MHz付近にあります。最初の極は原点近くに配置して、DCレギュレーションの向上を図っています。

最初のゼロは、758Hzに配置されています。

$$f_{Z1} = \frac{1}{2 \times \pi \times (R7 + R8) \times C6}$$

2番目のゼロは、LCコーナー周波数10.4kHzの近くに選択されています。

$$f_{Z2} = \frac{1}{2 \times \pi \times R5 \times C6}$$

2番目および3番目の極は192kHzおよび194kHzに配置され、高周波ゲインをロールオフします。

$$f_{P2} = \frac{1}{2 \times \pi \times R5 \times \left(\frac{C4 - C5}{(C4 + C5)} \right)}$$

$$f_{P3} = \frac{1}{2 \times \pi \times R8 \times C6}$$

4 テストの設定

図2に、TPS40071EVM-001を起動する基本的なテスト設定を示します。入力電源は、目的の条件で動作するEVMに
入力電流を供給できる必要があります。この入力電流は、
次の式で見積もることができます。この式では、実際の入
力電流要件に対して約20%の余裕を見込んでいます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times 0.7}$$

効率およびレギュレーションを正確にテストするためには、用意されているテスト・ジャックでV_{IN}およびV_{OUT}を監視することが極めて重要です。コネクタおよび入出力ワイヤでの電圧降下は、これらの測定値に大きな誤差を生じさせる可能性があります。

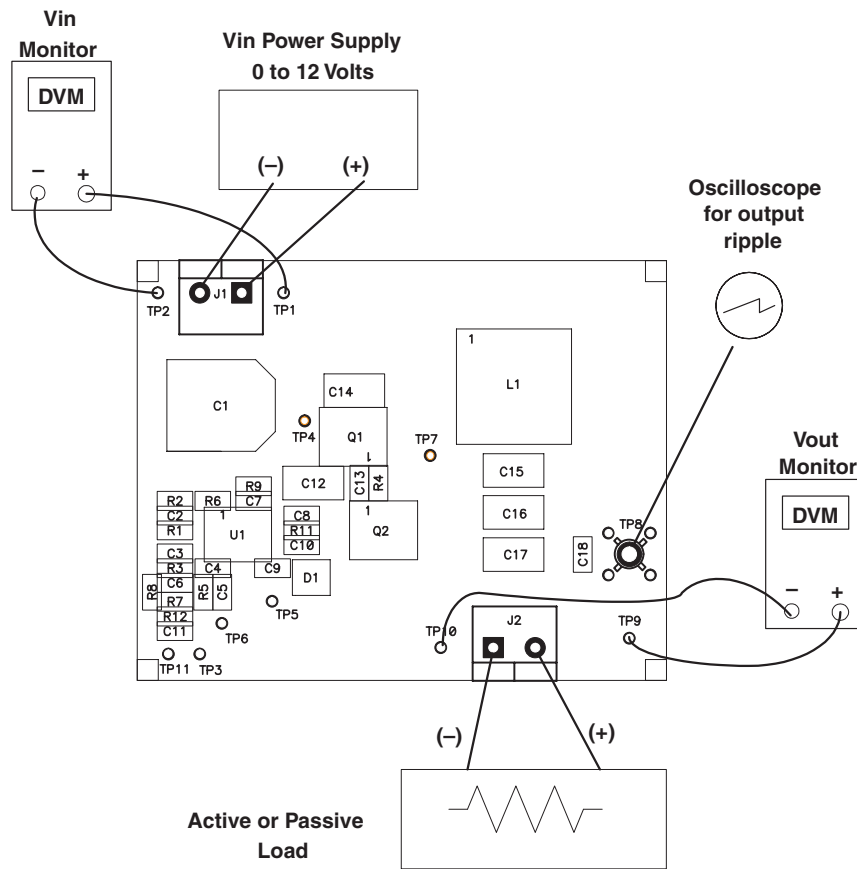


図2. TPS40071EVM-001のテスト設定

5 結果

$V_{OUT} = 1.2V, 1.8V, 3.3V$ でのTPS40071EVM-001の効率を、それぞれ図3、図4、図5に示します。コンバータは、動作範囲全体にわたって非常に高い効率で動作しているのがわかります。 $V_{IN} = 5V$ の場合には、ゲート駆動が減少し、効率は

は負荷電流の増加につれて比較的早く減少しています。

出力電圧が1.2Vから3.3Vまで変化するにつれて、合計消費電力は比較的一定ですが、出力電力は V_{OUT} によって変化します。その結果、出力電圧が低くなると効率の測定値が目立って低下します。

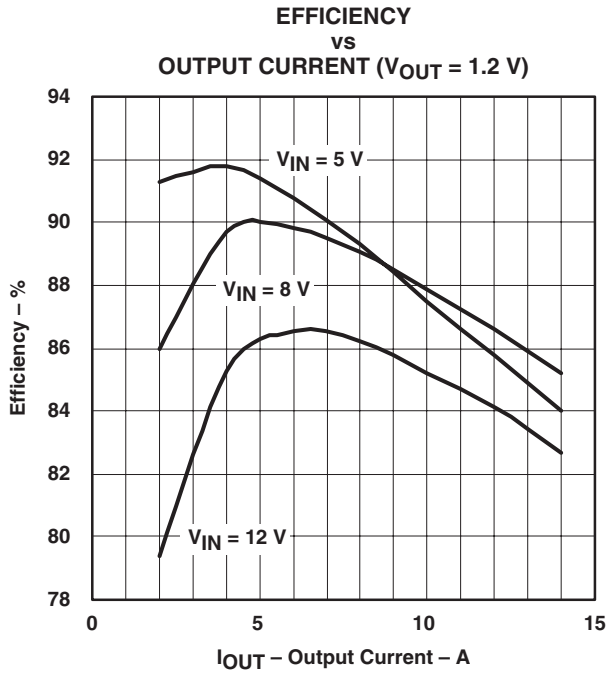


図3

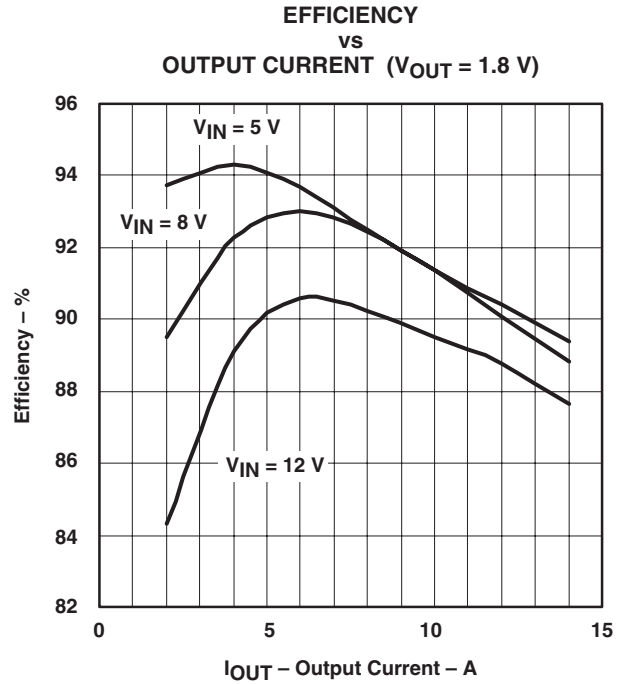


図4

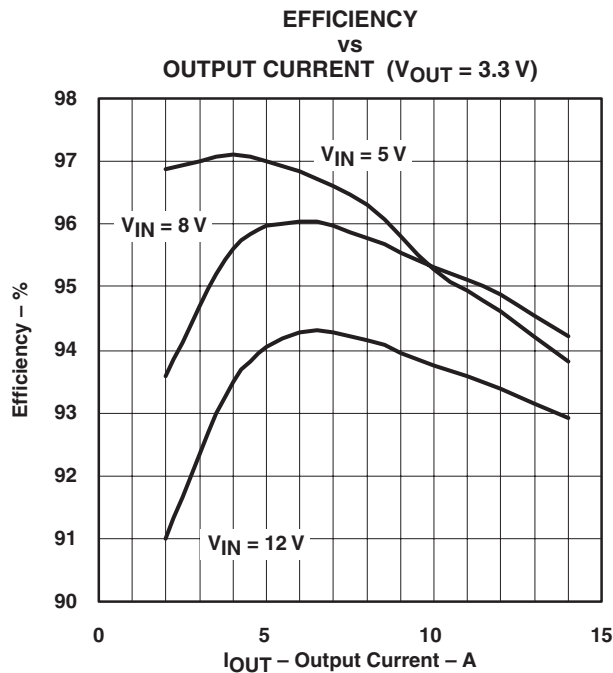


図5

$V_{IN} = 12V$ の場合の50%負荷ステップ(2.5Aから7.5A)に対する過渡応答を図6に示します。 $V_{IN} = 8V$ または5Vの場合も基本的には変わりません。

5.1 制御ループ特性

TP3およびTP6でR12に信号を注入して、この回路のゲインおよび位相の周波数応答をネットワーク・アナライザで調べ

ることができます。図7および図8に、 $V_{IN} = 5V$ および $V_{IN} = 12V$ でのループ・ゲインおよび位相の詳細を示します。回路に実装されたフィードフォワード回路により、 V_{IN} が2:1以上の割合で変化してもゲインは比較的一定になっています。45kHz付近のループ・クロスオーバー周波数で、約50度の位相余裕があります。

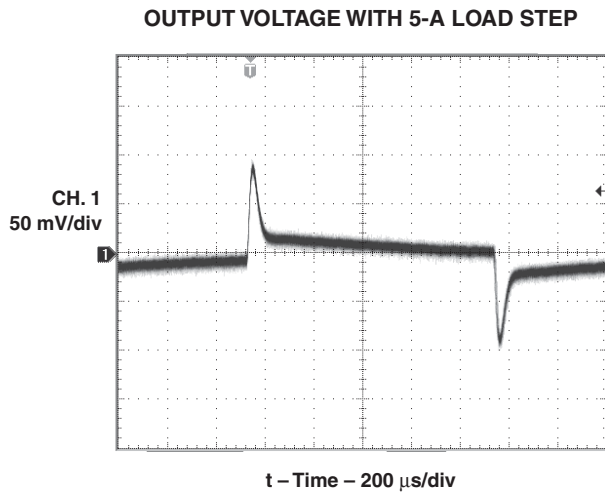


図6

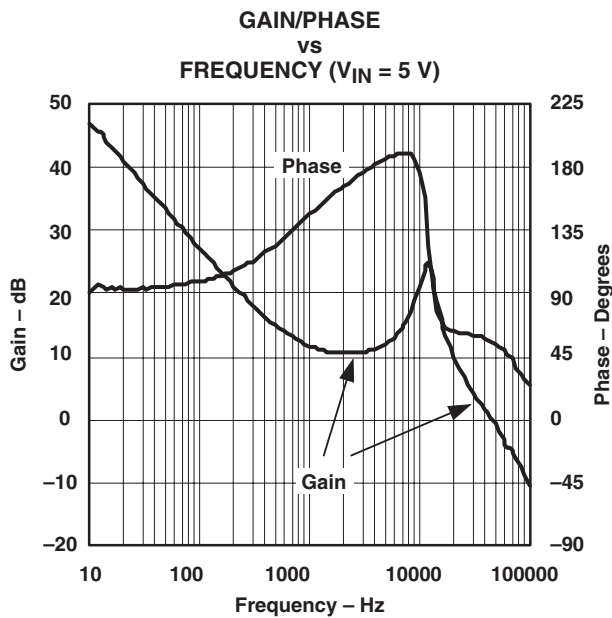


図7

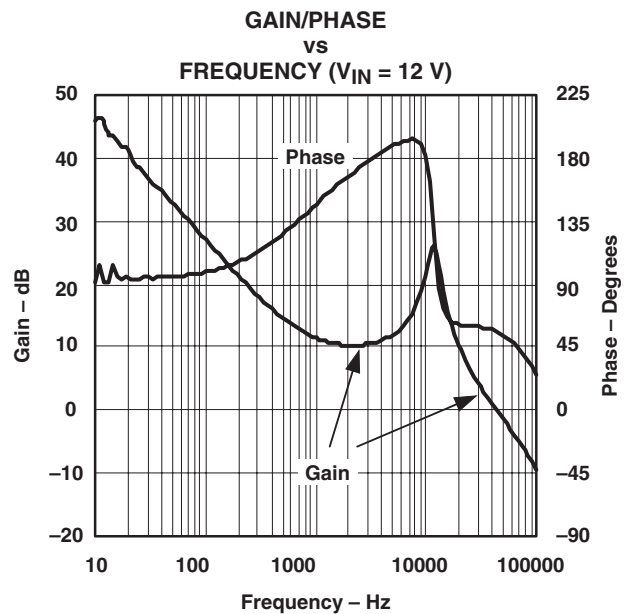


図8

6 アセンブリ図およびPCBレイアウト

PCBの外形を示すアセンブリ図および部品配置を図9～図13に示します。

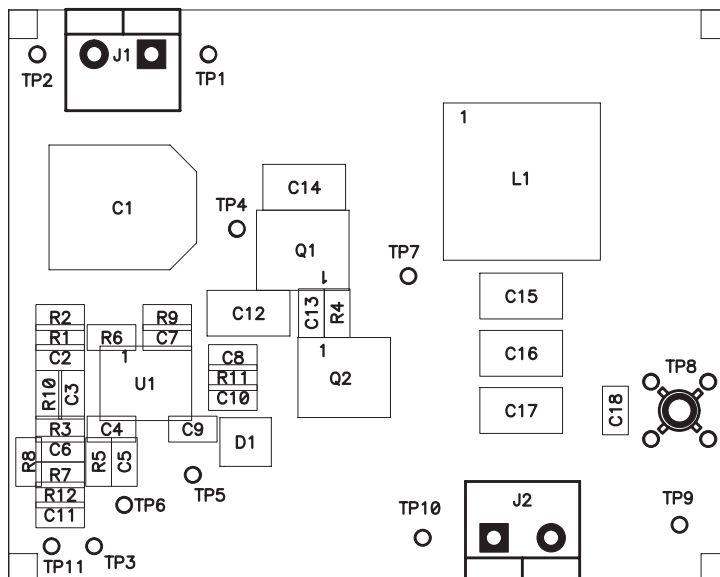


図9. アセンブリ図

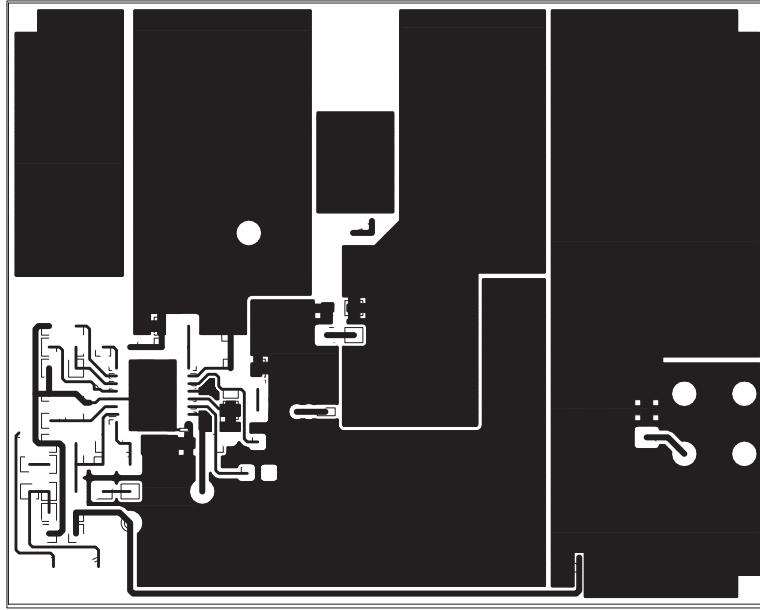


図10. 最上層銅領域

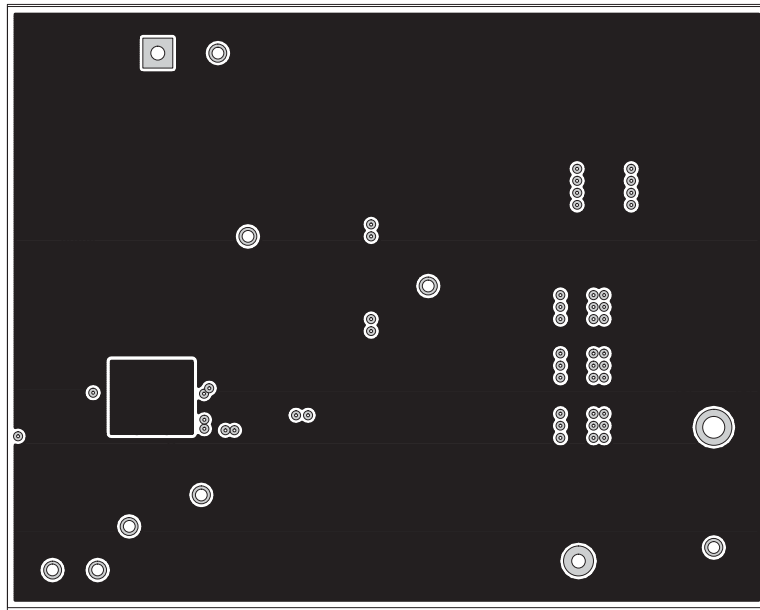


図11. 内部第1層銅領域

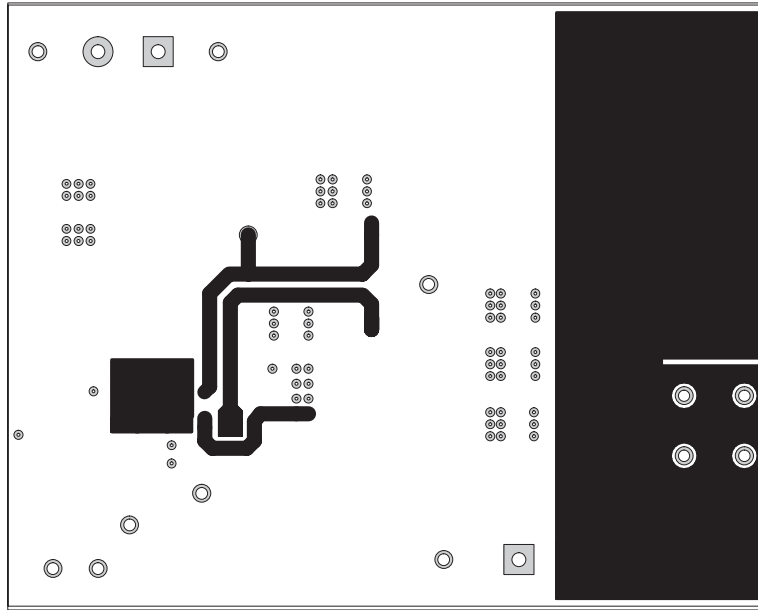


図12. 内部第2層銅領域

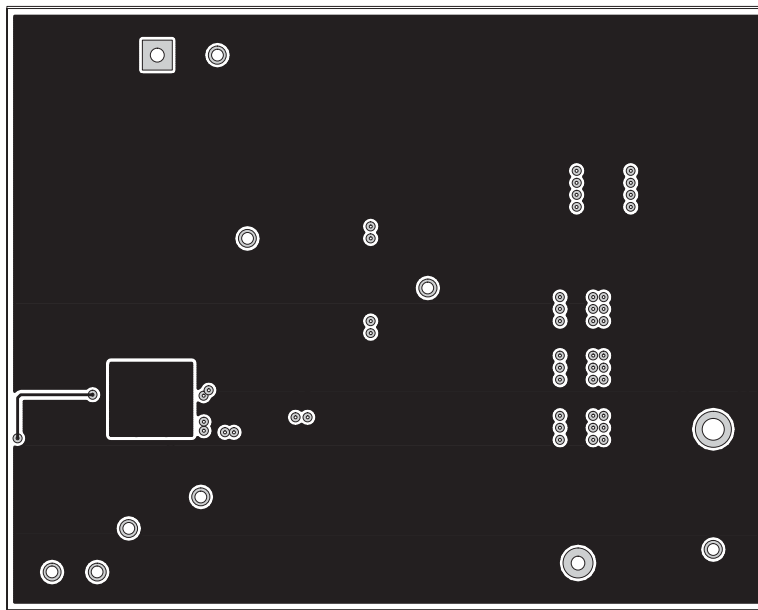


図13. 最下層銅領域

7 部品表

表3. 評価モジュール部品表(HPA038)

REFERENCE	QTY	DESCRIPTION	MANUFACTURER	PART NUMBER
C1	1	Capacitor, aluminum, 470 μ F, 25V, 20%, 0.457 x 0.406	Panasonic	EEVFK1E471P
C12, C14	2	Capacitor, ceramic, 22 μ F, 16V, X5R, 20%, 1812	TDK	C4532X5R1C226MT
C13	1	Capacitor, ceramic, 2.2 nF, 50V, X7R, 10%, 805	Vishay	VJ0805Y222KXAAT
C15, C16, C17	3	Capacitor, ceramic, 47 μ F, 6.3V, X5R, 20%, 1812	TDK	C4532X5R0J47MT
C2, C8, C10, C11, C18	5	Capacitor, ceramic, 0.1 μ F, 25V, X7R, 10%, 805	Vishay	VJ0805Y104KXXAT
C3	1	Capacitor, ceramic, 10nF, 50V, X7R, 10%, 805	Vishay	VJ0805Y103KXAAT
C4	1	Capacitor, ceramic, 470pF, 50V, X7R, 10%, 805	Vishay	VJ0805Y471KXAAT
C5, C6	2	Capacitor, ceramic, 8200pF, 50V, X7R, 10%, 805	Vishay	VJ0805Y822KXAAT
C7	1	Capacitor, ceramic, 10pF, 50V, NPO, 10%, 805	Vishay	VJ0805A100KXAAT
C9	1	Capacitor, ceramic, 1 μ F, 16V, X5R, 10%, 805	TDK	C2012X5R1C105KT
D1	1	Diode, schottky, 200mA, 30V, SOT23	Vishay – Liteon	BAT54
J1, J2	2	Terminal block, 2 pin, 15A, 5.1mm, 0.40 x 0.35	OST	ED1609
L1	1	Inductor, SMT, 1.6 μ H, 14.5A, 2.5m Ω , 0.515 x 0.516	COEV	DXM1306-1R6
Q1, Q2	2	MOSFET, N-channel, 30V, 18A, 8.0m Ω , PWRPAK S0-8	Vishay – Siliconix	Si7860DP
R1	1	Resistor, chip, 10k Ω , 1/10W, 1%, 805	Std	Std
R10	1	Resistor, chip, 330k Ω , 1/10W, 5%, 805	Std	Std
R12	1	Resistor, chip, 20 Ω , 1/10W, 5%, 805	Std	Std
R2	1	Resistor, chip, 165k, 1/10W, 1%, 805	Std	Std
R3	1	Resistor, chip, 16.2k, 1/10W, 1%, 805	Std	Std
R4, R11	2	Resistor, chip, 0 Ω , 1/10W, 5%, 805	Std	Std
R5	1	Resistor, chip, 1.87k Ω , 1/10W, 1%, 805	Std	Std
R6	1	Resistor, chip, 75k Ω , 1/10W, 1%, 805	Std	Std
R7	1	Resistor, chip, 25.5k Ω , 1/10W, 1%, 805	Std	Std
R8	1	Resistor, chip, 100 Ω , 1/10W, 1%, 805	Std	Std
R9	1	Resistor, chip, 1.4k Ω , 1/10W, 1%, 805	Std	Std
TP1, TP3, TP4, TP5, TP6, TP7, TP9, TP11	8	Jack, test point, red	Farnell	240-345
TP2, TP10	2	Jack, test point, black	Farnell	240-333
TP8	1	Adaptor, 3.5-mm probe clip (or 131-5031-00), 0.2	Tektronix	131-4244-00
U1	1	IC, PWP16	Texas Instruments	TPS40071PWP
—	1	PCB, 2.5 In x 2 in x 0.062 in	Std	HPA038

8 参考資料

1. Data sheet, TPS40070/1/2 *Midrange Input Synchronous Buck Controller*, Texas Instruments Literature Number SLUS582

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認することの意味をしません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を守って下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
- ### 3. 防湿梱包
- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
- ### 4. 機械的衝撃
- 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
- ### 5. 熱衝撃
- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
- ### 6. 汚染
- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上