

TPS5120EVM

高効率・同期整流型パックDC/DCコンバータ
評価モジュール

ユーザーズ・ガイド

ご注意

日本テキサス・インスツルメンツ株式会社及びTexas Instruments Incorporated (以下TIといいます)は、TI所定の手続きに従い、あるいはお客様とTIとの間に取引契約が締結されている場合は当該契約条件に従い、その製品を変更し、もしくは製品の製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確実なものとするため、最新版の情報を取得するようお勧めします。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含むTIの標準販売契約約款に従って販売されます。

TIは、その製品が、TIの標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TI製部品を使用しているお客様の製品についてはお客様が責任を負っています。

そのようなお客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、製品の使用用途に関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIは、その製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、もしくはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表示もしておりません。TIが第三者の製品もしくはサービスについて情報を提供しているということは、TIが当該製品もしくはサービスを承認、ライセンス、保証もしくは支持することを意味しません。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加え、あるいはその一部のみ、表示もしくは複製することは当該情報に係るTI製品もしくはサービスに対して提供された全ての保証を無効にし、かつ不公平で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他と異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公平で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2002, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上

EVM IMPORTANT NOTICE

Texas Instruments (TI) provides the enclosed product(s) under the following conditions:

This evaluation kit being sold by TI is intended for use for **ENGINEERING DEVELOPMENT OR EVALUATION PURPOSES ONLY** and is not considered by TI to be fit for commercial use. As such, the goods being provided may not be complete in terms of required design-, marketing-, and/or manufacturing-related protective considerations, including product safety measures typically found in the end product incorporating the goods. As a prototype, this product does not fall within the scope of the European Union directive on electromagnetic compatibility and therefore may not meet the technical requirements of the directive.

Should this evaluation kit not meet the specifications indicated in the EVM User's Guide, the kit may be returned within 30 days from the date of delivery for a full refund. **THE FOREGOING WARRANTY IS THE EXCLUSIVE WARRANTY MADE BY SELLER TO BUYER AND IS IN LIEU OF ALL OTHER WARRANTIES, EXPRESSED, IMPLIED, OR STATUTORY, INCLUDING ANY WARRANTY OF MERCHANTABILITY OR FITNESS FOR ANY PARTICULAR PURPOSE.**

The user assumes all responsibility and liability for proper and safe handling of the goods. Further, the user indemnifies TI from all claims arising from the handling or use of the goods. Please be aware that the products received may not be regulatory compliant or agency certified (FCC, UL, CE, etc.). Due to the open construction of the product, it is the user's responsibility to take any and all appropriate precautions with regard to electrostatic discharge.

EXCEPT TO THE EXTENT OF THE INDEMNITY SET FORTH ABOVE, NEITHER PARTY SHALL BE LIABLE TO THE OTHER FOR ANY INDIRECT, SPECIAL, INCIDENTAL, OR CONSEQUENTIAL DAMAGES.

TI currently deals with a variety of customers for products, and therefore our arrangement with the user **is not exclusive**.

TI assumes **no liability for applications assistance, customer product design, software performance, or infringement of patents or services described herein**.

Please read the EVM User's Guide and, specifically, the EVM Warnings and Restrictions notice in the EVM User's Guide prior to handling the product. This notice contains important safety information about temperatures and voltages. For further safety concerns, please contact the TI application engineer.

Persons handling the product must have electronics training and observe good laboratory practice standards.

No license is granted under any patent right or other intellectual property right of TI covering or relating to any machine, process, or combination in which such TI products or services might be or are used.

序 文

本マニュアルについて

本ユーザーガイドは、**TPS5120 0~6-A** 高効率レギュレータ評価モジュール(**EVM**)に関する特性、動作、および使用方法について述べています。また、回路図、部品表、およびテスト結果も記載しております。

本マニュアルの使用方法

本ユーザーガイドには以下の章があります。

- 第1章 ハードウェア (回路図、基板レイアウト、部品表)
- 第2章 設計手順
- 第3章 テスト結果

テキサス・インスツルメンツの関連文書

- テキサス・インスツルメンツのアプリケーション・レポート
“**TL5001(PWM コントローラ)**を用いた設計 (**TI 文献番号 SLVA034A**)”
- TPS5120** テキサス・インスツルメンツ データシート

FCC に関する警告

本装置は実験室での試験環境のみにおける使用を目的としています。また、本装置は**RF** (ラジオ周波数) エネルギーを発生かつ取り扱うため、それを輻射する可能性があります。しかし、**FCC Part - J** 規格に準ずるコンピューティング装置のリミットを満足しているか本装置を試験していません。**FCC Part - J** とは、**RF** 障害を適切に防止するよう定められた規格です。本装置の動作が他の環境において無線通信に障害を引き起こすかもしれません。その場合、本装置のユーザーは、この障害防止対策に要する費用をご自身で負担することになります。

目 次

1 ハードウェア

- 1.1 はじめに
- 1.2 動作仕様
- 1.3 回路図
- 1.4 部品表
- 1.5 基板レイアウト

2 設計手順

- 2.1 パワー段設計
 - 2.1.1 出力電圧設定点の計算
 - 2.1.2 出力インダクタの選択
 - 2.1.3 出力インダクタのリプル電流
 - 2.1.4 出力コンデンサの選択
 - 2.1.5 出力コンデンサの実効電流
- 2.2 コントローラ機能
 - 2.2.1 ソフトスタート
 - 2.2.2 過電流保護
 - 2.2.3 タイマー・ラッチ
- 2.3 ループ補償
- 2.4 レイアウトのガイドライン
 - 2.4.1 ローサイド MOSFET
 - 2.4.2 配 線
 - 2.4.3 バイパス・コンデンサ
 - 2.4.4 VREF 5 のコンデンサ
 - 2.4.5 出力電圧

3 テスト結果

- 3.1 テストのセットアップ
- 3.2 テスト結果

参 考 図

- 1 - 1 代表的な同期整流型バック・コンバータ
- 1 - 2 **TPS5120** の回路図
- 1 - 3 最上層（第1層、表面）のシルク・スクリーンとパターン
- 1 - 4 最下層（第4層、裏面）のシルク・スクリーンとパターン
- 1 - 5 最上層（第1層、表面）のパターン
- 1 - 6 最下層（第4層、裏面）のパターン
- 1 - 7 第2層のパターン
- 1 - 8 第3層のパターン
- 2 - 1 パワー段の利得
- 2 - 2 パワー段の位相
- 2 - 3 補償回路
- 2 - 4 全体のループ利得
- 2 - 5 全体のループ位相
- 2 - 6 4層基板ダイアグラム
- 2 - 7 ローサイド **MOSFET** のダイアグラム
- 2 - 8 ドライバからゲートへの配線ダイアグラム
- 2 - 9 バイパス・コンデンサのダイアグラム
- 2 - **10** **VREF** 5用コンデンサのダイアグラム
- 2 - **11** 出力電圧のダイアグラム
- 3 - 1 テストのセットアップ
- 3 - 2 効率
- 3 - 3 負荷レギュレーション
- 3 - 4 ライン・レギュレーション
- 3 - 5 ループ応答
- 3 - 6 出力電圧リップル
- 3 - 7 負荷変動
- 3 - 8 スタートアップ
- 3 - 9 入力電圧リップル

参 考 表

- 1 - 1 動作仕様
- 1 - 2 **TPS5120EVM** の部品表

第 1 章

ハードウェア

TPS5120 用評価モジュール (SLVP187) は、2 相同期整流型バック・コントローラ TPS5120 を用いた高効率 (98.5%) 電源の特性を評価する参考設計を提供するものです。TPS5120 は、電圧モードのスイッチング電源を制御するのに必要なすべての回路を含んでいます。本章には回路図、基板レイアウト、および部品表があります。また、評価モジュール (以下、EVM) の特性も提供致します。

トピック	ページ
1.1 はじめに	
1.2 動作仕様	
1.3 回路図	
1.4 部品表	
1.5 基板レイアウト	

1.1 はじめに

同期整流型バック・コンバータは、簡便なバック・コンバータよりも小型化と高効率化が可能です。また、整流ダイオードの代わりにパワーMOSFETを用いるので、標準的なバック・コンバータよりもパワー損失を低減できます。このパワーMOSFETの使用により、ダイオードの 0.5V から 1V の電圧降下を 0.3V 以下のパワーMOSFET の電圧降下に低減し、システム効率を高めます。

Figure 1-1 に代表的な同期型バック・コンバータのブロック・ダイアグラムを示します。所要の出力電圧を保つために、コントローラは出力電圧をセンスし、それを内部基準電圧と比較し、パワースイッチ(Q1)のオン時間幅を調整します。整流スイッチ(Q2)は、パワースイッチがオフしたときのインダクタを通す連続電流を保ちます。

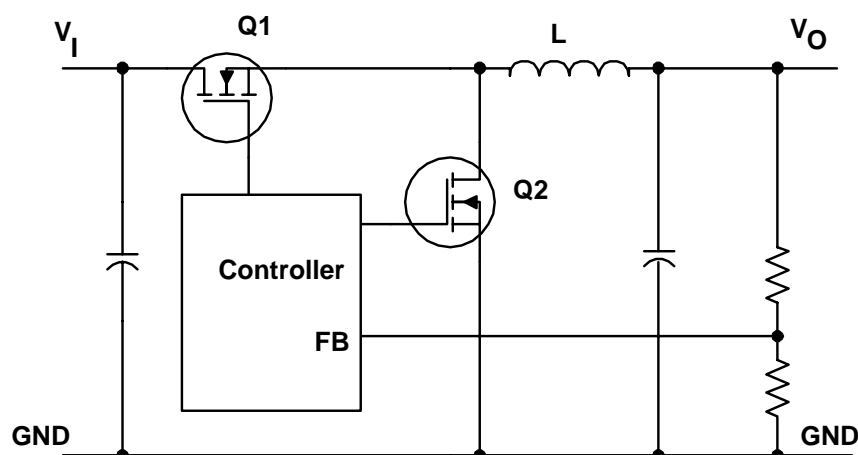


Figure 1 - 1 代表的な同期整流型バック・コンバータ

1.2 動作仕様

本節では SLVP187 コンバータの特性仕様を要約します。Table 1-1 に SLVP187 の動作仕様を示します。

Table 1 - 1 . 動作仕様

仕様	テスト条件		Min	Typ	Max	単位
入力電圧範囲			6.5		24	V
出力電圧範囲	V _{O1}	5V		5		V
		2.5V		2.5		
		1.8V		1.8		
	V _{O2}	3.3V		3.3		
出力電流範囲	V _{O1}	5V	0.5		6	A
		2.5V	0.5		6	
		1.8V	0.5		6	
	V _{O2}	3.3V	0.5		6	
動作周波数				220		k Hz
出力リップル	V _{O1}	5V			30	mV
		2.5V			20	
		1.8V			18	
	V _{O2}	3.3V			22	
効 率	V _{O1}	5V (注1参照)			98.5	%
		2.5V (注1参照)			96.7	
		1.8V (注2参照)			95.2	
	V _{O2}	3.3V (注3参照)			97.4	

注記 1 V_I = 6.5V、I_O = 2 A で測定

2 V_I = 6.5V、I_O = 3 A で測定

3 V_I = 6.5V、I_O = 2.5A で測定

1.3 回路図

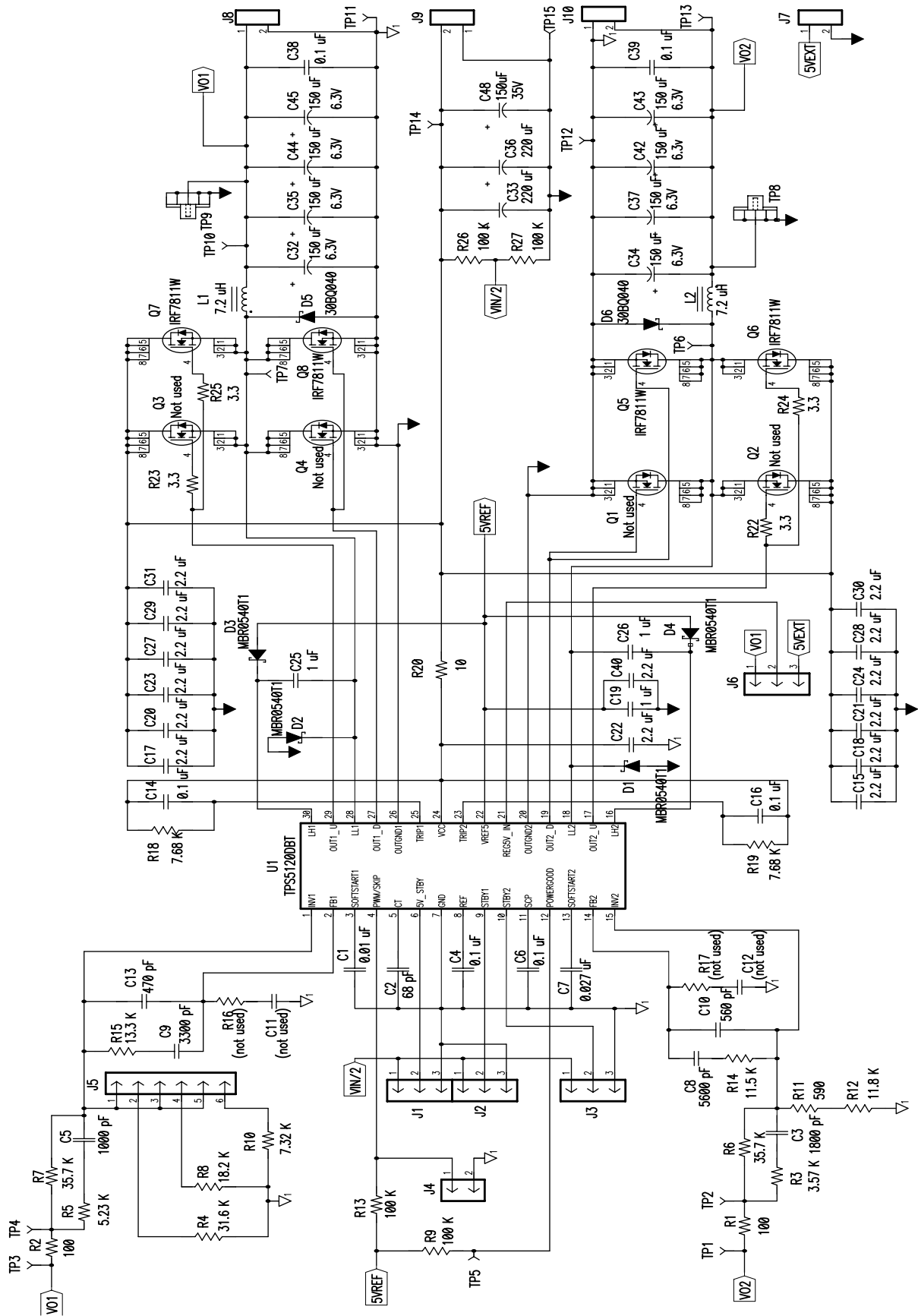


Figure 1 - 2 TPS5120 の回路図

1.4 部品表

Table 1 - 2 TPS5120EVM の部品表

Reference	Description	Size	Qty.	MFG	Part#
C1	Capacitor, ceramic, 0.01 μ F, 50V, X7R, 10%	0805	1	Panasonic	ECU-V1H103KBG
C10	Capacitor, ceramic, 560pF, 50V, X7R, 10%	0805	1	Vishay	VJ0805Y561KXAAT
C11, C12	Not used		0		
C13	Capacitor, ceramic, 470pF, 50V, X7R, 10%	0805	1	Vishay	VJ0805Y471KXAAT
C15, C17, C18, C20-C24, C27-C31, C40	Capacitor, ceramic, 2.2 μ F, 35V, X5R, 10%	1210	14	Taiyo Yuden	CEGMK325BJ225MN
C4, C6, C14, C16, C38, C39	Capacitor, ceramic, 0.1 μ F, 50V, X7R, 10%	0805	6	Vishay	VJ0805Y104KXAAT
C19, C25, C26	Capacitor, ceramic, 0.1 μ F, 16V, X7R, 10%	0805	3	Murata	GRM40X7R105K16
C2	Capacitor, ceramic, 68pF, 50V, C0G, 5%	0805	1	Murata	GRM40C0G680J50
C3	Capacitor, ceramic, 1800pF, 50V, X7R, 10%	0805	1	Vishay	VJ0805Y182KXAAT
C32, C34, C35, C37, C42-C45	Capacitor, polymer aluminum, 150 μ F, 6.3V, 55m Ω	D case	8	Comell Dubilier	ESRD151M06R
C33, C36	Capacitor, aluminum, SM, 200 μ F, 35V, 150m Ω , FC series	10 x 12 mm	2	Panasonic	EEV-FC1V221P
C48	Capacitor, aluminum, 150 μ F, 35V		1	Sanyo	35CV150AX
C5	Capacitor, ceramic, 1000pF, 50V, X7R, 10%	0805	1	Vishay	VJ0805Y102KXAAT
C7	Capacitor, ceramic, 0.027 μ F, 50V, X7R, 10%	0805	1	Vishay	VJ0805Y273KXAAT
C8	Capacitor, ceramic, 5600pF, 50V, X7R, 10%	0805	1	Vishay	VJ0805Y562KXAAT
C9	Capacitor, ceramic, 3300pF, 50V, X7R, 10%	0805	1	Vishay	VJ0805Y332KXAAT
D1-D4	Diode Schottky, 500mA, 40V	SOD123	4	On Semi	MBR0540T1
D5, D6	Diode Schottky, 3A, 40V	SMC	2	IR	30BQ040
J1-J3, J6	Header, 3-pin, 100-mil spacing (36-pin strip)	0.1 x 3"	4	Sullins	PTC36SAAN
J4	Header, 2-pin, 100-mil spacing (36-pin strip)	0.1 x 2"	1	Sullins	PTC36SAAN
J5	Header, 2x3-pin, 100-mil spacing (36-pin strip)	0.2 x 0.3"	1	Sullins	PTC36DAAN
J7	Terminal block, 2-pin, 6A, 3.5mm	0.27 x 0.25"	1	OST	ED1514
J8, J9, J10	Terminal block, 2-pin, 15A, 5.1mm	0.4 x 0.35"	1	OST	ED1609
L1, L2	Inductor, SMT, 7.2 μ H, 7.3A, 3.31m Ω	0.88 x 0.64"	2	Panasonic	ETQPAF7R2HFA
Q1-Q4	Not used		0		
Q5-Q8	MOSFET, N-ch, 30V, 11A, 10m Ω	SO8	4	IR	IR7811W

TPS5120EVM の部品表 (つづき)

Reference	Description	Size	Qty.	MFG	Part#
R1, R2	Resistor, chip, 100 Ω , 1/10 W, 1%	0805	2	Vishay	CRCW08051000FRT1
R10	Resistor, chip, 7.32 Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08057321FRT1
R11	Resistor, chip, 590 Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08055900FRT1
R12	Resistor, chip, 11.8 Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08051182FRT1
R14	Resistor, chip, 11.5 Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08051152FRT1
R15	Resistor, chip, 13.3 Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08051332FRT1
R16, R17	No used		0		
R18, R19	Resistor, chip, 7.68 Ω , 1/10 W, 1%	0805	2	Vishay	CRCW08057681FRT1
R20	Resistor, chip, 10 Ω , 1/10 W, 1%	0805	1	Vishay	CRCW080510R0FRT1
R22-R25	Resistor, chip, 3.3 Ω , 1/10 W, 5%	0805	2	Vishay	CRCW08053R3JRT1
R3	Resistor, chip, 3.57 k Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08053571FRT1
R4	Resistor, chip, 31.6 k Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08053162FRT1
R5	Resistor, chip, 5.23 k Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08055231FRT1
R6, R7	Resistor, chip, 35.7 k Ω , 1/10 W, 1%	0805	2	Vishay	CRCW08053572FRT1
R8	Resistor, chip, 18.2 k Ω , 1/10 W, 1%	0805	1	Vishay	CRCW08051822FRT1
R9, R13, R26, R27	Resistor, chip, 100 k Ω , 1/10 W, 1%	0805	2	Vishay	CRCW08051003FRT1
TP1-TP7, TP10, TP13, TP14	Test point, red, 1mm	0.038" Farnell	10		240-345
TP11, TP12, TP15	Test point, black, 1mm	0.038" Farnell	3		240-333
TP8, TP9	Adapter, 3.5-mm probe clip	0.02"	2	Tektronix	131-4244-00 or 131-5031-00
U1	IC, dual output, two-phase synchronous buck controller	TSSOP30	1	TI	TPS5120DBT
	Jumper shunts (J1-J6)		6		

1.5 基板レイアウト

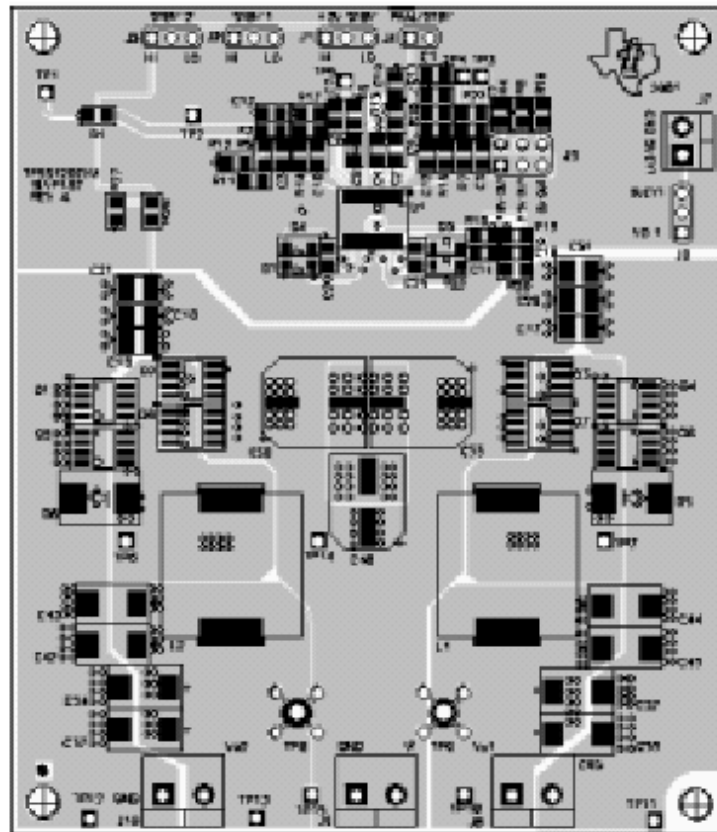


Figure 1 - 3 最上層（第1層、表面）のシルク・スクリーンとパターン

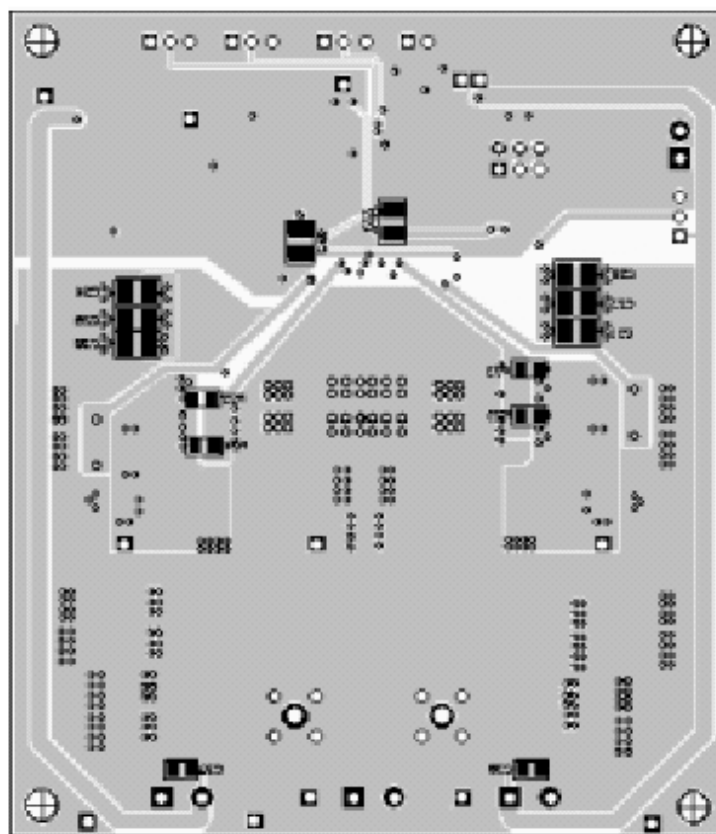


Figure 1 - 4 最下層（第4層、裏面）のシルク・スクリーンとパターン

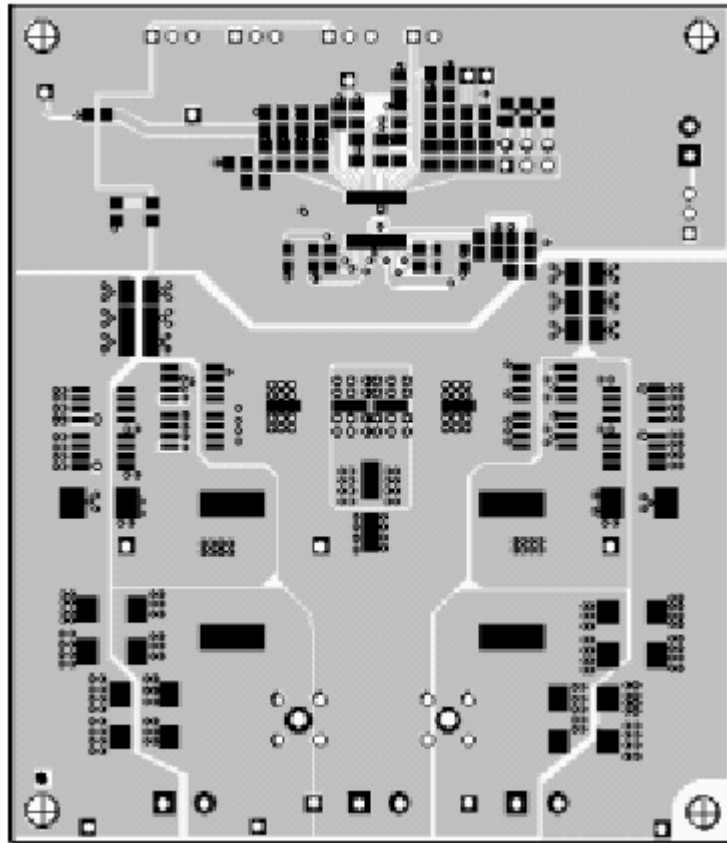


Figure 1 - 5 最上層（第1層、表面）のパターン

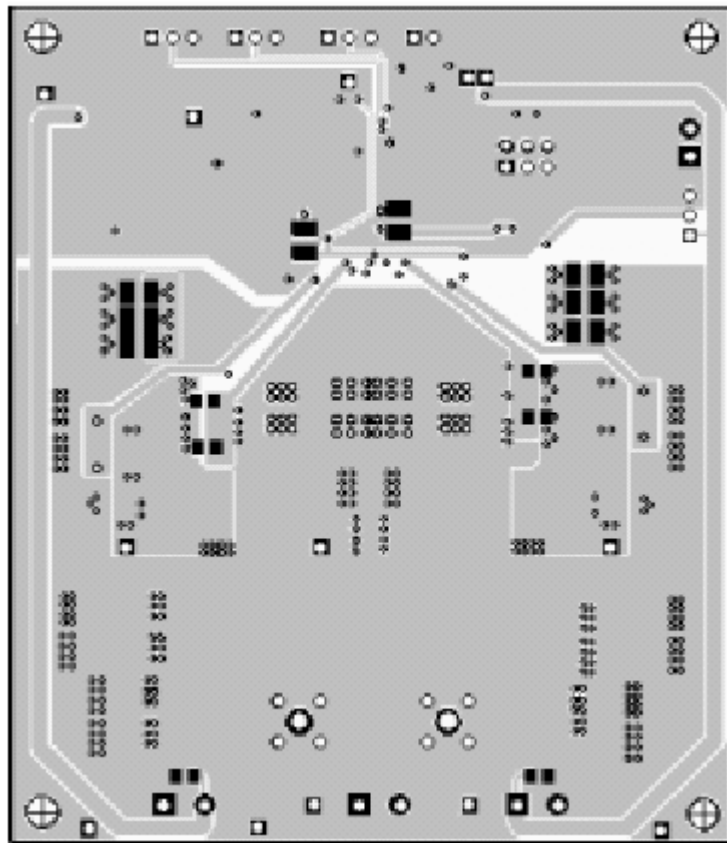


Figure 1 - 6 最下層（第4層、裏面）のパターン

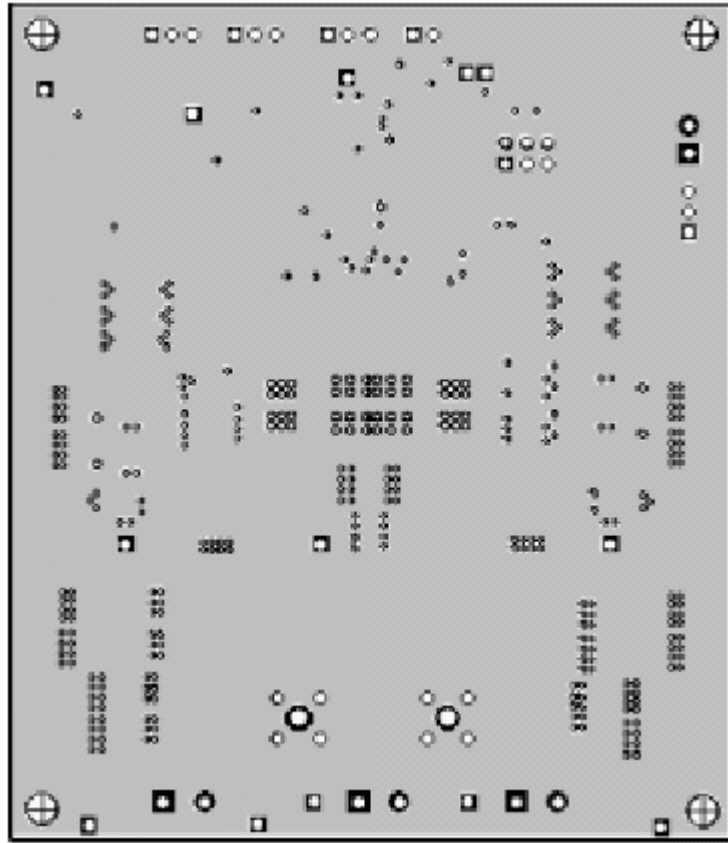


Figure 1 - 7 第2層のパターン

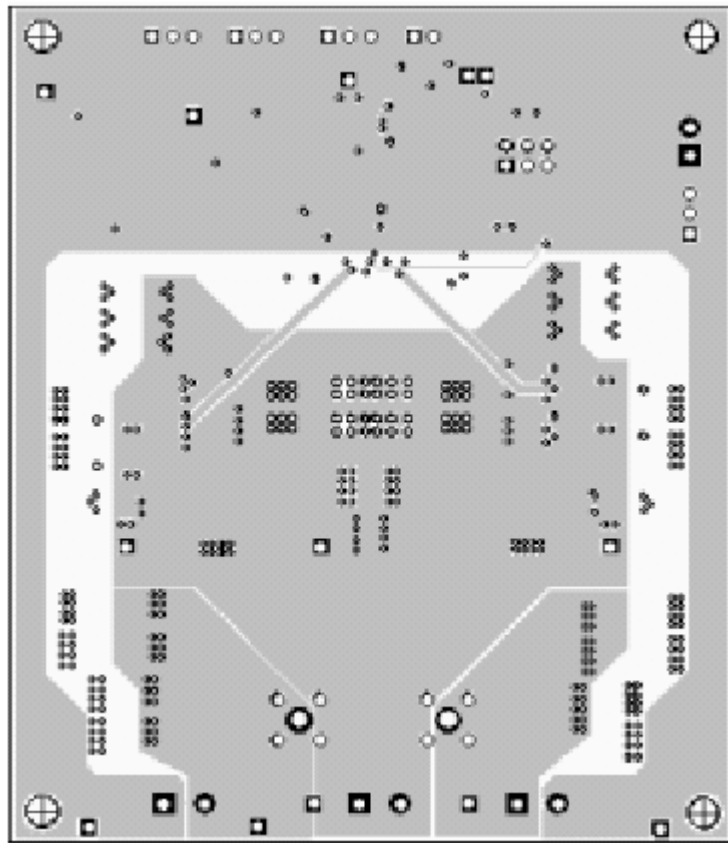


Figure 1 - 8 第3層のパターン

第 2 章

設計手順

本章では、TPS5120 用評価モジュール (SLVP187) の設計方法について述べます。

トピック	ページ
2.1 パワー段の設計	
2.2 コントローラの機能	
2.3 ループ補償	
2.4 レイアウトのガイドライン	

2.1 パワー段の設計

2.1.1 出力電圧設定点の計算

基準電圧と分圧回路が出力電圧を設定します。TPS5120 の基準電圧は **0.85V** であり、分圧回路は 2 あるいは 3 個の抵抗で構成され、評価モジュール (以下、EVM) の **R7** と **R4/R8/R10** の組合せ、あるいは、**R6、R11、R12** の組合せになります。設定点に関する式は：

$$V_O = \frac{R1 \times V_{ref}}{R2} + V_{ref} \quad \text{すなわち、} \quad R2 = \frac{R1 \times V_{ref}}{V_O - V_{ref}} \quad (1)$$

ここで、**R1** は **R6** や **R7** のような分圧回路の上側の抵抗(k)です。また、**R2** は同じく **R4、R8、R10、R12** のような下側の抵抗(k)です。

V_O は所要の出力電圧(V)であり、 V_{ref} は基準電圧(**0.85V**)です。**R1** の値は補償回路の一部として設定し、**R2** の値は所要の出力電圧を得るために計算されます。本 EVM の設計では、**R1** の値は約 **35.7 k** に決まります。

$V_{O1} = 5V$ の場合、式(1)より：

$$R10 = \frac{35.7 \times 0.85}{5 - 0.85} = 7.312k\Omega \quad 7.32k\Omega \text{ の抵抗を使用。} \quad (2)$$

同様に $V_{O1} = 2.5V$ の場合：

$$R8 = \frac{35.7 \times 0.85}{2.5 - 0.85} = 18.391k\Omega \quad 18.2k\Omega \text{ の抵抗を使用。} \quad (3)$$

$V_{O1} = 1.8V$ の場合：

$$R4 = \frac{35.7 \times 0.85}{1.8 - 0.85} = 31.942k\Omega \quad 31.6k\Omega \text{ の抵抗を使用。} \quad (4)$$

$V_{O2} = 3.3V$ の場合：

$$R11 + R12 = \frac{35.7 \times 0.85}{3.3 - 0.85} = 12.386k\Omega \quad R11 \text{ に } 590\Omega \text{、} R12 \text{ に } 11.8k\Omega \text{ の抵抗を使用。} \quad (5)$$

2.1.2 出力インダクタの選択

要求されるインダクタの値は次式で計算され：

$$L = \frac{(V_O + I_O \times r_{DS,max}) \times (1-D)}{f_{SW} \times 0.2 \times I_O} \quad (6)$$

V_{O1}について、最大入力電圧 **24V** の場合の計算結果はインダクタ **L1** の値が **13 μH** になり、最小入力電圧 **6.5V** の場合 **3.5 μH** になります。本 **EVM** には **7.2 μH** を選択しています。V_{O2}については、インダクタ **L2** の最小および最大値はそれぞれ **5.3 μH** と **9.5 μH** と計算され、**7.2 μH** を選択しています。

2.1.3 出力インダクタのリプル電流

出力インダクタのリプル電流は効率だけでなく、出力電圧のリプルにも影響します。その式は：

$$I_{(ripple)} = \frac{V_I - V_O - I_O \times (r_{DS(on)} + R_L)}{L_O \times f_{SW}} \times D \quad (7)$$

ここで、

- I_(ripple) はインダクタを通るピーク・ツー・ピーク値のリプル電流 (A)
- V_I は入力電圧 (V)
- V_O は出力電圧 (V)
- I_O は出力電流 (A)
- r_{DS(on)} は **MOSFET** のオン抵抗 ()
- D はデューティ・サイクル
- f_{SW} はスイッチング周波数 (**Hz**)

式(7)から、リプル電流は出力インダクタ値を変えて調整できることが分かります。本 **EVM** の設計では、V_I = **24V**、V_{O1} = **5V** で出力リプル電流の最悪ケースが生じます。

例

V_I = **24V** ; V_O = **5V** ; I_O = **7 A** ; r_{DS(on)} = **12m** ; R_L = **18m** ; **D=0.21** ; f_{SW} = **220kHz** ;
L_O = **7.2 μH** のとき、リプル電流 I_(ripple) = **2.5A** になります。

2.1.4 出力コンデンサの選択

出力コンデンサの選択は、出力に許容できるリプル電圧のピーク・ツー・ピーク値と、コンデンサのリプル電流定格に基本的に依存します。リプル電圧がリプル電流と **ESR**(等価直列抵抗、以下 **ESR**) だけによって決まるものと仮定すると：

$$V_{O(PP)} = I_{(ripple)} \times R_{ESR} \quad (8)$$

したがって、コンデンサを適切に選択して、出力リプル電圧のピーク・ツー・ピーク値をアプリケーションに許容できる限度内にする必要があります。

2.1.5 出力コンデンサの実効電流

インダクタのリプル電流がすべてコンデンサを通してグラウンドに流れるとすると、出力コンデンサの実効電流は次のように求められます。

$$I_{O(RMS)} = \frac{I_{(ripple)}}{\sqrt{12}} \quad (9)$$

ここで、 $I_{O(RMS)}$ は出力コンデンサの最大実効電流 (A) であり、 $I_{(ripple)}$ はインダクタのリプル電流 (A) のピーク・ツー・ピーク値です。

2.2 コントローラの機能

2.2.1 ソフトスタート

ソフトスタートのタイミングは、ソフトスタート用コンデンサの値で調整できます。その式は：

$$C_{(soft)} = 2.3 \times \frac{t_{(soft)}}{0.85} \quad (10)$$

ここで、 $C_{(soft)}$ はソフトスタート用コンデンサ (μF) であり、 $t_{(soft)}$ はスタートアップ時間 (秒) です。

2.2.2 過電流保護

TPS5120 の各チャンネルにおける電流制限は、内部電流源と外付け抵抗 (**R18** あるいは **R19**) によって設定します。過電流保護回路は、ハイサイドとローサイドの両 **FET** のドレイン・ソース間電圧と設定電圧を比較します。ハイサイド **FET** の導通時に電圧がリミットを超えると、電流制限回路がハイサイド **FET** の駆動パルスを停止します。ローサイド **FET** の導通時に設定電圧を超えると、ローサイド **FET** の駆動パルスを次のサイクルで拡張します。また、この動作は出力電圧を低下する効果があり、低電圧保護回路を始動してフォールト・ラッチをセットし、ハイ・ロー両サイドの **MOSFET** ドライバを停止させます (すなわち、両 **MOSFET** をオフさせます)。過電流保護を設定する抵抗値の計算には次式を使用します：

$$R_{cl} = \frac{r_{DS(on)} \times \left(I_{(trip)} + \frac{I_{(ripple)}}{2} \right)}{0.000013} \quad (11)$$

ここで、 R_{cl} は外付けの電流制限抵抗 (**R18**, **R19**)、 $r_{DS(on)}$ はローサイド **MOSFET** (**Q1**, **Q4**, **Q5**, **Q8**) のオン抵抗です。 $I_{(trip)}$ は設定した過電流のリミットです。

ところで、 $r_{DS(on)}$ が非常に温度に依存することに注意する必要があります。したがって、最高動作温度での最大出力電流を保証するために、式(11)の $r_{DS(on)}$ を高温動作に合わせて調整しなければなりません。

2.2.3 タイマー・ラッチ

TPS5120 にはユーザーが調整できるタイマーを用いたフォールト・ラッチ機能があり、フォールト状態時に **MOSFET** ドライバをラッチします。**OVP** (過電圧保護) あるいは **UVP** (低電圧保護) コンパレータのいずれかがフォールト状態を検出すると、**TPS5120** の **11** ピンに接続された **FLT** コンデンサ(**C6**)を充電し始めます。低電圧ラッチ時間 $t_{(uvplatch)}$ は過電圧ラッチ時間 $t_{(ovplatch)}$ の5倍です。

所要の過電圧・低電圧ラッチ時間を得る FLT コンデンサの値を求める式は：

$$C_{(flt)} = 0.0000023 \times \frac{t_{(uvplatch)}}{1.185} \quad (12)$$

および

$$C_{(flt)} = 0.0000115 \times \frac{t_{(ovplatch)}}{1.185}$$

ここで、 $C_{(flt)}$ は外付けコンデンサ、 $t_{(uvplatch)}$ は UVP を検出してからラッチまでの時間です。また、 $t_{(ovplatch)}$ は OVP を検出してからラッチまでの時間です。

本 EVM では、 $t_{(uvplatch)} = 51.5\text{ms}$ 、 $t_{(ovplatch)} = 10.3\text{ms}$ と設定、ゆえに $C_{(flt)} = 0.1\ \mu\text{F}$ になります。FLT ピンの電位が **1.185V** に達すると、フォールト・ラッチがセットされ、MOSFET ドライバが以下のように設定されます：

低電圧保護

低電圧コンパレータ回路が、INV 1 および INV 2 ピンの電位を連続的に監視します。そのいずれかのピンの電位が **0.85V** 基準電圧の **78%** より低下すると、タイマーが FLT コンデンサの充電を開始します。フォールト状態が $t_{(uvplatch)}$ 以上持続すると、フォールト・ラッチがセットされ、ハイサイドとローサイドの両ドライバを強制的にオフします。

短絡保護

短絡保護回路は UVP 回路を用いて MOSFET ドライバをラッチします。過電流保護回路が出力電流を制限すると、出力電圧が目標電圧より低下し、UVP コンパレータが上記のようにフォールト状態を検出します。

過電圧保護

過電圧コンパレータ回路が、INV 1 および INV 2 ピンの電位を連続的に監視します。そのいずれかのピンの電位が **0.85V** 基準電圧の **112%** より上昇すると、タイマーが FLT コンデンサの充電を開始します。フォールト状態が $t_{(ovplatch)}$ 以上持続すると、フォールト・ラッチがセットされ、強制的にハイサイドのドライバをオフし、ローサイドのドライバをオンにします。

FLT 端子

OVP (過電圧)あるいはUVP (低電圧)現象を検知し、フォールト・ラッチをセットするまでの時間に、FLT 端子を低い電圧(またはグランド・レベル)にしてはなりません。この間に FLT 端子を強制的に低い電圧にすると、出力電圧のオーバーシュートが発生することがあります。TPS5120 は STBY1,2 と 5V_STBY の組合せが、V_{CC} の低下のみによりリセットされます。

2.3 ループ補償

ループ補償はコンバータを負荷と入力全範囲にわたって安定化するのに必要です。本コンバータ評価では、全入出力条件において40度以上の位相余裕を確保するように設計しました。さらに、コンバータの優れた過渡応答を保証するために、回路に十分な帯域幅を確保しなければなりません。この2要件は、補償用部品をエラー・アンプ（以下、誤差増幅器）の回りに付加し、全体のループ応答を改善して実現できます。

ループ補償の設計手順は、誤差増幅器の周波数応答を外付け部品で改善し、入力と負荷の変化に応答する制御ループの特性を損なわずに、DC/DCコンバータの帰還制御ループを安定化することです。しかし、DC/DCコンバータの安定性に関する解析と設計の詳細な取り扱いは、本ユーザーガイドの範囲を逸脱しています。そこで、連続モードのバック・コンバータを安定化する回路網設計の単純なアプローチを以下に示します。

連続モード時のパルス幅変調器の応答とパワースイッチ動作は、誤差増幅器の周波数応答を無視すると、単純な利得ブロックとしてモデル化できます。その利得の大きさは、パルス幅変調器の入力電圧（誤差増幅器の帰還電圧）の変化に対する出力電圧の変化になります。一般に、帰還電圧が0.43Vから1.17V（0.43V～1.17Vは発振器のランプ波形のピーク・ツー・ピーク値です）へ増加すると、デューティ・サイクルが0%から83%に、出力電圧が0Vから $V_{in(max)}$ （入力電圧が公称値の場合）に増加します。このとき、利得 A_{PWM} は：

$$A_{PWM} = \frac{V_I}{\Delta V_{O(FB)}} = \frac{6.5}{1.17 - 0.43} = 8.784 \Rightarrow 18.9\text{dB} \quad (13)$$

同様に、24V入力時の利得は30dBになります。入力範囲の広いコンバータは、入力に依存する利得変動が安定性の問題を生じないことを保証するために、数ポイントの入力電圧で安定性をチェックする必要があります。

出力フィルタはLCフィルタであり、それに応じた働きをします。インダクタとコンデンサは複合ポール（極）対をフィルタ共振周波数に生じ、コンデンサのESR（ R_{ESR} ）は共振周波数よりも高い領域にゼロ（零）を形成します。ポール対の位置は：

$$\frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{7.2\mu\text{H} \times 150\mu\text{F} \times 4}} = 2.4\text{kHz} \quad (14)$$

ゼロの位置は：

$$\frac{1}{2\pi R_{ESR} C} = \frac{1}{2\pi \times \left(\frac{0.055 \times 1.35}{4} \right) \times 150\mu\text{F} \times 4} = 14.3\text{kHz} \quad (15)$$

ここで、ESRの高温時の温度補正係数を1.35とします。

Figure 2-1 と Figure 2-2 にパワー段（出力段）の利得と位相のプロット図を示します。

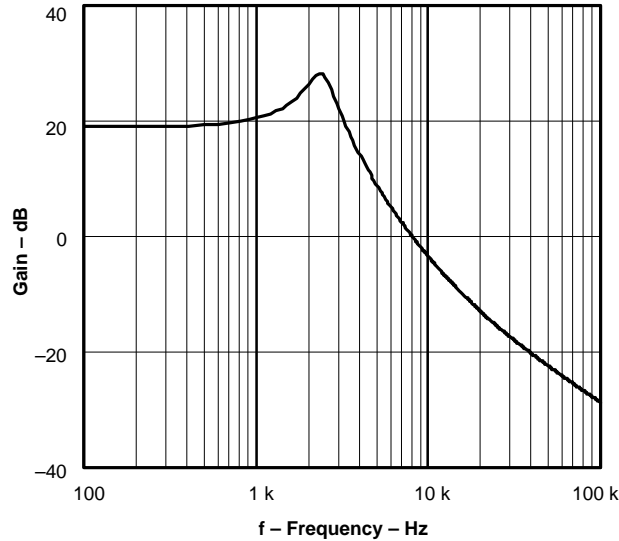


Figure 2 - 1 パワー段の利得

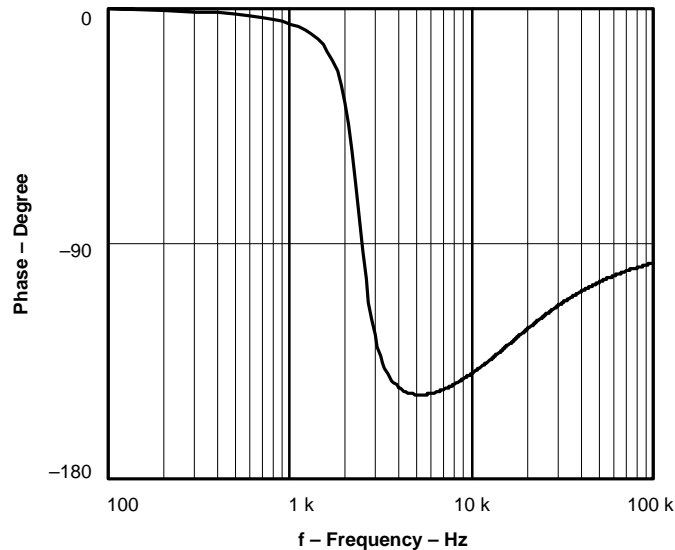


Figure 2 - 2 パワー段の位相

過度の条件を満たさそうとしなければ、非常に広帯域の応答や、利得に関する多くの決定、ポールとゼロの位置の補償、ユニティ・ゲイン（以下、単一利得）帯域幅のようなことはほとんど任意です。一般に、低周波での利得は非常に大きく、出力電圧の誤差を最小にします。フィルタのポール付近にゼロによる補償を設定し、フィルタの共振周波数付近に見られる急峻な位相変化を補正します。さらに、開ループ単一利得周波数を共振周波数より十分高くし、なおかつ、コンバータの動作周波数の10%よりも低くします。本件の場合、6.5V 入力については単一利得周波数を約 8 kHz に設定し、良好な過渡応答を得ています。Figure 2-3 に本件に用いた標準的な補償回路網を示します。

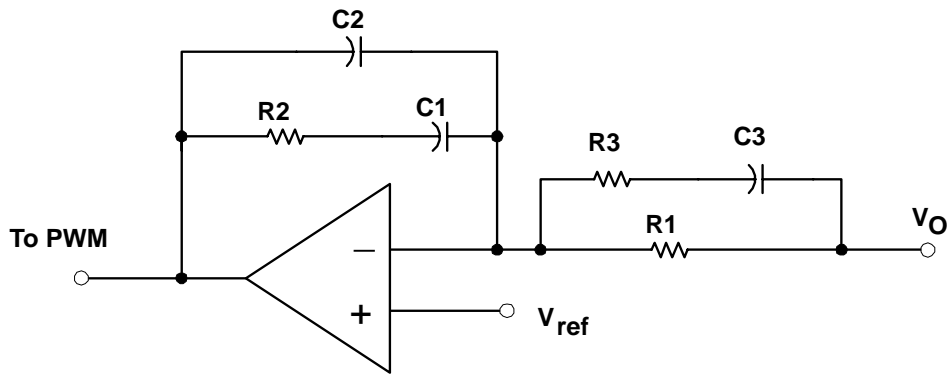


Figure 2 - 3 補償回路

補償された誤差増幅器（エラー・アンプ）全体の位相回りは次式で計算されます。

$$\theta_{ea} = 270^\circ - 2 \tan^{-1} K + 2 \tan^{-1} \left(\frac{1}{K} \right) \quad (16)$$

$$K = \frac{f_{bw}}{f_z} = \frac{f_p}{f_{bw}}$$

ここで：

f_{bw} = 所要の閉ループ・クロスオーバー周波数（単利得時の周波数）

f_p = 誤差増幅器のポールの周波数

f_z = 誤差増幅器のゼロの周波数

誤差増幅器が理想アンプであると仮定すると、その伝達関数は：

$$A_{ea}(s) = \left[\frac{1}{sR(C1+C2)} \right] \times \frac{[s(R1+R3)C3+1][sR2C1+1]}{(sR3C3+1)[sR2(C2//C1)+1]} \quad (17)$$

2重のゼロと2重のポールの周波数位置はKファクターで決まり、必要な位相余裕が得られます。式(17)の伝達関数と式(16)から、ゼロとポールを所要の周波数に設定するRとCの値が定まります。

6.5V 入力時の必要な位相余裕（40°）をクロスオーバー周波数（BW = 8 kHz）で得る為に、その周波数での全体の位相回り（= パワー段の位相 + 誤差増幅器の位相）を設定する必要があります。Figure 2-2 のパワー段の位相で示すように、8 kHz における位相回りは 143.86° です。したがって、式(16)から K ファクターが得られ、K=2.534 になります。

次に、2つのゼロと2つのポールの位置は以下のように求まり：

$$f_{z1} = f_{z2} = \frac{f_{bw}}{K} = \frac{8000}{2.534} = 3.16 \text{kHz} \quad (18)$$

$$f_{p1} = f_{p2} = K \times f_{bw} = 20.27 \text{kHz} \quad (19)$$

ここで誤差増幅器の周囲の部品定数が次式を用いて計算できて：

第 1 ゼロを下式とし、

$$f_{z1} = \frac{1}{2\pi R_2 C_1} \quad (20)$$

第 2 ゼロを下式とする。

$$f_{z2} = \frac{1}{2\pi(R_1 + R_3)C_3} \quad (21)$$

第 1 ポールを下式とし、

$$f_{p1} = \frac{1}{2\pi R_3 C_3} \quad (22)$$

第 2 ポールを下式とする。

$$f_{p2} = \frac{C_1 + C_2}{2\pi R_2 (C_1 C_2)} \quad (23)$$

R1 を非常に大きくすると、補償用コンデンサの値が非常に小さくなり、寄生容量がポールとゼロの位置に影響するかもしれません。したがって、R1 を次のように選びます。

$$R_1 = 35.7k \quad (24)$$

すると、

$$C_3 = \frac{\frac{1}{f_{z2}} - \frac{1}{f_{p1}}}{2\pi R_1} = 1192pF \quad (25)$$

次に、式(20)から(23)より、

$$R_3 = \frac{1}{2\pi C_3 f_{p1}} = 6.585k\Omega \quad (26)$$

3.16kHz における第 1 ゼロは $R_2 = X_{C1}$ のときに生じ、この周波数での誤差増幅器の利得は、ほとんど大体 R_2 / R_1 になります。したがって、Figure 2-1 (パワー段の利得) より、3.16kHz における誤差増幅器の利得を -7.716dB にします。利得の -7.716 dB を電圧に変換すると 0.411V になります。

したがって、R2 は以下のように求まり：

$$R_2 = 0.411 \times R_1 = 14.69k \quad (27)$$

$$C_2 = \frac{1}{2\pi R_2 f_{p2}} = 634pF \quad (28)$$

$$C_1 = \frac{1}{2\pi R_2 f_{z1}} = 3433pF \quad (29)$$

Figure 2-4 と Figure 2-5 に全体のループ応答を示します。

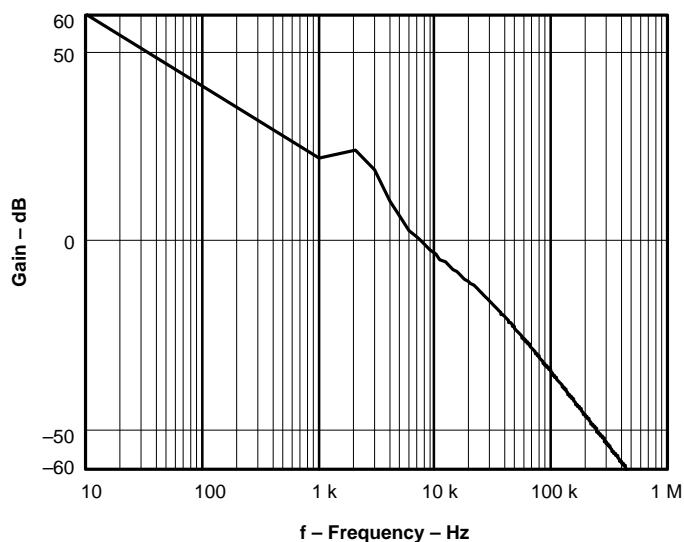


Figure 2 - 4 全体のループ利得

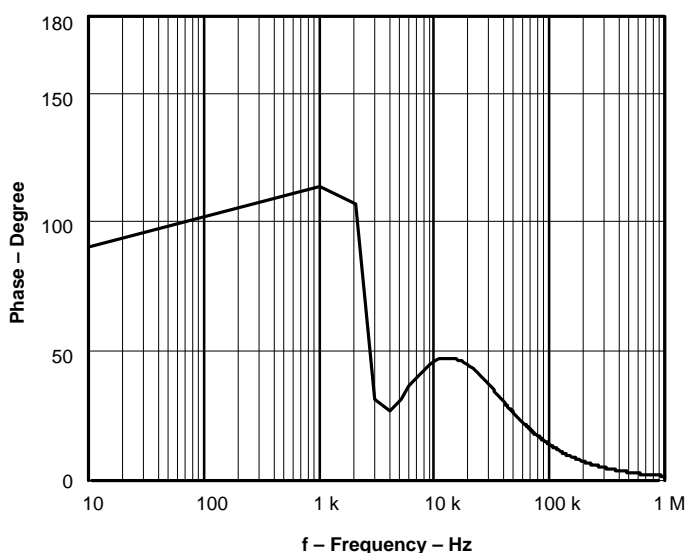


Figure 2 - 5 全体のループ位相

2.4 レイアウトのガイドライン

優れた電源特性は、回路設計とレイアウトが適正な場合にのみ実現できます。レイアウトは雑音の干渉と発生に影響します。一般にレイアウト設計はスイッチング部から出力部に進み、それからドライバ部に戻ります。以下は **TPS5120** のレイアウト設計を始める前に考慮すべき要点です。

TPS5120 を用いるレイアウト設計には、4層プリント基板をお奨めします。本 **EVM** では、第1層（最上層）に **TPS5120** 関連の配線、 V_{O1} および V_{O2} 出力とその帰線の配線があります。第2層はグランド・プレーン（全面パターン）に使用しています。第3層には V_I の分割プレーンとアナログ・

グラウンドの分割プレーン、および幅広いパターンを必要とする信号配線がいくらかあります。第4層（最下層）には入力電圧の帰線、 V_{O1} と V_{O2} の電圧センス用配線、および他の信号配線に使用し、これら以外をアナログ・グラウンドのパターンで埋めています。

注意

CAUTION

敏感なアナログ部品はすべてアナログ・グラウンド(AGND)に接地する必要があります。また、INV1, INV2, REF, CT, GND, FTP, SOFTSTART1, および SOFTSTART2 もアナログ・グラウンドに接地する必要があります。

理想的には、TPS5120の直下のエリアはすべてAGNDに接地すべきです。また、AGNDとドライバのグラウンドはできるだけ分離し、両者を一点アースとする必要があります。

- TPS5120の2相制御設計の性質上、レイアウトには特別な注意が必要です。一方のチャンネルのスイッチングが、他方のチャンネルの動作に悪影響する可能性があります。したがって、 V_{CC} とGNDの配線は共通インピーダンスを最小にしなければなりません。

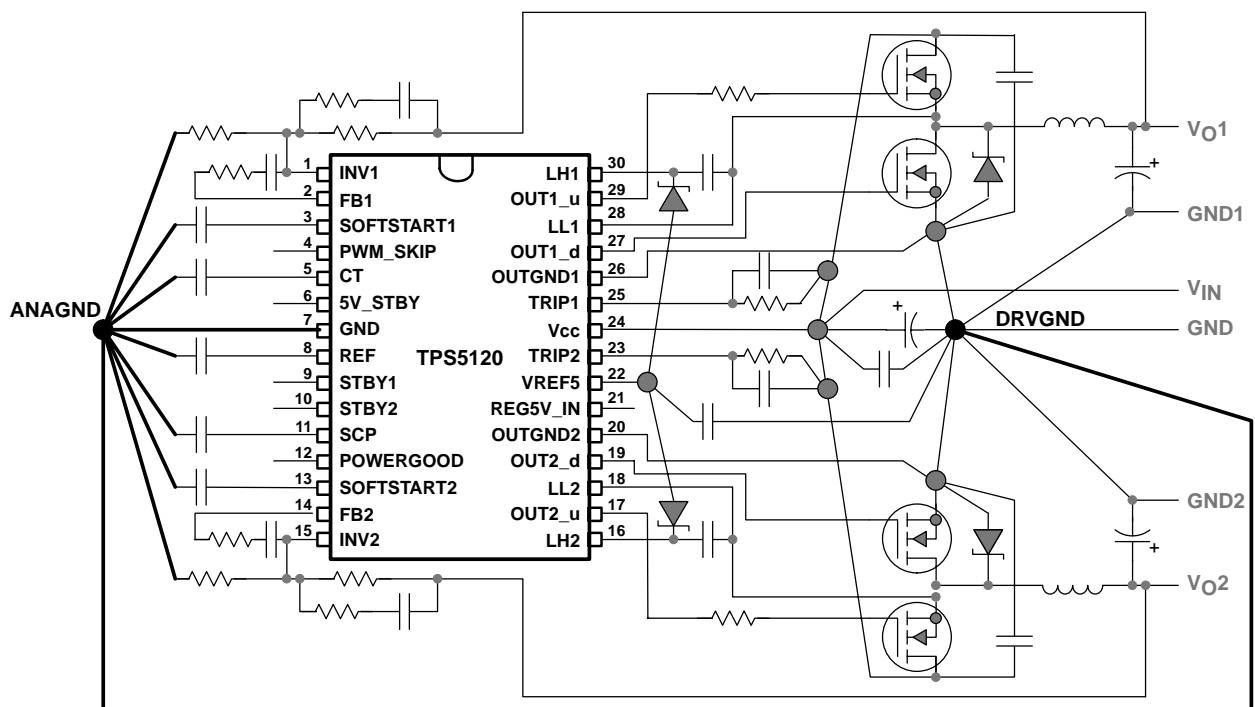


Figure 2 - 6 4層基板ダイアグラム

2.4.1 ローサイド MOSFET

- ❑ ローサイド MOSFET のソースは **DRVGN** (ドライバ・グランド) に接地します。さもないと、**ANAGND** (アナログ・グランド) が出力ノイズを受けます。
- ❑ **DRVGN** はローサイド MOSFET のソースの近くで、メインのグランド・プレーンと接続します。
- ❑ **OUTGND1 / 2** (出力グランド 1 , 2) は、それぞれローサイド MOSFET のソースの近くに配置します。
- ❑ ショットキー・ダイオードのアノード、MOSFET の高周波バイパス・コンデンサの帰線、およびローサイド MOSFET のソースの各配線は、互いにできるだけ接近させます。

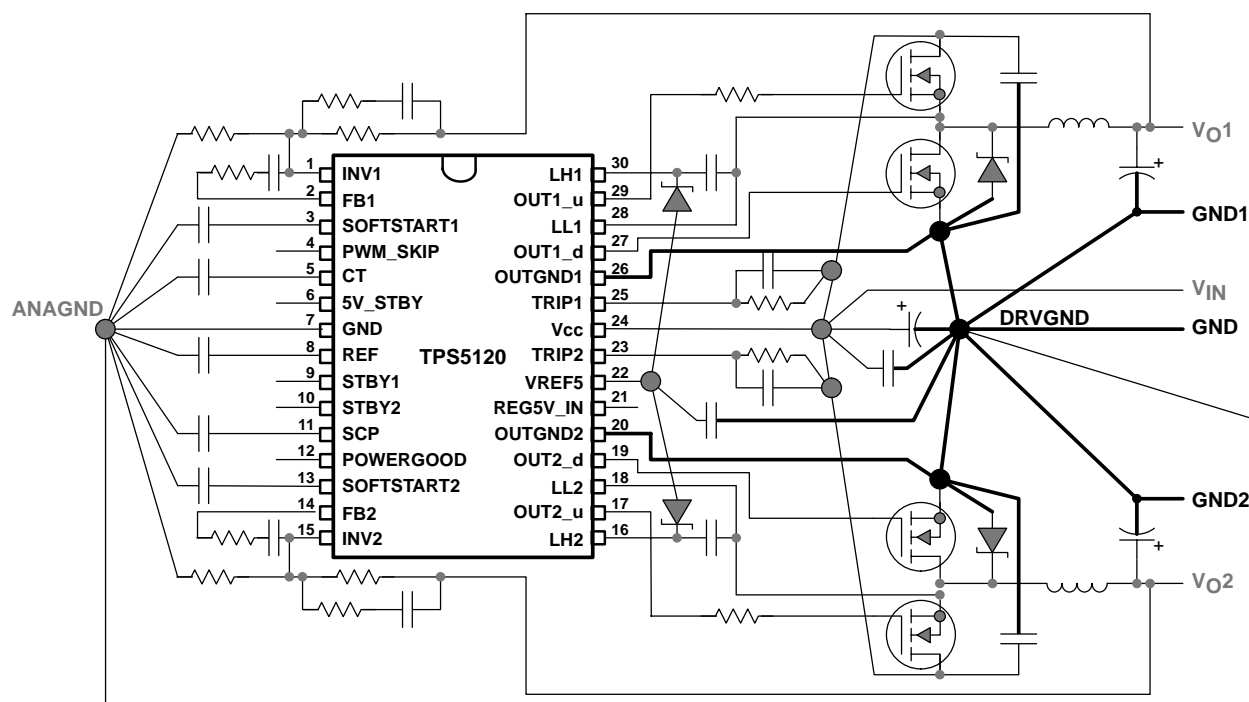


Figure 2 - 7 ローサイド MOSFET のダイアグラム

2.4.2 配線

- ドライバからパワーMOSFETのゲートへの配線は可能な限り短く広くし、配線インダクタンスを低減します。これはゲートに外付けの抵抗を使用しない場合、より重要になります。さらに過電流に関する雑音については、ハイサイドMOSFETのゲートに抵抗を挿入すると、LL端子における雑音を大幅に低減し、過電流検出機能の特性を改善します。
- LL端子からパワーMOSFETへの配線も、できるだけ短く広くします。

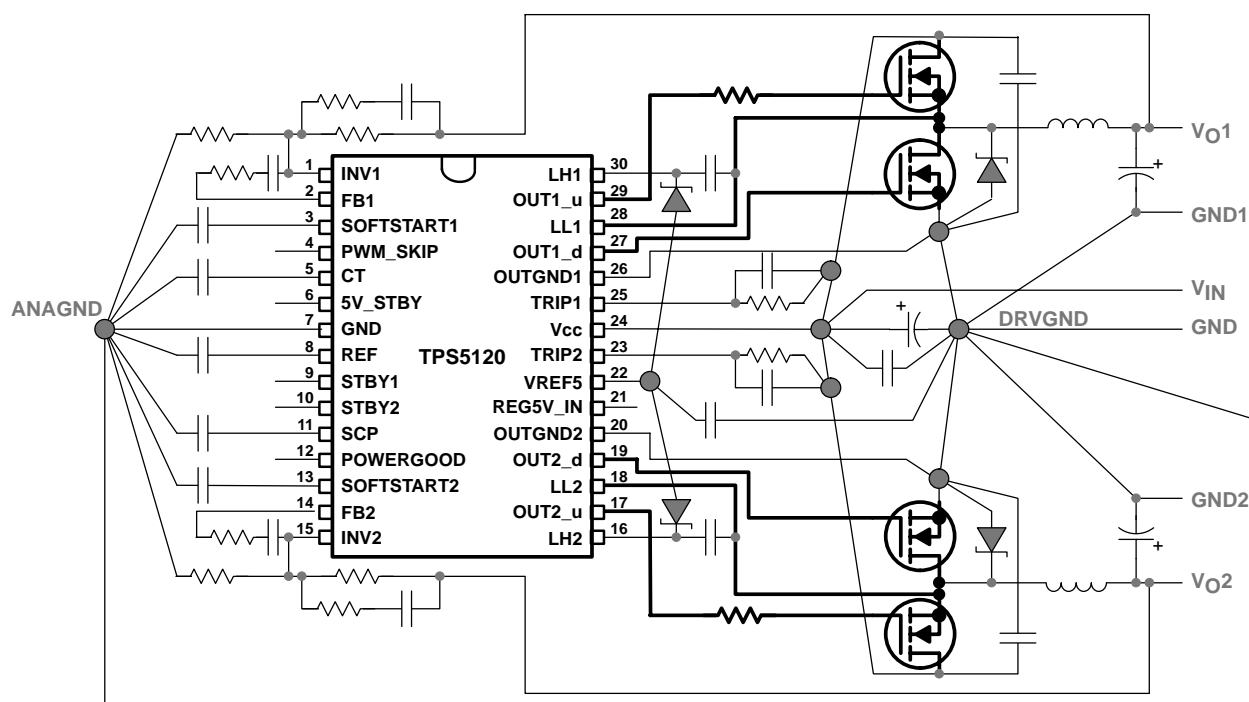


Figure 2 - 8 ドライバからゲートへの配線ダイアグラム

2.4.3 バイパス・コンデンサ

- V_{CC} のバイパス・コンデンサは **TPS5120** の近くに配置します。
- V_I のバルク・コンデンサ（大容量コンデンサ）は、パワー・MOSFET の近くに配置します。高周波バイパス・コンデンサはバルク・コンデンサと並列に配置し、ハイサイド FET のドレインおよびローサイド FET のソースの近くに接続します。また、別の高周波バイパス・コンデンサを各ハイサイド FET のドレインに接続します。
- **TRIP 1** および **2** の配線パターンは、 V_{CC} について対称にレイアウトします。さもないと、過電流機能が十分に動作しない可能性があります。さらに、ハイサイド FET のドレインと **TRIP** 端子間の位相を合わせることと、雑音の低減のために、 $0.1\mu\text{F}$ のコンデンサを **TRIP** 端子に入れた抵抗と並列に接続します。

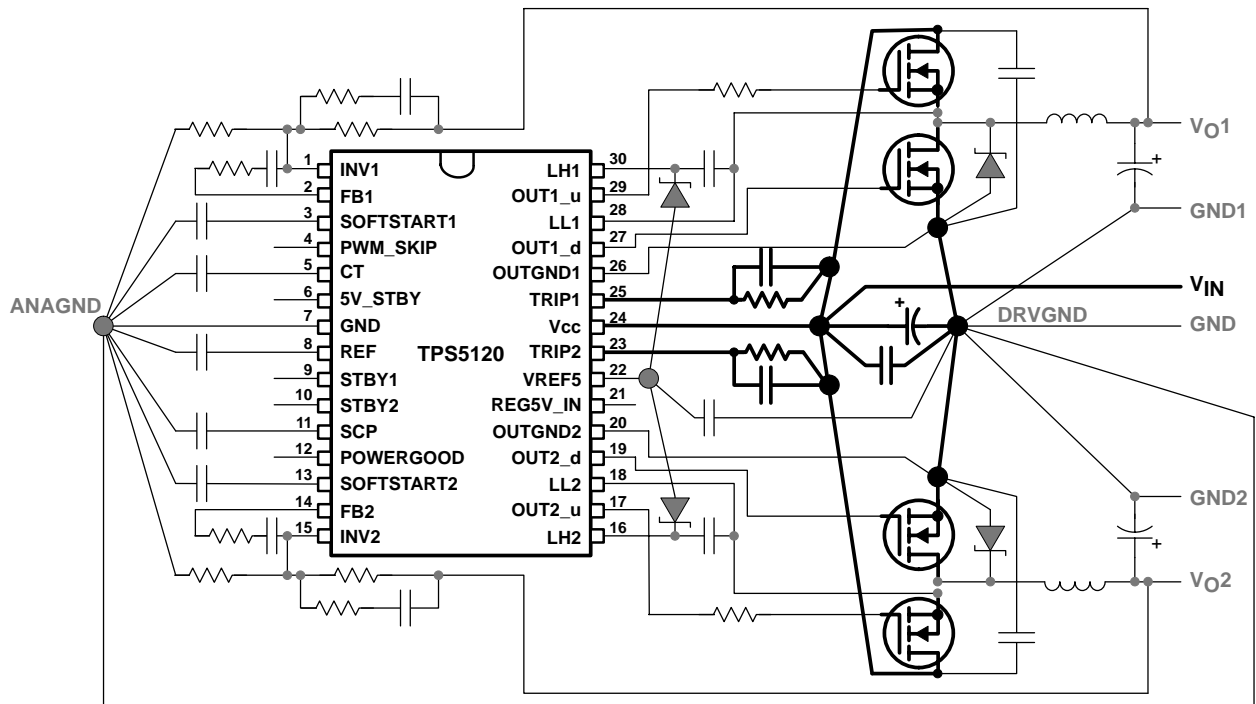


Figure 2 - 9 バイパス・コンデンサのダイアグラム

2.4.4 VREF5のコンデンサ

- ❑ VREF5のコンデンサはTPS5120の近くに配置します。
- ❑ また、VREF5のコンデンサ端子の他方はDRVGNDの近くに配置します。
- ❑ ブートストラップ・コンデンサ(LHとLL間に接続)は、TPS5120の近くに配置します。
- ❑ LHとLLは相互に接近させて配線し、これらの配線に結合する差動モード雑音を最小にします。
- ❑ LHとLLは制御端子(例: INV, FB, REF等)の領域の近くに配線してはなりません。

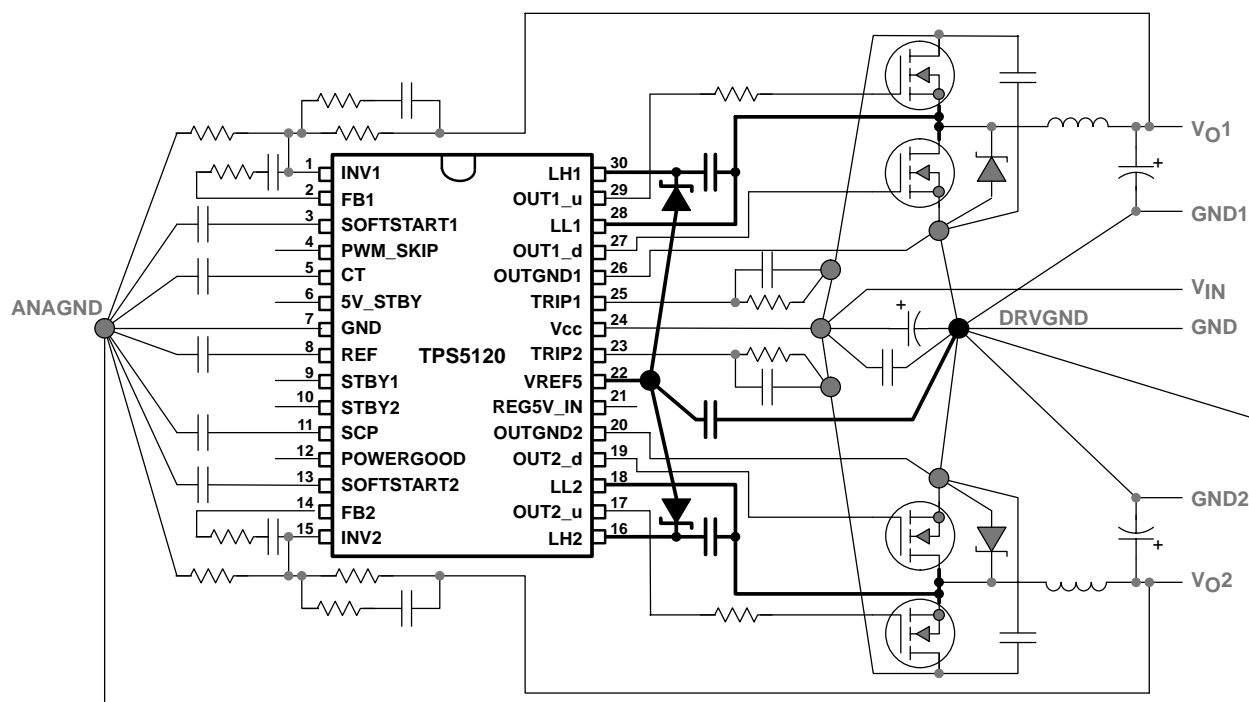


Figure 2 - 10 VREF5用コンデンサのダイアグラム

2.4.5 出力電圧

- ❑ 出力電圧検知の配線は、いずれのグランドからも離します。
- ❑ 出力電圧検知の配線は、プリント基板で同一層上のインダクタの下を通してはなりません。
- ❑ 帰還用の部品は、各 MOSFET やインダクタ、出力コンデンサなどの出力用の部品と分離します。さもないと、帰還信号の配線が出力雑音の影響を受けます。
- ❑ 出力電圧を設定する抵抗は ANAGND に接地します。
- ❑ INV 1 と INV 2 の配線は、できるだけ短くします。

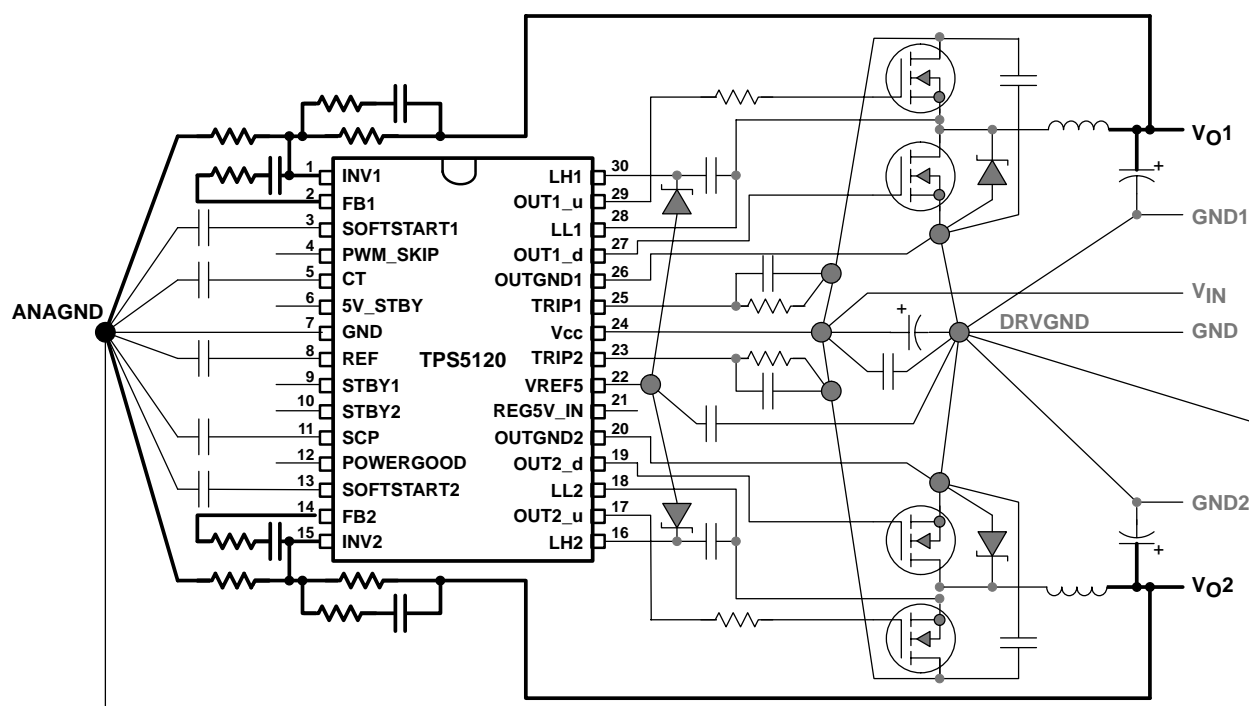


Figure 2 - 11 出力電圧のダイアグラム

第 3 章

テスト結果

本章では、**TPS5120EVM** の適切な接続およびセットアップの方法について述べます。
また、効率、出力電圧レギュレーション、負荷変動、ループ応答、出力リップル、入力リップル、およびスタートアップの各特性に関するテスト結果も示します。

トピック

ページ

3.1 テストのセットアップ
3.2 テスト結果

3.1 テストのセットアップ

本テストには、24V / 12A の電力を供給できる電源が必要です。Figure 3-1 に SLVP187 への入出力配線を示します。

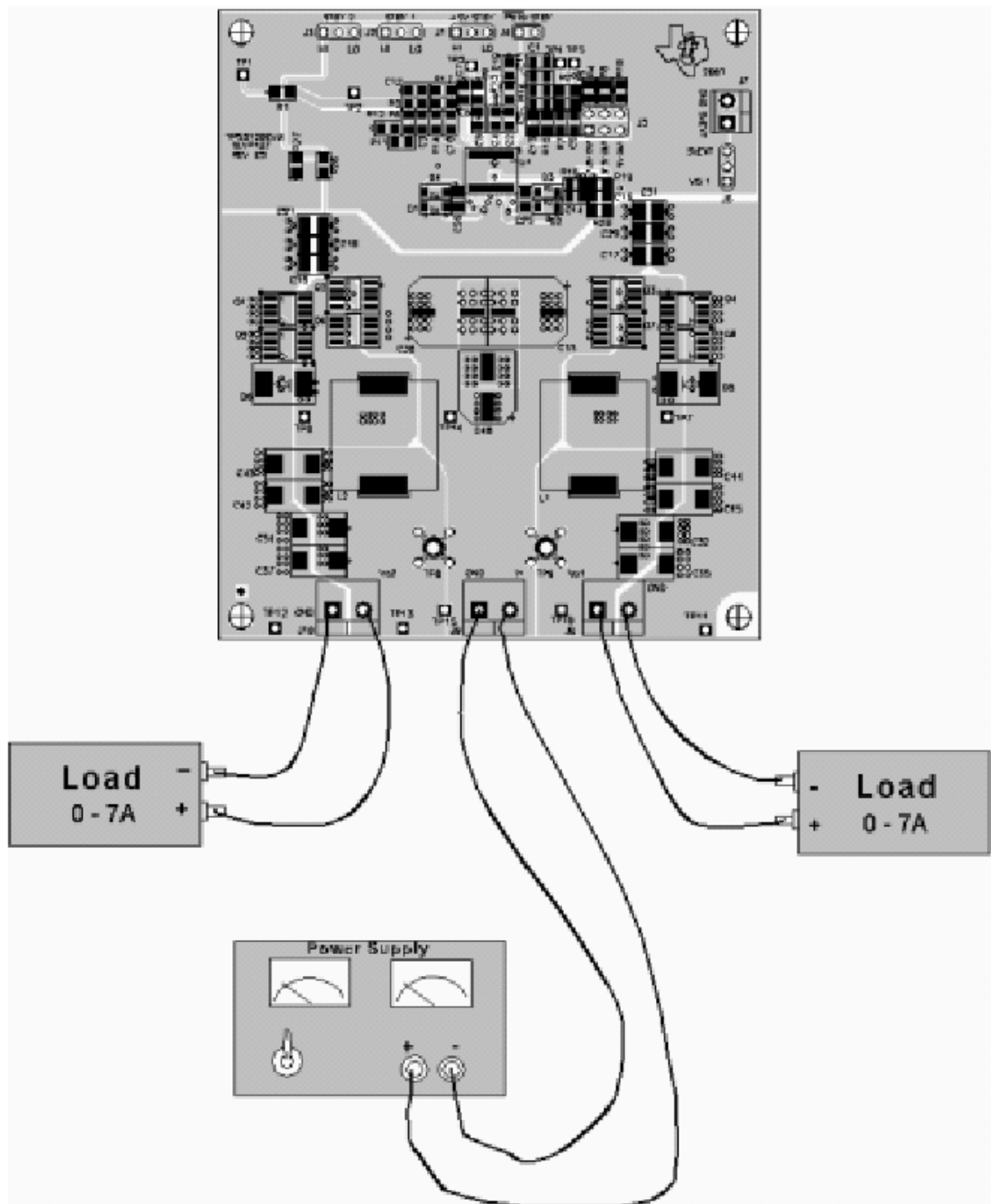


Figure 3 - 1 テストのセットアップ

3.2 テスト結果

この節では SLVP187 のテスト結果を示します。

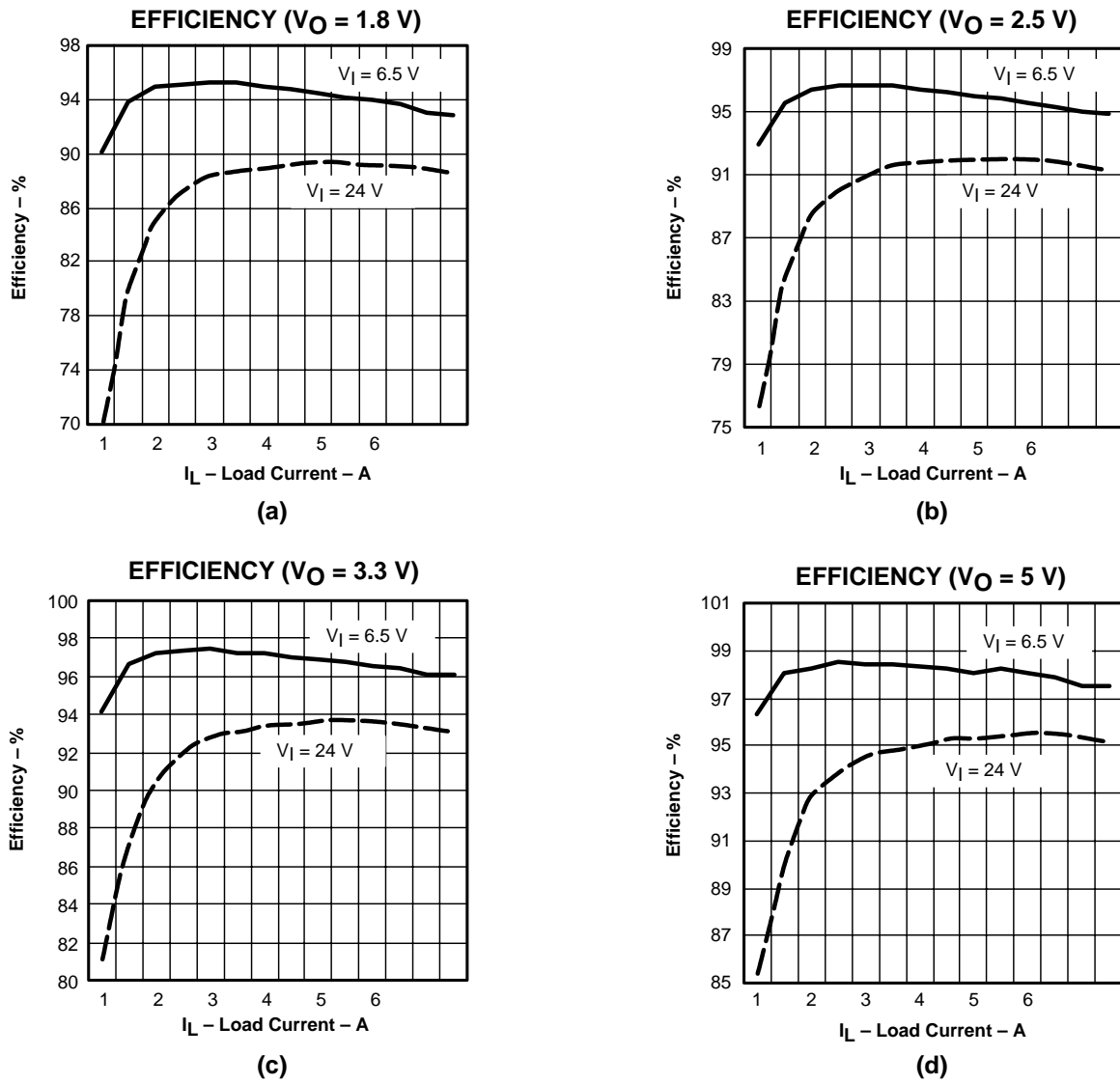
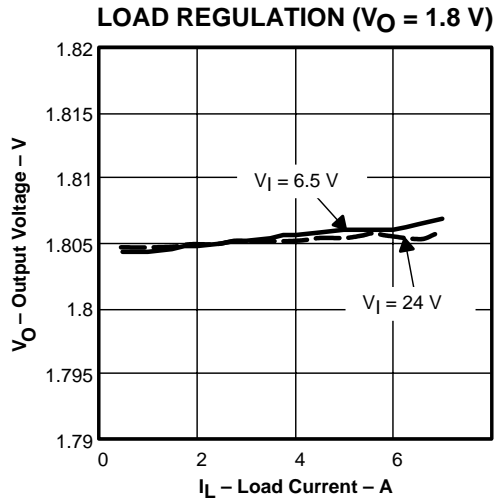
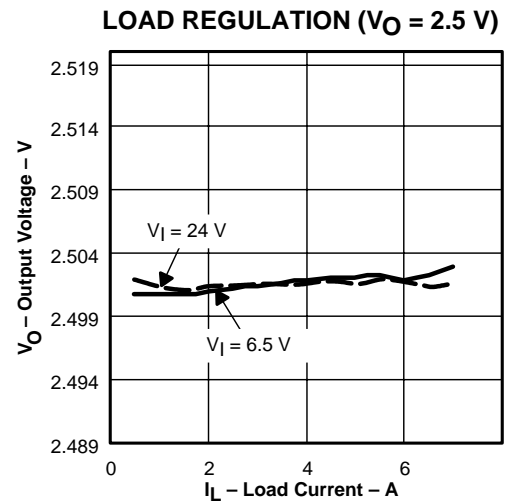


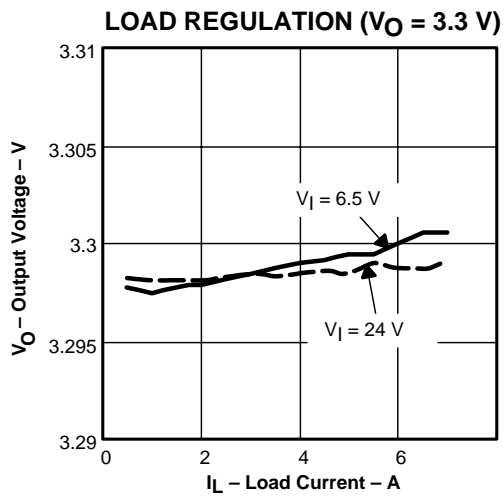
Figure 3 - 2 効率



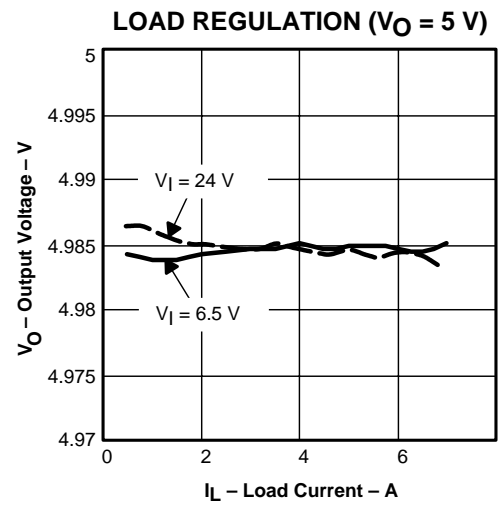
(a)



(b)

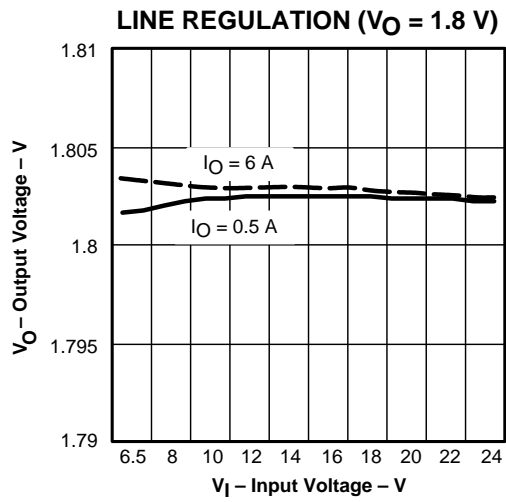


(c)

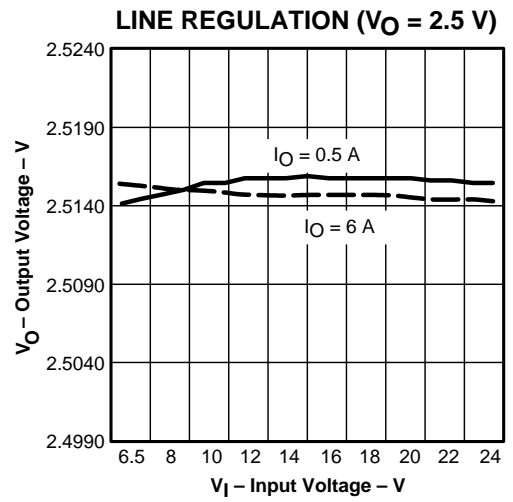


(d)

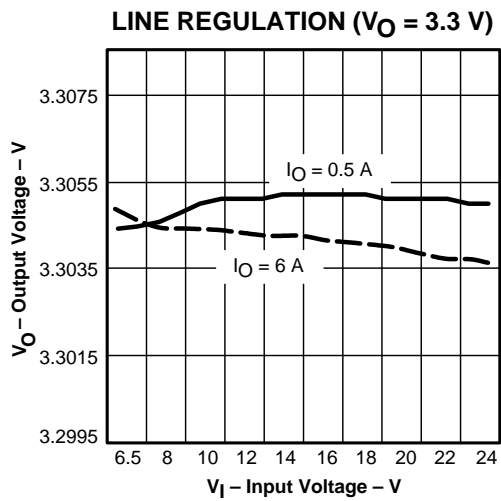
Figure 3 - 3 負荷レギュレーション



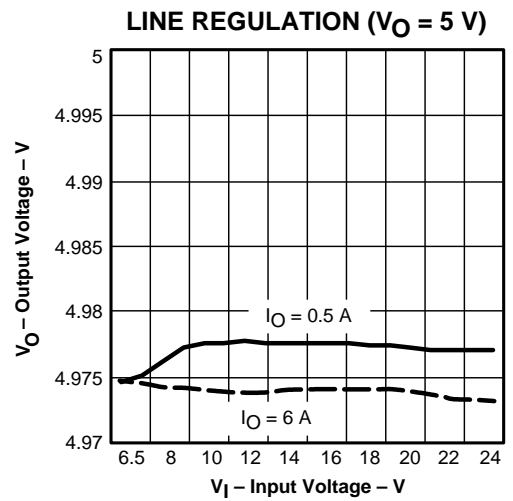
(a)



(b)

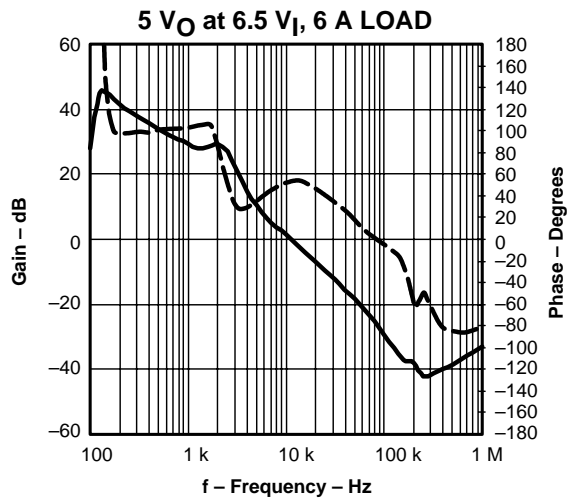


(c)

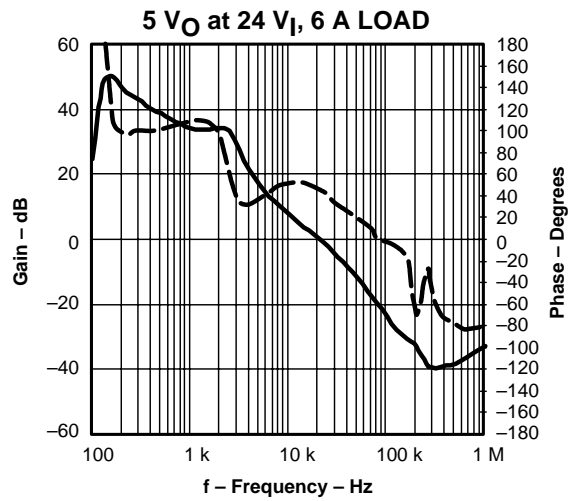


(d)

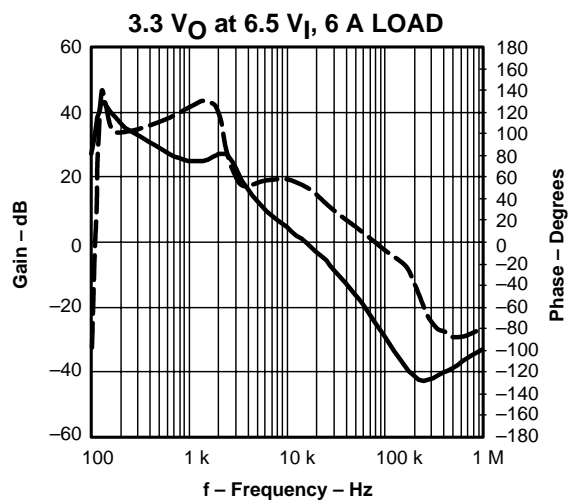
Figure 3 - 4 ライン・レギュレーション



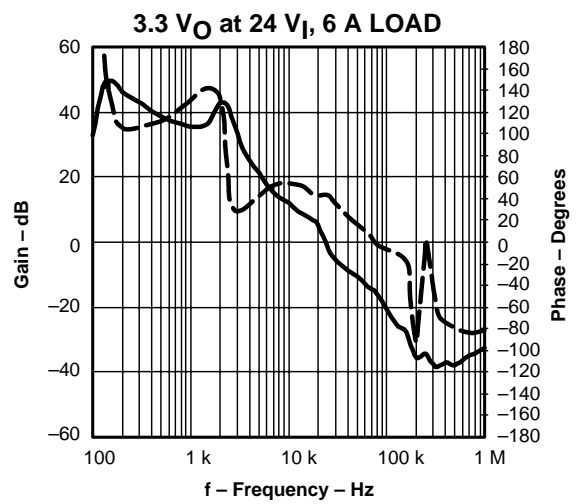
(a)



(b)



(c)



(d)

Figure 3 - 5 ループ応答

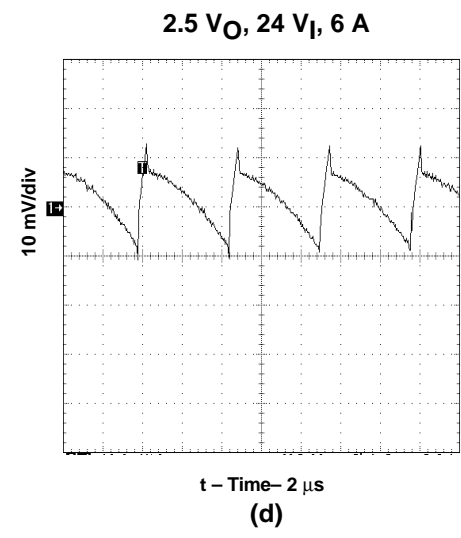
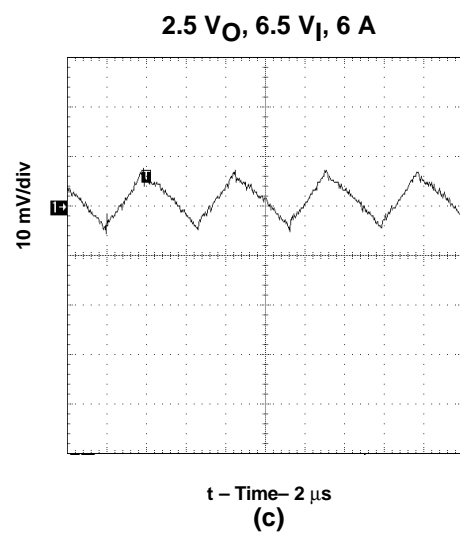
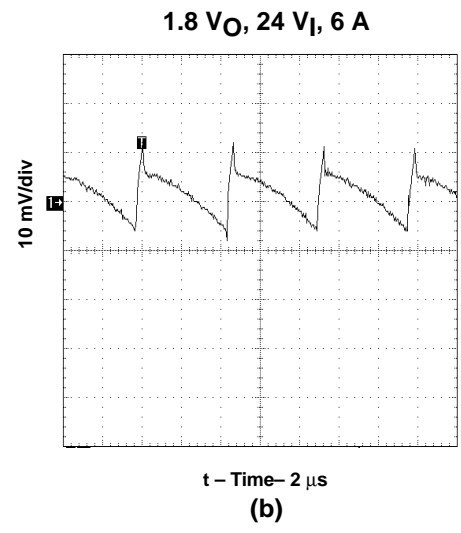
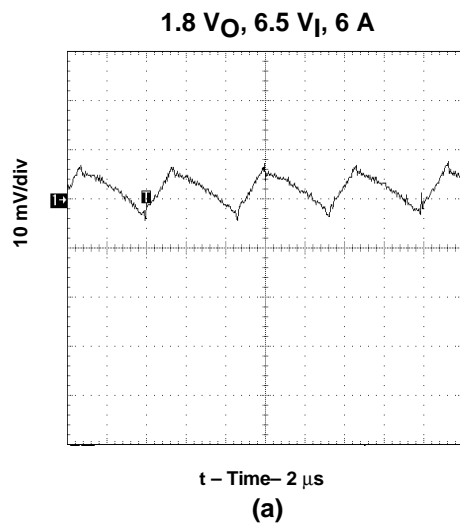
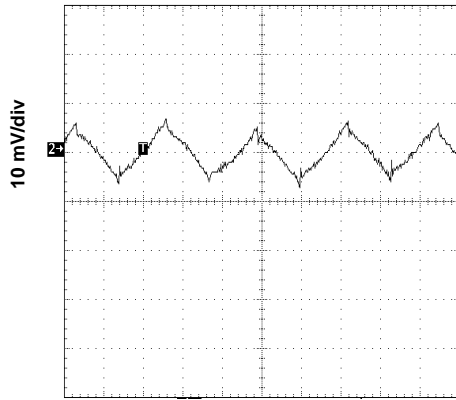


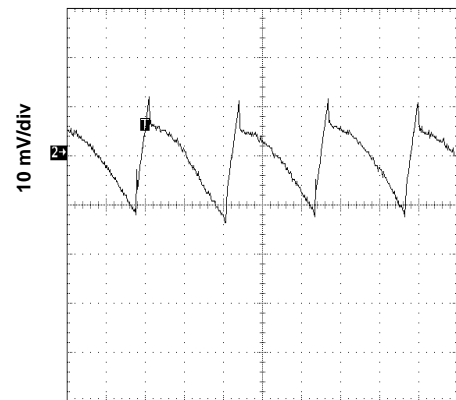
Figure 3 - 6 出力電圧リップル

3.3 V_O, 6.5 V_I, 6 A



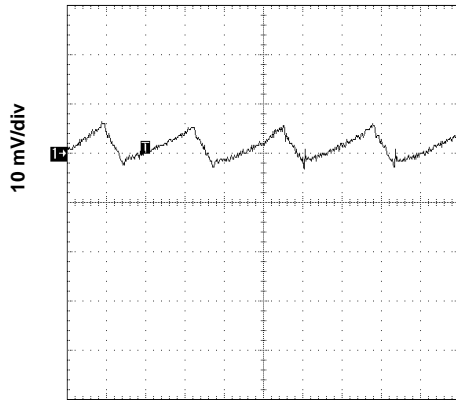
t - Time - 2 μ s
(e)

3.3 V_O, 24 V_I, 6 A



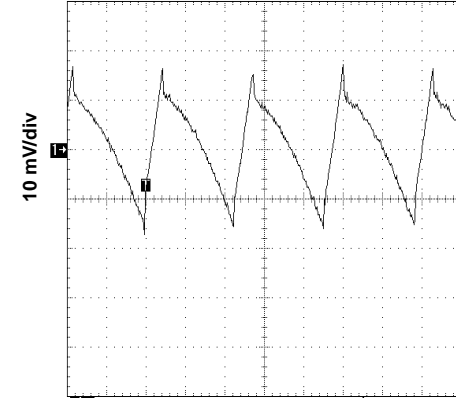
t - Time - 2 μ s
(f)

5 V_O, 6.5 V_I, 6 A



t - Time - 2 μ s
(g)

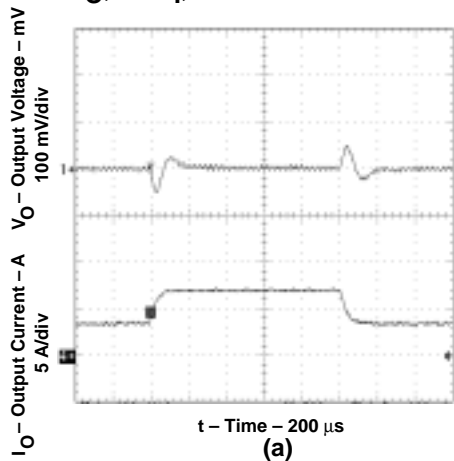
5 V_O, 24 V_I, 6 A



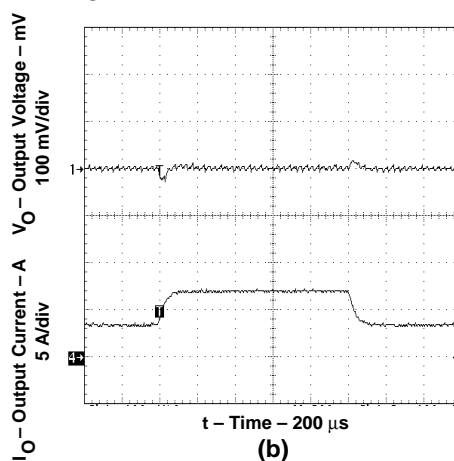
t - Time - 2 μ s
(h)

Figure 3 - 6 出力電圧リップル (続き)

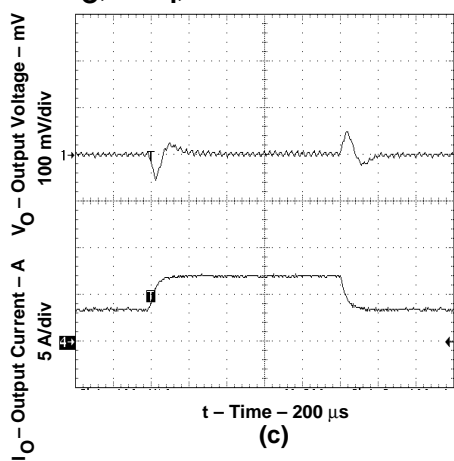
1.8 V_O, 6.5 V_I, 50% to 100% Load Condition



1.8 V_O, 24 V_I, 50% to 100% Load Condition



2.5 V_O, 6.5 V_I, 50% to 100% Load Condition



2.5 V_O, 24 V_I, 50% to 100% Load Condition

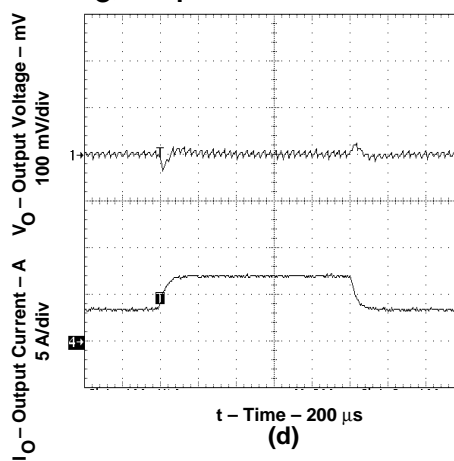
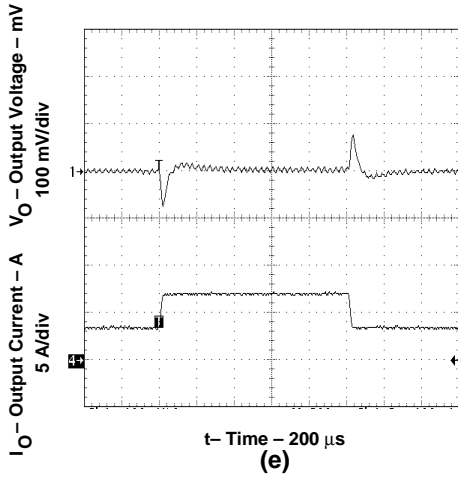
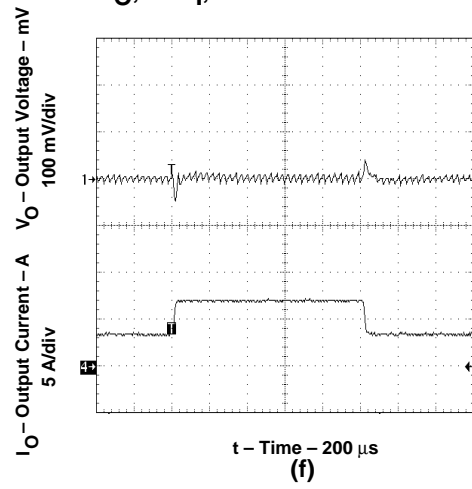


Figure 3 - 7 負荷変動

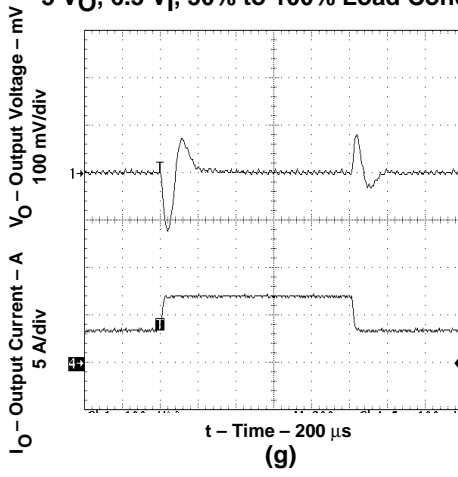
3.3 V_O, 6.5 V_I, 50% to 100% Load Condition



3.3 V_O, 24 V_I, 50% to 100% Load Condition



5 V_O, 6.5 V_I, 50% to 100% Load Condition



5 V_O, 24 V_I, 50% to 100% Load Condition

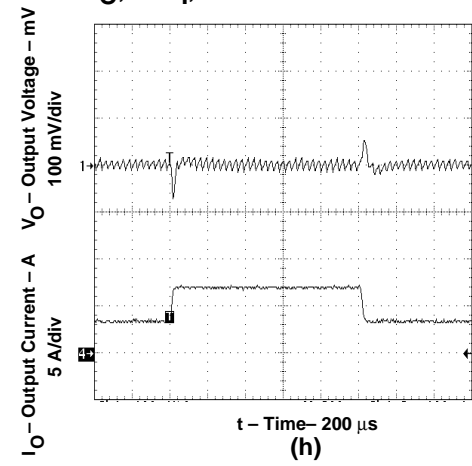


Figure 3 - 7 負荷変動 (続き)

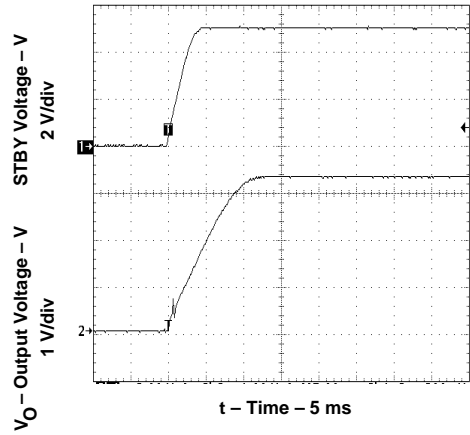
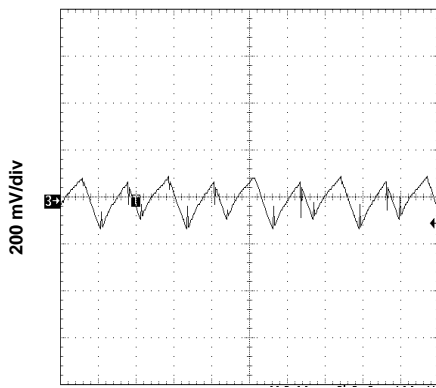


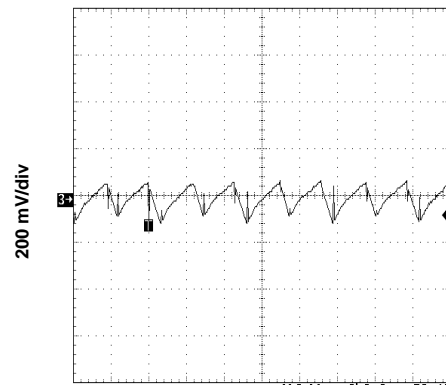
Figure 3 - 8 スタートアップ

5 $V_{O1}/6$ A, 3.3 $V_{O2}/6$ A, 24 V_I Condition

2.5 $V_{O1}/6$ A, 3.3 $V_{O2}/6$ A, 24 V_I Condition

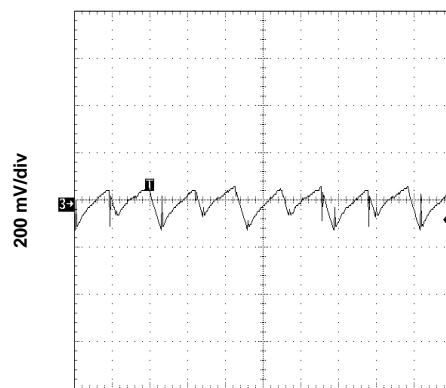


t - Time - 2 μ s
(a)



t - Time - 2 μ s
(b)

1.8 $V_{O1}/6$ A, 3.3 $V_{O2}/6$ A, 24 V_I Condition



t - Time - 2 μ s
(c)

Figure 3 - 9 入力電圧リップル