
TMS320C6000 DSP HPI

リファレンス・ガイド

TMS320C6000 DSP HPI リファレンス・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといひます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといひます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

最初にお読みください

このマニュアルについて

本書では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) におけるホスト・ポート・インターフェイス (HPI) について説明します。この HPI は、外部プロセッサがメモリ空間にアクセスするために使用します。『TMS320C6000 DSP Host Port Interface (HPI) Reference Guide』(文献番号 SPRU578B) を翻訳しています。

表記規則

本書では、次の表記規則を使用しています。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書では、レジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、またリード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。

Texas Instruments 社からの関連文献

C6000™ デバイスおよびそのサポート・ツールを解説した関連文献は、次のとおりです。関連文献は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

TMS320C6000 CPU and Instruction Set Reference Guide (文献番号 SPRU189) では、TMS320C6000™ デジタル・シグナル・プロセッサの CPU アーキテクチャ、命令セット、パイプライン、および割り込みについて説明しています。

TMS320C6000 DSP Peripherals Overview Reference Guide (文献番号 SPRU190) では、TMS320C6000™ DSP で使用可能なペリフェラルの概要について説明しています。

TMS320C6000 Technical Brief (文献番号 SPRU197) では、TMS320C62x™ と TMS320C67x™ DSP、開発ツール、およびサードパーティのサポートの概要について説明しています。

TMS320C64x Technical Overview (文献番号 SPRU395) では、TMS320C64x™ DSP の概要について説明しています。また、TMS320C64x VelociTI™ により強化されるアプリケーション分野についても説明しています。

TMS320C6000 Programmer's Guide (文献番号 SPRU198) では、TMS320C6000™ DSP 用に C およびアセンブラ・コードを最適化する方法について説明し、また、アプリケーション・プログラム例を記述しています。

TMS320C6000 Code Composer Studio Tutorial (文献番号 SPRU301) では、Code Composer Studio™ 統合開発環境とソフトウェア・ツールの概要について説明しています。

Code Composer Studio Application Programming Interface Reference Guide (文献番号 SPRU321) では、Code Composer Studio™ アプリケーション・プログラミング・インターフェイス (API) について説明しています。この API を使用して、Code Composer 用のカスタム・プラグインを開発することができます。

TMS320C6x Peripheral Support Library Programmer's Reference (文献番号 SPRU273) では、TMS320C6000™ のペリフェラル・サポート・ライブラリの関数とマクロ関数の内容について説明しています。ヘッダ・ファイル毎に、またアルファベット順に、関数とマクロを示しています。それぞれを詳しく説明するとともに、その使用方法を示すコード例を記述しています。

TMS320C6000 Chip Support Library API Reference Guide (文献番号 SPRU401) では、オンチップ・ペリフェラルの設定と制御のために使用するアプリケーション・プログラミング・インターフェイス (API) のセットについて説明しています。

商標

Code Composer Studio、C6000、C62x、C64x、C67x、TMS320C6000、TMS320C62x、TMS320C64x、TMS320C67x、および VelociTI は、Texas Instruments の商標です。

目次

1	概要	9
2	HPI 外部インターフェイス	12
2.1	TMS320C620x/C670x HPI	12
2.2	TMS320C621x/C671x HPI	14
2.3	TMS320C64x HPI16 または HPI32	15
3	信号の解説	16
3.1	データ・バス : $\overline{\text{HD}}[15-0]$ または $\overline{\text{HD}}[31-0]$	17
3.2	アクセス・コントロール選択 : $\overline{\text{HCNTL}}[1-0]$	17
3.3	ハーフワード識別選択 : $\overline{\text{HHWIL}}$	17
3.4	アドレス・ストロブ入力 : $\overline{\text{HAS}}$	18
3.5	バイト・イネーブル : $\overline{\text{HBE}}[1-0]$ (C620x/C670x DSP のみ)	19
3.6	リード/ライト選択 : $\overline{\text{HR/W}}$	20
3.7	ストロブ : $\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$	20
3.8	レディ : $\overline{\text{HRDY}}$	21
3.9	ホストへの割り込み : $\overline{\text{HINT}}$	21
4	HPI バス・アクセス	22
4.1	C620x/C670x HPI の HPI バス・アクセス	22
4.1.1	コントロール信号のラッチ	22
4.1.2	HPID リード	22
4.1.3	HPID ライト	23
4.1.4	HPIC または HPIA アクセス	23
4.2	C621x/C671x HPI の HPI バス・アクセス	27
4.2.1	コントロール信号のラッチ	27
4.2.2	HPID リード	28
4.2.3	HPID ライト	29
4.2.4	HPIC または HPIA アクセス	29
4.3	C64x HPI の HPI バス・アクセス	30

5	ホスト・アクセス・シーケンス	33
5.1	HPIC と HPIA の初期化	33
5.1.1	HPIC と HPIA の初期化 (C62x/C67x HPI と C64x HPI16)	33
5.1.2	HPIC と HPIA の初期化 (C64x HPI32)	35
5.2	固定アドレス・モードの HPID リード・アクセス	35
5.2.1	固定アドレス・モードの HPID リード (C62x/C67x HPI と C64x HPI16)	35
5.2.2	固定アドレス・モードの HPID リード (C64x HPI32)	37
5.3	自動インクリメント・モードの HPID リード・アクセス	37
5.3.1	自動インクリメント・モードの HPID リード (C62x/C67x HPI と C64x HPI16)	37
5.3.2	自動インクリメント・モードの HPID リード (C64x HPI32)	39
5.4	固定アドレス・モードの HPID ライト・アクセス	40
5.4.1	固定アドレス・モードの HPID ライト (C62x/C67x HPI と C64x HPI16)	40
5.4.2	固定アドレス・モードの HPID ライト (C64x HPI32)	42
5.5	自動インクリメント・モードの HPID ライト・アクセス	42
5.5.1	自動インクリメント・モードの HPID ライト (C62x/C67x HPI と C64x HPI16)	42
5.5.2	自動インクリメント・モードの HPID ライト (C64x HPI32)	45
5.6	シングル・ハーフワード・サイクル (C620x/C670x HPI のみ)	46
6	HPI トランスファー・プライオリティ・キュー (C621x/C671x/C64x HPI のみ)	47
7	リセット中の HPI でのメモリ・アクセス	47
8	HPI レジスタ	47
8.1	HPI データ・レジスタ (HPID)	48
8.2	HPI アドレス・レジスタ (HPIA)	48
8.3	HPI コントロール・レジスタ (HPIC)	49
8.3.1	HRDY ビットと FETCH ビットを使用したソフトウェア・ハンドシェイク	54
8.3.2	DSPINT ビットを使用したホスト・デバイスの CPU への割り込み	54
8.3.3	HINT ビットを使用した CPU のホストへの割り込み	55
8.4	HPI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) (C64x DSP のみ)	55



図 1	TMS320C620x/C670x DSP ブロック図	10
図 2	TMS320C621x/C671x/C64x DSP ブロック図	11
図 3	C620x/C670x HPI のブロック図	12
図 4	C621x/C671x HPI のブロック図	14
図 5	C64x HPI のブロック図	15
図 6	選択入力ロジック	20
図 7	HPI リード・タイミング (HAS 未使用、ハイに接続)	24
図 8	HPI リード・タイミング (HAS 使用)	25
図 9	HPI ライト・タイミング (HAS 未使用、ハイに接続)	26
図 10	HPI ライト・タイミング (HAS 使用)	27
図 11	C64x HPI の HPI32 リード・タイミング (HAS 未使用、ハイに接続)	31
図 12	C64x HPI の HPI32 リード・タイミング (HAS 使用)	31
図 13	C64x HPI の HPI32 ライト・タイミング (HAS 未使用、ハイに接続)	32
図 14	C64x HPI の HPI32 ライト・タイミング (HAS 使用)	32
図 15	HPI コントロール・レジスタ (HPIC)-C620x/C670x DSP	50
図 16	HPI コントロール・レジスタ (HPIC)-C621x/C671x DSP	51
図 17	HPI コントロール・レジスタ (HPIC)-C64x DSP	52
図 18	HPI トランスファー・リクエスト・コントロール・レジスタ (TRCTL)	56

表

表 1	C62x/C67x HPI と C64x HPI の相違点	11
表 2	HPI 外部インターフェイス信号	16
表 3	HPI 入力コントロール信号の機能選択	17
表 4	HPI データ・ライト・アクセス	18
表 5	HPI データ・ライト・アクセスのバイト・イネーブル (C620x/C670x HPI のみ)	19
表 6	HWOB = 1 での HPIC と HPIA の初期化	34
表 7	HWOB = 0 での HPIC と HPIA の初期化	34
表 8	HPIC と HPIA の初期化 (HPI32)	35
表 9	HWOB = 1 での HPI への固定アドレス・モードのデータ・リード・アクセス	36
表 10	HWOB = 0 での HPI への固定アドレス・モードのデータ・リード・アクセス	36
表 11	固定アドレス・モードのデータ・リード・アクセス (HPI32)	37
表 12	HWOB = 1 での HPI への自動インクリメント・モードのリード・アクセス	38
表 13	HWOB = 0 での HPI への自動インクリメント・モードのリード・アクセス	38
表 14	HPI への自動インクリメント・モードのリード・アクセス (HPI32)	39
表 15	HWOB = 1 での固定アドレス・モードの HPI への 16 ビット・データ・ライト・アクセス	40
表 16	HWOB = 0 での固定アドレス・モードの HPI への 16 ビット・データ・ライト・アクセス	41
表 17	HWOB = 1 での固定アドレス・モードの HPI への 32 ビット・データ・ライト・アクセス	41
表 18	固定アドレス・モードの HPI へのデータ・ライト・アクセス (HPI32)	42
表 19	HWOB = 1 での自動インクリメント・モードの HPI へのライト・アクセス	43
表 20	HWOB = 0 での自動インクリメント・モードの HPI へのライト・アクセス	44
表 21	自動インクリメント・モードの HPI へのライト・アクセス (HPI32)	45
表 22	C62x/C67x DSP の HPI レジスタ	47
表 23	C64x DSP の HPI レジスタ	47
表 24	HPI コントロール・レジスタ (HPIC) フィールドの説明	53
表 25	HPI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) フィールドの説明	56

ホスト・ポート・インターフェイス (HPI)

本書では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) におけるホスト・ポート・インターフェイス (HPI) について説明します。この HPI は、外部プロセッサがメモリ空間にアクセスするために使用します。

1 概要

ホスト・ポート・インターフェイス (HPI) は、ホスト・プロセッサが CPU のメモリ空間に直接アクセスできるパラレル・ポートです。ホスト・デバイスはインターフェイスのマスターとして機能し、これによりアクセスを容易にしています。ホストと CPU は、内部メモリまたは外部メモリを介して情報を交換することができます。また、ホストはメモリ・マップされたペリフェラルに直接アクセスすることもできます。CPU メモリ空間へのアクセスはダイレクト・メモリ・アクセス (DMA) またはエンハンスド DMA (EDMA) コントローラを介して行われます。ホストと CPU は、ともに HPI コントロール・レジスタ (HPIC) にアクセスすることができます。ホストは、外部データ信号とインターフェイス・コントロール信号を使用することで、HPI アドレス・レジスタ (HPIA)、HPI データ・レジスタ (HPID)、および HPIC にアクセスすることができます。C64x™ DSP の場合、CPU も HPIA にアクセスすることができます。

外部ホストは、HPI を使用して次の項目以外の DSP メモリ・マップ全体にアクセスすることができます。

- L2 コントロール・レジスタ (C6x1x DSP のみ)
- インタラプト・セクタ・レジスタ
- エミュレーション・ロジック

C620x/C670x DSP のブロック図を図 1 に示します。C621x/C671x/C64x DSP のブロック図を図 2 に示します。C6000™ DSP でのデバイスグループごとの相違点を表 1 にまとめます。

図 1. TMS320C620x/C670x DSP ブロック図

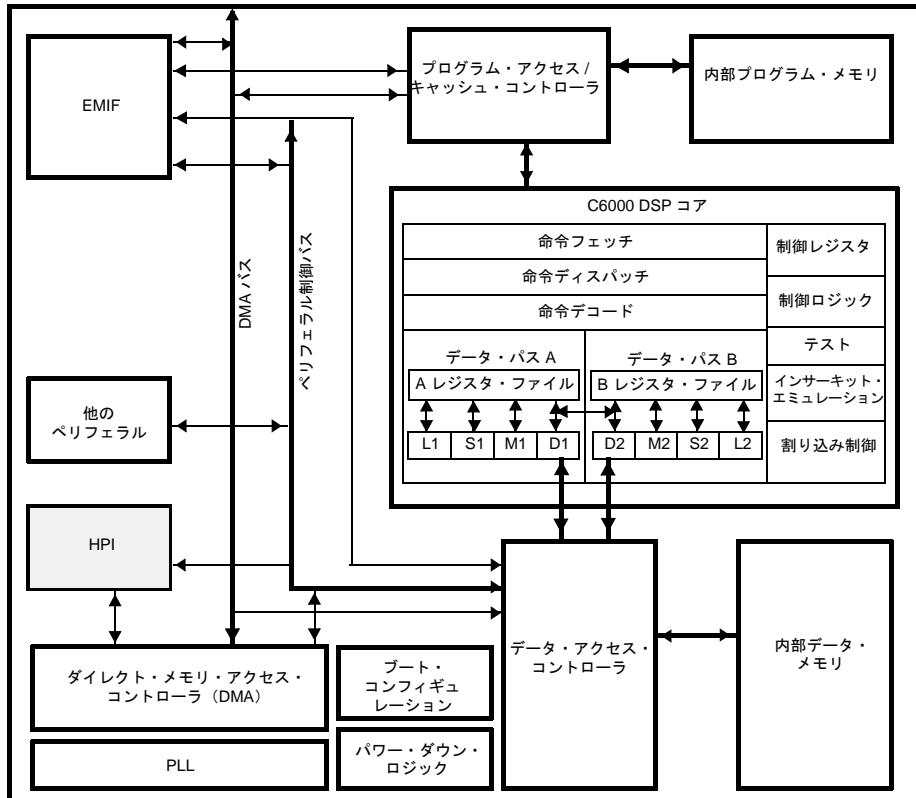


図 2. TMS320C621x/C671x/C64x DSP ブロック図

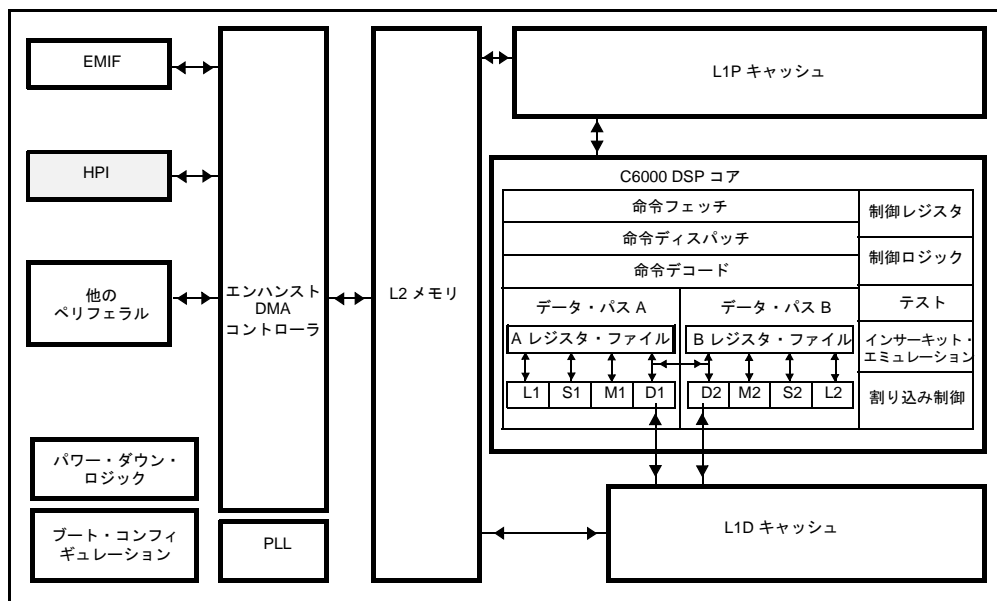


表 1. C62x/C67x HPI と C64x HPI の相違点

機能	C62x/C67x HPI		C64x HPI	
	C620x/C670x	C621x/C671x	HPI16	HPI32
データ・バス幅	16 ビット	16 ビット	16 ビット	32 ビット
バイト・イネーブル HBE[1-0] ピン	あり	なし	なし	なし
HHWIL	使用	使用	使用	不使用
シングル・ワード・アクセスのサポート	あり	なし	なし	なし
HPIA アクセス	ホストのみ	ホストのみ	ホストまたは CPU HPIA は HPIAR と HPIAW で構成	ホストまたは CPU HPIA は HPIAR と HPIAW で構成
HRDY 動作	各ワード・アクセス後は ノットレディ (ロー)	内部リード/ライト・バッファが ノットレディの場合のみロー	C621x/C671x HPI と 同様	C621x/C671x HPI と 同様
内部リード・バッファ	なし	あり、8 段	あり、16 段	あり、16 段
内部ライト・バッファ	なし	あり、8 段	あり、32 段 内部タイマのタイムアウト後にフラッシュ	あり、32 段 内部タイマのタイムアウト後にフラッシュ

2 HPI 外部インターフェイス

ここでは、C6000 HPI の外部インターフェイスについて説明します。インターフェイス信号の詳細は、第3章を参照してください。

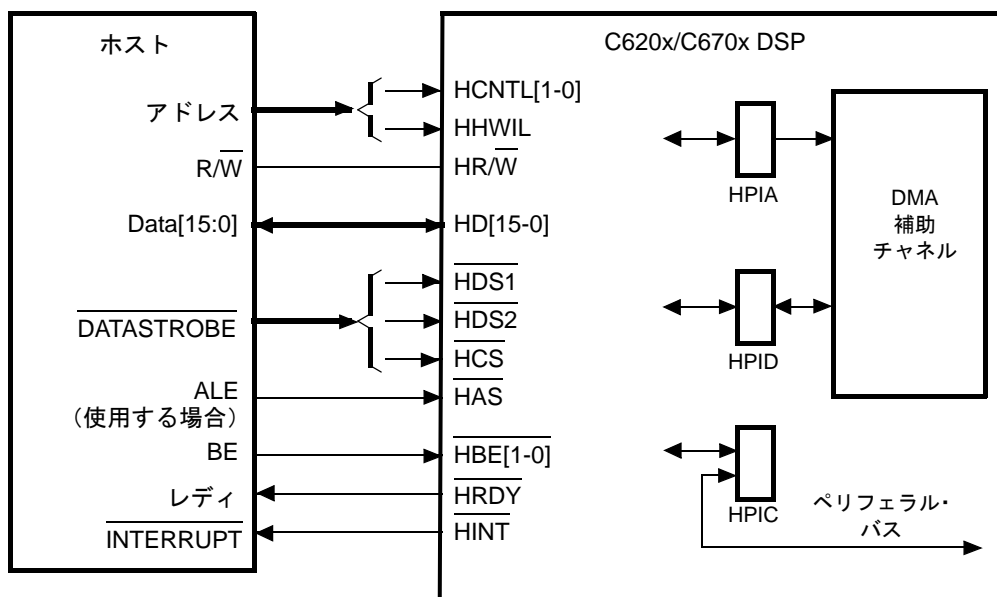
2.1 TMS320C620x/C670x HPI

図3は、C620x/C670x HPI を簡略化した図です。

HPI は連続した 16 ビット転送を自動的に結合することにより、経済的な 16 ビットの外部インターフェイスで CPU への 32 ビット・データ・アクセスを可能にします。ホスト・デバイスが HPID を通してデータを転送すると、DMA 補助チャンネルは CPU のアドレス空間にアクセスします。

16 ビット・データ・バス HD[15-0] は、ホストと情報を交換します。チップ・アーキテクチャが 32 ビット・ワード構成なので、ホストの転送はすべて 2 つの連続した 16 ビット・ハーフワードで構成されます。HPI データ (HPID) ライト・アクセスでは、HBE[1-0] バイト・イネーブルによりライトされるバイトが選択されます。HPIA、HPIC、HPID のリード・アクセスでは、これらのバイト・イネーブルは使用されません。専用の HHWIL ピンは、転送されるハーフワードが第 1 ハーフワードか第 2 ハーフワードかを示します。内部コントロール・レジスタ・ビットは、ワードの上位ハーフワードに置かれるハーフワードが第 1 ハーフワードか第 2 ハーフワードかを決定します。フルワード・アクセスの場合、ホストは進行中の HPI アクセスの第 1 ハーフワード / 第 2 ハーフワード (HHWIL ロー / ハイ) のシーケンスを中断することはできません。

図 3. C620x/C670x HPI のブロック図



2つのデータ・ストロブ ($\overline{\text{HDS1}}$ および $\overline{\text{HDS2}}$)、リード/ライト・セレクト ($\overline{\text{HR/W}}$)、およびアドレス・ストロブ ($\overline{\text{HAS}}$) により、HPI はほとんど、もしくは、まったくロジックを追加することなく、さまざまな業界標準のホスト・デバイスにインターフェイスすることができます。HPI は、マルチプレクスされたまたは専用のアドレス/データ・バスを持つホスト、データ・ストロブとリード/ライト・ストロブを持つホスト、またはリードとライト用の2つの別々のストロブを持つホストに、簡単にインターフェイスすることができます。

HCNTL[1-0] コントロール入力、どの HPI レジスタがアクセスされるかを示します。これらの入力を使用することで、ホストは **HPIA** (ソースまたはデスティネーションへのポインタとして機能)、**HPIC**、**HPID** のうちどのレジスタへのアクセスかを指定できます。通常、これらの入力と **HHWIL** は、ホストのアドレス・バスのビットまたはこれらのビットの組み合わせと直接接続して使用されます。ホストは **HPIC** にライトすることにより **CPU** に割り込むことができ、**CPU** は **HINT** 出力をアクティブにしてホストに割り込むことができます。

ホストは **HPIA** の自動アドレス・インクリメントを使用しながら **HPID** にアクセスすることもできます。この機能により、連続したワード・ロケーションへのリードとライトが容易になります。また、自動インクリメントを使用した **HPID** リードの場合、データは後続のホスト・リード要求のレイテンシを削減するために自動インクリメントされたアドレスからプリフェッチされます。

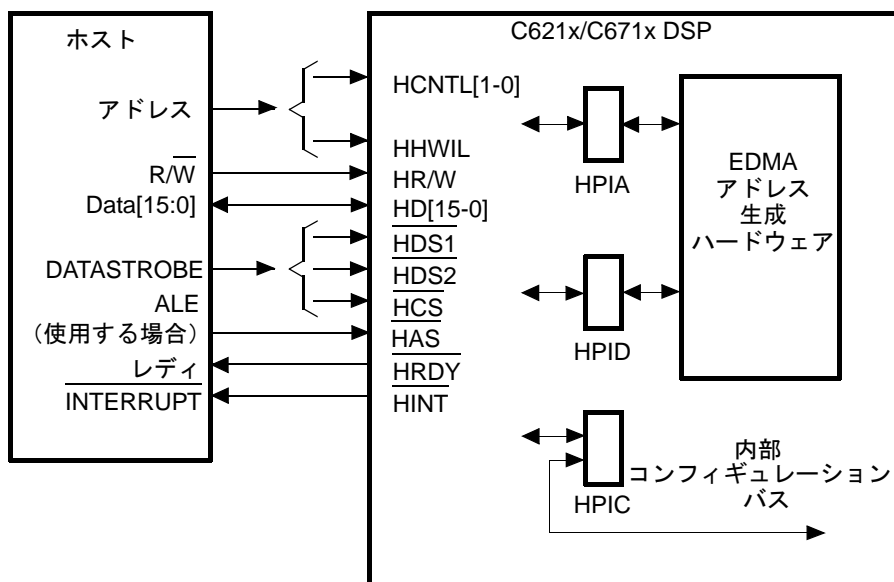
HPI レディ・ピン ($\overline{\text{HRDY}}$) を使用すると、ホストに対してウェイト・ステートを挿入できます。ホスト・アクセスのレートや、**HPI** でアクセスされるメモリ・マップ内のポイントで必要とされるレイテンシによって、ウェイト・ステートが必要となる場合があります。前回の **HPID** ライト・アクセスまたはプリフェッチされた **HPID** リード・アクセスが終了する前にホストがホスト・ポートにアクセスする場合、ホスト・アクセスのレートによっては **ノットレディ** 状態になります。この場合、**HPI** は **HRDY** を使用してホストを待たせます。**HRDY** を使用すると、ホスト・アクセス・レートを **DMA** 補助チャネルからのデータ配信レートに自動的に調整できるようになります (ソフトウェア・ハンドシェイクは不要です)。**HRDY** ピンを利用できないハードウェア・システムの場合、ソフトウェア・ハンドシェイク用に **HPIC** の **HRDY** ビットを使用できます。

2.2 TMS320C621x/C671x HPI

C621x/C671x ピン・インターフェイスを図 4 に示します。16 ビット・データ・バス HD[15-0] でのアクセスはすべてペアになっていなければなりません。

アクセスを実行するために DMA 補助チャネルを使用する C620x HPI インターフェイスとは異なり、C621x/C671x HPI は内部アドレス生成ハードウェアに直接つながっています。C621x/C671x HPI アクセスを行うために、特定の EDMA チャネルが使用されることはありません。代わりに、内部アドレス生成ハードウェアがリード / ライトのリクエストとアクセスを処理します。

図 4. C621x/C671x HPI のブロック図

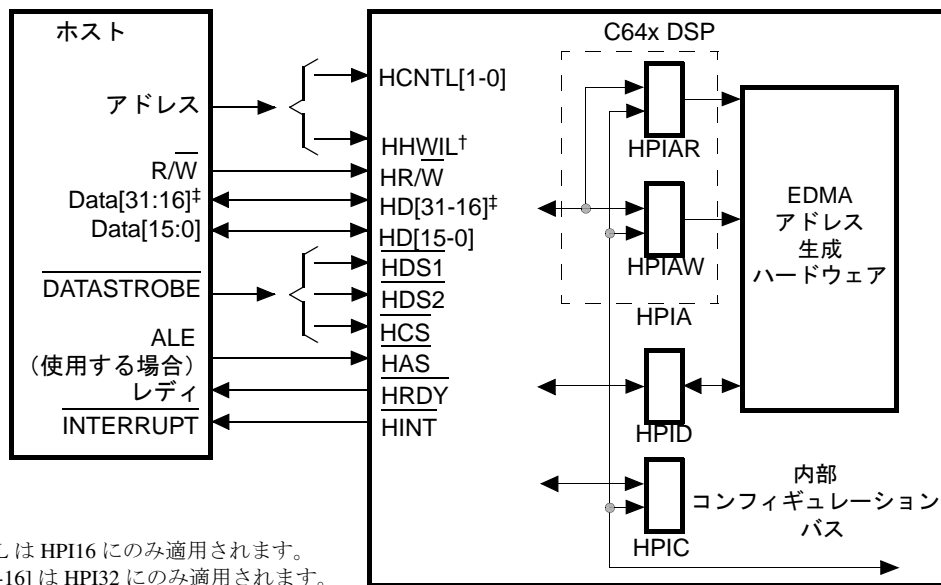


2.3 TMS320C64x HPI16 または HPI32

C64x には 32 個の外部データ・ピン HD[31-0] があります (図 5 を参照)。これにより、C64x HPI は 16 ビットまたは 32 ビットの外部ピン・インターフェイスをサポートします。C64x HPI は 16 ビット幅のホスト・ポートとして動作する場合は HPI16 と呼ばれ、32 ビット幅のホスト・ポートとして動作する場合は HPI32 と呼ばれます。C64x はリセット時におけるブートおよびデバイス・コンフィギュレーション・ピンの状態によって、HPI16 または HPI32 のいずれかを選択します。

HPI16 は C621x/C671x HPI の機能拡張版です。HPI16 は 16 ビットの外部インターフェイスを使用して 32 ビット・データ・アクセスを可能にします。C621x/C671x HPI の全機能に加え、HPI16 では DSP は HPI アドレス・レジスタ (HPIA) にアクセスできます。HPIA は HPIA ライト (HPIAW) と HPIA リード (HPIAR) の 2 つのレジスタに分かれています (図 5 を参照)。

図 5. C64x HPI のブロック図



† HHWIL は HPI16 にのみ適用されます。

‡ HD[31-16] は HPI32 にのみ適用されます。

HPI32 には HPI16 と同様の機能があります。HPI16 と HPI32 の相違点は、次の点だけです。

- **HHWIL 入力:** ワード転送の第 1 ハーフワードまたは第 2 ハーフワードを識別するために、HPI16 では HHWIL 入力を使用されます。HPI32 では HHWIL は使用されません。これは、すべてのデータ転送が 32 ビット・ワードで行われるためです。

- **データ・バス・サイズ**: その名前が示すように、HPI16には16ビット・データ・バスがあります。HPI16は連続した16ビット転送を結合して、32ビット・データ・アクセスを行います。他のC6000デバイスとの互換性を確保するために、リセット時に選択されるエンディアン・モードに関係なく、HPI16はHD[15-0]をデータ・ピンとして使用します。HPI32には32ビット・データ・バスがあります。この拡張されたバス幅では、すべての転送は2つの連続した16ビット・ハーフワードではなく、1つの32ビット・ワードで構成されます。これにより、HPIがHPI32モードで動作する場合にはスループットが増加します。

3 信号の解説

HPI 外部インターフェイス信号は、さまざまなホスト・デバイスに対して柔軟なインターフェイスを実現します。表2では、HPIピンとその機能について説明します。この節では、これらのピンについて詳細に説明します。

表 2. HPI 外部インターフェイス信号

信号名	信号タイプ [†]	信号数	ホスト接続	信号機能
HD[15-0] または HD[31-0] [‡]	I/O/Z	16または 32 [‡]	データ・バス	
HCNTL[1-0]	I	2	アドレスまたはコントロール線	HPI アクセス・タイプ制御
HHWIL [§]	I	1	アドレスまたはコントロール線	ハーフワード識別入力
HAS	I	1	アドレス・ラッチ・イネーブル (ALE)、アドレス・ストロブ、または未使用 (プルアップ)	アドレス/データがマルチプレクスされたホストでのアドレス値とデータ値の区別
HBE[1-0] [¶]	I	2	バイト・イネーブル	データ・ライト・バイト・イネーブル
HR/ \overline{W}	I	1	リード/ライト・ストロブ、アドレス線、またはマルチプレクスされたアドレス/データ	リード/ライト選択
HCS	I	1	アドレスまたはコントロール線	データ・ストロブ入力
HDS[1-2]	I	1 1 1	リード・ストロブおよびライト・ストロブ、またはデータ・ストロブ	データ・ストロブ入力
HRDY	O	1	非同期レディ	現在の HPI アクセスのレディ・ステータス
HINT	O	1	ホスト割り込み入力	ホストへの割り込み信号

[†] I=入力、O=出力、Z=ハイ・インピーダンス

[‡] HD[31-16]はC64xまたはHPI32にのみ適用されます。

[§] HHWILはC64x HPI32には適用されません。

[¶] HBE[1-0]はC620x/C670x DSPにのみ適用されます。

3.1 データ・バス : HD[15-0] または HD[31-0]

HD[15-0] または HD[31-0] は、パラレルな双方向の 3 ステート・データ・バスです。HD は HPI リード・アクセスへの応答でない時は、ハイ・インピーダンス状態に置かれます。ピン HD[31:16] は C64x HPI32 にのみ適用されます。2.3 節を参照してください。

3.2 アクセス・コントロール選択 : HCNTL[1-0]

HCNTL[1-0] は、どの内部 HPI レジスタがアクセスされているかを示します。これらの 2 つのピンのステートにより、HPI アドレス (HPIA)、HPI データ (HPID)、HPI コントロール (HPIC) レジスタのいずれへのアクセスかを選択します。また、HPID はオプションの自動アドレス・インクリメントを使用してアクセスできます。表 3 では、HCNTL[1-0] ビットの機能について説明します。

表 3. HPI 入力コントロール信号の機能選択

HCNTL1	HCNTL0	説明
0	0	ホストは HPI コントロール・レジスタ (HPIC) へのリードまたはライトを行います。
0	1	ホストは HPI アドレス・レジスタ (HPIA) へのリードまたはライトを行います。
1	0	ホストは HPI データ・レジスタ (HPID) へのリードまたはライトを自動インクリメント・モードで行います。HPI アドレス・レジスタ (HPIA) は、1 ワード・アドレス (4 バイト・アドレス) 分ポストインクリメントされます。
1	1	ホストは HPI データ・レジスタ (HPID) へのリードまたはライトを固定アドレス・モードで行います。HPI アドレス・レジスタ (HPIA) の値は変更されません。

3.3 ハーフワード識別選択 : HHWIL

HHWIL は転送の第 1 ハーフワードと第 2 ハーフワードを識別します。最上位ハーフワードと最下位ハーフワードを識別するものではありません。HPIC の HWOB ビットのステータスにより、どちらのハーフワードが下位側か、上位側かが決定します。HHWIL がローで第 1 ハーフワード、ハイで第 2 ハーフワードになります。

C621x/C671x HPI および C64x HPI ではバイト・イネーブル・ピン $\overline{\text{HBE}}[1-0]$ が削除されているため、HHWIL と HWOB の組み合わせによって HPI データ・レジスタ (HPID) 内のハーフワード位置が指定されます。エンディアンごとの LSB アドレス・ビットとともに表 4 にこれを示します。HHWIL は C64x HPI32 では適用されません。

表 4. HPI データ・ライト・アクセス

データ・タイプ リトル・エンディアン (LE) / ビッグ・エンディアン (BE)	HWOB ビット	最初のライト (HHWIL=0) / 論理 LSB アドレス・ ビット	2 回目のライト (HHWIL=1) / 論理 LSB アドレ ス・ビット
ハーフワード： リトル・エンディアン (LE) ビッグ・エンディアン (BE)	0	MS ハーフワード LE = 10 BE = 00	LS ハーフワード LE = 00 BE = 10
ハーフワード： リトル・エンディアン (LE) ビッグ・エンディアン (BE)	1	LS ハーフワード LE = 00 BE = 10	MS ハーフワード LE = 10 BE = 00
ワード： リトル・エンディアン (LE) ビッグ・エンディアン (BE)	0	MS ハーフワード LE = 00 BE = 00	LS ハーフワード LE = 00 BE = 00
ワード： リトル・エンディアン (LE) ビッグ・エンディアン (BE)	1	LS ハーフワード LE = 00 BE = 00	MS ハーフワード LE = 00 BE = 00

3.4 アドレス・ストロブ入力： $\overline{\text{HAS}}$

$\overline{\text{HAS}}$ を使用すると、 $\overline{\text{HCNTL}}[1-0]$ 、 $\overline{\text{HR}/\overline{\text{W}}}$ 、 $\overline{\text{HHWIL}}$ をアクセス・サイクルの早い段階で取り除くことができるので、より多くの時間をかけてアドレスからデータ情報にバス・ステートを切り替えることができます。この機能により、マルチプレクスされたアドレスとデータ・バスへのインターフェイスが容易になります。このタイプのシステムでは、多くの場合、アドレス・ラッチ・イネーブル (ALE) 信号が供給され、通常 $\overline{\text{HAS}}$ に接続されます。

マルチプレクスされたアドレスとデータ・バスがあるホストは、 $\overline{\text{HAS}}$ をその $\overline{\text{ALE}}$ ピンまたはそれに相当するピンに接続します。 $\overline{\text{HHWIL}}$ 、 $\overline{\text{HCNTL}}[1-0]$ 、 $\overline{\text{HR}/\overline{\text{W}}}$ は、 $\overline{\text{HAS}}$ の立ち下がりエッジでラッチされます。 $\overline{\text{HAS}}$ を使用する場合、 $\overline{\text{HAS}}$ は $\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ のうち最後にアサートされるものより先にアサートされなければなりません。アドレス・バスとデータ・バスを別個にもつホストは、 $\overline{\text{HAS}}$ をハイに接続しておきます。この場合、 $\overline{\text{HAS}}$ がインアクティブ (ハイ) の間、 $\overline{\text{HHWIL}}$ 、 $\overline{\text{HCNTL}}[1-0]$ 、 $\overline{\text{HR}/\overline{\text{W}}}$ は、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ 、 $\overline{\text{HCS}}$ のうち最後にアサートされる信号の立ち下がりエッジでラッチされます。

3.5 バイト・イネーブル : $\overline{\text{HBE}}[1-0]$ (C620x/C670x DSP のみ)

HPID ライトでは、 $\overline{\text{HBE}}[1:0]$ の値が 32 ビット・ワードのどのバイトがライトされるのかを示します。また、HPID ライトでは、 $\overline{\text{HBE}}0$ がハーフワードの最下位バイトをイネーブルにし、 $\overline{\text{HBE}}1$ がハーフワードの最上位バイトをイネーブルにします。表 5 に、バイト・イネーブルの有効な組み合わせを示します。バイト・ライトの場合、いずれかのハーフワード・アクセスで $\overline{\text{HBE}}$ を 1 つだけイネーブルにすることができます。ハーフワード・データ・ライトの場合、ハーフワード・アクセス両方ではなくいずれか 1 つで $\overline{\text{HBE}}$ を両方ともアクティブ（ロー）にする必要があります。ワード・アクセスの場合、両方のハーフワード・アクセスで $\overline{\text{HBE}}$ を両方ともアクティブ（ロー）にする必要があります。その他の組み合わせは無効です。バイト・イネーブルの選択と CPU のエンディアン（LENDIAN ピンで選択）により、アクセスする論理アドレスが決定されます。

HPI はワード・リードだけを実行します。このため、バイト・イネーブル $\overline{\text{HBE}}[1-0]$ は、ホスト・リード・アクセスに無関係です。

表 5. HPI データ・ライト・アクセスのバイト・イネーブル (C620x/C670x HPI のみ)

データ・ ライト・ タイプ	$\overline{\text{HBE}}[1-0]$		有効論理アドレス LSB (バイナリ)		
	HWOB = 0	最初のライト HHWIL = 0	2回目のライト HHWIL = 1	リトル・ エンディアン	ビッグ・ エンディアン
		HWOB = 1	2回目のライト HHWIL = 1		
バイト		11	10	00	11
バイト		11	01	01	10
バイト		10	11	10	01
バイト		01	11	11	00
ハーフワード		11	00	00	10
ハーフワード		00	11	10	00
ワード		00	00	00	00

3.6 リード/ライト選択 : $\overline{\text{HR/W}}$

$\overline{\text{HR/W}}$ は、ホストのリード/ライト選択入力です。ホストは $\overline{\text{HR/W}}$ を HPI のリードではハイに、HPI のライトではローにドライブする必要があります。リード/ライト選択出力またはリードまたはライト・ストロブがないホストは、代わりにアドレス線を使用することもできます。

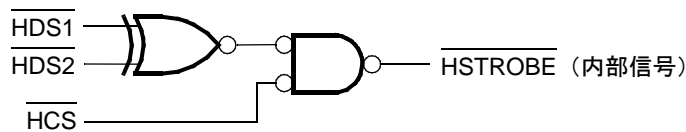
3.7 ストロブ : $\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$

$\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ を使用すると、次のいずれかのホストに接続することができます。

- リード/ライト選択 ($\overline{\text{HR/W}}$) とともに単一のストロブ出力をもつホスト
- リード・ストロブ出力とライト・ストロブ出力を別個にもつホスト。この場合、リードとライトの選択は、異なるアドレスを使用することで実現可能です。

図 6 に、 $\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ 入力の等価回路を示します。

図 6. 選択入力ロジック



$\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、および $\overline{\text{HDS2}}$ の組み合わせで、アクティブ（ロー）である内部 $\overline{\text{HSTROBE}}$ 信号が生成されます。 $\overline{\text{HSTROBE}}$ は、 $\overline{\text{HCS}}$ がアクティブでかつ、 $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のいずれかがアクティブの場合のみアクティブ（ロー）になります。 $\overline{\text{HCS}}$ がインアクティブ（ハイ）のとき $\overline{\text{HSTROBE}}$ の立ち下がりエッジで、 $\overline{\text{HCNTL}}[1-0]$ 、 $\overline{\text{HHWIL}}$ 、および $\overline{\text{HR/W}}$ をサンプリングします。このため、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ 、 $\overline{\text{HCS}}$ のうち最後にアサートされるものがサンプリングのタイミングを制御します。 $\overline{\text{HCS}}$ は HPI のイネーブル入力として機能し、アクセス中はローでなければなりません。しかし、 $\overline{\text{HSTROBE}}$ 信号が実際のアクセス間の境界を決定するため、 $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ の両方が適切に遷移する限り、 $\overline{\text{HCS}}$ を連続したアクセス間でローのままにしておくことも可能です。

リード・ストロブとライト・ストロブを別個にもつホストは、これらのストロブをそれぞれ $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のいずれかに接続します。単一のデータ・ストロブをもつホストは、そのストロブを $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のいずれかに接続し、使用しないほうのピンをハイに接続します。 $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ の接続に関係なく、 $\overline{\text{HR/W}}$ は転送方向を決定するために必要です。 $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ は内部で排他的 NOR がとられているので、アクティブ・ハイのデータ・ストロブをもつホストは、このスト

ローブを $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のいずれかに接続し、もう一方の信号をローに接続します。

$\overline{\text{HSTROBE}}$ は次の 4 つの目的で使用されます。

- リード時には、 $\overline{\text{HSTROBE}}$ の立ち下がりエッジがすべてのアクセス・タイプの HPI リード・アクセスを開始します。
- ライト時には、 $\overline{\text{HSTROBE}}$ の立ち上がりエッジがすべてのアクセス・タイプの HPI ライト・アクセスを開始します。
- 立ち下がりエッジで、 $\overline{\text{HHWIL}}$ 、 $\overline{\text{HR}/\overline{\text{W}}}$ 、 $\overline{\text{HCNTL}[1-0]}$ を含む HPI コントロール入力をラッチします。 $\overline{\text{HAS}}$ もコントロール入力のラッチに影響を与えます。 $\overline{\text{HAS}}$ については、3.4 節を参照してください。
- $\overline{\text{HSTROBE}}$ の立ち上がりエッジで、ライトされるデータだけでなく、 $\overline{\text{HBE}[1-0]}$ 入力 (C620x/C670x DSP のみ) もラッチします。

$\overline{\text{HCS}}$ は、 $\overline{\text{HRDY}}$ 出力をゲートします。すなわち、 $\overline{\text{HCS}}$ がアクティブ (ロー) の場合のみ、ハイにドライブされる $\overline{\text{HRDY}}$ ピンによりノットレディ状態が示されます。それ以外の場合は、 $\overline{\text{HRDY}}$ はアクティブ (ロー) です。

3.8 レディ : $\overline{\text{HRDY}}$

$\overline{\text{HRDY}}$ がアクティブ (ロー) の場合、HPI は転送に対してレディであることを示します。 $\overline{\text{HRDY}}$ がインアクティブの場合は、HPI が現在のリード・アクセス、あるいは前回の $\overline{\text{HPID}}$ リード・プリフェッチまたはライト・アクセスの内部処理を完了するためにビジーになっていることを示します。 $\overline{\text{HCS}}$ が $\overline{\text{HRDY}}$ をイネーブルするため、 $\overline{\text{HCS}}$ がハイの場合、 $\overline{\text{HRDY}}$ は常にローのままです。

3.9 ホストへの割り込み : $\overline{\text{HINT}}$

$\overline{\text{HINT}}$ は、HPIC の HINT ビットで制御されるホスト割り込み出力です。この信号の詳細は、8.3.3 項を参照してください。チップがリセットされている間、HINT ビットは 0 (ゼロ) にセットされます。したがって、 $\overline{\text{HINT}}$ ピンはリセット時にハイです。

4 HPI バス・アクセス

4.1 C620x/C670x HPI の HPI バス・アクセス

さまざまなケースの C620x/C670x HPI の HPI アクセス・タイミングを図 7、図 8、図 9、および図 10 に示します。 $\overline{\text{HSTROBE}}$ は、図 6 で説明されている内部で生成されるストロブを示します。コントロール信号 $\text{HCNTL}[1-0]$ 、 $\text{HR}/\overline{\text{W}}$ 、 HHWIL 、 $\overline{\text{HBE}}[1-0]$ は、一般的にホストによってドライブされる入力です。 $\text{HCNTL}[1-0]$ と $\text{HR}/\overline{\text{W}}$ は、両方のハーフワード・アクセスに対して同じ値をとらなければなりません。 HHWIL は第 1 ハーフワードの転送ではロー、第 2 ハーフワードの転送ではハイです。適切な動作のために、HPI 転送 (HPID 、 HPIA 、 HPIC のアクセスを含む) を行う前に、ホストは HRDY をモニタしローであることを検出する必要があります。

4.1.1 コントロール信号のラッチ

$\overline{\text{HAS}}$ を使用するかどうかによって、コントロール信号がラッチされるタイミングが異なります。 $\overline{\text{HAS}}$ がハイに接続され、 $\overline{\text{HAS}}$ が使用されない場合 (図 7 および図 9)、 $\overline{\text{HSTROBE}}$ の立ち下がりエッジでコントロール信号をラッチします。 $\overline{\text{HAS}}$ が使用される場合 (図 8 および図 10)、 $\overline{\text{HAS}}$ の立ち下がりエッジでこれらのコントロール信号をラッチします。後者の場合、 $\overline{\text{HAS}}$ の立ち下がりエッジは、 $\overline{\text{HSTROBE}}$ の立ち下がりエッジより先行しなければなりません。

4.1.2 HPID リード

リードでは、 $\overline{\text{HSTROBE}}$ の立ち下がりエッジからしばらくしてデータが有効になります。有効なデータがまだ HPID がない場合、 HRDY はノットレディ (ハイ) になります。有効なデータが利用できるようになると、 HRDY はレディ (ロー) になります。データは HRDY の立ち下がりエッジで設定され、 $\overline{\text{HSTROBE}}$ の立ち上がりエッジまで保持されます。このため、 HRDY でレディ (ロー) を検出するまで、ホストはリード・サイクルを終了 ($\overline{\text{HSTROBE}}$ を立ち上げることは) できません。

次のいずれかの状態で、 HRDY はノットレディ (ハイ) になります。

- $\overline{\text{HCS}}$ の立ち下がりエッジ後、前回の自動インクリメント・アドレス・モードのアクセスによるプリフェッチが完了していない場合 (図 7 と図 8 のケース 1)。
- $\overline{\text{HSTROBE}}$ の立ち下がりエッジ後、 $\overline{\text{HAS}}$ が使用されず、有効なデータが HPID がない場合 (図 7 のケース 2)。
- $\overline{\text{HAS}}$ が使用される場合、 $\overline{\text{HAS}}$ の立ち下がりエッジ後、有効なデータが HPID がない場合 (図 8 のケース 2)。
- $\overline{\text{HSTROBE}}$ の立ち上がりエッジ後、リード・アクセスが自動インクリメント・アドレス・モードの場合。

固定アドレス・モード HPID リード (HCNTL[1-0] = 11b)

固定アドレス・モードのリードの場合、HPI はそのリード要求を DMA 補助チャンネルに送り、 $\overline{\text{HRDY}}$ はノットレディ (ハイ) になります。その要求されたデータが HPID にロードされるまで、 $\overline{\text{HRDY}}$ はノットレディ (ハイ) のままになります。DMA 補助チャンネルはワード・リードを実行するため、第 2 ハーフワード・リード・アクセスの開始時にはデータはすでに HPID 内にあります。このため、第 2 ハーフワードの HPID リードは、ノットレディ状態にはならず、 $\overline{\text{HRDY}}$ はローのままです。

自動インクリメント・アドレス・モード HPID リード (HCNTL[1-0] = 10b)

最初の自動インクリメント・アドレス・モードのリードの場合、HPI はそのリード要求を DMA 補助チャンネルに送り、 $\overline{\text{HRDY}}$ はノットレディになります (図 7 と 図 8 のケース 2 を参照)。現在のリードが完了すると、次のアドレスで示されるデータがただちにフェッチされます。HPI がデータのプリフェッチでビジーの場合、 $\overline{\text{HRDY}}$ がノットレディ (ハイ) になります。

4.1.3 HPID ライト

ライトを行うときは、ホストは $\overline{\text{HSTROBE}}$ の立ち上がりエッジでデータと $\overline{\text{HBE}}[1-0]$ を出力する必要があります。C620x/C670x HPI は 2 回の連続したハーフワード転送を自動的に結合することで、16 ビットの外部インターフェイスで 32 ビット・データを CPU に供給します。

HPID ライト・アクセス時、HPID の 2 つのハーフワード部分がホストから転送されます。このライト・アクセスの終了時 ($\overline{\text{HSTROBE}}$ の 2 回目の立ち上がりエッジ)、HPID の内容が 32 ビット・ワードとして HPIA が指定するアドレスに転送されます。

$\overline{\text{HRDY}}$ がレディ (ロー) として検出されるまで、ホストはライト・サイクル ($\overline{\text{HSTROBE}}$ の立ち上がりエッジ) を終了できません。次のいずれかの状態で、 $\overline{\text{HRDY}}$ はノットレディ (ハイ) になります。

- $\overline{\text{HCS}}$ の立ち下がりエッジ後、前回のライト・アクセスが完了していない場合
- HPID ライトを処理するための $\overline{\text{HSTROBE}}$ の立ち上がりエッジ後

HPID ライトの詳細は、図 9 と 図 10 を参照してください。

4.1.4 HPIC または HPIA アクセス

正しく動作させるには、HPID リードから HPID ライト (またはその逆) に切り替える前に、HPIC または HPIA ライトを行う必要があります。HPIA/HPIC のリードおよびライトの前には、ホストは $\overline{\text{HRDY}}$ をモニタしローであることを検出する必要があります。

図 7. HPI リード・タイミング (HAS 未使用、ハイに接続)

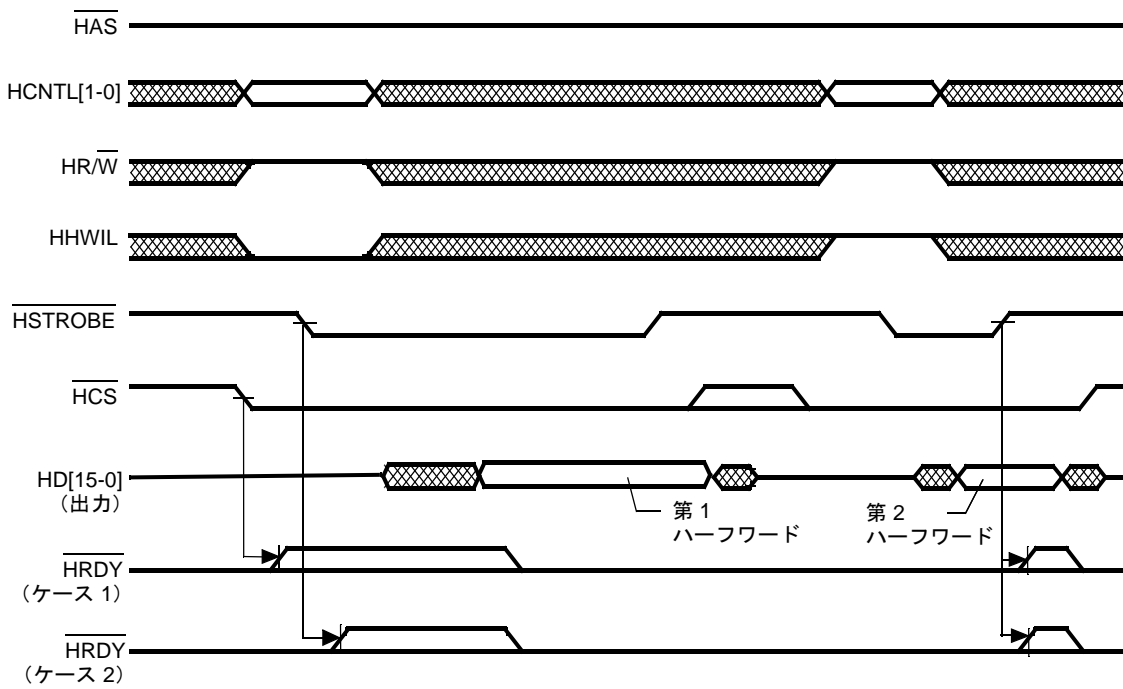
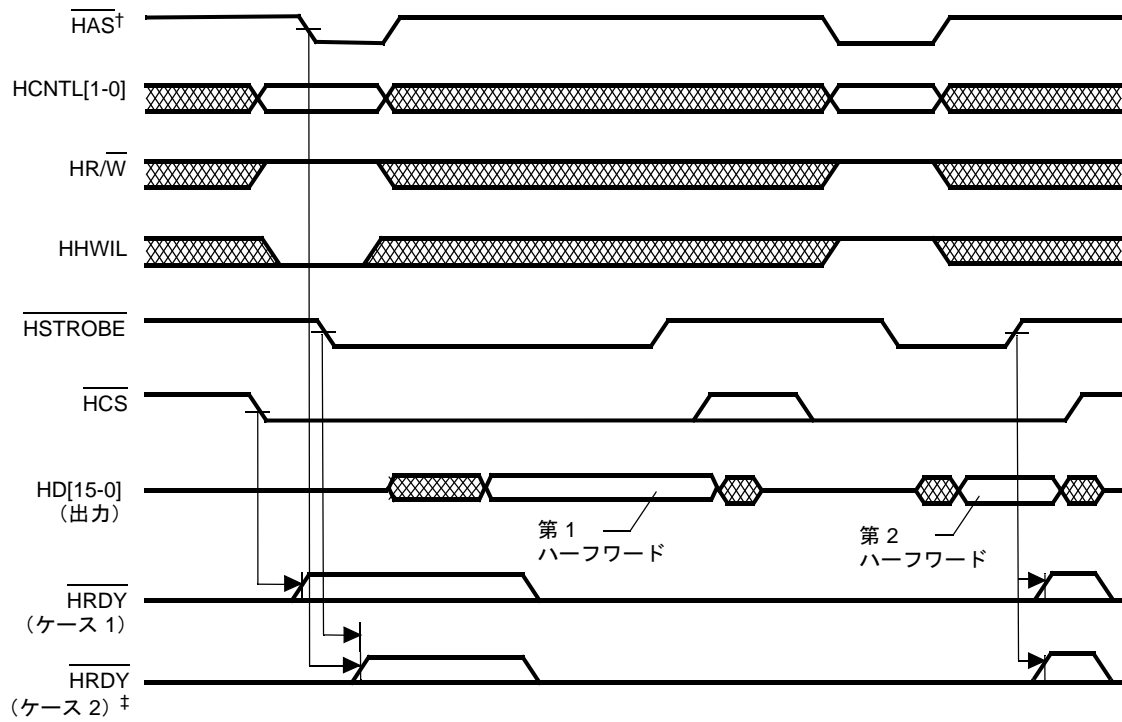


図 8. HPI リード・タイミング (HAS 使用)



† 正しく動作させるには、 $\overline{\text{HSTROBE}}$ サイクルごとに $\overline{\text{HAS}}$ 信号を 1 回だけストロブします。

‡ C620x/C670x DSP では、 $\overline{\text{HAS}}$ が使用される場合、 $\overline{\text{HAS}}$ の立ち下がリエッジ後に $\overline{\text{HRDY}}$ がノットレディになります。その他のデバイスでは、 $\overline{\text{HAS}}$ を使用しても $\overline{\text{HSTROBE}}$ の立ち下がリエッジ後に $\overline{\text{HRDY}}$ がノットレディになります。

図 9. HPI ライト・タイミング ($\overline{\text{HAS}}$ 未使用、ハイに接続)

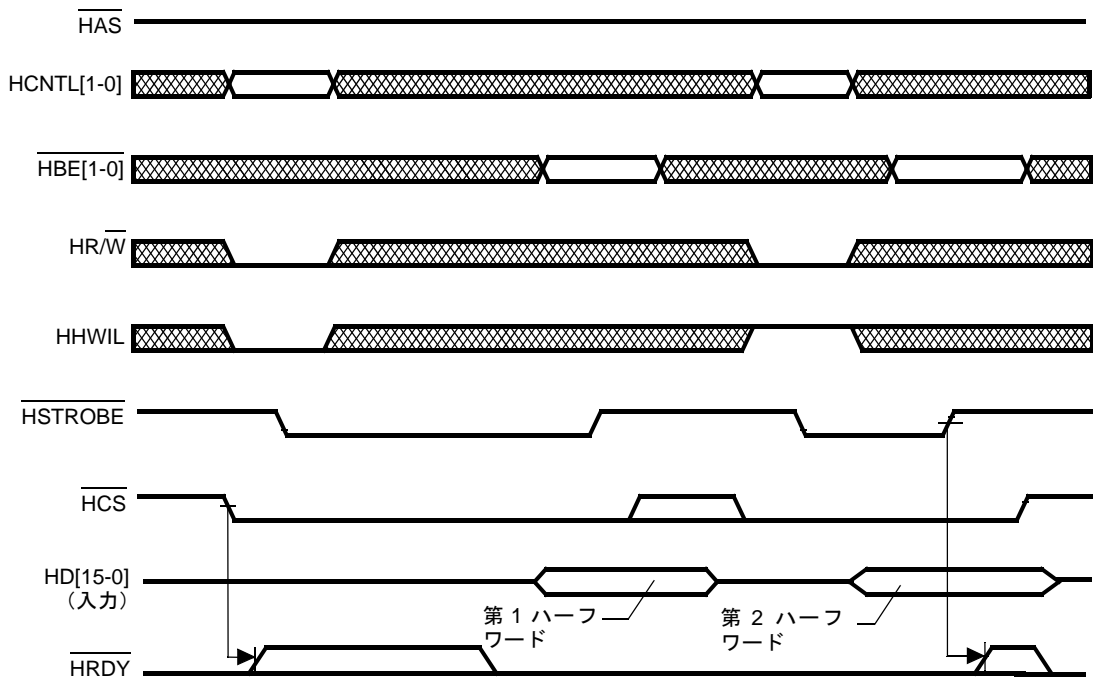
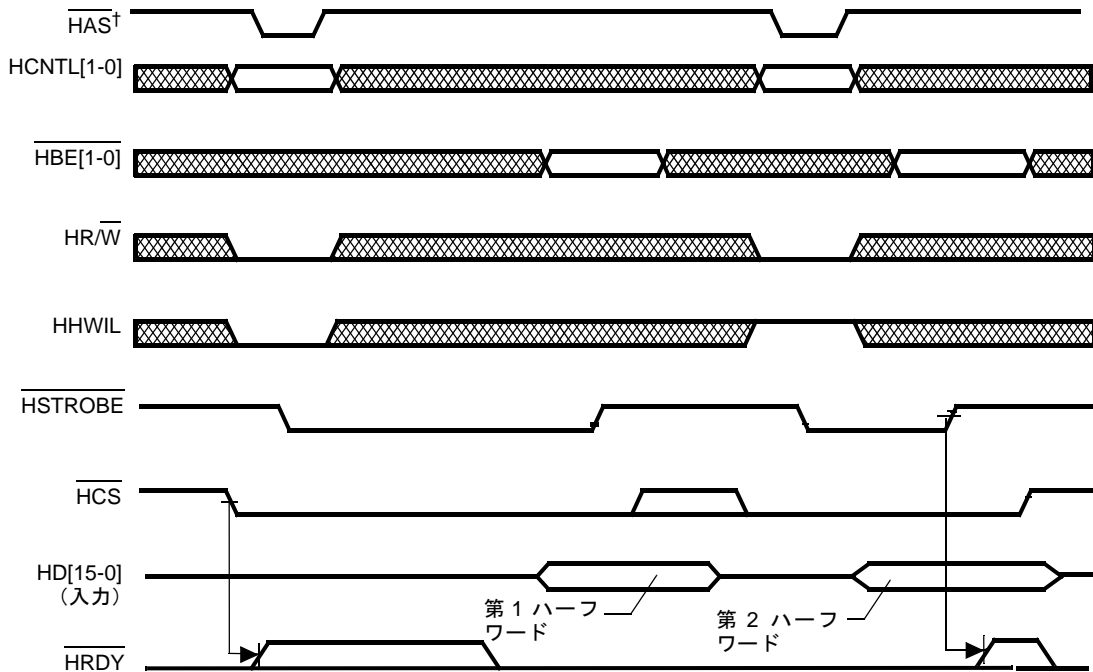


図 10. HPI ライト・タイミング (HAS 使用)



† 正しく動作させるには、 $\overline{\text{HSTROBE}}$ サイクルごとに $\overline{\text{HAS}}$ 信号を 1 回だけストロブします。

4.2 C621x/C671x HPI の HPI バス・アクセス

C621x/C671x HPI は、C620x/C670x HPI と同じバス・インターフェイスを共有します。また、C621x/C671x HPI にはリード・アクセスとライト・アクセスの両方でスループットを向上させるための内部リード / ライト・バッファがあります。適切な動作のために、HPI 転送 (HPID、HPIA、HPIC のアクセスを含む) を行う前に、ホストは $\overline{\text{HRDY}}$ をモニタしローであることを検出する必要があります。

4.2.1 コントロール信号のラッチ

C620x/C670x HPI と同様、 $\overline{\text{HAS}}$ を使用するかどうかによって C621x/C671x HPI のコントロール信号がラッチされるタイミングが異なります。4.1.1 項を参照してください。

4.2.2 HPID リード

固定アドレス・モード HPID リード (HCNTL[1-0] = 11b)

固定アドレス・モードのリードの場合、HPI はそのリード要求を EDMA 内部アドレス生成ハードウェアに送り、 $\overline{\text{HRDY}}$ はノットレディ (ハイ) になります。図 7 と図 8 のケース 2 を参照してください。その要求されたデータが HPID にロードされるまで、 $\overline{\text{HRDY}}$ はノットレディのままになります。EDMA 内部アドレス生成ハードウェアはワード・リードを実行するため、第 2 ハーフワード・リード・アクセス開始時にはデータはすでに HPID 内にあります。このため、第 2 ハーフワード HPID のリードは、ノットレディ状態にはならず、 $\overline{\text{HRDY}}$ はローのままです。

自動インクリメント・アドレス・モード HPID リード (HCNTL[1-0] = 10b)

C621x/C671x HPI には自動インクリメント・モードでスループットを向上させるための内部リード・バッファがあります。HPID の最初のホスト・リードでは、 $\overline{\text{HSTROBE}}$ の立ち下がりエッジ後に HPI は $\overline{\text{HRDY}}$ をハイ (ノットレディ) にディアサートします (図 7 と図 8 のケース 2 を参照)。この間に、EDMA 内部アドレス生成ハードウェアが内部リード・バッファを満たすのに十分なワードのフェッチを開始します。最初の有効なデータがレディになるとただちに、HPI はそのデータを HD バスに出力し、 $\overline{\text{HRDY}}$ はレディになります。現在のリードが終了したときに次のデータがすでに内部リード・バッファにある場合、次のホスト・リードの開始時 ($\overline{\text{HSTROBE}}$ の立ち下がりエッジ) に $\overline{\text{HRDY}}$ はレディのままになります。HPI は以降のデータ・フェッチを引き続き実行し、実際のホスト・リードが行われる前にそのデータを内部リード・バッファに置きます。これにより、その後のホスト・リード・データのアクセス時間が削減されます。リード・サイクルは HPIA または HPIC へのホスト・ライトにより終了し、この時点で HPI は内部リード・バッファを自動的に空にし、 $\overline{\text{HRDY}}$ はノットレディになります。リード・バーストが完了したときに、リード・サイクルをただちに終了する必要はありません。HPIA レジスタを新しいアドレス範囲に再初期化する通常のプロセスにより、内部リード・バッファが新しいリード・コマンドのために強制的にフラッシュされます。

すべてのモードの HPI リードで、 $\overline{\text{HRDY}}$ がレディ (ロー) で検出されるまで、ホストはリード・サイクルを終了 ($\overline{\text{HSTROBE}}$ の立ち上がりエッジ) できません。次のいずれかの状態で、 $\overline{\text{HRDY}}$ はノットレディ (ハイ) になります。

- $\overline{\text{HCS}}$ の立ち下がりエッジ後
- 第 1 ハーフワード転送 (HHWIL がロー) に対する $\overline{\text{HSTROBE}}$ の立ち下がりエッジ後
- 第 2 ハーフワード転送 (HHWIL がハイ) に対する $\overline{\text{HSTROBE}}$ の立ち上がりエッジ後

4.2.3 HPID ライト

ライトを行うときは、ホストは $\overline{\text{HSTROBE}}$ の立ち上がりエッジでデータを出力している必要があります。C621x/C671x HPI ライトは、2 回の連続したハーフワード転送で構成されなければなりません。

固定アドレス・モード HPID ライト (HCNTL[1-0] = 11b)

この動作は、C620x/C670x HPI の固定アドレス・モード HPID ライトと同一です。4.1.3 項を参照してください。

自動インクリメント・アドレス・モード HPID ライト (HCNTL[1-0] = 10b)

C621x/C671x HPI には自動インクリメント・モードでスループットを向上させるための内部ライト・バッファがあります。自動インクリメント・モードのワード・ライト終了時に、データは HPID から内部ライト・バッファにコピーされ、EDMA 内部アドレス生成ハードウェアによる処理を待ちます。内部ライト・バッファがハーフフルになるまで、またはライト・サイクルが終了するまで、DSP はこのホスト・ライトを実際には処理しません。ライト・サイクルは HPIA または HPIC へのホスト・アクセスにより終了し、この時点で DSP が内部ライト・バッファに残っているすべてのデータを目的のアドレスに転送を行います。

自動インクリメント・アドレス・モードでは、ホストからライトされたデータは内部ライト・バッファにコピーされるため、HPID はただちにレディになり、ホストからの次のデータ・ライトを続けることができます。このため、通常の状態では、次のホスト・ライト・アクセス開始時 ($\overline{\text{HSTROBE}}$ がアクティブ) に $\overline{\text{HRDY}}$ はレディのままです。

$\overline{\text{HRDY}}$ がレディ (ロー) と検出されるまで、ホストはライト・サイクルを終了 ($\overline{\text{HSTROBE}}$ の立ち上がりエッジ) してはいけません。次のいずれかの状態では、 $\overline{\text{HRDY}}$ はノットレディ (ハイ) になります。

- $\overline{\text{HCS}}$ の立ち下がりエッジ後
- 第 2 ハーフワード転送 (HHWIL がハイ) に対する $\overline{\text{HSTROBE}}$ の立ち上がりエッジ後
- 第 1 ハーフワード転送 (HHWIL がロー) に対する $\overline{\text{HSTROBE}}$ の立ち下がりエッジ後、内部ライト・バッファがフルの場合

4.2.4 HPIC または HPIA アクセス

正しく動作させるには、HPID リードから HPID ライト (またはその逆) に切り替える前に、HPIC または HPIA のライトが行われる必要があります。HPIC または HPIA レジスタのライトにより、自動インクリメント・モードのバースト・リード / ライト・アクセスが終了します。 $\overline{\text{HRDY}}$ は、内部リード・バッファが空になっている場合 (リード時)、または内部ライト・バッファが DSP で処理されている場合 (ライト時) にノットレディになることがあります。

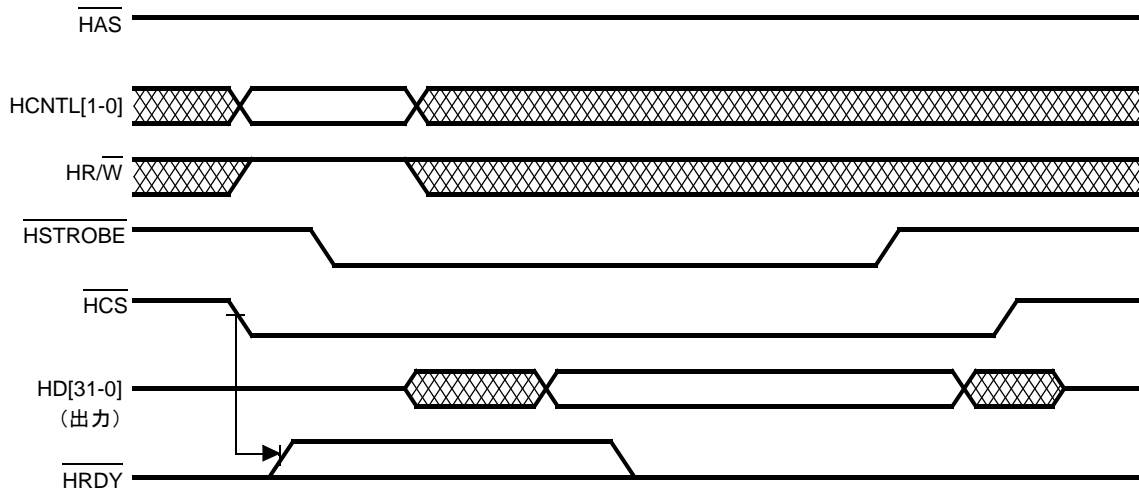
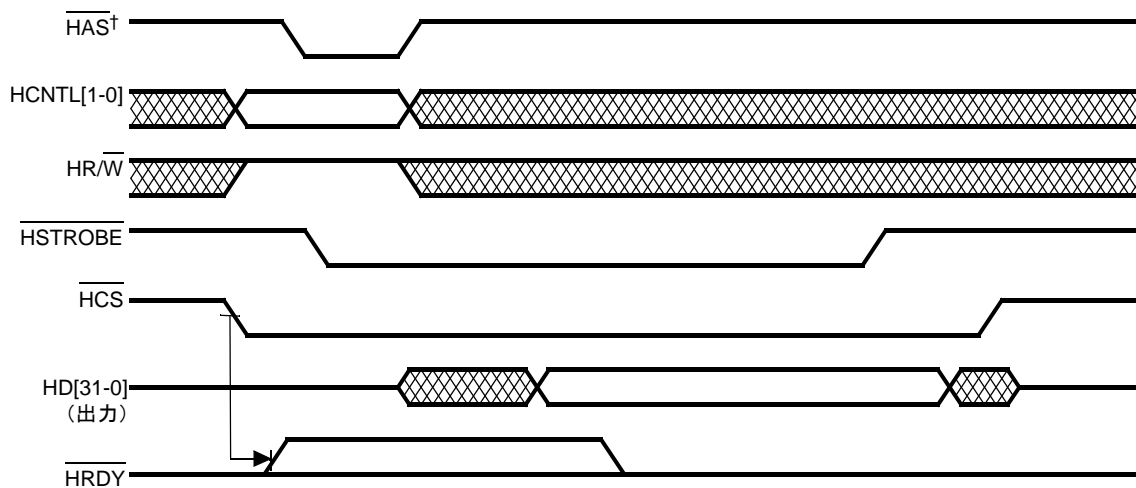
4.3 C64x HPI の HPI バス・アクセス

C64x HPI は 32 ビット・データ・バスをもつ、C621x/C671x HPI の機能拡張版です。リセット時に、C64x HPI を HPI16 モードまたは HPI32 モードのいずれかで動作するように設定できます。

HPI16 の動作は、C621x/C671x の 16 ビット HPI と同様です。4.2 節を参照してください。4.2 節で説明している動作に加えて、128 CPU クロック・サイクルが経過して内部タイマがタイムアウトすると、C64x HPI 内部ライト・バッファはフラッシュします。

HPI32 の動作は HPI16 の動作と同様ですが、拡張 32 ビット・データ・バスをもつことでいくつかの違いがあります。HPI32 データ・バスは 32 ビットに拡張されているため、すべてのリード/ライト転送は 2 回の連続した 16 ビット・ハーフワード・アクセスではなく、1 回の 32 ビット・ワード・アクセス (HD[31-0]) で構成されます。また、HHWIL 信号は HPI32 インターフェイスでは使用されません。HPI32 リード/ライト・タイミングを図 11、図 12、図 13、図 14 に示します。その他の HPI32 の動作は、HPI16 と同一です。

自動インクリメントでリードを行う場合、C64x HPI は C621x/C671x HPI と多少異なり、内部リード・バッファが 16 ワード分のプリフェッチで一杯になるまで C64x HPI はレディ (HRDY がロー) になりません。このため、内部ペリフェラル・レジスタまたは低速の外部メモリなど、メモリの低速領域へのアクセスには、かなりの時間がかかる場合があります。そのため、最高の性能を確保するには、複数ワードが必要でない限り、これらの領域へのアクセスは固定モードで行う必要があります。

図 11. C64x HPI の HPI32 リード・タイミング ($\overline{\text{HAS}}$ 未使用、ハイに接続)図 12. C64x HPI の HPI32 リード・タイミング ($\overline{\text{HAS}}$ 使用)

HPI バス・アクセス

† 正しく動作させるには、 $\overline{\text{HSTROBE}}$ サイクルごとに $\overline{\text{HAS}}$ 信号を 1 回だけストロブします。

図 13. C64x HPI の HPI32 ライト・タイミング ($\overline{\text{HAS}}$ 未使用、ハイに接続)

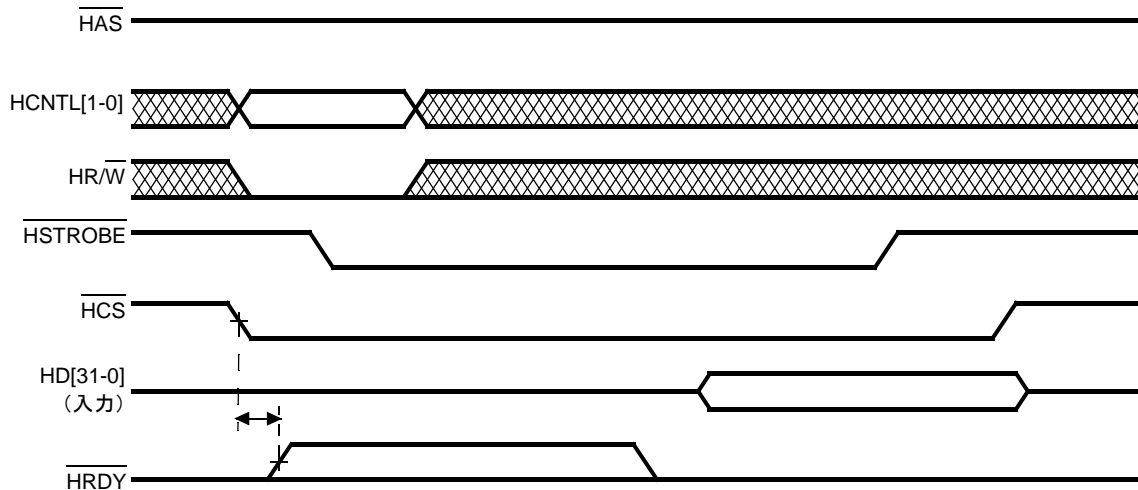
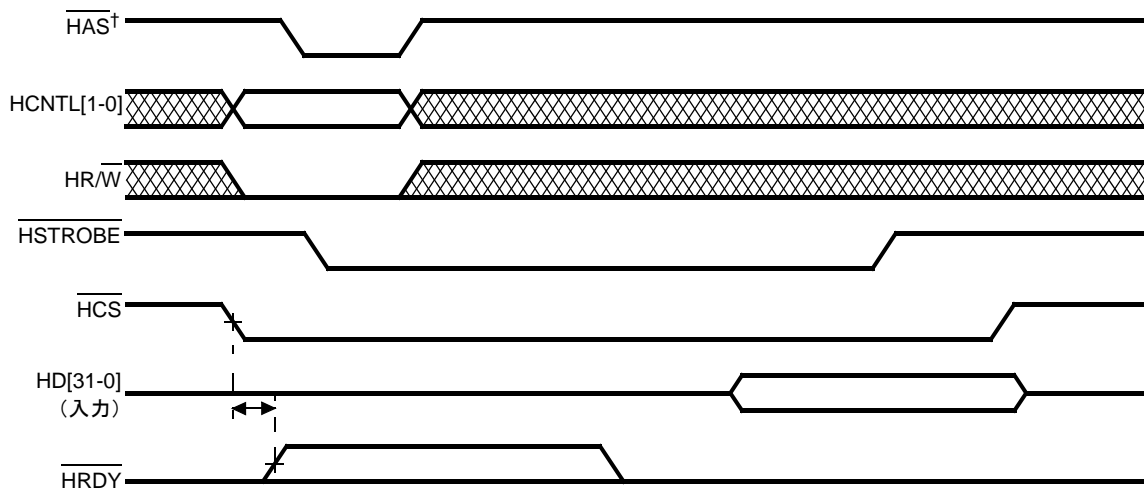


図 14. C64x HPI の HPI32 ライト・タイミング ($\overline{\text{HAS}}$ 使用)



† 正しく動作させるには、 $\overline{\text{HSTROBE}}$ サイクルごとに $\overline{\text{HAS}}$ 信号を 1 回だけストロブします。

5 ホスト・アクセス・シーケンス

ホストは次のタスクをこの順序で実行して HPI アクセスを開始します。

- 1) HPI コントロール・レジスタ (HPIC) の初期化
- 2) HPI アドレス・レジスタ (HPIA) の初期化
- 3) HPI データ・レジスタ (HPID) とのデータのライトまたはリード

HPID へのリードまたはライトにより内部サイクルが開始され、HPID と C620x/C670x DSP 内の DMA 補助チャンネル間、または HPID と C621x/C671x/C64x DSP 内の内部アドレス生成ハードウェア間で要求されたデータの転送が行われます。16 ビット HPI では、HPI レジスタへのホスト・アクセスに HPI バスで 2 回のハーフワード・アクセスが必要です。1 つ目は HHWIL がローで、2 つ目は HHWIL がハイです。通常、ホストは第 1 ハーフワード/第 2 ハーフワード (HHWIL ロー/ハイ) シーケンスを中断できません。このシーケンスが中断されると、データが失われ、意図しない動作が起こる可能性があります。第 1 ハーフワード・アクセスは前回の HPI 要求が完了するまで待機しなければならないことがあります。前回の要求には HPID ライトとプリフェッチされた HPID リードが含まれます。このため、HPI がこの要求を開始できるまで、HPI は HRDY をディアサートします (HRDY をハイでドライブ)。前回のアクセスはすべて第 1 ハーフワード・アクセスの時点で完了しているため、第 2 ハーフワード・アクセスでは HRDY が常にアクティブになります。C64x HPI32 では、2 回のハーフワード転送ではなく、単一のワード転送が行われます。

5.1 HPIC と HPIA の初期化

データ・アクセスの前に、HPIC と HPIA を初期化しておく必要があります。C62x/C67x DSP では、ホストだけが HPIA にアクセスできます。C64x DSP では、HPIC と HPIA を初期化するためにホストまたは CPU のいずれかが使用されます。以降の項では、16 ビット幅のホスト・ポート (C62x/C67x HPI と C64x HPI16) および 32 ビット幅のホスト・ポート (HPI32) のホスト初期化シーケンスを説明します。

5.1.1 HPIC と HPIA の初期化 (C62x/C67x HPI と C64x HPI16)

データ・アクセスの前に、HPIC の HWOB ビットと HPIA レジスタをこの順序で初期化しておく必要があります (HWOB ビットが HPIA アクセスに影響するため)。HWOB ビットを初期化した後であれば、ホスト (または C64x CPU) は正しいハーフワード・アラインメントで HPIA にライトできます。表 6 と表 7 では、HWOB = 1 と HWOB = 0 の初期化シーケンスをそれぞれまとめています。これらの例では、HPIA が 80001234h にセットされています。これらのアクセスでは、HPIC の HRDY ビットがセットされています。2 つの表内の疑問符は、値が不明であることを示しています。

表 6. HWOB = 1 での HPIC と HPIA の初期化

イベント	アクセス時の値					アクセス後の値		
	HD	HBE[1-0]	HR/W	HCNTL[1-0]	HHWIL	HPIC	HPIA [†]	HPID
ホストが HPIC の第 1 ハーフワードをライト	0001	xx	0	00	0	00090009	????????	????????
ホストが HPIC の第 2 ハーフワードをライト	0001	xx	0	00	1	00090009	????????	????????
ホストが HPIA の第 1 ハーフワードをライト	1234	xx	0	01	0	00090009	????1234	????????
ホストが HPIA の第 2 ハーフワードをライト	8000	xx	0	01	1	00090009	80001234	????????

凡例: ? = 値は不明

[†] C64x DSP の場合、ホストからの HPIA ライトにより、HPIAR と HPIAW の両方が内部で更新されます。

表 7. HWOB = 0 での HPIC と HPIA の初期化

イベント	アクセス時の値					アクセス後の値		
	HD	HBE[1-0]	HR/W	HCNTL[1-0]	HHWIL	HPIC	HPIA [†]	HPID
ホストが HPIC の第 1 ハーフワードをライト	0000	xx	0	00	0	00080008	????????	????????
ホストが HPIC の第 2 ハーフワードをライト	0000	xx	0	00	1	00080008	????????	????????
ホストが HPIA の第 1 ハーフワードをライト	8000	xx	0	01	0	00080008	8000????	????????
ホストが HPIA の第 2 ハーフワードをライト	1234	xx	0	01	1	00080008	80001234	????????

凡例: ? = 値は不明

[†] C64x DSP の場合、ホストからの HPIA ライトにより、HPIAR と HPIAW の両方が内部で更新されます。

5.1.2 HPIC と HPIA の初期化 (C64x HPI32)

HPI32 では、HPIC と HPIA を初期化するためにホストまたは CPU のいずれかが使用されます。すべてのアクセスは 32 ビット幅です。HPIC の HWOB ビットは使用されません。このため、デフォルト値を使用する場合は、HPIC を初期化する必要はありません。表 8 では、HPI32 の HPIC と HPIA の初期化シーケンスをまとめています。

表 8. HPIC と HPIA の初期化 (HPI32)

イベント	アクセス時の値			アクセス後の値		
	HD	HR/W	HCNTL[1-0]	HPIC	HPIA	HPID
ホストが HPIC をライト	00000000	0	00	00080008	????????	????????
ホストが HPIA をライト	80001234	0	01	00080008	80001234	????????

凡例: ? = 値は不明

5.2 固定アドレス・モードの HPID リード・アクセス

HPI が初期化され、ホストが固定アドレス・モードであるアドレスへのリード・アクセスを実行したいと仮定します。また、このホストがアドレス 80001234h のワードのリードを希望し、そのロケーションのワード値が 789ABCDEh であると仮定します。以降の項では、16 ビット幅のホスト・ポート (C62x/C67x HPI と C64x HPI16) および 32 ビット幅のホスト・ポート (HPI32) の固定アドレス・モードでの HPID リード・アクセスを説明します。

5.2.1 固定アドレス・モードの HPID リード (C62x/C67x HPI と C64x HPI16)

ホストは 2 つの 16 ビット・ハーフワードで 32 ビット HPID をリードする必要があります。表 9 と表 10 で、HWOB = 1 と HWOB = 0 の場合のアクセスをそれぞれまとめています。第 1 ハーフワード・アクセスでは、HPI は以前の要求が完了するまで待機します。この間、 $\overline{\text{HRDY}}$ ピンがハイに保たれます。その後、HPI はそのリード要求を DMA 補助チャネル (C620x/C670x DSP) または内部アドレス生成ハードウェア (C621x/C671x/C64x DSP) に送信します。以前の要求がペンディングされていない場合、このリード要求は $\overline{\text{HSTROBE}}$ の立ち下がりエッジで発生します。要求されたデータが HPID にロードされるまで、 $\overline{\text{HRDY}}$ ピンはハイのままになります。内部リードはすべてワード・リードであるため、2 回目のリード・アクセス開始時にはデータがすでに HPID 内にあります。このため、第 2 ハーフワード HPID のリードは、ノットレディ状態にはならず、 $\overline{\text{HRDY}}$ ピンはアクティブのままです。ここでは、HPI はワード・リードだけを実行するため、バイト・イネーブルは使用されません。

表 9. HWOB = 1 での HPI への固定アドレス・モードのデータ・リード・アクセス

イベント	アクセス時の値						アクセス後の値		
	HD	HBE[1-0]	HR/W	HCNTL[1-0]	HRDY	HHWIL	HPIC	HPIA	HPID
ホストが第1ハーフワードをリード データ ノットレディ	????	xx	1	11	1	0	00010001	80001234	????????
ホストが第1ハーフワードをリード データ レディ	BCDE	xx	1	11	0	0	00090009	80001234	789ABCDE
ホストが第2ハーフワードをリード	789A	xx	1	11	0	1	00090009	80001234	789ABCDE

凡例: ? = 値は不明

表 10. HWOB = 0 での HPI への固定アドレス・モードのデータ・リード・アクセス

イベント	アクセス時の値						アクセス後の値		
	HD	HBE[1-0]	HR/W	HCNTL[1-0]	HRDY	HHWIL	HPIC	HPIA	HPID
ホストが第1ハーフワードをリード データ ノットレディ	????	xx	1	11	1	0	00000000	80001234	????????
ホストが第1ハーフワードをリード データ レディ	789A	xx	1	11	0	0	00080008	80001234	789ABCDE
ホストが第2ハーフワードをリード	BCDE	xx	1	11	0	1	00080008	80001234	789ABCDE

凡例: ? = 値は不明

5.2.2 固定アドレス・モードの HPID リード (C64x HPI32)

HPI32 の HPID へのホスト・アクセス・シーケンスは、HPI16 のシーケンスと同様です。相違点は、HPI32 ホスト・アクセスが2つの 16 ビット・ハーフワードではなく、1つの 32 ビット・ワードで行われることです。表 11 に、この固定アドレス・モードのリード・アクセス例を示します。この例では、ホストはアドレス 80001234h にあるワードの値 789ABCDEh をリードします。

表 11. 固定アドレス・モードのデータ・リード・アクセス (HPI32)

イベント	アクセス時の値				アクセス後の値		
	HD	HR/W	HCNTL[1-0]	HRDY	HPIC	HPIA	HPID
ホストが HPIC をリード データ ノットレディ	???????	1	00	1	00000000	80001234	???????
ホストが HPID をライト データ レディ	789ABCDE	0	11	0	00080008	80001234	789ABCDE

凡例: ? = 値は不明

5.3 自動インクリメント・モードの HPID リード・アクセス

自動インクリメント機能を使用すると、連続したホスト・アクセスが効率化されます。HPID のリード・アクセスとライト・アクセスのいずれでも、ホストはインクリメントされたアドレスを HPIA にロードする必要がなくなります。リード・アクセスでは、現在のリードが完了すると、次のアドレスに入っているデータがただちにフェッチされます。連続したリードの間を使用してデータをプリフェッチするため、次のアクセスのレイテンシが削減されます。C620x/C670x HPI では、ホストが HPIC に FETCH = 1 をライトすると、プリフェッチが行われます。次の HPI アクセスが HPID リードの場合、データは再度フェッチされずに、プリフェッチされたデータがホストに送信されます。それ以外の場合は、HPI はプリフェッチが完了するまで待機しなければなりません。

5.3.1 自動インクリメント・モードの HPID リード (C62x/C67x HPI と C64x HPI16)

表 12 に、自動インクリメントを使用するリード・アクセスをまとめています。第 1 ハーフワード・アクセスが完了すると (最初の HSTROBE の立ち上がりエッジ)、アドレスが次のワード、すなわちこの例では 80001238h にインクリメントされます。このロケーションのデータは 87654321h であると仮定します。このデータはプリフェッチされ、HPID にロードされます。C62x/C67x HPI では、プリフェッチは第 2 ハーフワード・リードの HSTROBE の立ち上がりエッジで開始します。C64x HPI には内部リード・バッファがあり、最初の HPID リード・アクセス時 (HSTROBE の立ち下がりエッジ) に、内部バッファを満たすためのプリフェッチが可能です。詳細は、4.2.2 項を参照してください。

表 12. HWOB = 1 での HPI への自動インクリメント・モードのリード・アクセス

イベント	アクセス時の値						アクセス後の値		
	HD	HBE[1-0]	HR/W	HCNTL[1-0]	HRDY	HHWIL	HPIC	HPIA	HPID
ホストが第1 ハーフワード をリード データ ノットレディ	????	xx	1	10	1	0	00010001	80001234	????????
ホストが第1 ハーフワード をリード データレディ	BCDE	xx	1	10	0	0	00090009	80001234	789ABCDE
ホストが第2 ハーフワード をリード	789A	xx	1	10	0	1	00090009	80001234	789ABCDE
プリフェッチ† データ ノットレディ	????	xx	x	xx	1	x	00010001	80001238	789ABCDE
プリフェッチ† データレディ	????	xx	x	xx	0	x	00090009	80001238	87654321

凡例: ? = 値は不明

† C64x HPI では、最初のホスト・リード要求直後にプリフェッチが行われます (この表の1行目)。

表 13. HWOB = 0 での HPI への自動インクリメント・モードのリード・アクセス

イベント	アクセス時の値						アクセス後の値		
	HD	HBE[1-0]	HR/W	HCNTL[1-0]	HRDY	HHWIL	HPIC	HPIA	HPID
ホストが第1 ハーフワード をリード データ ノットレディ	????	xx	1	10	1	0	00000000	80001234	????????
ホストが第1 ハーフワード をリード データレディ	789A	xx	1	10	0	0	00080008	80001234	789ABCDE
ホストが第2 ハーフワード をリード	BCDE	xx	1	10	0	1	00080008	80001234	789ABCDE
プリフェッチ† データ ノットレディ	????	xx	x	xx	1	x	00000000	80001238	789ABCDE
プリフェッチ† データレディ	????	xx	x	xx	0	x	00080008	80001238	87654321

凡例: ? = 値は不明

† C64x HPI では、最初のホスト・リード要求直後にプリフェッチが行われます (この表の1行目)。

5.3.2 自動インクリメント・モードの HPID リード (C64x HPI32)

表 14 では、HPI32 の自動インクリメントを使用するリード・アクセスをまとめています。自動インクリメント・モードでは、最初の HPID リード・アクセスにより、HPI は現在のデータをフェッチするだけでなく、内部リード・バッファを満たすために追加のデータもプリフェッチします。この内部リード・バッファによるスループットの向上については、4.2.2 項を参照してください。

表 14. HPI への自動インクリメント・モードのリード・アクセス (HPI32)

イベント	アクセス時の値				アクセス後の値		
	HD	HR/W	HCNTL[1-0]	HRDY	HPIC	HPIA	HPID
ホストが HPID をリード データ ノットレディ 内部リード・ バッファを満た すためにデータ をプリフェッチ	????????	1	10	1	00000000	80001234	????????
ホストが HPID をリード データ レディ	789ABCDE	1	10	0	00080008	80001234	789ABCDE
アドレス自動 インクリメント 次のデータ レディ	????????	?	??	0	00080008	80001238	87654321

凡例： ? = 値は不明

5.4 固定アドレス・モードの HPID ライト・アクセス

5.4.1 固定アドレス・モードの HPID ライト (C62x/C67x HPI と C64x HPI16)

HPI へのライト・アクセス時、HPID の第 1 ハーフワード部分 (HWOB により選択される最下位ハーフワードまたは最上位ハーフワード) は、 $\overline{\text{HHWIL}}$ ピンがローの間にホストからのデータにより上書きされ、最初の $\overline{\text{HBE}}[1-0]$ ペアがラッチされます。HPID の第 2 ハーフワード部分は、 $\overline{\text{HHWIL}}$ ピンがハイの間にホストからのデータにより上書きされ、2 番目の $\overline{\text{HBE}}[1-0]$ ペアが $\overline{\text{HSTROBE}}$ の立ち上がりエッジでラッチされます。このライト・アクセスが終了した時点で ($\overline{\text{HSTROBE}}$ の 2 番目の立ち上がりエッジで)、HPID が 32 ビット・ワードとして 4 つの対応するバイト・イネーブルと共に HPIA が指定するアドレスに転送されます。

表 15 と表 16 では、 $\text{HWOB} = 1$ と $\text{HWOB} = 0$ それぞれの HPID ライト・アクセスをまとめています。ホストは 5566h を 80001234h のロケーションの 16 LSB 側にライトします。このロケーションは、すでに HPIA によりポイントされています。このロケーションの初期値は、0 (ゼロ) と仮定します。HPI は $\overline{\text{HRDY}}$ をハイに設定して、以前の転送が完了するまでホストを遅らせます。HPID にペンディングのライトが待機していない場合、ライト・アクセスはノットレディ時間なしで行われます。C620x/C670x HPI では、16 LSB の転送に対してのみ $\overline{\text{HBE}}[1-0]$ ピンがイネーブルになります。C621x/C671x HPI と C64x HPI16 では、 $\overline{\text{HBE}}[1-0]$ ピンはありません。ワード・ライトだけが可能であり、16 ビットのライト・アクセスはペアで行う必要があります。そして、32 ビット・ワード全体が転送されます。表 17 に、 $\text{HWOB} = 1$ での 32 ビット・ライト・アクセスを示します。

表 15. $\text{HWOB} = 1$ での固定アドレス・モードの HPI への 16 ビット・データ・ライト・アクセス

イベント	アクセス時の値						アクセス後の値			ロケーション 80001234
	HD [†]	$\overline{\text{HBE}}[1-0]$	$\overline{\text{HR}}/\overline{\text{W}}$	$\overline{\text{HCNTL}}[1-0]$	$\overline{\text{HRDY}}$	$\overline{\text{HHWIL}}$	HPIC	HPIA	HPID	
ホストが HPID の第 1 ハーフワードをライト 前回のアクセスの完了を待機	5566	00	0	11	1	0	00010001	80001234	????????	00000000
ホストが HPID の第 1 ハーフワードをライト	5566	00	0	11	0	0	00090009	80001234	????5566	00000000
ホストが HPID の第 2 ハーフワードをライト	wxyz	11	0	11	0	1	00090009	80001234	wxyz5566	00000000
アクセスの完了を待機	????	??	?	??	1	?	00010001	80001234	wxyz5566	00005566

凡例: ? = 値は不明

[†] C620x/C670x HPI の場合、wxyz は HD ピンで任意であることを表します。 $\overline{\text{HBE}}[1-0]$ の値は、16 ビットだけが転送されることを示します。C621x/C671x HPI と C64x HPI では、wxyz は HD ピンで 0000 です。32 ビット・ワード全体が転送されます。

表 16. HWOB = 0 での固定アドレス・モードの HPI への 16 ビット・データ・ライト・アクセス

イベント	アクセス時の値						アクセス後の値			ロケーション 80001234
	HD [†]	HBE[1-0]	HR/W	HCNTL[1-0]	HRDY	HWIL	HPIC	HPIA	HPID	
ホストが HPID の第 1 ハーフワードをライト	wxyz	11	0	11	1	0	00000000	80001234	????????	00000000
前回のアクセスの完了を待機										
ホストが HPID の第 1 ハーフワードをライト	wxyz	11	0	11	0	0	00080008	80001234	wxyz????	00000000
ホストが HPID の第 2 ハーフワードをライト	5566	00	0	11	0	1	00080008	80001234	wxyz5566	00000000
アクセスの完了を待機	????	??	?	??	1	?	00080008	80001234	wxyz5566	00005566

凡例： ? = 値は不明

[†]C620x/C670x HPI の場合、wxyz は HD ピンで任意であることを表します。HBE[1-0] の値は、16 ビットだけが転送されることを示します。C621x/C671x HPI と C64x HPI では、wxyz は HD ピンで 0000 です。32 ビット・ワード全体が転送されます。

表 17. HWOB = 1 での固定アドレス・モードの HPI への 32 ビット・データ・ライト・アクセス

イベント	アクセス時の値						アクセス後の値			ロケーション 80001234
	HD [†]	HBE[1-0]	HR/W	HCNTL[1-0]	HRDY	HWIL	HPIC	HPIA	HPID	
ホストが HPID の第 1 ハーフワードをライト	5566	00	0	11	1	0	00010001	80001234	????????	00000000
前回のアクセスの完了を待機										
ホストが HPID の第 1 ハーフワードをライト	5566	00	0	11	0	0	00090009	80001234	???5566	00000000
ホストが HPID の第 2 ハーフワードをライト	wxyz	00	0	11	0	1	00090009	80001234	wxyz5566	00000000
アクセスの完了を待機	????	??	?	??	1	?	00010001	80001234	wxyz5566	wxyz5566

凡例： ? = 値は不明

[†]C620x/C670x HPI の場合、wxyz は HD ピンで任意であることを表します。HBE[1-0] の値は、16 ビットだけが転送されることを示します。C621x/C671x HPI と C64x HPI では、wxyz は HD ピンで 0000 です。32 ビット・ワード全体が転送されます。

5.4.2 固定アドレス・モードの HPID ライト (C64x HPI32)

HPI32 の HPID ライトは HPI16 と同様です。ただし、ホストは 1 回の 32 ビット・ライト・アクセスで HPID にライトできます。表 18 では、固定アドレス・モードの HPI32 に対する HPID ライト・アクセスをまとめています。

表 18. 固定アドレス・モードの HPI へのデータ・ライト・アクセス (HPI32)

イベント	アクセス時の値				アクセス後の値			
	HD	HR/W	HCNTL[1-0]	HRDY	HPIC	HPIA	HPID	ロケーション 80001234
ホストが HPID を ライト 前回のアクセス完了 を待機	00005566	0	11	1	00000000	80001234	????????	00000000
ホストが HPID を ライト レディ	00005566	0	11	0	00080008	80001234	00005566	00000000
アクセスの 完了を待機	????????	?	??	0	00080008	80001234	87654321	00005566

凡例: ? = 値は不明

5.5 自動インクリメント・モードの HPID ライト・アクセス

5.5.1 自動インクリメント・モードの HPID ライト (C62x/C67x HPI と C64x HPI16)

表 19 と表 20 では、HWOB = 1 と HWOB = 0 それぞれの自動インクリメントを使用したホスト・データ・ライトをまとめています。これらの例は、HCNTL[1-0] の値とアドレス 80001238h への続きのライトを除いて、5.4 節の例と同一です。インクリメントは、次の HPID ライト・アクセスの HSTROBE の立ち上がりエッジで行われず、次のアクセスが HPIA または HPIC アクセス、あるいは HPID リードである場合、自動インクリメントは行われません。

自動インクリメント・モードの C64x HPI では、ホストがライトしたデータはただちに HPID から内部ライト・バッファにコピーされます。このため、内部ライト・バッファがフルでない場合は、HRDY がレディのままになり、表 19 と表 20 の 4 行目と 7 行目は適用されません。また、内部ライト・バッファがハーフフルのとき、またはライト・サイクルが終了したときにだけ、DSP は自動インクリメント・モードで HPI ライト・アクセスを処理します。表 13 と表 14 内のアドレス 80001234h と 80001238h は、内部ライト・バッファが処理されるまで正しい値 (00005566h、33000000h) に更新されません。

表 19. HWOB = 1 での自動インクリメント・モードの HPI へのライト・アクセス

イベント	アクセス時の値						アクセス後の値			ロケーション 80001234	ロケーション 80001238
	HD†	HBE	HR/W	HCNTL	HRDY	HHWIL	HPIC	HPIA	HPID		
ホストが HPID の 第 1 ハーフワード をライト 前回のアクセス完 了を待機	5566	00	0	10	1	0	00010001	80001234	????????	00000000	00000000
ホストが HPID の 第 1 ハーフワード をライト レディ	5566	00	0	10	0	0	00090009	80001234	???5566	00000000	00000000
ホストが HPID の 第 2 ハーフワード をライト	wxyz	11	0	10	0	1	00090009	80001234	wxyz5566	00000000	00000000
ホストが HPID の 第 1 ハーフワード をライト 前回のアクセス完 了を待機	nopq	11	0	10	1	0	00010001	80001234	wxyz5566	00005566	00000000
ホストが HPID の 第 1 ハーフワード をライト	nopq	11	0	10	0	0	00090009	80001238	wxyznopq	00005566	00000000
ホストが HPID の 第 2 ハーフワード をライト	33rs	01	0	10	0	1	00090009	80001238	33rsnopq	00005566	00000000
アクセスの完了を 待機	????	??	?	??	1	?	00010001	80001238	33rsnopq	00005566	33000000

凡例: ? = 値は不明

† C620x/C670x HPI の場合、wxyz、rs、nopq は HD ピンで任意であることを表します。C621x/C671x HPI と C64x HPI では、HD ピンで wxyz + 0000、rs = 00、nopq = 0000 です。32 ビット・ワード全体が転送されます。

ホスト・アクセス・シーケンス

表 20. HWOB = 0 での自動インクリメント・モードの HPI へのライト・アクセス

イベント	アクセス時の値						アクセス後の値			ロケーション 80001234	ロケーション 80001238
	HD†	HBE	HR/W	HCNTL	HRDY	HHWIL	HPIC	HPIA	HPID		
ホストが HPID の 第 1 ハーフワード をライト 前回のアクセス完 了を待機	wxyz	11	0	10	1	0	00000000	80001234	????????	00000000	00000000
ホストが HPID の 第 1 ハーフワード をライト レディ	wxyz	11	0	10	0	0	00080008	80001234	wxyz???	00000000	00000000
ホストが HPID の 第 2 ハーフワード をライト	5566	00	0	10	0	1	00080008	80001234	wxyz5566	00000000	00000000
ホストが HPID の 第 1 ハーフワード をライト 前回のアクセス完 了を待機	33rs	01	0	10	1	0	00000000	80001234	wxyz5566	00005566	00000000
ホストが HPID の 第 1 ハーフワード をライト	33rs	01	0	10	0	0	00080008	80001238	33rs5566	00005566	00000000
ホストが HPID の 第 2 ハーフワード をライト	nopq	11	0	10	0	1	00080008	80001238	33rsnopq	00005566	00000000
アクセスの完了を 待機	????	??	?	??	1	?	00000000	80001238	33rsnopq	00005566	33000000

凡例: ? = 値は不明

† C620x/C670x HPI の場合、wxyz、rs、nopq は HD ピンで任意であることを表します。C621x/C671x HPI と C64x HPI では、HD ピンで wxyz + 0000、rs = 00、nopq = 0000 です。32 ビット・ワード全体が転送されます。

5.5.2 自動インクリメント・モードの HPID ライト (C64x HPI32)

5.5.1 項で説明したとおり、自動インクリメント・モードで C64x HPI のホストがライトしたデータはただちに HPID から内部ライト・バッファにコピーされます。このため、内部ライト・バッファがフルでない場合、HRDY はレディのままになります。内部ライト・バッファがハーフフルのとき、またはライト・サイクルが終了したときにだけ、DSP は自動インクリメント・モードで HPI ライト・アクセスを処理します。表 19 と表 20 内のアドレス 80001234h と 80001238h は、内部ライト・バッファが処理されるまで正しい値 (00005566h、33000000h) に更新されません。表 21 に、HPI32 の自動インクリメント・モードの HPID ライトをまとめています。

表 21. 自動インクリメント・モードの HPI へのライト・アクセス (HPI32)

イベント	アクセス時の値					アクセス後の値			ロケーション 80001234†	ロケーション 80001238†
	HD	HR/W	HCNTL	HRDY	HHWIL	HPIC	HPIA	HPID‡		
ホストが HPID を ライト 前回のアクセス の完了を待機	00005566	0	10	1	0	00000000	80001234	????????	00000000	00000000
ホストが HPID を ライト レディ	00005566	0	10	0	0	00080008	80001234	00005566	00000000	00000000
ホストが HPID を ライト レディ	33000000	0	10	0	1	00080008	80001238	33000000	00000000	00000000

凡例: ? = 値は不明

† アドレス 80001234h と 80001238h は、HPI 内部ライト・バッファが処理されるまで更新されません。これは、内部ライト・バッファがハーフフルのとき、またはライト・サイクルが終了したときに行われます。

‡ 内部ライト・バッファがフルでない場合、HPID 内のデータは、内部ライト・バッファにただちにコピーされます。このため、HRDY はレディです。

5.6 シングル・ハーフワード・サイクル (C620x/C670x HPI のみ)

通常の動作では、すべての転送が 2 回のハーフワード・アクセスで構成されなければなりません。ただし、C620x/C670x HPI では高速動作のためにシングル・ハーフワード・アクセスを使うことができます。これは次のタスクを実行する場合に有効です。

- **HPIC へのライトとリード**：表 6 (34 ページ) では、HPIC 全体が最初のライト後に正常にライトされています。HPIC のライト時は、ホストは HHWIL を考慮する必要はなく、2 つのハーフワードに 2 回の連続したライトを実行する必要はありません。同様に、ホストは HPIC を 1 回だけリードすることができます。これは、両方のハーフワードに同じ値が入っているためです。
- **HPIA へのライトとリード**：表 6 (34 ページ) では、HHWIL と HWOB で選択される HPIA アクセスの部分が各ハーフワード・アクセス後に自動的に更新されます。このため、HPIA の上位 16 ビットまたは下位 16 ビットのいずれかを変更するには、ホストは HHWIL ビットと HWOB ビットを組み合わせて HPIA の半分を選択し、変更する必要があります。ホストは HPIA の半分だけをリードすることもできます。
- **HPID リード・アクセス**：リード・アクセスは、最初のハーフワード・アクセス (HHWIL がロー) でトリガされます。このため、リード時にホストが第 1 ハーフワード (HWOB ビットで選択される最下位ハーフワードまたは最上位ハーフワード) だけ必要な場合、2 番目のアドレスを要求する必要はありません。ただし、第 2 ハーフワードもリードされない限り、プリフェッチは行われません。次の第 1 ハーフワード (HHWIL がロー) のリードまたは HPIA への新しい値のライトにより、前回のプリフェッチ要求が上書きされます。逆に、第 2 ハーフワード (HHWIL がハイ) だけのリードは許可されておらず、意図しない動作が発生します。
- **ライト・アクセス**：ライト・アクセスは第 2 ハーフワード・アクセス (HHWIL ワード・ハイ) でトリガされます。このため、連続したライト・アクセス中にホストが HHWIL ハイ (および関連するバイト・イネーブル) で選択される HPID の部分だけを変更したい場合は、シングル・サイクルだけが必要です。この方法は、主にメモリに値を埋めるために使用されます。ホストは HBE[1-0] = 00 で最初のライト・アクセスの両方のハーフワードをライトします。以降のライト・アクセス時には、ホストは同じ値を最初のライト・アクセスとして HHWIL で選択される HPID の部分にライトします。この場合、ホストは自動インクリメント・ライト (HCNTL[1-0] = 10) をすべてのライト・アクセス時に実行します。

6 HPI トランスファー・プライオリティ・キュー (C621x/C671x/C64x HPI のみ)

C621x/C671x HPI 転送は、ハイ・プライオリティ・トランスファー・キュー Q1 に置かれます。C64x HPI 転送は、4 つのプライオリティ・レベル内でプログラムできます。ミディアム・プライオリティ・レベルがデフォルトです。トランスファー・プライオリティの詳細は、『Enhanced DMA (EDMA) Controller Reference Guide』(SPRU234) を参照してください。

7 リセット中の HPI でのメモリ・アクセス

リセット中は、 $\overline{\text{HCS}}$ がアクティブ・ローの場合、 $\overline{\text{HRDY}}$ はハイでインアクティブです。 $\overline{\text{HCS}}$ がインアクティブの場合、 $\overline{\text{HRDY}}$ はアクティブです。デバイスがリセット状態の間は、HPI を使用できません。しかし、ブート・モードによっては RESET 信号の立ち上がりエッジからホストは CPU のメモリ空間にライト・アクセスできます (外部メモリをアクセスする前に EMIF レジスタを設定することも含む)。このようなブート・モードではデバイスはリセット状態ではありませんが、CPU 自体はブートが完了するまでリセット状態です。

8 HPI レジスタ

表 22 (C62x/C67x DSP) と表 23 (C64x DSP) では、ホスト・デバイスと CPU 間の通信に HPI が使用するレジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・シートを参照してください。

表 22. C62x/C67x DSP の HPI レジスタ

略称	レジスタ名	リード/ライト・アクセス		参照先
		ホスト	CPU	
HPID	HPI データ・レジスタ	R/W	-	8.1
HPIA	HPI アドレス・レジスタ	R/W	-	8.2
HPIC	HPI コントロール・レジスタ	R/W	R/W	8.3

表 23. C64x DSP の HPI レジスタ

略称	レジスタ名	リード/ライト・アクセス		参照先
		ホスト	CPU	
HPID	HPI データ・レジスタ	R/W	-	8.1
HPIAW [†]	HPI アドレス・ライト・レジスタ	R/W	R/W	8.2
HPIAR [†]	HPI アドレス・リード・レジスタ	R/W	R/W	8.2
HPIC	HPI コントロール・レジスタ	R/W	R/W	8.3
TRCTL	HPI トランスファー・リクエスト・コントロール・レジスタ	-	R/W	8.4

[†] HPIA へのホスト・アクセスにより、HPIAW と HPIAR の両方が更新されます。CPU は HPIAW と HPIAR にそれぞれ単独でアクセスできます。

8.1 HPI データ・レジスタ (HPID)

現在のアクセスがリードの場合、HPI データ・レジスタ (HPID) には HPI がアクセスしたメモリからリードされたデータが含まれます。現在のアクセスがライトの場合、HPID にはメモリにライトされるデータが含まれます。

8.2 HPI アドレス・レジスタ (HPIA)

HPI アドレス・レジスタ (HPIA) には、現在の HPI アクセスに使用されるアドレスが含まれます。このアドレスは 32 ビット・ワード・アラインされたバイト・アドレスで、32 ビットすべてがリード可能/ライト可能です。2 つの LSB は、そのロケーションからリードされる値にかかわらず 0 (ゼロ) として機能します。C62x/C67x HPIA はホストだけがアクセス可能で、DSP メモリにはマップされません。

C64x HPIA は内部で HPI アドレス・ライト・レジスタ (HPIAW) と HPI アドレス・リード・レジスタ (HPIAR) の 2 つのレジスタに分割されています。HPIA は、ホストと CPU の両方でアクセス可能です。HPIA が内部で HPIAW と HPIAR に分割されているので、CPU はリードとライトのメモリ・アドレスをそれぞれ単独で更新でき、ホストは異なるアドレス範囲にリードとライトを実行できます。CPU から HPIA をリードすると、HPI と DMA が DSP 内でデータを転送するために現在使用しているアドレスに対応する値がリードできます。HPI ライトの場合、HPIAR には転送の開始アドレスが含まれます。一方、HPIAW には現在使用されているアドレスが含まれ、データ転送の各バースト後に更新されます。HPI リードの場合、HPIAW に転送の開始アドレスが含まれ、HPIAR に現在使用されているアドレスが含まれてデータ転送の各バースト後に更新されます。HPIA には外部ピンでの現在の転送のアドレスが含まれていません。このため、HPIA をリードしても転送のステータスは示されません。また、HPIA をリードすると、転送のステータスが取得できるものと当ててはいけません。

C64x HPI では、HPIA へのホスト・アクセスは C62x/C67x HPI の動作と同一です。HCNTL[1-0] コントロール・ビットは 01b にセットされ、HPIA へのアクセスを示します。HPIA へのホスト・ライトにより、HPIAW と HPIAR の両方が内部で更新されます。HPIA のホスト・リードにより、最近使用された HPIAx レジスタの値が戻されます。たとえば、最近の HPID アクセスがリードだった場合、外部ホストによりリードされた HPIA は HPIAR の値を戻します。また、最近の HPID アクセスがライトだった場合、外部ホストによりリードされた HPIA は HPIAW の値を戻します。

CPU を使用して内部で HPIAR/HPIAW を更新するシステムでは、外部バスを使用して HPIA を更新してはいけません (またその逆の場合も同様です)。HPIAR/HPIAW レジスタは、CPU と外部ホストの両方がそれぞれ独立にリードできます。DSP が HPIAR/W レジスタを内部で更新している間、システムでは外部ホストを使用して HPID アクセスを行うことができません。これを制御するには、汎用入力/出力ピンを使用してホストと DSP 間のハンドシェイクを実行するなどの方法を使用します。

8.3 HPI コントロール・レジスタ (HPIC)

HPI コントロール・レジスタ (HPIC) は、通常、コンフィギュレーション・ビットを設定しインターフェイスを初期化するために最初にアクセスされるレジスタです。HPIC を図 15、図 16、図 17 に示し、その説明を表 24 に示します。ホストから見た HPIC のフィールド (図 15 (a)、図 16 (a)、図 17 (a)) では、HPIC は 2 つのハーフワード部分が等しい 32 ビットのレジスタとして構成されます。すなわち、上位ハーフワードと下位ハーフワードの内容が同じです。ホスト・ライトでは、両方のハーフワードが同一でなければなりません。ただし、DSPINT ビットを HPI16 モードでライトする場合を除きます (8.3.2 項を参照)。HPI16 モードでは、DSPINT = 1 をセットするとき、ホストは下位 16 ビット・ハーフワードと上位 16 ビット・ハーフワードの両方ではなくいずれか一方に 1 をライトします。HPI16 モードの C64x DSP では、第 1 ハーフワード・ライトの DSPINT の値がラッチされます。第 2 ハーフワード・ライトでは、DSPINT ビットをゼロクリアする必要があります。HPI32 モードでは、上位ハーフワードと下位ハーフワードは必ず同一でなければなりません。

C6000 CPU から見た HPIC のフィールド (図 15 (b)、図 16 (b)、図 17 (b)) では、HPIC は 16 ビットだけの有効なデータがある 32 ビット・レジスタです。CPU による下位ハーフワードへのライトだけが HPIC の値と HPI の動作に影響を与えます。

C64x DSP では、HWOB ビットを CPU からライトできます。このため、HPIC にライトする場合は、意図しない値を HWOB にライトしないように注意してください。

図 15. HPI コントロール・レジスタ (HPIC)-C620x/C670x DSP

(a) ホストから見た HPIC のフィールド

31		21	20	19	18	17	16
Reserved		FETCH	HRDY	HINT	DSPINT	HWOB	
HR-0		HR/W-0	HR-1	HR/W-0	HR/W-0	HR/W-0	
15		5	4	3	2	1	0
Reserved		FETCH	HRDY	HINT	DSPINT	HWOB	
HR-0		HR/W-0	HR-1	HR/W-0	HR/W-0	HR/W-0	

凡例： H=ホスト・アクセス、R=リード専用、R/W=リード/ライト、-n=リセット後の値

(b) CPU から見た HPIC のフィールド

31	Reserved						16
R-0							
15		5	4	3	2	1	0
Reserved		FETCH	HRDY	HINT	DSPINT	HWOB	
R-0		R-0	R-1	R/W-0	R/W-0	R-0	

凡例： R=リード専用、R/W=リード/ライト、-n=リセット後の値

図 16. HPI コントロール・レジスタ (HPIC)-C621x/C671x DSP

(a) ホストから見た HPIC のフィールド

31		20	19	18	17	16
Reserved		Reserved	HINT	DSPINT	HWOB	
HR-0		HR-x	HR/W-0	HR/W-0	HR/W-0	
15		4	3	2	1	0
Reserved		Reserved	HINT	DSPINT	HWOB	
HR-0		HR-x	HR/W-0	HR/W-0	HR/W-0	

凡例： H=ホスト・アクセス、R=リード専用、R/W=リード/ライト、-n=リセット後の値、-x=リセット後の値は不定

(b) CPU から見た HPIC のフィールド

31	Reserved					16
R-0						
15		4	3	2	1	0
Reserved		HRDY	HINT	DSPINT	HWOB	
R-0		R-1	R/W-0	R/W-0	R-0	

凡例： R=リード専用、R/W=リード/ライト、-n=リセット後の値

図 17. HPI コントロール・レジスタ (HPIC)-C64x DSP

(a) ホストから見た HPIC のフィールド

31	30	24	23	22	20	19	18	17	16
Reserved†	Reserved	Reserved†	Reserved		Reserved	HINT	DSPINT	HWOB	
HR/W-0	HR-0	HR-0	HR-0		HR-x	HR/W-0	HR/W-0	HR/W-0	
15	14	8	7	6	4	3	2	1	0
Reserved†	Reserved	Reserved†	Reserved		Reserved	HINT	DSPINT	HWOB	
HR/W-0	HR-0	HR-0	HR-0		HR-x	HR/W-0	HR/W-0	HR/W-0	

凡例： H = ホスト・アクセス、R = リード専用、R/W = リード/ライト、-n = リセット後の値、-x = リセット後の値は不定

† これらのビットはライト可能なフィールドで、0 (ゼロ) でライトする必要があります。それ以外の場合は、動作は不定です。

(b) CPU から見た HPIC のフィールド

31	Reserved								16
R-0									
15	14	8	7	6	4	3	2	1	0
Reserved†	Reserved	Reserved†	Reserved		HRDY	HINT	DSPINT	HWOB	
R/W-0	R-0	R-0	R-0		R-1	R/W-0	R/W-0	R-0	

凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値

† これらのビットはライト可能なフィールドで、0 (ゼロ) でライトする必要があります。それ以外の場合は、動作は不定です。

表 24. HPI コントロール・レジスタ (HPIC) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-21	Reserved	-	0	予約。予約ビット・ロケーションは、常に 0 (ゼロ) としてリードされます。
20, 4	FETCH‡			ホストのフェッチ要求ビット。
		0	0	ホストまたは CPU からリードされる値は常に 0 (ゼロ) です。
		1	1	HPIA でポイントされるアドレスのワードの HPID へのフェッチを要求するために、ホストはこのビットに 1 をライトします。ただし、この 1 は実際にはこのビットにライトされません。
19, 3	HRDY			ホストへのレディ信号。($\overline{\text{HRDY}}$ ピンのようには) $\overline{\text{HCS}}$ によりマスクされません。
		0	0	内部バスは HPI データ・アクセス要求の完了を待機しています。
		1	1	
18, 2	HINT			DSP からホストへの割り込みビット。このビットの反転値により、CPU の $\overline{\text{HINT}}$ 出力の状態が決まります。
		0	0	CPU の $\overline{\text{HINT}}$ 出力はロジック 1 です。
		1	1	CPU の $\overline{\text{HINT}}$ 出力はロジック 0 です。
17, 1	DSPINT			ホスト・プロセッサから CPU/DMA への割り込みビット。
		0	0	
		1	1	
16, 0	HWOB			ハーフワード・オーダー・ビットは、データとアドレスの転送に影響を与えます。このビットを変更できるのは、ホストだけです。データまたはアドレス・レジスタの最初のアクセス前に、HWOB を初期化しておく必要があります。HPI32 の場合、HWOB は使用されず、HWOB の値は関係ありません。
		0	0	第 1 ハーフワードが最上位です。
		1	1	第 1 ハーフワードが最下位です。
15-5	Reserved	-	0	予約。予約ビット・ロケーションは、常に 0 (ゼロ) としてリードされます。

† CSL を使って実装する場合、表記 HPI_HPIC_field_symval を使用してください。

‡ 620x/C670x デバイスのみで使用可能、その他のデバイスでは予約されています。

8.3.1 $\overline{\text{HRDY}}$ ビットと FETCH ビットを使用したソフトウェア・ハンドシェイク

$\overline{\text{HRDY}}$ ピンは HPID アクセスが未完了であることをホストに示すことができます。たとえば、現在の HPID アクセスは、前回の HPID アクセス・ライトの完了または前回の HPID プリフェッチ・リードの完了を待機できます。また、現在の HPID リード・アクセスは、その要求されたデータの到着を待機できます。C620x/C670x HPI では、HPIC の $\overline{\text{HRDY}}$ ビットと FETCH ビットを使用すると、ソフトウェア・ハンドシェイクが可能になりハードウェアでのレディ制御に対応できないシステムで HPI 接続を行うことができます。ソフトウェア・ハンドシェイクは、C620x/C670x デバイスでのみ機能します。

FETCH ビットと $\overline{\text{HRDY}}$ ビットを使用して、次の手順でリード転送を実行できます。

- 1) ホストは $\overline{\text{HRDY}} = 1$ になるまで HPIC レジスタをポーリングします。
- 2) ホストは適切な HPIA 値をライトします。この手順は、HPIA がすでに適切な値に設定されている場合は省略できます。
- 3) ホストは FETCH ビットに 1 をライトします。
- 4) ホストは $\overline{\text{HRDY}} = 1$ になるまで再度ポーリングします。
- 5) ホストは HPID のリード動作を実行します。この場合、HPI はすでにレディ状態 ($\overline{\text{HRDY}} = 1$) になっています。
- 6) このリードがポストインクリメントのリードだった場合は、手順 4 に進みます。同じロケーションからのリードの場合は手順 3 に、異なるアドレスへのリードの場合は手順 2 に進んでください。

$\overline{\text{HRDY}}$ ビットだけを使用して、次の手順でライト動作を実行できます。

- 1) ホストは $\overline{\text{HRDY}} = 1$ になるまでポーリングします。
- 2) ホストは適切な HPIA 値をライトします（この手順は、HPIA がすでに適切な値に設定されている場合は省略できます）。
- 3) ホストは HPID のライト動作を実行します。もう一度ライト動作を実行する場合は、手順 1 に進んでください。

8.3.2 DSPINT ビットを使用したホスト・デバイスの CPU への割り込み

ホストは HPIC 内のいずれかの DSPINT ビットにライトすると、CPU に割り込みをかけることができます。DSPINT ビットは内部 DSPINT 信号に直接接続されています。DSPINT = 0 の場合にホストから DSPINT = 1 をライトすると、DSPINT 信号上のローからハイへの遷移が発生します。割り込みセクタで DSPINT 割り込みの選択を行っていれば、CPU は DSPINT の遷移を割り込み状態として検出します。DSPINT = 0 の場合にホストではなく CPU から DSPINT = 1 をライトしても影響はありません。CPU は DSPINT = 1 の場合に 1 を DSPINT にライトして、DSPINT ビットをクリアできます。DSPINT = 0 (HPIC 内) をホストまたは CPU でライトしても、DSPINT ビットと DSPINT 信号のいずれにも影響はありません。

8.3.3 HINT ビットを使用した CPU のホストへの割り込み

CPU は HPIC 内の HINT ビットにライトすることで、 $\overline{\text{HINT}}$ 信号でアクティブな割り込み状態を送信できます。HINT ビットは反転して、 $\overline{\text{HINT}}$ ピンに接続されています。CPU は HINT = 1 をライトすることで、 $\overline{\text{HINT}}$ をアクティブにセットできます。ホストは HINT に 1 をライトすることで、 $\overline{\text{HINT}}$ をインアクティブにクリアできます。HINT = 0 (HPIC 内) をホストまたは CPU でライトしても、HINT ビットと $\overline{\text{HINT}}$ 信号のいずれにも影響はありません。

HPI16 モードでは、HINT ビットはホスト・インターフェイス側で 2 回リードされます。ホストによる第 1 ハーフワードと第 2 ハーフワードのリードにおいて、CPU がこの 2 回のリード動作の間にこのビットの状態を変更すると、異なるデータが得られます。

8.4 HPI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) (C64x DSP のみ)

HPI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) は、HPI がその要求を EDMA サブシステムに送信する方法を制御します。TRCTL を表 18 に示します。また、その説明を表 25 に示します。

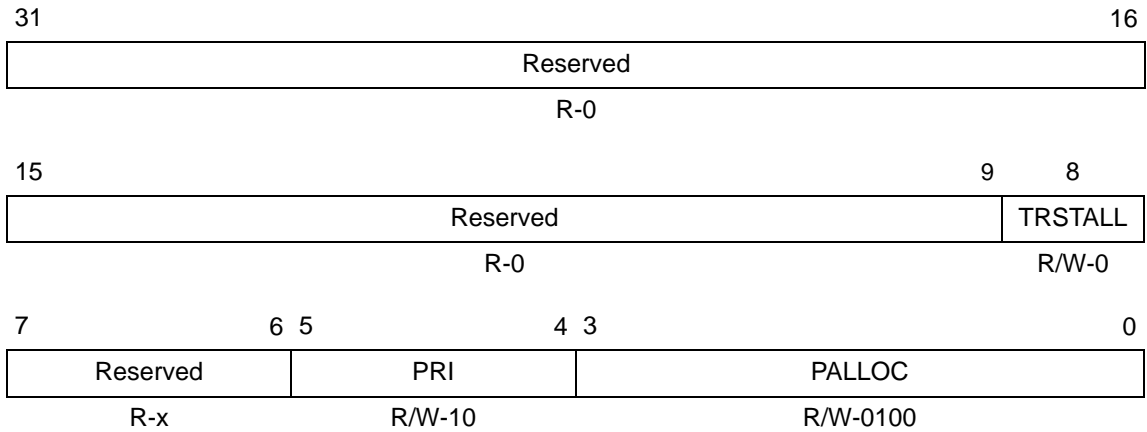
TRCTL 内の PALLOC ビットまたは PRI ビットを安全に変更するには、TRSTALL ビットを使用して適切に遷移が確実に行われるようにする必要があります。PALLOC ビットまたは PRI ビットを変更するには、次の手順に従わなければなりません。

- 1) TRSTALL ビットを 1 にセットし、HPI が TR 要求を現在の PRI レベルに出さないようにします。同一のライト時に、新しい PALLOC フィールドと PRI フィールドを指定してもかまいません。
- 2) 新旧両方の PRI レベルに対応する EDMA イベント・イネーブル (EER) をすべてクリアし、EDMA が両方の PRI レベルに TR 要求を出さないようにします。EDMA 経由で新しいイベントを手動で出さないでください。
- 3) 新旧いずれかの PRI レベルの新しい QDMA 要求を出さないでください。
- 4) 新旧いずれかの PRI レベルへの L2 キャッシュ・ミスを停止してください。これは、内部メモリ内のプログラム実行または、データ・アクセスにさせることにより行われます。他の方法は、さらにキャッシュ・ミスをしないように密なループを CPU に実行させることです。
- 5) 両方のキューが空になるまで、EDMA のプライオリティ・キュー・ステータス・レジスタ (PQSR) 内の適切な PQ ビットをポーリングします (『Enhanced DMA (EDMA) Controller Reference Guide』(SPRU234) を参照)。
- 6) TRSTALL ビットをゼロクリアにし、HPI に通常の動作を続けさせます。

リクエスターは古い HPI PRI レベルでは、メモリ転送要求を保持するために停止します。そのため、HPI がストール状態から解放される前に、古い PRI レベルで保留されている要求はすべて完了しなければなりません。

リクエスターは新しい PRI レベルで停止して、すべての要求元への割り当ての合計がキューの長さを決して超えないようにします。一定のレベルでリクエスターを停止させることで、各リクエスターへのキューの割り当てカウンタを自由に変更することができます。

図 18. HPI トランスファー・リクエスト・コントロール・レジスタ (TRCTL)



凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値、-x = リセット後の値は不定

表 25. HPI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-9	Reserved	-	0	予約。予約ビット・ロケーションは、常に 0 (ゼロ) としてリードされます。
8	TRSTALL		0	HPI は要求を EDMA に出すことができます。
			1	EDMA に対する新しい HPI 要求を作成させないようにします。
				EDMA への HPI 要求をすべて停止することを強制します。このビットを使用すると、安全に PALLOC フィールドと PRI フィールドを変更できます。
7-6	Reserved	-	0	予約。予約ビット・ロケーションは、常に 0 (ゼロ) としてリードされます。
5-4	PRI		0-3h	HPI 要求が出されるプライオリティ・キュー・レベルを制御します。
			0	エージェント・プライオリティ
			1h	ハイ・プライオリティ
			2h	ミディアム・プライオリティ
			3h	ロー・プライオリティ
3-0	PALLOC		0-Fh	HPI から EDMA に出される発行済の要求の合計数を制御します。PALLOC の有効な値は 1 ~ 15 です。これ以外の値は予約されています。デフォルト値は 4 です。HPI は発行済の要求の数を把握しています。

† CSL を使って実装する場合、表記 HPI_TRCTL_field_symval を使用してください。

索引

C

CPU の割り込みに DSPINT ビットを使用するホスト・デバイス 54

D

DSPINT ビット
C620x/C670x HPIC 50
C621x/C671x HPIC 51
C64x HPIC 52

F

FETCH ビット 50

H

HINT ビット
C620x/C670x HPIC 50
C621x/C671x HPIC 51
C64x HPIC 52
HPI アドレス・ライト・レジスタ (HPIAW) 48
HPI アドレス・リード・レジスタ (HPIAR) 48
HPI アドレス・レジスタ (HPIA) 48
HPI 制御レジスタ (HPIC) 49
HPI データ・レジスタ (HPID) 48
HPI でのメモリ・アクセス 47
HPI 転送要求制御レジスタ (TRCTL) 55
HPIA 48
HPIAR 48
HPIAW 48
HPIC 49
HPIC と HPIA の初期化 33
HPIC または HPIA アクセス
C620x/C670x HPI 23

C621x/C671x HPI 29
HPID 48
HPID ライト
C620x/C670x HPI 23
C621x/C671x HPI 29
C64x HPI 30
HPID ライト・アクセス
固定アドレス・モード 40
自動インクリメント・モード 42
HPID リード
C620x/C670x HPI 22
C621x/C671x HPI 28
C64x HPI 30
HPID リード・アクセス
固定アドレス・モード 35
自動インクリメント・モード 37
HRDY ビット
C620x/C670x HPIC 50
C621x/C671x HPIC 51
C64x HPIC 52
HWOB ビット
C620x/C670x HPIC 50
C621x/C671x HPIC 51
C64x HPIC 52

P

PALLOC ビット 56
PRI ビット 56

T

TRCTL 55
TRSTALL ビット 56

あ

アドレス・ストローブ 18

か

- 外部インターフェイス 12
 - C620x/C670x HPI 12
 - C621x/C671x HPI 14
 - C64x HPI 15
- 概要 9
- 関連資料、当社発行 3

し

- 自動インクリメントを使用したライト 42
- 自動インクリメントを使用したリード 37
- 自動インクリメントを使用しないライト 40
- 自動インクリメントを使用しないリード 35
- 商標 4
- 信号の説明 16
 - アドレス・ストローブ入力 (HAS) 18
 - ストローブ (HCS、HDS1、HDS2) 20
 - 制御選択 (HCNTL) 17
 - データ・バス (HD) 17
 - ハーフワード識別選択 (HHWIL) 17
 - バイト・イネーブル (HBE) 19
 - ホストへの割り込み (HINT) 21
 - リード/ライト選択 (HR/W) 20
 - レディ (HRDY) 21

す

- ストローブ 20

せ

- 制御信号のラッチ
 - C620x/C670x HPI 22
 - C621x/C671x HPI 27
- 制御選択 17

そ

- ソフトウェア・ハンドシェイク 54

た

- 単一ハーフワード・アクセス 46

て

- データ・バス 17
- デバイスの相違点 11
- 転送優先キュー 47

は

- ハーフワード識別選択 17
- バイト・イネーブル 19
- バス・アクセス 22
 - C620x/C670x HPI 22
 - C621x/C671x HPI 27
 - C64x HPI 30

ひ

- 表記規則 3

ふ

- ブロック図
 - C620x/C670x DSP 10
 - C620x/C670x HPI 12
 - C621x/C671x DSP 11
 - C621x/C671x HPI 14
 - C64x DSP 11
 - C64x HPI 15

ほ

- ホストの割り込みに HINT ビットを使用する CPU 55
- ホストへの割り込み (HINT) 21

り

- リード/ライト選択 20
- リセット時の HPI でのアクセス 47
- リセット時のメモリ・アクセス 47

れ

- レジスタ 47
 - HPI アドレス・ライト・レジスタ (HPIAW) 48
 - HPI アドレス・リード・レジスタ (HPIAR) 48
 - HPI アドレス・レジスタ (HPIA) 48
 - HPI 制御レジスタ (HPIC) 49
 - HPI データ・レジスタ (HPID) 48
 - HPI 転送要求制御レジスタ (TRCTL) 55
- レディ 21

わ

- 割り込み
 - DSPINT ビットを使用する CPU 54
 - HINT ビットを使用するホスト 55

日本テキサス・インスツルメンツ株式会社

本 社 〒160-8366 東京都新宿区西新宿6丁目24番1号 西新宿三井ビルディング3階 ☎03(4331)2000(番号案内)

西日本ビジネスセンター 〒530-6026 大阪市北区天満橋1丁目8番30号 OAPオフィスタワー26階 ☎06(6356)4500(代 表)

■お問い合わせ先

プロダクト・インフォメーション・センター (PIC) _____ URL: <http://www.tij.co.jp/pic/>

TMS320C6000 DSP HPI **リファレンス・ガイド**

第 1 版 2005 年 8 月

発行所 **日本テキサス・インスツルメンツ株式会社**
〒160-8366
東京都新宿区西新宿 6-24-1 (西新宿三井ビルディング)

