

TMS320VC5501/5502 DSP

ホスト・ポート・インターフェイス (HPI)

リファレンス・ガイド

TMS320VC5501/5502 DSP

ホスト・ポート・インターフェイス (HPI)

リファレンス・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated（TIJの親会社、以下TIJ及びTexas Instruments Incorporatedを総称してTIといたします）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取り引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright©2004, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

最初にお読みください

本書について

本書では、TMS320C55x™ (C55x™) DSP ジェネレーションの TMS320VC5501 および TMS320VC5502 デジタル・シグナル・プロセッサ (DSP) 上のホスト・ポート・インターフェイス (HPI) の機能および動作について説明します。

表記規則

本書では、次の表記規則を使用しています。

- 多くの場合、16 進数は末尾に h が付いて表されています。たとえば、次の数字は 16 進数の 40 (10 進数の 64) です。

40h

同様に、2 進数は通常、末尾に b が付いて表されています。たとえば、次の数字は 10 進数の 4 を 2 進数で示したものです。

0100b

- 信号またはピンがローアクティブの場合は、上線が付いています。たとえば、RESET 信号はローアクティブです。

関連資料

C55x デバイスおよびそのサポート・ツールなどを解説した関連資料は、次のとおりです。関連資料は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

『**TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS206) では、TMS320VC5501 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS166) では、TMS320VC5502 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320C55x Technical Overview**』(文献番号 SPRU393) では TMS320C55x DSP、および TMS320C5000™ DSP プラットフォームにおける固定小数点 DSP の最新版について説明しています。以前の製品と同様に、このプロセッサは、高性能で低消費電力での動作に最適です。この資料では、CPU のアーキテクチャ、拡張された低消費電力機能、および組み込みエミュレーション機能について説明しています。

『**TMS320C55x DSP CPU Reference Guide**』(文献番号 SPRU371)では、TMS320C55x DSP のアーキテクチャ、レジスタ、CPU の動作について説明しています。

『**TMS320C55x DSP Peripherals Overview Reference Guide**』(文献番号 SPRU317)では、TMS320C55x DSP で使用可能なペリフェラル、インターフェイス、および関連するハードウェアについて説明しています。

『**TMS320C55x DSP Algebraic Instruction Set Reference Guide**』(文献番号 SPRU375)では、TMS320C55x DSP の各代数表記命令について説明しています。また、命令セットの要約、命令オペコードの一覧、およびニーモニック命令セットへの相互参照も記述しています。

『**TMS320C55x DSP Mnemonic Instruction Set Reference Guide**』(文献番号 SPRU374)では、TMS320C55x DSP の各ニーモニック命令について説明しています。また、命令セットの要約、命令オペコードの一覧、および代数表記命令セットへの相互参照も記述しています。

『**TMS320C55x Optimizing C/C++ Compiler User's Guide**』(文献番号 SPRU281)では、TMS320C55x の C/C++ コンパイラについて説明しています。この C/C++ コンパイラは、ISO 標準の C および C++ ソース・コードに対応し、TMS320C55x デバイス用のアセンブリ言語ソース・コードを生成します。

『**TMS320C55x Assembly Language Tools User's Guide**』(文献番号 SPRU280)では、TMS320C55x デバイス用のアセンブリ言語ツール(アセンブリ言語コードの開発に使用するアセンブラやリンカなどのツール)、アセンブラ擬似命令、マクロ、共通オブジェクト・ファイル・フォーマット、およびシンボリック・デバッグの擬似命令について説明しています。

『**TMS320C55x DSP Programmer's Guide**』(文献番号 SPRU376)では、TMS320C55x DSP の C とアセンブリのコードを最適化する方法、また DSP の特殊な機能と命令を使用するコードの書き方について説明しています。

商標

TMS320C5000、TMS320C55x、および C55x は Texas Instruments の商標です。

その他の商標は各社の所有物です。

目次

1	HPI の概要	9
1.1	HPI レジスタの概要	11
1.2	HPI 信号の概要	14
2	アドレス・レジスタの使用 (8 ビット共用モードのみ)	17
2.1	シングル HPIA モード	17
2.2	デュアル HPIA モード	17
3	HPI の動作	18
3.1	ホストと HPI 間の信号接続	18
3.2	HPI のコンフィグレーションとデータ・フロー	22
3.3	HDS2、HDS1、および HCS : データ・ストローブとチップ・セレクト	23
3.4	HCNTL[1:0] および HR/W : サイクル・タイプの指定	25
3.5	HBIL : 共用モード転送での第 1 および第 2 バイトの識別	26
3.6	HAS : 8 ビット共用モードでの制御情報の早期ラッチ	27
3.7	HAS を使用しない共用アクセスの実行	30
3.8	8 ビット共用モードでのシングル・バイトの HPIC サイクル	32
3.9	16 ビット分離モードでのホスト・サイクル	33
3.10	HPI レディ (HRDY) 信号を使用するハードウェア・ハンドシェーク	34
3.10.1	共用モードでのリード時における HRDY の動作	35
3.10.2	共用モードでのライト時における HRDY の動作	36
3.10.3	分離モードでのリード時における HRDY の動作	38
3.10.4	分離モードでのライト時における HRDY の動作	39
4	HPI レディ (HRDY) ビットを使用するソフトウェア・ハンドシェーク	40
4.1	8 ビット共用モードでの HRDY ビットのポーリング	41
4.2	16 ビット分離モードでの HRDY ビットのポーリング	42
5	ホストと CPU 間の割り込み	42
5.1	DSPINT ビット : ホストから CPU への割り込み	42
5.2	HINT ビット : CPU からホストへの割り込み	44
6	FIFO とバースト (8 ビット共用モードのみ)	45
6.1	リード・バースト	46
6.2	ライト・バースト	47
6.3	FIFO フラッシュ条件	48
6.4	ハードウェア・リセットまたは HPI ソフトウェア・リセット時の FIFO の動作	49
7	HPI ピンの汎用 I/O への使用	49

8	電力、エミュレーション、リセットについての考察	52
8.1	消費電力の低減	52
8.2	エミュレーション・モード	52
8.3	ハードウェア・リセットの HPI への影響	53
8.4	HPI ソフトウェア・リセット	53
9	HPI レジスタ	54
9.1	制御レジスタ (HPIC)	55
9.2	データ・レジスタ (HPID)	58
9.3	アドレス・レジスタ (HPIAR と HPIAW)	59
9.4	汎用 I/O イネーブル・レジスタ (HGPIOEN)	61
9.5	汎用 I/O 方向レジスタ 1 (HGPIODIR1) と汎用 I/O データ・レジスタ 1 (HGPIODAT1)	63
9.6	汎用 I/O 方向レジスタ 2 (HGPIODIR2) と汎用 I/O データ・レジスタ 2 (HGPIODAT2)	65
9.7	汎用 I/O 方向レジスタ 3 (HGPIODIR3) と汎用 I/O データ・レジスタ 3 (HGPIODAT3)	68
9.8	汎用 I/O 割り込み制御レジスタ (HGPIOINT1 と HGPIOINT2)	70
9.9	電力およびエミュレーション管理レジスタ (HPWREMU)	71
	改訂履歴	73

図目次

図 1.	ホストー DSP システム内での HPI のポジション.....	10
図 2.	16 ビット分離モードでのホストと DSP 間の信号接続例.....	19
図 3.	8 ビット共用モードで HAS 信号を使用した場合のホストと DSP 間の信号接続例.....	20
図 4.	8 ビット共用モードで HAS 信号を High に接続した場合のホストと DSP 間の信号接続例.....	21
図 5.	HPI ストローブと選択ロジック.....	23
図 6.	HAS を使用する共用モードのホスト・リード・サイクル.....	28
図 7.	HAS を使用する共用モードのホスト・ライト・サイクル.....	29
図 8.	HAS を High に接続した共用モードのホスト・リード・サイクル.....	30
図 9.	HAS を High に接続した共用モードのホスト・ライト・サイクル.....	31
図 10.	HAS を High (リードまたはライト) に接続した共用モードのシングル・バイト HPIC サイクル.....	32
図 11.	分離モードのホスト・リード・サイクルとホスト・ライト・サイクル.....	33
図 12.	共用モードでの HPIC または HPIA リード・サイクル中の HRDY の動作.....	35
図 13.	共用モードでのデータ・リード時における HRDY の動作 (ケース 1: HPIA ライト・サイクル後に自動インクリメントなし HPID リード・サイクルが 続く場合).....	35
図 14.	共用モードでのデータ・リード時における HRDY の動作 (ケース 2: HPIA ライト・サイクル後に自動インクリメント付 HPID リード・サイクルが 続く場合).....	36
図 15.	共用モードでの HPIC ライト・サイクルにおける HRDY の動作.....	36
図 16.	共用モードでのデータ・ライト時における HRDY の動作 (ケース 1: 自動インクリメントしない場合).....	37
図 17.	共用モードでのデータ・ライト時における HRDY の動作 (ケース 2: 自動インクリメントが選択され、ライト前に FIFO が空の場合).....	37
図 18.	共用モードでのデータ・ライト時における HRDY の動作 (ケース 3: 自動インクリメントが選択され、ライト前に FIFO が空でない場合).....	38
図 19.	分離モードでの HPIC リード・サイクルにおける HRDY の動作.....	38
図 20.	分離モードでのデータ・リード時における HRDY の動作.....	39
図 21.	分離モードでの HPIC ライト・サイクルにおける HRDY の動作.....	39
図 22.	分離モードでのデータ・ライト時における HRDY の動作.....	40
図 23.	ホストから CPU への割り込み状態遷移図.....	43
図 24.	CPU からホストへの割り込み状態遷移図.....	44
図 25.	HPI 内の FIFO.....	45
図 26.	制御レジスタ (HPIC).....	55
図 27.	データ・レジスタ (HPID).....	58
図 28.	アドレス・レジスタ (HPIAR または HPIAW) のフォーマット - TMS320VC5501 デバイス.....	60
図 29.	アドレス・レジスタ (HPIAR または HPIAW) のフォーマット - TMS320VC5502 デバイス.....	60
図 30.	汎用 I/O イネーブル・レジスタ (HGPIOEN).....	61
図 31.	HGPIODIR1 および HGPIODAT1 レジスタのフォーマット.....	64
図 32.	HGPIODIR2 および HGPIODAT2 レジスタのフォーマット.....	65
図 33.	HGPIODIR3 および HGPIODAT3 レジスタのフォーマット.....	69
図 34.	HGPIOINT1 および HGPIOINT2 レジスタのフォーマット.....	70
図 35.	電力およびエミュレーション管理レジスタ (HPWREMU).....	71

表目次

表 1.	ホストがアクセスできる内部メモリと、ホストに要求されるアドレス・ビット	9
表 2.	HPI レジスタの概要	12
表 3.	XBSR のパラレル / ホスト・ポート共用モード・ビットの機能	14
表 4.	HPI 信号	15
表 5.	ホストと HPI データ・ストロブ・ピンの接続オプション	24
表 6.	HCNTL 信号で選択可能なアクセス・タイプ	25
表 7.	HCNTL および HR/W 信号で選択可能なサイクル・タイプ	26
表 8.	HPI ピンの汎用 I/O の制御	50
表 9.	HPI のレジスタ	54
表 10.	制御レジスタ (HPIC) のビット	56
表 11.	ホストからアクセスできる内部メモリと、ホストに要求されるアドレス・ビット	59
表 12.	汎用 I/O イネーブル・レジスタ (HGPIOEN) のビット	62
表 13.	汎用 I/O 方向レジスタ 1 (HGPIODIR1) のビット	64
表 14.	汎用 I/O データ・レジスタ 1 (HGPIODAT1) のビット	64
表 15.	汎用 I/O 方向レジスタ 2 (HGPIODIR2) のビット	66
表 16.	汎用 I/O データ・レジスタ 2 (HGPIODAT2) のビット	67
表 17.	汎用 I/O 方向レジスタ 3 (HGPIODIR3) のビット	69
表 18.	汎用 I/O データ・レジスタ 3 (HGPIODAT3) のビット	69
表 19.	汎用 I/O 割り込み制御レジスタ 1 (HGPIOINT1) のビット	70
表 20.	汎用 I/O 割り込み制御レジスタ 2 (HGPIOINT2) のビット	71
表 21.	電力およびエミュレーション管理レジスタ (HPWREMU) のビット	71

ホスト・ポート・インターフェイス (HPI)

本書では、TMS320VC5501 および TMS320VC5502 デジタル・シグナル・プロセッサのホスト・ポート・インターフェイス (HPI) について説明します。HPI は、外部のホスト・プロセッサ (ホスト) が 8 または 16 ビットのインターフェイスを使って DSP 内部のメモリに直接アクセスできるようにします。

1 HPI の概要

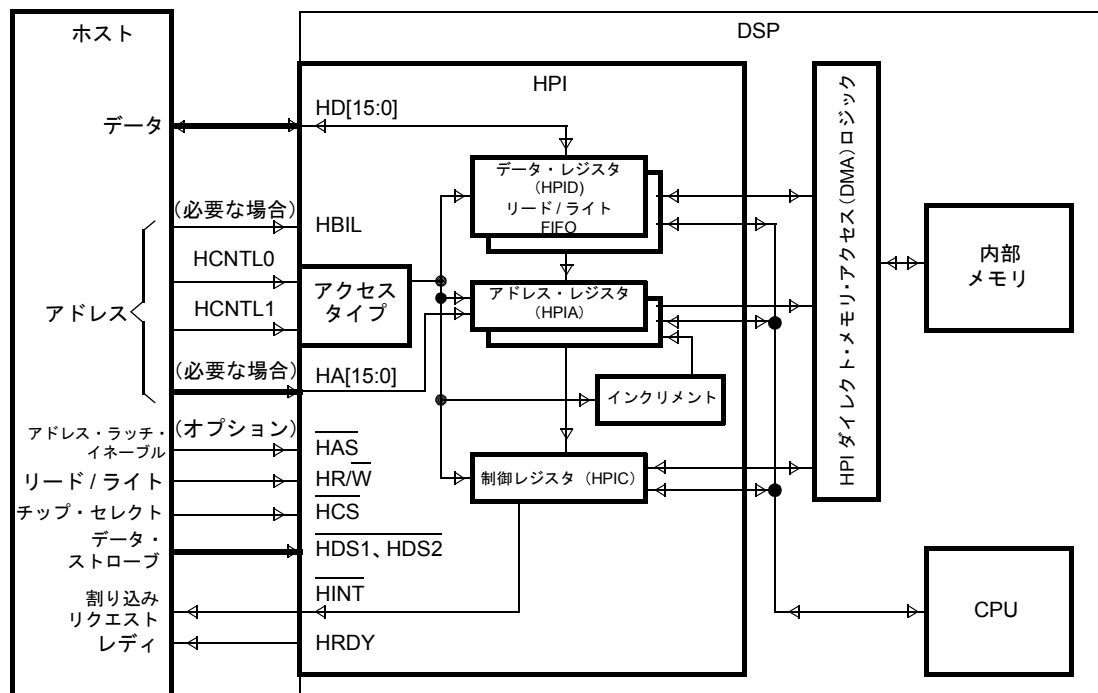
HPI は外部のホスト・プロセッサ (ホスト) から、TMS320VC5501 および TMS320VC5502 DSP の内部メモリにアクセスするためのパラレル・ポートを提供します (表 1. を参照)。アドレス 0000h ~ 005Fh は、CPU のメモリ・マップド・レジスタに割り当てられているため、ホストからアクセスできません。ホストは DSP 外部のメモリへ直接アクセスすることはできません。

表 1. ホストがアクセスできる内部メモリと、ホストに要求されるアドレス・ビット

デバイス	ホストがアクセスできる内部メモリ	ホストで要求されるアドレス・ビット
TMS320VC5501	先頭の 16K ワード (アドレス 0000h ~ 005Fh を除く)	ホストは、HPI へ 14 ビットのアドレスを提供する必要があります。ここで、各アドレスはメモリ内の 1 ワード (16 ビットの値) を指します。
TMS320VC5502	先頭の 32K ワード (アドレス 0000h ~ 005Fh を除く)	ホストは、HPI へ 15 ビットのアドレスを提供する必要があります。ここで、各アドレスはメモリ内の 1 ワード (16 ビットの値) を指します。

図 1. は、HPI によるホスト (図の左側) と DSP 内部メモリ (図の右側) の接続例をハイレベルなブロック図で示したものです。ホストの動作は、HPI をドライブする DSP の高速ペリフェラル・クロック (SYSCLK1) と同期しません。ホストは、HPI のマスタとして機能します。HPI のリソースが一時的に利用できなくなった場合、HPI は、HPI レディ (HRDY) 出力信号をディアサートすることにより、利用不能であることをホストへ伝えることができます。

図1. ホスト-DSP システム内でのHPIのポジション



HPI は 2 つのインターフェイス・モードをサポートします。

- **8ビット共用モード:** リセット時にDSPのGPIO6ピンがHighにサンプリングされる場合、このモードが選択されます。このモードでは、8ビットのデータ・バス (HD[7:0]) はアドレスとデータの両方を伝達します。バス上で各ホスト・サイクルは、2つの連続する8ビット転送で構成されます。ホストがバス上でアドレスをドライブする時は、そのアドレスはHPI内の16ビットのアドレス・レジスタ内に格納され、次にはバスをデータのために使用できるようになります。HPIには2つのHPIA (HPIARとHPIAW)があり、それぞれ、リード・アクセスおよびライト・アクセス用の独立したアドレス・レジスタとして使用できません (詳細については、17ページの2節を参照)。
- **16ビット分離モード:** このモードは、TMS320VC5501 デバイスではサポートされていません。TMS320VC5502 デバイス上で、リセット時にDSPのGPIO6ピンがLowにサンプリングされる場合、このモードが選択されます。分離モードでは、HPIは、アドレス・バスとデータ・バスを分け、16ビットのアドレス・バス (HA[15:0]) と16ビットのデータ・バス (HD[15:0]) を提供します。このモードでは、HPIのアドレス・レジスタは使用しません。データ・バス上の各ホスト・サイクルは、1つの16ビット転送で構成されます。

16ビットの制御レジスタ (HPIC) へは、DSP CPU およびホストからアクセスできます。CPUはHPICを使用して、ホストへ割り込み要求を送信し、ホストからの割り込み要求をクリアし、HPIを監視します。ホストはHPICを使用して、HPIを設定、監視し、CPUへ割り込み要求を送信し、CPUからの割り込み要求をクリアします。

ホストと HPI の間のデータ・フローには、テンポラリ・ストレージ・レジスタである 16 ビット・データ・レジスタ (HPID) が使用されます。ホストから受け取ったデータは、DSP 内の他の場所に格納されるまで、HPID 内に保持されます。ホストへ送信されるデータは、HPI で転送の準備が整うまでの間、HPID 内に保持されます。アドレスの自動インクリメントを使用している場合は、バースト・データの格納にリードおよびライト FIFO を使用します。自動インクリメントを使用していない場合は、FIFO メモリは単独のレジスタとして動作します (1 つのロケーションのみが使用されます)。

注 :

DSP には、HPID と内部メモリ間のデータ転送を管理するための専用の HPI DMA ロジックがあります。HPI DMA ロジックはプログラマブルでないため、ホストが提供するアドレスを使用してデータを自動的にストアまたはフェッチします。HPI DMA ロジックは、DSP に含まれる DMA コントローラに依存しません。DMA コントローラについての情報は、『TMS320VC5501/5502 DSP Direct Memory Access (DMA) Controller Reference Guide』(文献番号 SPRU613) を参照してください。

1.1 HPI レジスタの概要

表 2. は、HPI 内のレジスタの概要を、ホストおよび DSP CPU 側からのアクセス権およびアクセス要件を含めてまとめたものです。54 ページの 9 節「HPI レジスタ」ではこれらのレジスタすべてについて細かく説明します。17 ページの 2 節「アドレス・レジスタの使用 (8 ビット共用モードのみ)」では、2 つのアドレス・レジスタ (HPIAW と HPIAR) が存在する理由と、ホストによるレジスタの使用方法を規定する 2 つの HPIA モードについて説明します。

ホストは HPIC、HPIAW、HPIAR、HPID のみへアクセスできます。HCNTL[1:0] 信号をあるレベルでドライブすることによって、ホストは HPIC、HPIA、HPID アクセスのうちどれを実行しているかを示します。HPID アクセスの場合、HCNTL 信号はまた、HPI がアクセス後に自動アドレス・インクリメントを実行する必要があるか、アクセス後にアドレスをインクリメントしないかを示します。HCNTL[1:0] 信号の機能については、25 ページの 3.4 節「HCNTL[1:0] および HR/W : サイクル・タイプの指定」に詳しく記載されています。HR/W 信号は、ホストがリード中かライト中かを示します。

DSP CPU は HPID へアクセスできませんが、HPIC、HPIAR、HPIAW へは限定的にアクセスできます。CPU は、HPI のエミュレーション・モードの選択に使用する、電力およびエミュレーション管理レジスタへフルにアクセスできます。HPI 内のレジスタへアクセスするため、CPU は DSP の I/O 空間内の指定されたアドレスへアクセスします。表 2. に I/O アドレスを示します。

表 2. HPI レジスタの概要

レジスタ	ホスト・アクセス		CPU アクセス	
	リード/ライトの アクセス権	アクセス要件	リード/ライトの アクセス権	I/O アドレス
予約	–	–	–	A000h ~ A001h
HPWREMU : 電力およびエミュ レーション管理レジ スタ	なし	–	リード/ライト	A002h
予約	–	–	–	A003h
HGPIOINT1 : 汎用 I/O 割り込み制御 レジスタ 1	なし	–	リード/ライト	A004h
HGPIOINT2 : 汎用 I/O 割り込み制御 レジスタ 2	なし	–	リード/ライト	A005h
HGPIOEN : 汎用 I/O イネーブル・ レジスタ	なし	–	リード/ライト	A006h
予約	–	–	–	A007h
HGPIODIR1 : 汎用 I/O 方向レジスタ 1	なし	–	リード/ライト	A008h
予約	–	–	–	A009h
HGPIODAT1 : 汎用 I/O データ・レジ スタ 1	なし	–	リード/ライト	A00Ah
予約	–	–	–	A00Bh
HGPIODIR2 : 汎用 I/O 方向レジスタ 2	なし	–	リード/ライト	A00Ch
予約	–	–	–	A00Dh
HGPIODAT2 : 汎用 I/O データ・レジ スタ 2	なし	–	リード/ライト	A00Eh
予約	–	–	–	A00Fh
HGPIODIR3 : 汎用 I/O 方向レジスタ 3 または予約 ^{注1}	なし	–	リード/ライト	A010h
予約	–	–	–	A011h

注1 TMS320VC5502 デバイス上では、アドレス・ピン HA[15:0] が汎用 I/O に設定されている場合は HGPIODIR3 および HGPIODAT3 が使用されます。TMS320VC5501 デバイス上では、アドレス・ピンがないため、これらのレジスタ・アドレスは予約されています。

注2 シングル HPIA モード、およびデュアル HPIA モードについては、17 ページの 2 節「アドレス・レジスタの使用 (8 ビット共用モードのみ)」に説明があります。

表 2. HPI レジスタの概要

レジスタ	ホスト・アクセス		CPU アクセス	
	リード/ライトの アクセス権	アクセス要件	リード/ライトの アクセス権	I/O アドレス
HGPIODAT3 : 汎用 I/O データ・レジ スタ 3 または予約 ^{注1}	なし	—	リード/ライト	A012h
予約	—	—	—	A013h ~ A017h
HPIC : 制御レジスタ	リード/ライト	HCNTL1 Low HCNTL0 Low	リード : すべてのビット ライト : HINT および DSPINT ビットのみ	A018h
予約	—	—	—	A019h
HPIAW : ライト・アドレス・レ ジスタ	リード/ライト	<input type="checkbox"/> 共用モード <input type="checkbox"/> HCNTL1 High HCNTL0 Low <input type="checkbox"/> シングル HPIA モード、 または HPIAW を選択し たデュアル HPIA モード 注2	リード専用	A01Ah
予約	—	—	—	A01Bh
HPIAR : リード・アドレス・レ ジスタ	リード/ライト	<input type="checkbox"/> 共用モード <input type="checkbox"/> HCNTL1 High HCNTL0 Low <input type="checkbox"/> シングル HPIA モード、 または HPIAR を選択し たデュアル HPIA モード 注2	リード専用	A01Ch
予約	—	—	—	A01Dh ~ A020h
HPID : データ・レジスタ	リード/ライト	自動インクリメントする HCNTL1 Low HCNTL0 High 自動インクリメントしない HCNTL1 High HCNTL0 High	なし	なし

注1 TMS320VC5502 デバイス上では、アドレス・ピン HA[15:0] が汎用 I/O に設定されている場合は HGPIODIR3 および HGPIODAT3 が使用されます。TMS320VC5501 デバイス上では、アドレス・ピンがないため、これらのレジスタ・アドレスは予約されています。

注2 シングル HPIA モード、およびデュアル HPIA モードについては、17 ページの 2 節「アドレス・レジスタの使用 (8 ビット共用モードのみ)」に説明があります。

1.2 HPI 信号の概要

DSP の外部バス選択レジスタ (XBSR) には、パラレル/ホスト・ポート共用モード・ビットが含まれています。このビットは、DSP 内のピンの割り当てを決定します。表 3. では、HPI 上でのこのビットの機能について説明します。リセット時に GPIO6 ピンに基づいて共用モードが選択されます。リセット時に GPIO6 が Low にサンプリングされている場合、共用モード・ビットは、0 に設定されます。リセット時に GPIO6 が High にサンプリングされている場合、共用モード・ビットは、1 に設定されます。XBSR および GPIO6 についての詳細は、デバイス別のデータ・マニュアル、*『TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual』* (文献番号 SPRS206) または、*『TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual』* (文献番号 SPRS166) を参照してください。

表 3. XBSR のパラレル/ホスト・ポート共用モード・ビットの機能

デバイス	パラレル/ホスト・ポート共用モード・ビット = 0 (リセット時に GPIO6 ピンが Low の場合のデフォルト)	パラレル/ホスト・ポート共用モード・ビット = 1 (リセット時に GPIO6 ピンが High の場合のデフォルト)
TMS320VC5501	8 ビット共用モード・オフ。 HBIL、HAS、および HD[7:0] のピンは HPI によって制御されません。ホスト・アクセスは不可になっています。	8 ビット共用モード・オン。 HPI は 8 ビット共用モードに必要なすべてのピンを制御します。
TMS320VC5502	16 ビット分離モード選択。 HPI は 16 ビット分離モードに必要なすべてのピンを制御します。不必要なピン、HBIL、および HAS は HPI によって制御されません。	8 ビット共用モード選択。 HPI は 8 ビット共用モードに必要なすべてのピンを制御します。不必要なピン、HA[15:0] および HD[15:8] は HPI によって制御されません。

表 4. は各 HPI 信号をまとめたものです。信号名、信号の入出力状態（入力、出力、またはハイ・インピーダンス）、インターフェイスのホスト側の接続、信号の機能の説明が記載されています。

表 4. HPI 信号

信号	入出力状態 ^{注1}	ホスト接続	説明
HPIENA	I	High または Low に接続	HPI イネーブル。HPI を動作可能にするには、このピンを High に接続します。このピンを Low に接続すると、HPI はディスエーブルとなり、汎用 I/O をイネーブルにしていなくても出力ピンは、ハイ・インピーダンス状態になります。
HCS	I	チップ・セレクト・ピン	HPI チップ・セレクト。ホストが選択する HPI の $\overline{\text{HCS}}$ は Low にする必要があります。アクセスとアクセスの間、HCS は Low のままにすることができます。HCS は通常、アクティブな HDS (データ・ストロープ) 信号に先行しますが、選択とストロープ動作を同時に行うために HDS ピンに接続することができます。
$\overline{\text{HDS1}}$ および HDS2	I	リード・ストロープおよびライト・ストロープのピン、またはデータ・ストロープ・ピン	HPI データ・ストロープ・ピン。これらのピンは、HPI に入出力されるデータのストロープに使用します (データ・ストロープの詳細については、23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストロープとチップ・セレクト」を参照)。データ転送の方向は、HR/W 信号のロジック・レベルにより変わります。 HDS 信号は、立ち下がリエッジで制御情報をラッチするためにも使用します (HAS を High に接続している場合)。HPID ライト・アクセス中、データは HDS の立ち上がりエッジで HPID レジスタへラッチされます。リード時は、これらのピンはホスト・データ・バスの出力イネーブル・ピンとして動作します。
HCNTL[1:0]	I	アドレスまたは制御ピン	HPI アクセス制御入力。HPI は、 $\overline{\text{HAS}}$ または、内部 $\overline{\text{HSTRB}}$ の立ち下がリエッジでこれらのピンのロジック・レベルをラッチします (内部 $\overline{\text{HSTRB}}$ の詳細については、23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストロープとチップ・セレクト」を参照)。これらのピンの 4 つのバイナリ状態は、現在の転送のアクセス・タイプ (HPIC、自動インクリメント付 HPID、HPIA、HPID) を規定します。
HR/W	I	R/W ストロープ・ピン	HPI リード/ライト。HR/W は、 $\overline{\text{HAS}}$ または内部 $\overline{\text{HSTRB}}$ の立ち下がリエッジで、現在のアクセスがリードもしくはライト動作かを示します。HR/W を High にドライブすると、転送は、HPI からのリードであることを示し、HR/W を Low にドライブすると、HPI へのライトであることを示します。
HBIL	I	アドレスまたは制御ピン	バイト識別ライン。8 ビット共用モードでは、ホストはホスト・サイクルの第 1 および第 2 バイトを識別するために、HBIL を使用する必要があります。第 1 バイトでは HBIL を Low に、第 2 バイトでは High にドライブする必要があります。HPI が 16 ビット分離モードで動作しているときは、この信号は無視されます (TMS320VC5502 デバイスのみ)。
HAS	I	ALE (アドレス・ラッチ・イネーブル) またはアドレス・ストロープ・ピン。	アドレス・ストロープ。アドレスとデータを共用したバスを持つホストの ALE ピンには HAS を接続することができます。HAS の立ち下がリエッジは、通常ホストのアドレス・ラインに接続している HR/W、HCNTL1、および HCNTL0 ピンのロジック・レベルをラッチするために使用されます。使用する際、HAS 信号は内部 $\overline{\text{HSTRB}}$ 信号の立ち下がリエッジに先行する必要があります。 アドレスとデータに別々のバスを持つホストでは、この信号を High に接続する必要があります。その場合 HPI は、内部 $\overline{\text{HSTRB}}$ 信号の立ち下がリエッジで HR/W、HCNTL1、および HCNTL0 レベルをラッチします。

注1 I = 入力、O = 出力、Z = ハイ・インピーダンス

表 4. HPI 信号

信号	入出力 状態 ^{注1}	ホスト接続	説明
HA[15:0]	I	アドレス・バス	HPI アドレス・バス。16 ビット分離モードでは、ホストはこの 16 ビット・バス上で 15 ビット・アドレスをドライブします。HA[14:0] はこのアドレスを伝達し、15 アドレス・ビットのみが必要なため、HA15 のビットは無視されます。8 ビット共用モードでは、HA[15:0] は使用されません。
HD[15:8] HD[7:0]	I/O/Z	データ・バス	HPI データ・バス。HPI データ・バスは、HPI の入出力データを伝達します。16 ビット分離モードでは、16 ラインすべてが使用されます。8 ビット共用モードでは、7 ~ 0 までのラインが使用されます。TMS320VC5501 デバイスには、HD[15:8] はありません。
HRDY	O/Z	非同期レディ・ピン	HPI レディ信号。HPI が HRDY を High にドライブした場合は、ホストは現在のホスト・サイクルを終了することができます。HPI が HRDY を Low にドライブした場合は、HPI は現在のホスト・サイクルを終了するための準備ができていません。
HINT	O/Z	割り込みピン	ホストへの割り込み。DSP は HPIC の HINT ビットへ 1 をライトすることにより、ホスト・プロセッサへ割り込むことができます。ホストは、次の HINT 割り込みが発生する前に、HINT ビットへ 1 をライトすることにより以前の割り込みをクリアする必要があります。このピンはローアクティブで、HPIC の HINT ビットの値を反転したものです。

注1 I = 入力、O = 出力、Z = ハイ・インピーダンス

2 アドレス・レジスタの使用 (8 ビット共用モードのみ)

HPI は、リード動作 (HPIAR) とライト動作 (HPIAW) の 2 つの 16 ビット・アドレス・レジスタを持っています。これらの役割は、HPI DMA ロジックから見た場合違いはありません。HPI の 8 ビット共用モードでは、HPI DMA ロジックは内部メモリをリードする際に HPIAR からアドレスを取得し、内部メモリへライトする際に HPIAW からアドレスを取得します。

HPI DMA ロジックとは異なり、ホストは 2 つの HPIA レジスタとの対話方法を選択できます。ホストは HPIC の DUALHPIA ビットを使って、HPIAR および HPIAW が、単独の 16 ビット・レジスタとして動作する (シングル HPIA モード) か、2 つの独立した 16 ビット・レジスタとして動作する (デュアル HPIA モード) かを決定します。

2.1 シングル HPIA モード

HPIC 内で DUALHPIA = 0 の場合、HPIAR と HPIAW はホストから見て単独の HPIA レジスタとなります。このモードでは、以下ようになります。

- ホストの HPIA ライト・サイクル ($HCNTL[1:0] = 10b$, $\overline{HR/W} = 0$) では、HPIAR と HPIAW は同じ値で更新されます。
- 自動インクリメント・リード/ライト・サイクル ($HCNTL[1:0] = 01b$) では、両方の HPIA レジスタがインクリメントされます。
- HPIA リード・サイクル ($HCNTL[1:0] = 10b$, $\overline{HR/W} = 1$) では、HPIAR の内容が返されます。これは HPIAW の内容と同じです。

HPIAR と HPIAW のコンテンツの同一性を保つため、ホストは DUALHPIA ビットの状態を変更した後、必ず両方の HPIA レジスタを初期化する必要があります。さらに、DUALHPIA = 0 の場合、データの方向を変更する (HPID リード・サイクルから HPID ライト・サイクルへ、またはその逆) たびに、ホストは両方の HPIA レジスタを初期化する必要があります。これを行わない場合、HPI DMA ロジックがアクセスするメモリの場所は、ホストが意図した場所と異なる場合があります。

2.2 デュアル HPIA モード

ホストは、デュアル HPIA モード (HPIC 内の DUALHPIA = 1) を選択することにより、2 つの独立した HPIA レジスタを利用できます。このモードでは、以下ようになります。

- ホスト HPIA のアクセス ($HCNTL[1:0] = 10b$) は、HPIC の HPIA リード/ライト選択 (HPIASEL) の値により、HPIAR または HPIAW のどちらかをリード/更新します。このビットはホストによってプログラムされます。HPIASEL = 1 のときは、HPIAR のみがホストによってリードまたは更新されます。HPIASEL = 0 のときは、HPIAW のみがホストによってリードまたは更新されます。HPIASEL ビットは、デュアル HPIA モードでのみ有効となります。

注:

HPIASEL ビットは、HPI DMA ロジックに影響を与えません。HPI DMA ロジックは、HPIASEL の値に関係なく、メモリからリードする際には HPIAR を、メモリへライトする際には HPIAW を使用します。

- 自動インクリメントするホスト HPID アクセス (HCNTL[1:0] = 01b) では、関連する HPIA のみの値が連続する次のメモリ・アドレスへインクリメントされます。自動インクリメント・リード・サイクルでは、HPIAR は、メモリからの現在のリードを実行した後にインクリメントします。自動インクリメント・ライト・サイクルでは、HPIAW は、ライトを実行した後にインクリメントします。

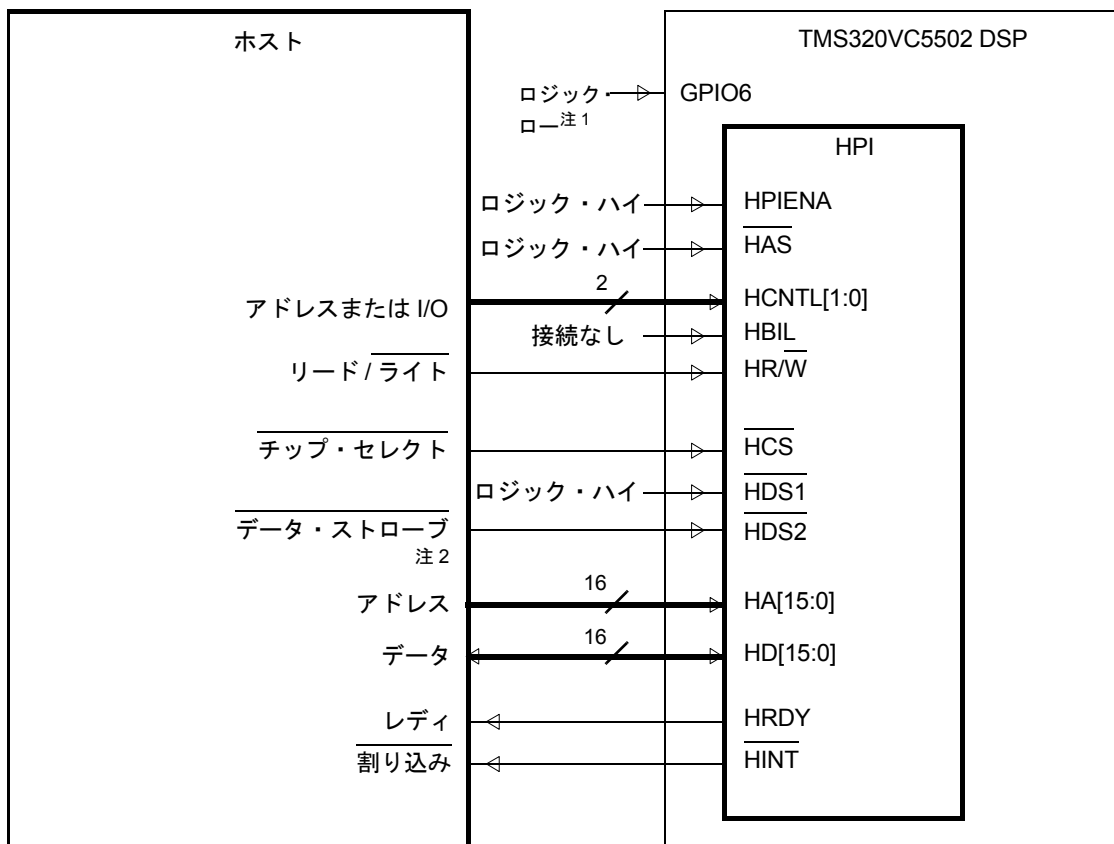
3 HPI の動作

3.1 ホストと HPI 間の信号接続

図 2. は、16 ビット分離モードの信号接続例を示しています。図 3. および図 4. は、8 ビット共用モードの信号接続例を示しています。図 3. では、HAS 信号は、27 ページの 3.6 節「HAS : 8 ビット共用モードでの制御情報の早期ラッチ」の説明に従って使用されています。図 4. では、HAS は High に接続しています (使用されていません)。以下は、2 つのインターフェイス・モードにおける信号接続を比較したときの主要なポイントです。

- DSP の GPIO6 ピンは、16 ビット分離モード (TMS320VC5502 デバイスのみ) ではリセット時は Low に、8 ビット共用モードではリセット時は High に保持する必要があります。
- HPI のアドレス・ストローブ (HAS) は、16 ビット分離モードでは使用されず、8 ビット共用モードではオプションとなります。
- HPI のバイト識別ライン (HBIL) は、16 ビット分離モードでは使用されず、8 ビット共用モードでは必須となります。
- HPI のアドレス・バス (HA[15:0]) は、16 ビット分離モードでは使用され、8 ビット共用モードでは使用されません。

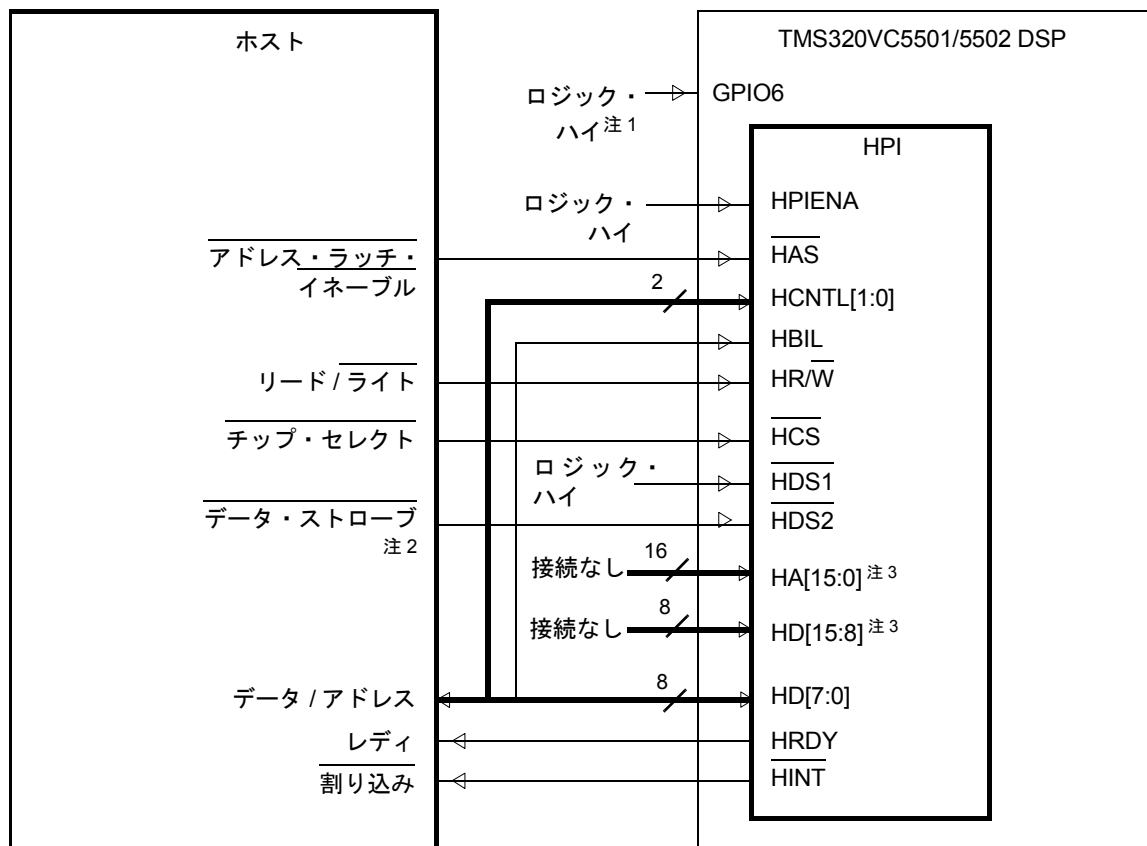
図2. 16 ビット分離モードでのホストと DSP 間の信号接続例



注1 GPIO6 は High または Low に固定する必要はありません。このピンはリセット時にサンプリングされます。TMS320VC5501 デバイスでリセット時に GPIO6 が Low にサンプリングされると、HPI はディスエーブルになります。

注2 データ・ストロブのオプションについては、23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストロブとチップ・セレクト」で説明します。

図3. 8ビット共用モードでHAS 信号を使用した場合のホストと DSP 間の信号接続例

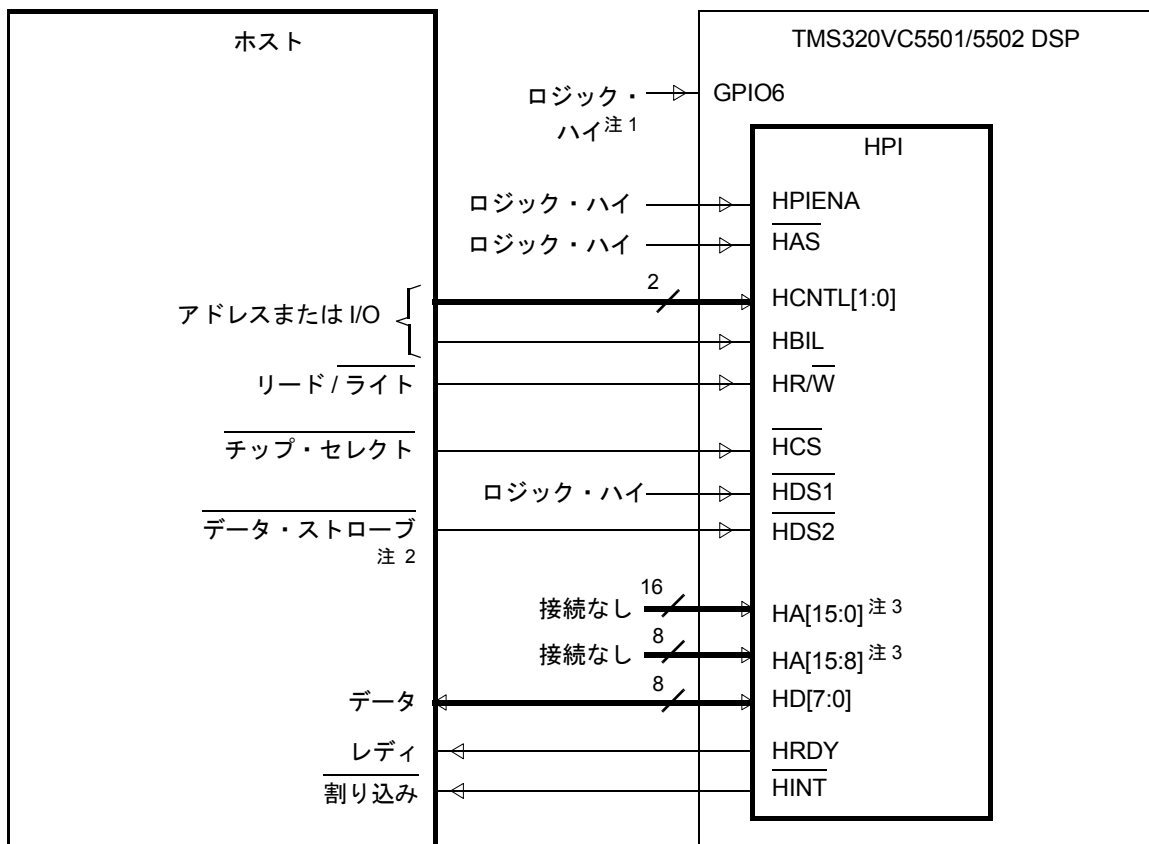


注1 GPIO6 は High または Low に固定する必要はありません。このピンはリセット時にサンプリングされます。

注2 データ・ストローブのオプションについては、23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストローブとチップ・セレクト」で説明します。

注3 TMS320VC5501 デバイス上には HA[15:0] および HD[15:8] はありません。

図 4. 8 ビット共用モードで HAS 信号を High に接続した場合のホストと DSP 間の信号接続例



注1 GPIO6 は High または Low に固定する必要はありません。このピンはリセット時にサンプリングされます。

注2 データ・ストロブのオプションについては、23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストロブとチップ・セレクト」で説明します。

注3 TMS320VC5501 デバイス上には HA[15:0] および HD[15:8] はありません。

3.2 HPI のコンフィグレーションとデータ・フロー

ホストのアクセス方法は、選択したインターフェイス・モードによりわずかに異なります。8 ビット共用モードでは、以下ようになります。

- 1) ホストは、HPI を適切に設定するために制御レジスタ (HPIC) へライトします。通常これは、バイト・オーダー・ビット (BOB) と HPIA 関連ビット (HPIADUAL と HPIASEL) のプログラミングを意味します。このステップは通常、最初のデータ・アクセス前に一度行われます。HPIC の制御ビットについては、55 ページの 9.1 節「制御レジスタ (HPIC)」を参照してください。
- 2) ホストは目的の DSP 内部メモリ・アドレスをアドレス・レジスタ (HPIAR や HPIAW) へライトします。2 つの HPIA レジスタの概要と、ホストがそれらのレジスタと対話する 2 つの方法についての概要は 17 ページの 2 節「アドレス・レジスタの使用 (8 ビット共用モードのみ)」を参照してください。
- 3) ホストはデータ・レジスタ (HPID) からリードし、またはそこへライトします。HPID と DSP 内部メモリの間のデータ転送は、HPI DMA ロジックによって処理されます。

16 ビット分離モード (TMS320VC5502 デバイスのみ) では、HPIC プログラミングは必要ありません。ホストはすぐにデータ・レジスタ (HPID) のリード、またはライトができます。HPID リードまたはライト・サイクルを開始する際、ホストは専用アドレス・ライン HA[15:0] 上にメモリ・アドレスをドライブします。HPI がアクセスできる内部メモリの 32K ワードにアクセスするには、15 アドレス・ビットのみが必要です。このため、アドレスの MSB (HA15 ライン上) は無視されます。HPID と DSP 内部メモリの間のデータ転送は、HPI DMA ロジックによって処理されます。

選択したインターフェイス・モードに関係なく、アクセスの各ステップは同じバスを使用します。このため、ホストは HCNTL1 および HCNTL0 信号を適切なレベルでドライブし、アクセスするレジスタを示す必要があります。ホストはまた、HR/W 信号を適切なレベルでドライブすることで、データ方向 (リードまたはライト) を示し、かつその他の制御信号を適切にドライブする必要があります。HPI のリソースが一時的に利用できなくなった場合、HPI は、HPI レディ (HRDY) 出力信号をディאサートすることにより、利用不可能であることをホストに伝えることができます。

アクセスを実行する際、HPI はまず HCNTL[1:0]、HR/W、およびその他の制御信号のレベルをラッチします。8 ビット共用モードでは、このラッチは内部ストローブ信号の立ち下がリエッジで発生させるか (詳細については 23 ページの 3.3 節を参照)、HAS の立ち下がリエッジで発生させます (詳細については、27 ページの 3.6 節を参照)。16 ビット分離モードでは、このラッチは内部ストローブ信号の立ち下がリエッジで発生させる必要があります。制御情報がラッチされた後、HPI は制御信号に基づいてアクセスを開始します。

ホストが内部メモリからデータをリードするには、HPI DMA ロジックが HPIAR からメモリ・アドレスをリードし、アドレスが示すメモリの場所からデータを取得します。データが一度 HPID に格納されると、HPI はそのデータを HD バスへ出力します。HRDY 信号が、HD バス上のデータが有効 (HRDY は High) か、まだ有効でない (HRDY は Low) かをホストへ通知します。データが有効な場合、ホストはデータをラッチし、接続したデータ・ストローブ (HDS1 または HDS2) をインアクティブにドライブし、続いて内部ストローブ (内部の HSTRB) 信号を Low から High にします。

ホストが内部メモリへデータをライトするときも、動作は同じです。ホストは、データをラッチする準備が HPI で整った (HRDY が High) と判断した後、内部 HSTRB を Low から High にし、データを HPID 内へラッチさせます。データが一度 HPID 内に格

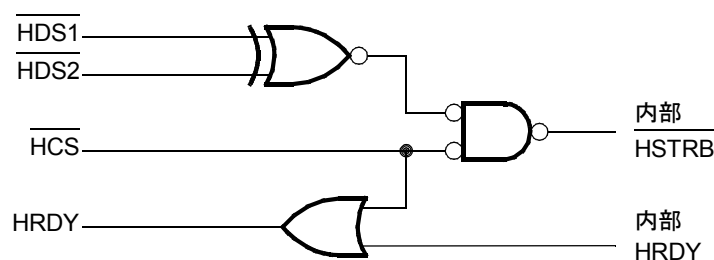
納されると、HPI DMA ロジックは HPIAW からメモリ・アドレスをリードし、アドレスが示すメモリの場所へ HPID のデータを転送します。

CPU、HPI DMA ロジック、および DMA コントローラはすべて DSP の内部メモリへアクセスできます。CPU と HPI DMA ロジックが同時に、内部メモリの同じ DARAM ブロックへのアクセスを要求した場合、HPI DMA ロジックからの要求よりも CPU からの要求が常に優先されます。CPU と DMA コントローラが同じ DARAM ブロックへのアクセスを要求した場合も同じです。HPI DMA ロジックおよび DMA コントローラから DARAM ブロックへの要求は、CPU からの要求がすべて処理されてから受け付けられます。HPI DMA ロジックと DMA コントローラが両者ともオンチップ DARAM の上位または下位どちらか一方へアクセスする場合、これらの2つのモジュールからの要求はラウンドロビン方式で処理されます。DARAM の下位はメモリ・ブロック DARAM0 ~ DARAM3 で構成され、上位はメモリ・ブロック DARAM4 ~ DARAM7 で構成されます。各 DARAM ブロックの開始および終了アドレスについてはデバイス別のデータ・マニュアルを参照してください。

3.3 HDS2、HDS1、および HCS : データ・ストローブとチップ・セレクト

図 5. に図示するように、ストローブ・ロジックは、チップ・セレクト・ピン (HCS) と 2 つのデータ・ストローブ信号 (HDS1 と HDS2) の 3 入力の間数です。本書を通じて内部 HSTRB と呼ぶ内部ストローブ信号は、HPI 内部で実際のストローブ信号として機能します。HDS ピン上でストローブが有効な間、HCS は Low (HPI を選択した状態) でなくてはなりません。HCS が High (HPI を選択しない状態) の時は、HDS ピン上の値は無視されます。

図 5. HPI ストローブと選択ロジック



ホストと HPI 間のストローブ接続は、ホスト上で使用可能なストローブ・ピンの数とタイプにより決まります。表 5. に、HDS ピンへの接続オプションを示します。

図 5. で、HRDY も HCS によってゲートされている点に注意してください。HCS を High にすると (HPI を選択しない状態)、DSP 内で現在の内部転送が完了しているかどうかにかかわらず HRDY も High になります。

表 5. ホストと HPI データ・ストロブ・ピンの接続オプション

ホストで使用可能なデータ・ストロブ・ピン	HPI データ・ストロブ・ピンへの接続
ホストにリードとライトのストロブ・ピンが別々にあり、両方ともロー・アクティブな場合	一方のストロブ・ピンを $\overline{\text{HDS1}}$ へ、もう一方を $\overline{\text{HDS2}}$ ^{注1} へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。
ホストにリードとライトのストロブ・ピンが別々にあり、両方ともハイ・アクティブな場合	一方のストロブ・ピンを $\overline{\text{HDS1}}$ へ、もう一方を $\overline{\text{HDS2}}$ ^{注1} へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。
ホストにロー・アクティブなストロブ・ピンが1つある場合	ストロブ・ピンを $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ へ接続し、もう一方のストロブ・ピンをロジック・レベル 1 へ接続します。
ホストにハイ・アクティブなストロブ・ピンが1つある場合	ストロブ・ピンを $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ へ接続し、もう一方のストロブ・ピンをロジック・レベル 0 へ接続します。

注1 この場合、 $\overline{\text{HR/W}}$ 信号はホストのアドレス・ラインでドライブできます。

注：

- 1) $\overline{\text{HCS}}$ 入力と1つの $\overline{\text{HDS}}$ ストロブ入力を一緒に接続し、ホストからの単一のストロブ信号でドライブすることができます。これにより HPI が選択され、同時にストロブが提供されます。この方法を使用するときは、前述のように $\overline{\text{HCS}}$ が $\overline{\text{HRDY}}$ をゲートしていることに注意してください。
- 2) $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ の両方を固定されたロジック・レベルへ接続し、 $\overline{\text{HCS}}$ をストロブとして使用することはお奨めできません。

3.4 HCNTL[1:0] および HR/W : サイクル・タイプの指定

サイクル・タイプは以下から構成されます。

- HPI の HCNTL[1:0] ピンをホストが適切なレベルでドライブすることによりアクセス・タイプを選択します。表 6. に、使用可能な 4 つのアクセス・タイプを示します。
- HR/W ピンでホストが転送方向を選択します。ホストは HR/W 信号を High (リード) または Low (ライト) にドライブする必要があります。

表 7. はサイクル・タイプの概要です。HPI は、HCNTL のレベルを、HAS の立ち下がリエッジ (HAS が 8 ビット共用モードで使用されている場合)、または内部ストロブ信号 HSTRB の立ち下がリエッジ (HAS が使用されず High に接続している場合) のどちらかでサンプリングします。16 ビット分離モードでは、HPIA レジスタは使用されないため、自動インクリメントなし HPID アクセスと HPIC アクセスのみが有効となります。

表 6. HCNTL 信号で選択可能なアクセス・タイプ

HCNTL1	HCNTL0	アクセス・タイプ
0	0	HPIC アクセス ホストは HPI 制御レジスタ (HPIC) へのアクセスを要求します。
0	1	自動インクリメント付 HPID アクセス これは共用モードでのみ有効なオプションです。ホストは HPI データ・レジスタ (HPID) へのアクセスと、そのアクセス後に該当する HPI アドレス・レジスタ (HPIAR または HPIAW) の値を 1 つ自動インクリメントすることを要求します。
1	0	HPIA アクセス これは共用モードでのみ有効なオプションです。ホストは該当する HPI アドレス・レジスタ (HPIAR または HPIAW) へのアクセスを要求します。
1	1	自動インクリメントなし HPID アクセス ホストは HPI データ・レジスタ (HPID) へのアクセスを要求しますが、HPI アドレス・レジスタの自動ポスト・インクリメントを要求しません。

表 7. HCNTL および HR/W 信号で選択可能なサイクル・タイプ

HCNTL1	HCNTL0	HR/W	サイクル・タイプ
0	0	0	HPIC ライト・サイクル
0	0	1	HPIC リード・サイクル
0	1	0	自動インクリメント付 HPID ライト・サイクル
0	1	1	自動インクリメント付 HPID リード・サイクル
1	0	0	HPIA ライト・サイクル
1	0	1	HPIA リード・サイクル
1	1	0	自動インクリメントなし HPID ライト・サイクル
1	1	1	自動インクリメントなし HPID リード・サイクル

3.5 HBIL : 共用モード転送での第 1 および第 2 バイトの識別

8 ビット共用モードでは、各ホスト・サイクルは 2 つの連続するバイト転送で構成されます。各転送で、ホストは HCNTL[1:0] と HR/W を使用してサイクル・タイプを指定し、かつ、HBIL を使用して第 1 または第 2 バイトが転送中かを示す必要があります。HPID および HPIA アクセスでは、第 1 バイトでは HBIL を Low に、第 2 バイトでは High にドライブする必要があります。この順序を守らなかった場合、結果は不定となります。HBIL を使用した例については、3.6 節「HAS : 8 ビット共用モードでの制御情報の早期ラッチ」と 3.7 節「HAS を使用しない共用アクセスの実行」を参照してください (3.6 節は 27 ページから始まります)。

この方法で 16 ビット・ワードを構成する 2 つのバイトを送信する場合、ホストはワードの最上位バイトと最下位バイトをどの順序で送信しても構いません (最上位バイトを最初に送信しても 2 番目に送信しても構わない)。ただし、ホストはホスト・サイクルの開始前に選択した順序を HPI に通知する必要があります。これは HPIC のバイト・オーダー (BOB) ビットのプログラミングにより行います。BOB は HPIC のビット 0 にライトされますが、現在の値はビット 0 とビット 8 (BOBSTAT) のどちらからでもリードできます。このように、ホストは現在のバイト・オーダー設定を、HPIC の上位バイトまたは下位バイトの最下位ビットをチェックすることにより判別できます。

8 ビット共用モードが、第 1 バイトで HBIL を Low に、第 2 バイトで HBIL を High にするデュアル・バイト・サイクルを必要としないケースがあります。HPIC のどちらのバイトも 1 回のバイト・サイクルでアクセスできます。このようなサイクル中は、ホストが HBIL を High または Low にドライブすると、デュアル・バイト・サイクルと同じように、BOB ビットの現在の値により HPIC のどちらのバイトへアクセスするかを判定できます。このケースのタイミング図の例は、32 ページの 3.8 節「8 ビット共用モードでのシングル・バイトの HPIC サイクル」を参照してください。

16 ビット分離モードでは、各ホスト・サイクルは 1 ワード転送です。HBIL 信号は無視され、16 ビットのデータは内部ストロブ信号 (内部の HSTRB) の各有効なサイクルで転送されます。

3.6 HAS : 8 ビット共用モードでの制御情報の早期ラッチ

HAS 信号は 8 ビット共用モードでのみ有効です。この信号は、ホスト・サイクルの初期に制御情報を不要とすることが可能なアドレス・ストロープで、バスの状態をアドレスからデータ情報へと切り替える時間をより長くとれます。

図 3. (20 ページ) は、HAS が共用モードに使用された場合の信号接続の例を示しています。図 6. および図 7. (以下) は、HAS 使用時の代表的な HPI 信号の動作を示しています。

HAS を使用するプロセスは以下のとおりです。

- 1) ホストがアクセス・タイプを選択します。

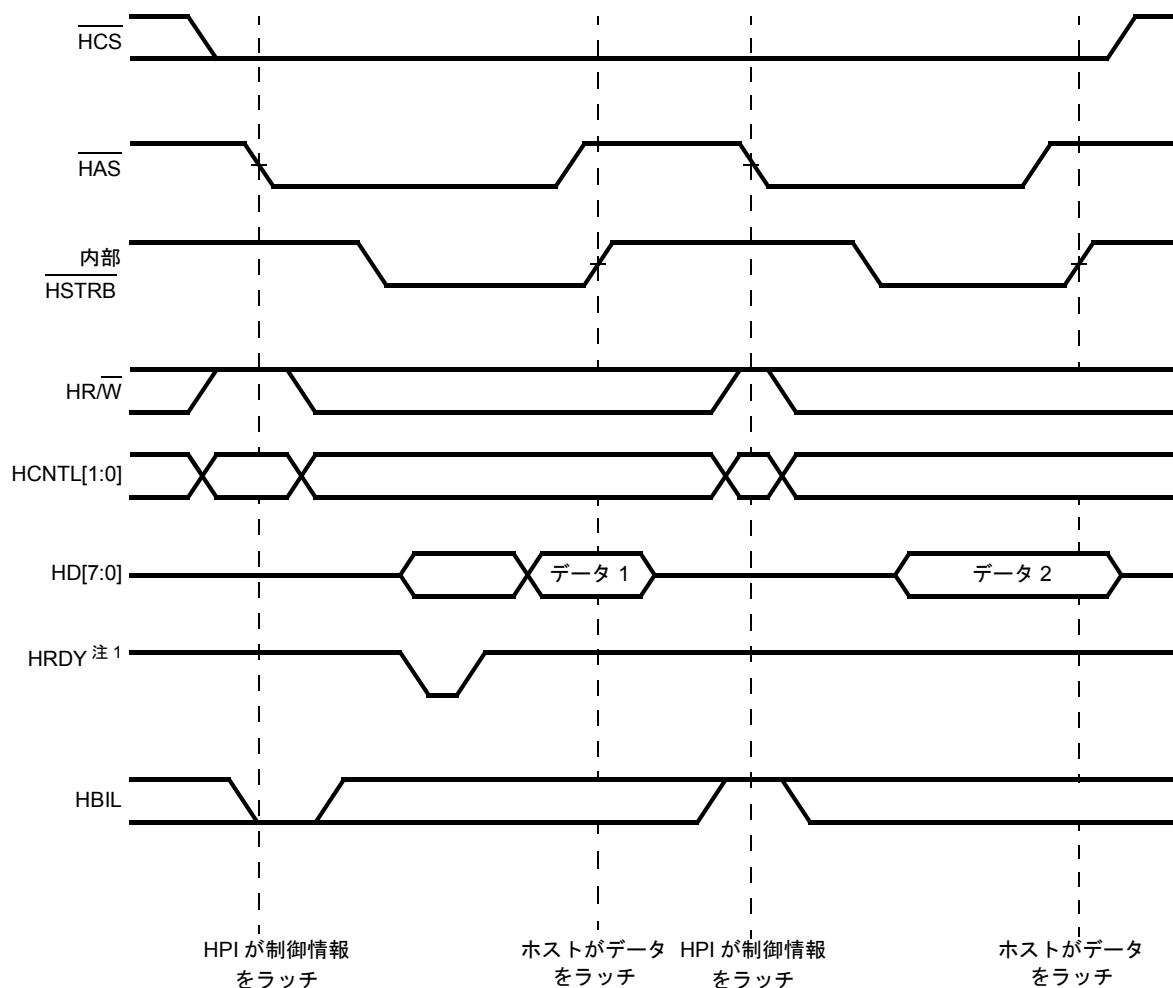
ホストは、HCNTL [1:0] および HR/W 信号を適切なレベルでドライブし、HBIL を High または Low にドライブすることにより、転送するバイト (第 1 または第 2) を示します。

- 2) ホストは HAS を Low にドライブします。

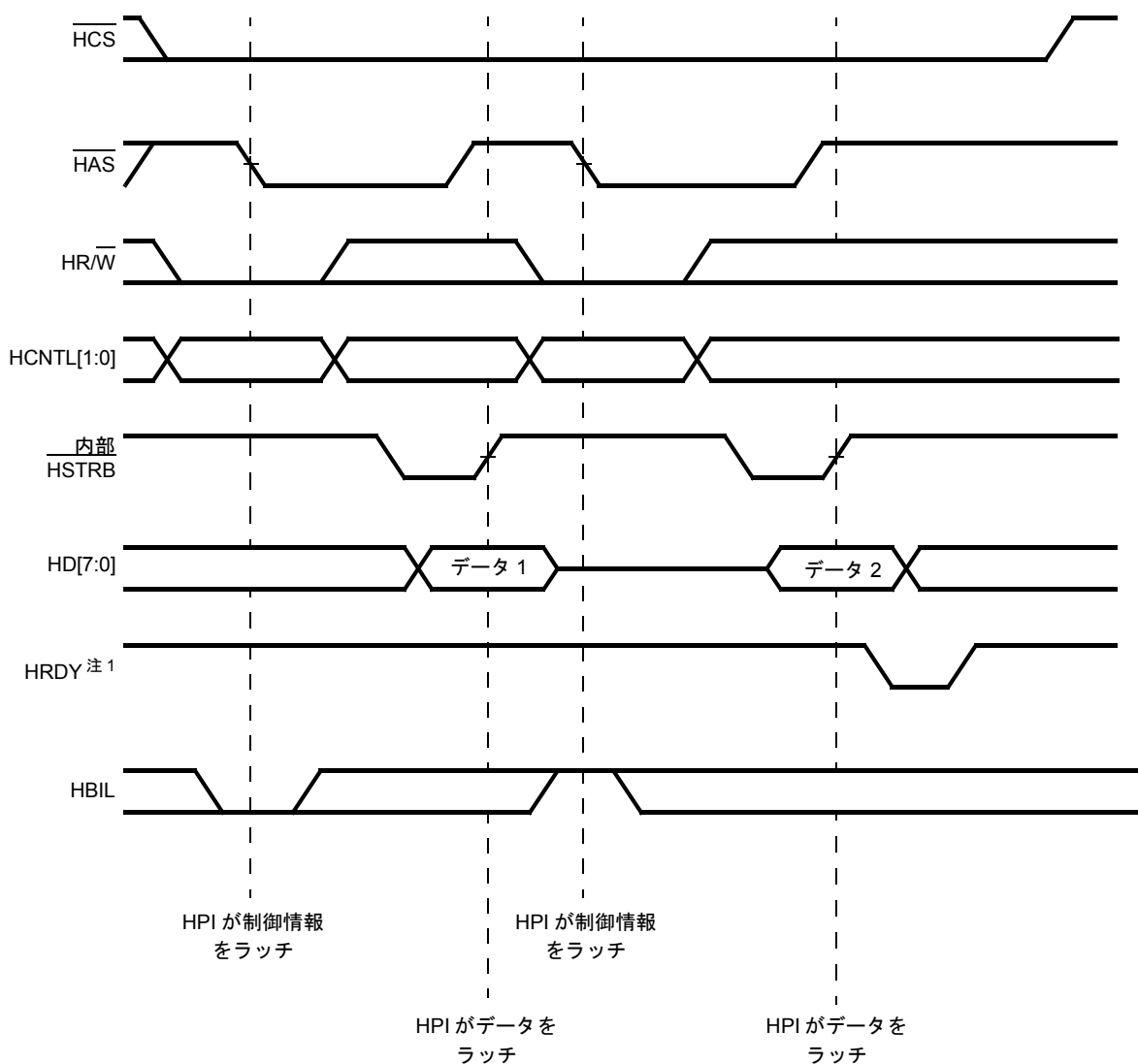
HPI は、HAS の立ち下がりエッジで、HCNTL[1:0]、HR/W、および HBIL の状態をラッチします。23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストロープとチップ・セレクト」で説明したように、HCS、HDS1、HDS2 から派生した内部ストロープ信号 (内部 HSTRB) の立ち下がりエッジの前で、HAS を High から Low へ変更する必要があります。

HAS 入力は HCS によってゲートされないため、ホストは次のアクセスを実行する時間を確保できます。内部 HSTRB が Low になり、データ・アクセスが発生しようとしている時に、HAS 信号を High にすることもできます。サイクル中 HAS を High にドライブする必要はありませんが、最終的には High に変更し、ホストが HCNTL [1:0]、HR/W、および HBIL に他の値を使う次のアクセスで使用できるようにする必要があります。

図 6. HAS を使用する共有モードのホスト・リード・サイクル



注1 ライト動作のタイプ（自動インクリメントなし HPID、HPIA、HPIC、または自動インクリメント付 HPID）と、FIFO の状態により、HRDY の変化が起こる場合と起こらない場合があります。詳細については、34 ページの 3.10 節「HPI レディ (HRDY) 信号を使用するハードウェア・ハンドシェイク」を参照してください。

図7. $\overline{\text{HAS}}$ を使用する共有モードのホスト・ライト・サイクル

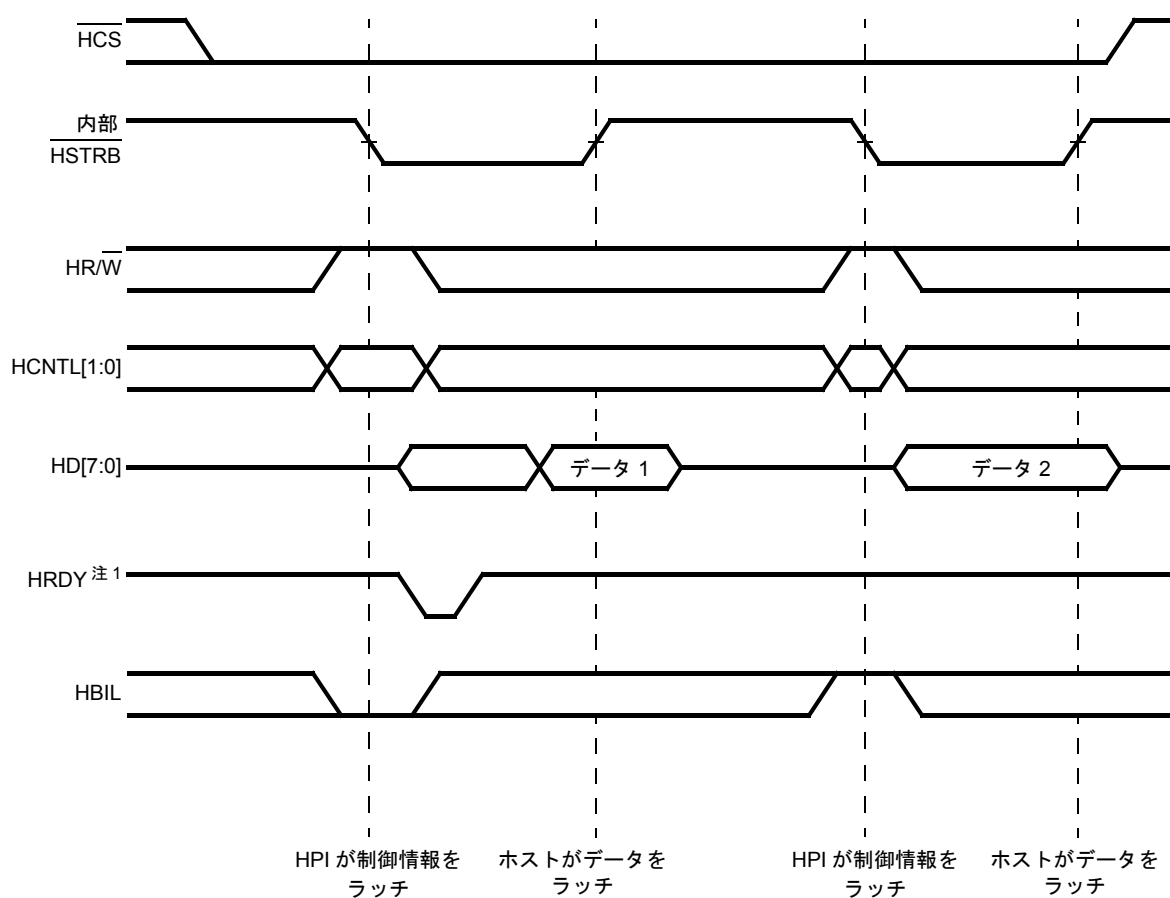
注1 ライト動作のタイプ (自動インクリメントなし HPID、HPIA、HPIC、または自動インクリメント付 HPID) と、FIFO の状態により、 HRDY の変化が起こる場合と起こらない場合があります。詳細については、34 ページの 3.10 節「HPI レディ (HRDY) 信号を使用するハードウェア・ハンドシェイク」を参照してください。

3.7 HAS を使用しない共用アクセスの実行

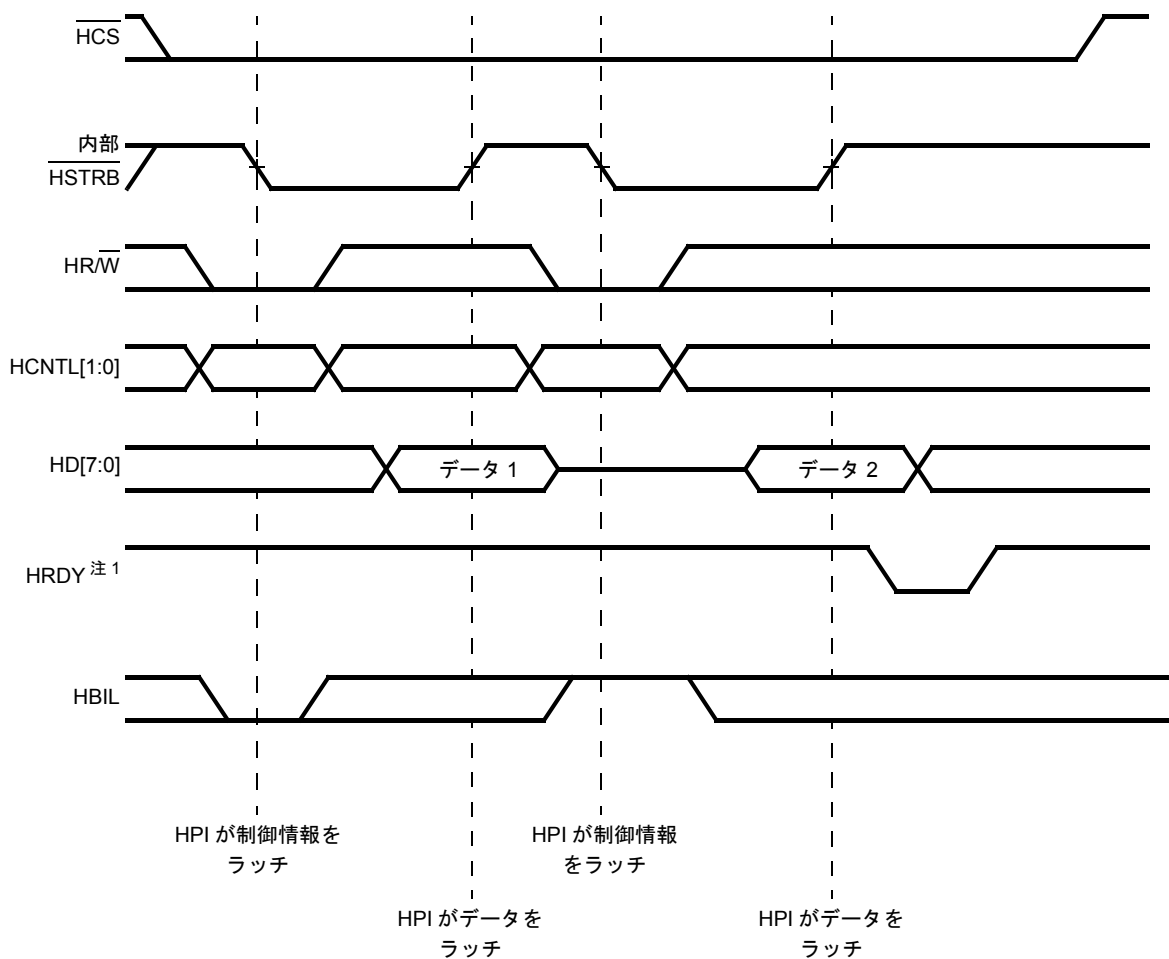
ホスト・プロセッサが、制御ラインをドライブできる専用信号（アドレス・ラインまたはビット I/O）を持つ場合は、HAS 信号は必要ありません。専用ピンは、HCNTL[1:0]、HR/W、および HBIL へ直接接続できます。

図 4. (21 ページ) は共用モードに HAS を使用しない場合の信号接続の例を示しています。使用しない場合、HAS は High (イン・アクティブ) に接続する必要があります。図 8. と図 9. (以下) は、HAS を High に接続した場合の代表的な HPI 信号の動作を示しています。これらの場合、内部 HSTRB の立ち下がりエッジを使って、HCNTL[1:0]、HR/W、および HBIL の状態を HPI 内にラッチします。23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストロブとチップ・セレクト」で説明したように、内部 HSTRB は、HCS、HDS1、および HDS2 から派生します。

図 8. HAS を High に接続した共用モードのホスト・リード・サイクル



注¹ ライト動作のタイプ（自動インクリメントなし HPID、HPIA、HPIC、または自動インクリメント付 HPID）と、FIFO の状態により、HRDY の変化が起こる場合と起こらない場合があります。詳細については、34 ページの 3.10 節「HPI レディ (HRDY) 信号を使用するハードウェア・ハンドシェイク」を参照してください。

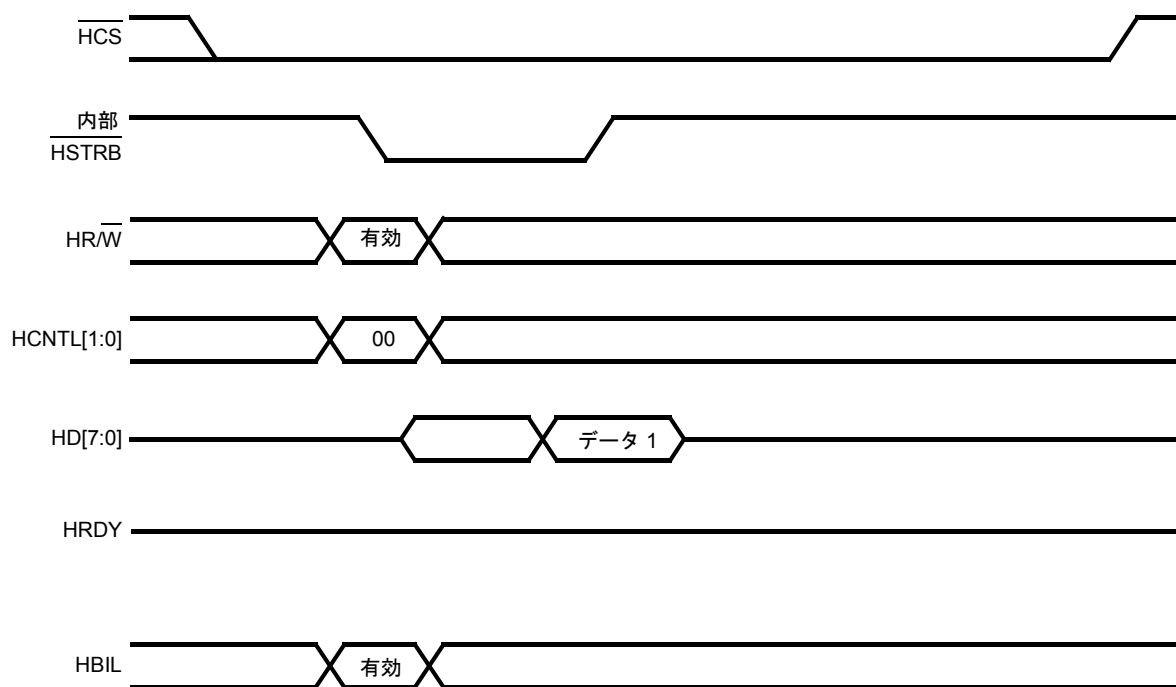
図9. $\overline{\text{HAS}}$ を High に接続した共用モードのホスト・ライト・サイクル

注1 ライト動作のタイプ（自動インクリメントなし HPID、HPIA、HPIC、または自動インクリメント付 HPID）と、FIFO の状態により、 HRDY の変化が起こる場合と起こらない場合があります。詳細については、34 ページの 3.10 節「HPI レディ (HRDY) 信号を使用するハードウェア・ハンドシェイク」を参照してください。

3.8 8 ビット共用モードでのシングル・バイトの HPIC サイクル

図 10. は、ホストがシングル・バイト・サイクルを実行して HPIC へアクセスするという特殊なケース（26 ページの 3.5 節「HBIL：共用モード転送での第 1 および第 2 バイトの識別」を参照）を示しています。ホストが HBIL を High または Low にドライブし、BOB ビットの現在の値が HPIC の下位バイトと上位バイトのどちらにアクセスするかを決定します。図 10. の例では、HAS 信号は High に接続していますが、このタイプの HPIC サイクルでは、HAS 信号を使って制御情報の早期ラッチを行うこともできません。

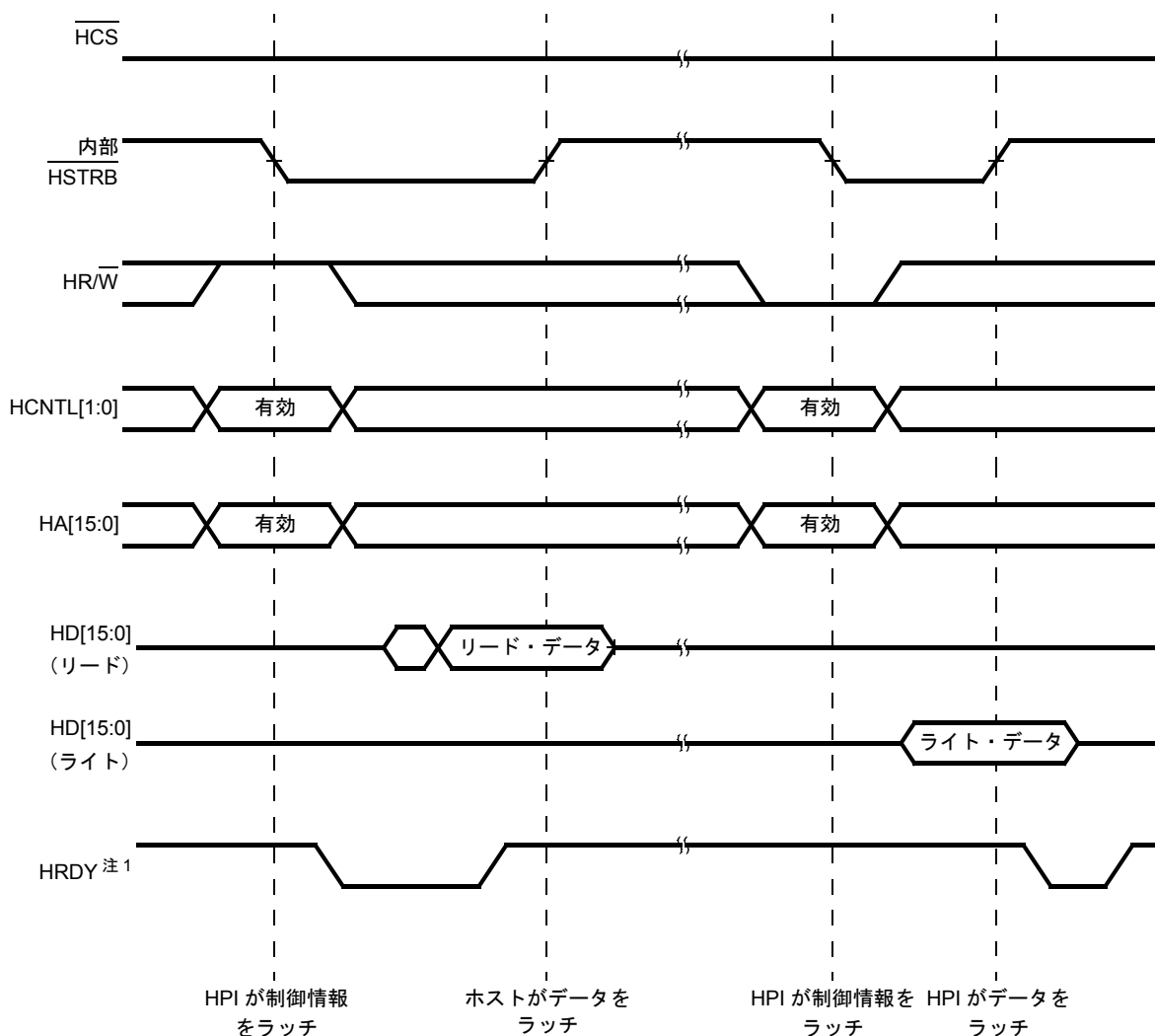
図 10. HAS を High（リードまたはライト）に接続した共用モードのシングル・バイト HPIC サイクル



3.9 16 ビット分離モードでのホスト・サイクル

図 2. (19 ページ) は、分離モードの信号接続の例を示しています。図 11. (以下) は、16 ビット分離モードの通常のリード・サイクルと通常のライト・サイクルを示しています。各サイクルは 1 回の 16 ビット転送で構成されています。内部 HSTRB の立ち下がりエッジを使って、HCNTL[1:0]、HR/W、およびアドレス情報を HPI 内にラッチします。23 ページの 3.3 節「HDS2、HDS1、および HCS : データ・ストロブとチップ・セレクト」で説明したように、内部 HSTRB は、HCS、HDS1、および HDS2 から派生します。

図 11. 分離モードのホスト・リード・サイクルとホスト・ライト・サイクル



注¹ ライト動作のタイプ (自動インクリメントなし HPID、HPIA、HPIC、または自動インクリメント付 HPID) と、FIFO の状態により、HRDY の変化が起こる場合と起こらない場合があります。詳細については、34 ページの 3.10 節「HPI レディ (HRDY) 信号を使用するハードウェア・ハンドシェイク」を参照してください。

3.10 HPI レディ (HRDY) 信号を使用するハードウェア・ハンドシェーク

HPI はレディ信号 HRDY を使用して、アクセスを終了させる準備が整ったかどうかをホストに通知します。リード・サイクルでは、ホストヘデータを提供可能になると、HPI はレディ状態となります (HRDY を High にドライブ)。ライト・サイクルでは、ホストからデータをラッチする準備が整うと、HPI はレディ状態となります (HRDY を High にドライブ)。HPI で準備ができていない場合は、HRDY を Low にドライブしてウェイト・ステートを挿入します。これらのウェイト・ステートは、リード・データがまだ有効でない (リード・サイクル)、またはライト・データをラッチする準備が HPI で整っていない (ライト・サイクル) ことをホストへ示します。HPI が挿入する必要があるウェイト・ステートの数は、アクセス中のリソースの状態により異なります。レイテンシーの情報については、デバイス別のデータ・マニュアルを参照してください。

注：

HRDY ピンを接続する入力ピンを持たないホストは、制御レジスタ (HPIC) の HRDY ビットをポーリングすることにより HPI がレディ状態かどうかをチェックすることができます。詳細については、40 ページの 4 節「HPI レディ (HRDY) ビットを使用するソフトウェア・ハンドシェーク」を参照してください。

HPI で現在のサイクルを終了させる準備ができていない場合 (HRDY Low)、ホストは新しい制御情報を HPI に強制的にラッチさせて新しいホスト・サイクルを開始することができます。ただし、一度サイクルを開始した後、ホストは HRDY が High になるまで待ってから、内部ストロブ信号 (内部 HSTRB) の立ち上がりエッジを発生させてサイクルを終了させる必要があります。HPI の準備が整っていないときに内部 HSTRB が High になると、サイクルは終了し、無効なデータが返されるか (リード・サイクル)、ライトされます (ライト・サイクル)。

HPI が HRDY を Low にドライブする理由の 1 つは、先入れ先出しバッファ (FIFO) がレディ状態ではないことがあげられます。たとえば、ライト FIFO がフルまたはリード FIFO が空のときに発生した HPID アクセスは、HPI が挿入するウェイト・ステートが生じる場合があります。FIFO については、45 ページの 6 節「FIFO とバースト (8 ビット共用モードのみ)」で説明します。

以下の節では、共用および分離 HPI モードにおける HPI レジスタ・アクセス中の HRDY の動作について説明します。分離モードは、TMS320VC5501 デバイスではサポートされていません。すべての場合において、HRDY を Low にするには、チップ・セレクト信号 HCS がアサートされていなくてはなりません。

3.10.1 共用モードでのリード時における HRDY の動作

図 12. は HPI の共用モードでの HPIC (HCNTL[1:0] = 00b) または HPIA (HCNTL[1:0] = 10b) のリード・サイクルを示しています。HPIC リード・サイクルも HPIA リード・サイクルも HRDY を Low にしません。

図 12. 共用モードでの HPIC または HPIA リード・サイクル中の HRDY の動作

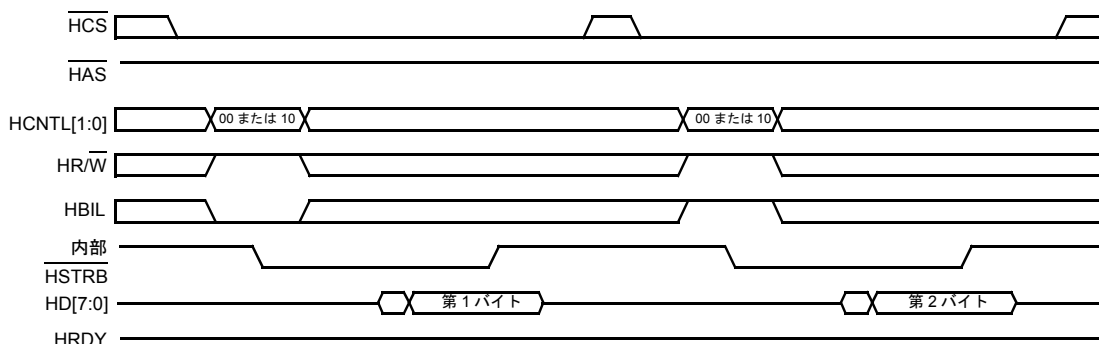


図 13. は、共用モードの自動インクリメントなし HPID リード・サイクルを示します。ホストは、HPIA (HCNTL[1:0] = 10b) ライト・サイクル中にメモリ・アドレスをライトし、HPID (HCNTL[1:0] = 11b) リード・サイクル中にデータをリードします。HRDY は各 HPIA バイト・アクセスで Low になりますが、各 HPID リード・サイクルで HRDY が Low になるのは第 1 バイトのアクセス時のみです。

図 13. 共用モードでのデータ・リード時における HRDY の動作
(ケース 1 : HPIA ライト・サイクル後に自動インクリメントなし HPID リード・サイクルが続く場合)

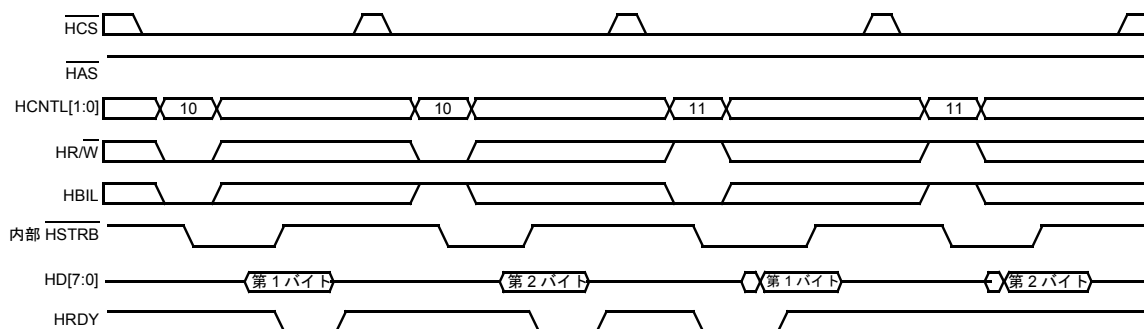
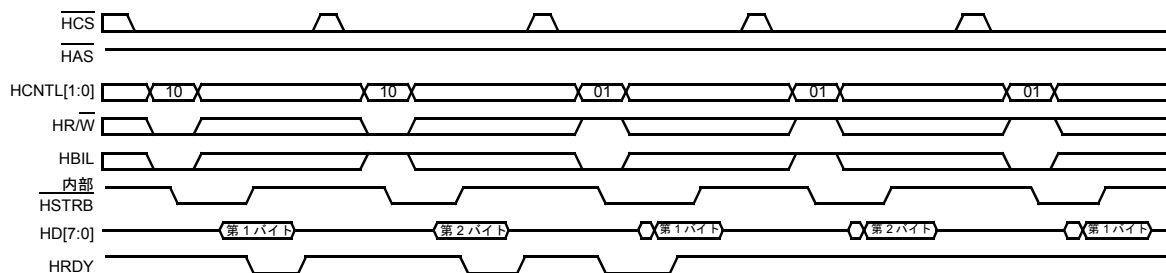


図 14. は、共用モードの自動インクリメント付 HPID リード・サイクルを示します。ホストは、HCNTL[1:0] = 10b をアサートしながらメモリ・アドレスをライトし、HCNTL[1:0] = 01b をアサートしながらデータをリードします。最初の HPID リード・サイクルで、HRDY は第 1 バイトのアクセス時のみ Low となり、以降の HPID リード・サイクルでは Low になりません。

図 14. 共用モードでのデータ・リード時における HRDY の動作
(ケース 2 : HPIA ライト・サイクル後に自動インクリメント付 HPID リード・サイクルが続く場合)



3.10.2 共用モードでのライト時における HRDY の動作

図 15. は HPI の共用モードにおける HPIC (HCNTL[1:0] = 00b) のライト・サイクルを示しています。HPIC ライト・サイクルは HRDY を Low にしません。

図 15. 共用モードでの HPIC ライト・サイクルにおける HRDY の動作

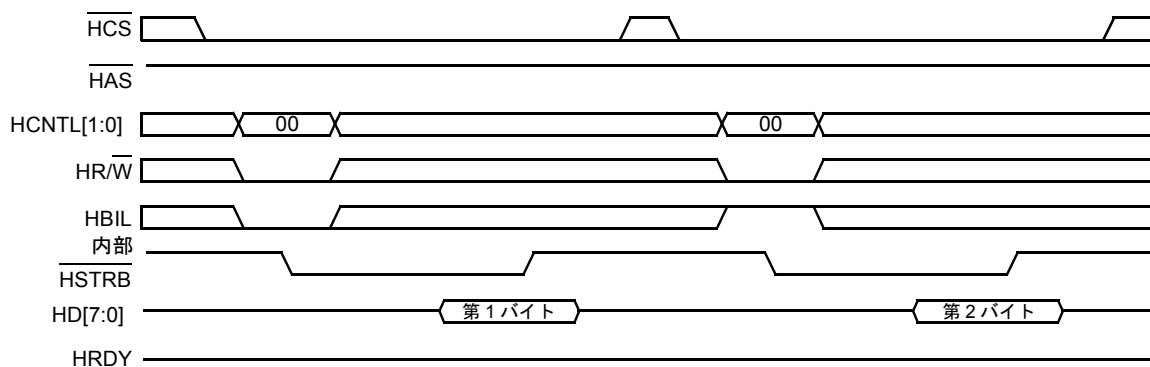


図 16. は、共用モードの自動インクリメントなし HPID ライト・サイクルを示します。ホストは、HCNTL[1:0] = 10b の間にメモリ・アドレスをライトし、HCNTL[1:0] = 01b の間にデータをライトします。HPID ライト・サイクル中、HRDY は第 2 バイトのアクセス時のみ Low になります。

図 16. 共用モードでのデータ・ライト時における HRDY の動作
(ケース 1: 自動インクリメントしない場合)

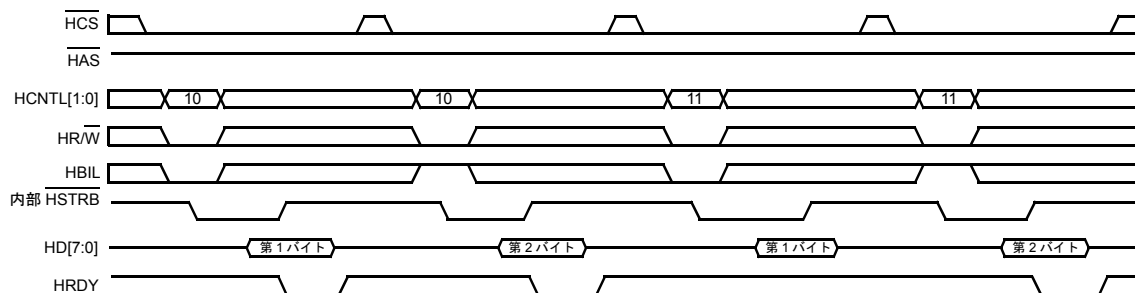


図 17. は、HPIA ライト前の FIFO が空の場合の、共用モードの自動インクリメント付 HPID ライト・サイクルを示しています。ホストは、HCNTL[1:0] = 10b の間にメモリ・アドレスをライトし、HCNTL[1:0] = 01b の間にデータをライトします。HPID ライト・サイクル中、HRDY は Low になりません。

図 17. 共用モードでのデータ・ライト時における HRDY の動作
(ケース 2: 自動インクリメントが選択され、ライト前に FIFO が空の場合)

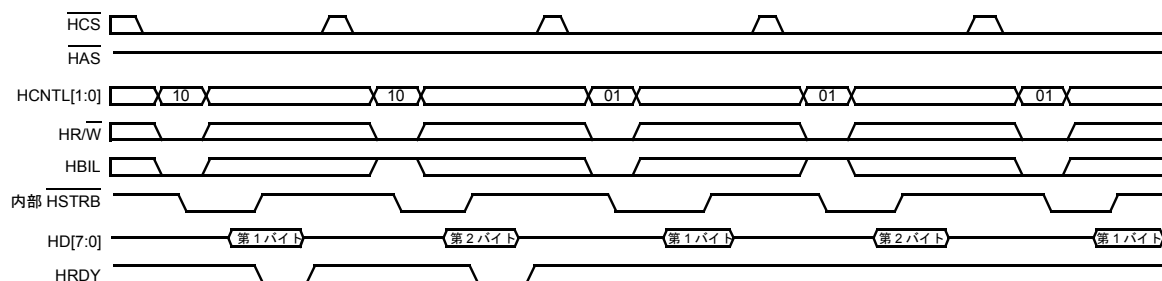
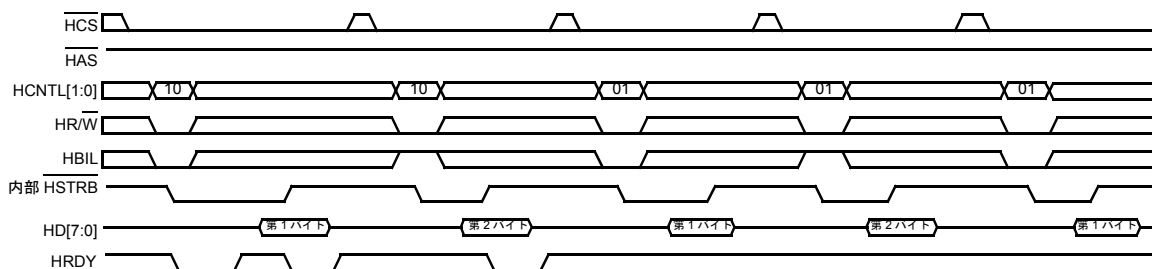


図 18. は、図 17. と似たケースを示しています。しかし図 18. では、HPIA アクセスの時点で、ライト FIFO は空ではありません。HRDY は、HPIA ライト・サイクルの第 1 バイト・アクセス時に 2 回 Low になります。1 回目に HRDY が Low になるのは、FIFO が空でないためです。現在 FIFO にあるデータを先にメモリへライトする必要があります。このため、データ・ストローブ (HSTRB) の立ち下がリエッジの直後で HRDY が Low になります。2 回目および 3 回目に HRDY が Low になるのは、HPIA へのライトのときです。HPID アクセスの間、HRDY は High のままとなります。

図 18. 共用モードでのデータ・ライト時における HRDY の動作
(ケース 3 : 自動インクリメントが選択され、ライト前に FIFO が空でない場合)



3.10.3 分離モードでのリード時における HRDY の動作

図 19. は、HPI の分離モードにおける HPIC (HCNTL[1:0] = 00b) のリード・サイクルを示しています。HPIC アクセスは HRDY を Low にしません。

図 19. 分離モードでの HPIC リード・サイクルにおける HRDY の動作

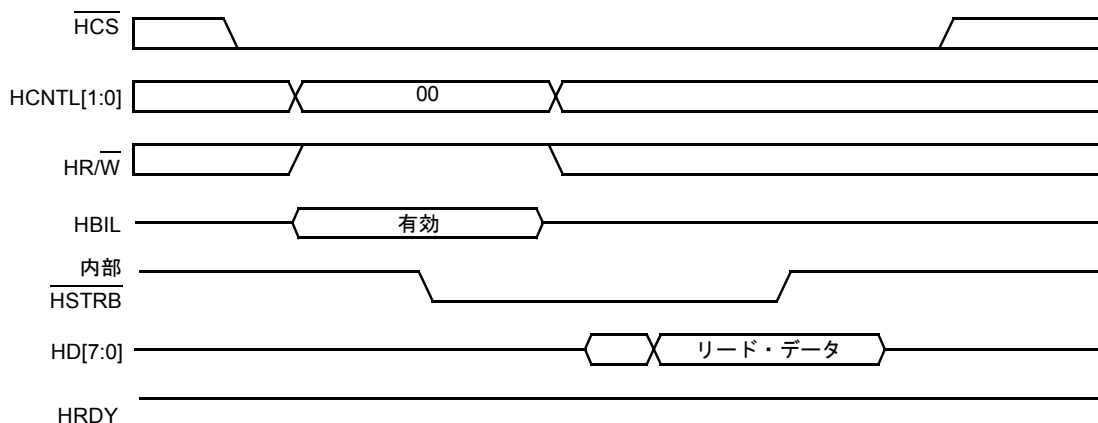
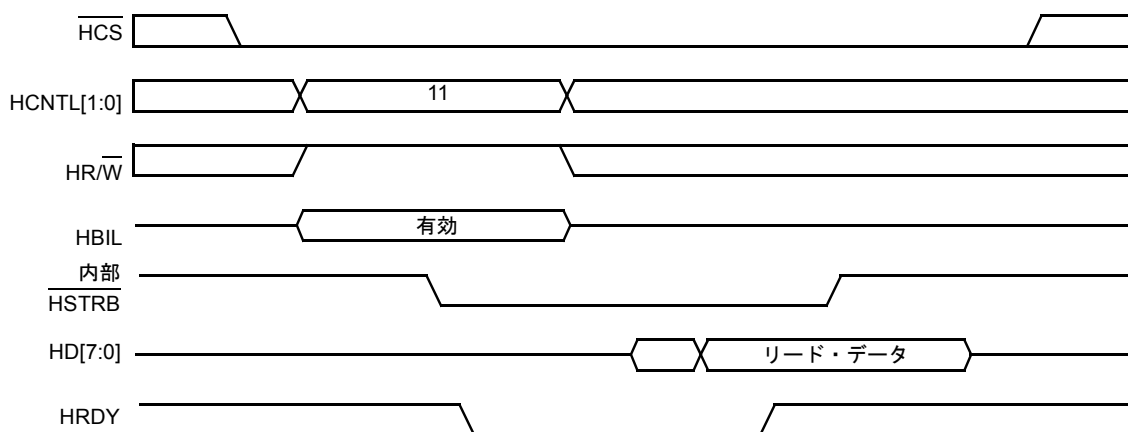


図 20. は、HPI ピンを分離モードに設定しているときの HPID (HCNTL[1:0]=11b) のリード・サイクルを示しています。HRDY は 1 回の 16 ビット・アクセスで 1 度 Low になります。

図 20. 分離モードでのデータ・リード時における HRDY の動作



3.10.4 分離モードでのライト時における HRDY の動作

図 21. は、分離 HPI モードでの HPIC のライト・サイクルを示しています。HPIC ライト・アクセスは HRDY を Low にしません。

図 21. 分離モードでの HPIC ライト・サイクルにおける HRDY の動作

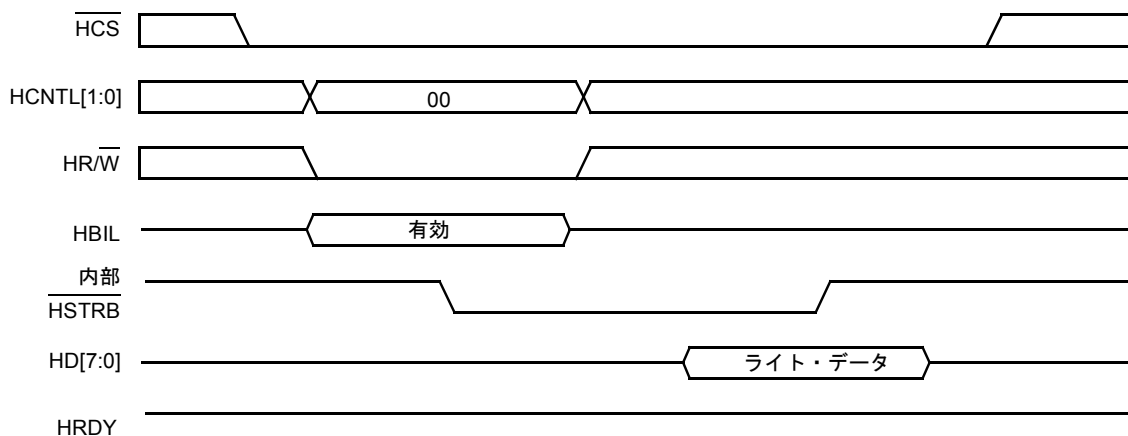
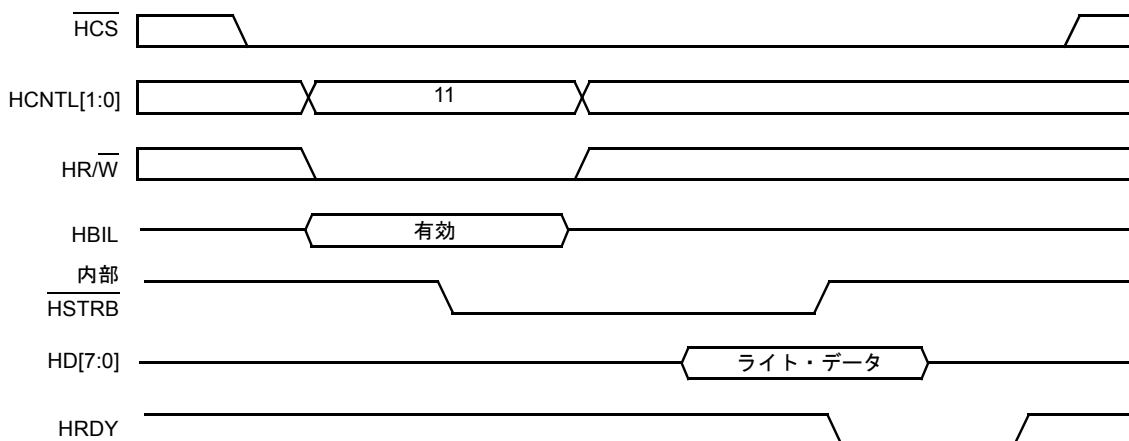


図 22. は、HPI ピンを分離モードに設定しているときの HPID (HCNTL[1:0]=11b) のライト・サイクルを示しています。HRDY は 1 回の 16 ビット・アクセスで 1 度 Low になります。

図 22. 分離モードでのデータ・ライト時における HRDY の動作



4 HPI レディ (HRDY) ビットを使用するソフトウェア・ハンドシェーク

HPI は HRDY 出力信号のほかに、制御レジスタ (HPIC) に HRDY ビットを持ちます。このビットは、ホストに HRDY ピンを接続する入力ピンがない場合のソフトウェア・ポーリングに役立ちます。一部のケースでは、ホストは HPIC レジスタをリードし、HRDY ビットのステータスに基づいて HPI でリード・データの準備ができているかどうか (リード・サイクル中)、またはライト・データをラッチする準備ができているかどうか (ライト・サイクル中) を判断できます。41 ページの 4.1 節「8 ビット共用モードでの HRDY ビットのポーリング」では、8 ビット共用モードで HRDY ビットのポーリングを許可するリード・サイクルやライト・サイクルについて説明します。42 ページの 4.2 節「16 ビット分離モードでの HRDY ビットのポーリング」では、上記と同じ内容を 16 ビット分離モードに関して説明します。

8 ビット分離モードにおいて、ホストが HPID ホスト・サイクルでアドレスの自動インクリメントを行う場合、HRDY ビットの値はライト FIFO 内のスペースを使用できるかどうか、またはリード FIFO 内のデータを使用できるかに関係します。前のホスト・サイクルがリード・サイクルの場合、HRDY ビットはリード FIFO に関係します。前のホスト・サイクルがライト・サイクルの場合、HRDY ビットはライト FIFO に関係します。前のホスト・サイクルで HPIC の FETCH ビットをセットした場合、HRDY ビットはリード FIFO に関係します。ホストがこれまでデータ・アクセスを行っていない場合、HRDY ビットはデフォルトでライト FIFO に関係します。

HRDY ビットは、チップ・セレクト (HCS) 入力によってネゲートされ内部 HRDY 信号のレベルを反映します。HRDY ビットは以下の条件の 1 つに対応してクリアされます。

- プリフェッチが実行された場合 (HPIC, FETCH = 1)。フラッシュが発生し、新しいデータがリード FIFO 内にロードされるまで HRDY は Low になります。データが使用可能になると HRDY ビットがセットされます。
- 前のサイクルが自動インクリメントする HPID ライト・サイクルで、ライト FIFO がフルになった場合。ライト FIFO 内の空間が使用可能になると HRDY ビットがセットされます。
- 前のサイクルが自動インクリメントしない HPID ライト・サイクルで、ライト FIFO が空でない場合。この状態は、データがメモリにまだライトされていないことを示します。
- 前のサイクルが HPID リード・サイクルで、リード FIFO が空の場合。
例外: 前のサイクルが自動インクリメントしない HPID リード・サイクルで、HSTRB 信号が High (インアクティブ) の場合は、FIFO が空になっても、HRDY ビットは 1 のままになります。この例外は、ホストが次のサイクルを開始する前に、HPI がレディであることを必要とするホストに対応します。
- 前のサイクルが HPID リード・サイクルで、リード FIFO フラッシュが行われている場合。

4.1 8 ビット共用モードでの HRDY ビットのポーリング

リード・サイクル: このモードの HRDY ビットのポーリング中は、FETCH コマンドと自動インクリメントする HPID リード・サイクルのみ使用でき、自動インクリメントしない HPID リード・サイクルは実行できません。これは、自動インクリメントしないサイクルでは、リード FIFO をフラッシュし、DSP メモリからリード・データを取得するまで、ホストはリード・サイクルを延長しなくてはならないためです。このため、ホストは現在のリード・アクセスでビジーとなり、HRDY のポーリングに必要な HPIC サイクルを作成できません。自動インクリメントするサイクルでは、リード・データが自動的にリード FIFO にロードされる間 (FETCH コマンドとそれに続く自動インクリメント・リード・サイクルのため)、ホストはホスト・バスをリリースできる点が異なります。

ライト・サイクル: HRDY ビットが High にサンプリングされる限り (ライト FIFO ステータスに関連する)、ホストは任意のタイプのライト・サイクルを実行できます。これには、自動インクリメントする HPID ライト・サイクルと自動インクリメントしない HPID ライト・サイクルが含まれます。ライト・データは FIFO に入り、ホストはホスト・バス・サイクルを終了させてから DSP メモリへの内部転送を実行できるため、どちらのタイプの HPID サイクルも実行できます。これによりホスト・バスはインアクティブのままとなるため、ホストはこれを利用して HPIC リードを行い、HRDY ビットをポーリングできます。

4.2 16 ビット分離モードでの HRDY ビットのポーリング

リード・サイクル：16 ビット分離モードには、FIFO もリード・データのプリフェッチもないため、HRDY ビットのポーリング中にリード・サイクルは一切実行できません。DSP メモリからリード・データを取得するまで、すべてのホスト・リードを延長しなくてはならないためです。このため、ホストは現在のリード・アクセスでビジーとなり、HRDY のポーリングに必要な HPIC サイクルを作成できません。このモードではリード・サイクルを実行できないため、ライト・サイクルのみに 16 ビット分離モードを使うシステムでだけ、ポーリングを使用できます。このようなシステムの代表的な例として、DSP メモリへ DSP プログラム・コードをロードするためだけにホストを使用し、ホストで DSP メモリのリードを行わないシステムがあげられます。

ライト・サイクル：ホストがホスト・バス・サイクルを終了させてから HPID レジスタにライトされ、DSP メモリへ内部転送されるため、HRDY のポーリング中にライト・サイクルを実行できます。ホスト・バスはインアクティブのままとなるため、ホストはこれを利用して HPIC リードを行い、HRDY ビットをポーリングできます。

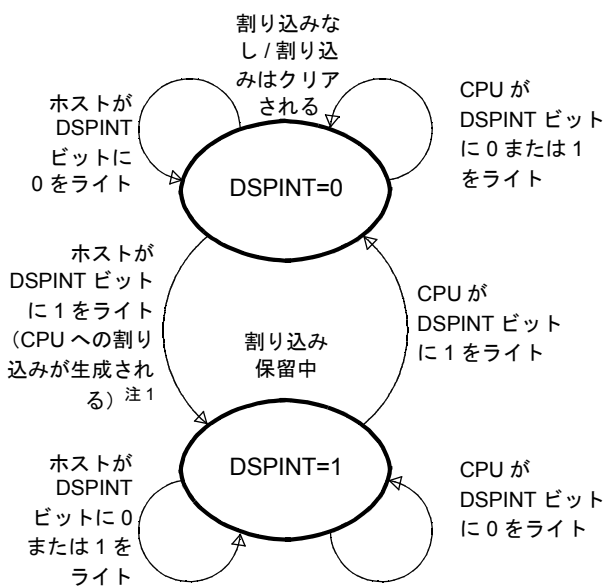
5 ホストと CPU 間の割り込み

本書の 42 ページの 5.1 節「DSPINT ビット：ホストから CPU への割り込み」に記載されているように、ホストは HPIC の DSPINT ビット経由で DSP の CPU に割り込むことができます。本書の 44 ページの 5.2 節「HINT ビット：CPU からホストへの割り込み」に記載されているように、CPU は、HPIC の HINT ビットを使用してホストに割り込みを送ることができます。ホストは HAS ピンを使用して CPU に割り込むこともできます。汎用 I/O として使用可能な場合、HAS ピンは割り込みピンとして設定できます。このオプションに関する詳細は、70 ページの 9.8 節「汎用 I/O 割り込み制御レジスタ (HGPIPOINT1 と HGPIPOINT2)」を参照してください。

5.1 DSPINT ビット：ホストから CPU への割り込み

ホストは、HPIC の DSPINT ビットを使って CPU へ割り込み要求を送信できます。DSPINT ビットの使用法の概略を図 23. に示し、図の後でその詳細を説明します。

図 23. ホストから CPU への割り込み状態遷移図



注¹ DSPINT ビットの 0 から 1 への遷移時、CPU への割り込みが生成されます。CPU がビット (DSPINT = 0) をクリアするまで、新しい割り込みは生成できません。

ホストからの CPU 割り込みには以下を実行する必要があります。

- 1) HCNTL1 と HCNTL の両方を Low にドライブして HPIC へのライトを要求する
- 2) HPIC の DSPINT ビットへ 1 をライトする

ホストが DSPINT ビットをセットすると、HPI は割り込みパルスを生成し、CPU の割り込みフラグ・レジスタに対応するフラグ・ビットをセットします。CPU 内でこのマスカブル割り込みが正しくイネーブルになると、CPU は対応する割り込みサービス・ルーチン (ISR) を実行します。

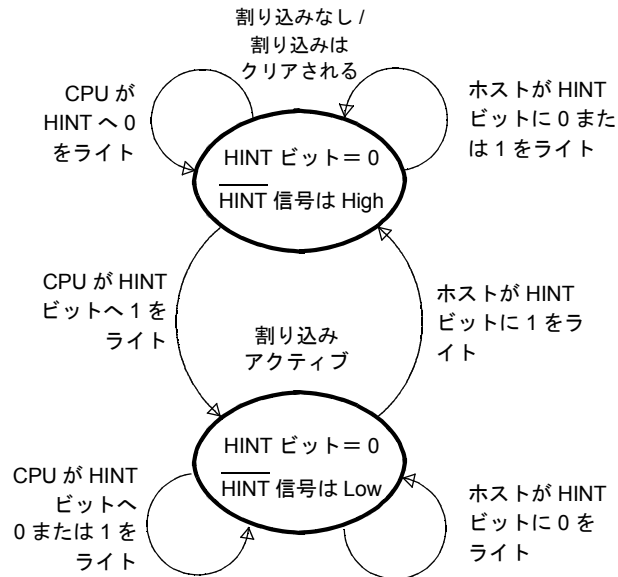
ホストが DSPINT を使用して CPU へ次の割り込みを生成できるように事前に、CPU は DSPINT ビットへ 1 をライトして現在の割り込みに応答する必要があります。CPU が 1 をライトすると、DSPINT は強制的に 0 になります。ホストは次の割り込みを生成する前に DSPINT = 0 を検証する必要があります。DSPINT = 1 の間、ホストによる DSPINT ビットへのライトは割り込みパルスを生成しません。

以下は、DSPINT ビットに関する追加情報です。0 をライトしても影響はありません。ハードウェア・リセットは DSPINT をすぐにクリアし、アクティブ・ホストから CPU への割り込みもクリアします。HPI がアイドル・モードになっている間、ホストは DSPINT ビットを使用して HPI をアイドル復帰させることができません (アイドル・モードへの切り替え方法については、52 ページの 8.1 節「消費電力の低減」を参照)。

5.2 HINT ビット : CPU からホストへの割り込み

CPUは、HPICのHINTビットを使ってホストへ割り込み要求を送ることができます。HINTビットの使用法の概略を図24.に示し、図の後でその詳細を説明します。

図24. CPUからホストへの割り込み状態遷移図



CPUがHPICのHINTビットへ1をライトした場合、HPIはHINT信号をLowにドライブし、ホストへの割り込み状態を示します。CPUがHINTビットを使用してホストへ次の割り込みを生成できるようになるために、ホストはHINTビットへ1をライトして現在の割り込みに応答する必要があります。ホストがこれを行うと、HPIはHINTビット (HINT = 0) をクリアし、HINT信号はHighになります。CPUは次の割り込みを生成する前にHPICをリードし、HINT = 0であることを確認する必要があります。

以下は、HINTビットに関する追加情報です。0をライトしても影響はありません。ハードウェア・リセットはHINTビットを即時にクリアし、CPUからホストへのアクティブな割り込みをクリアします。

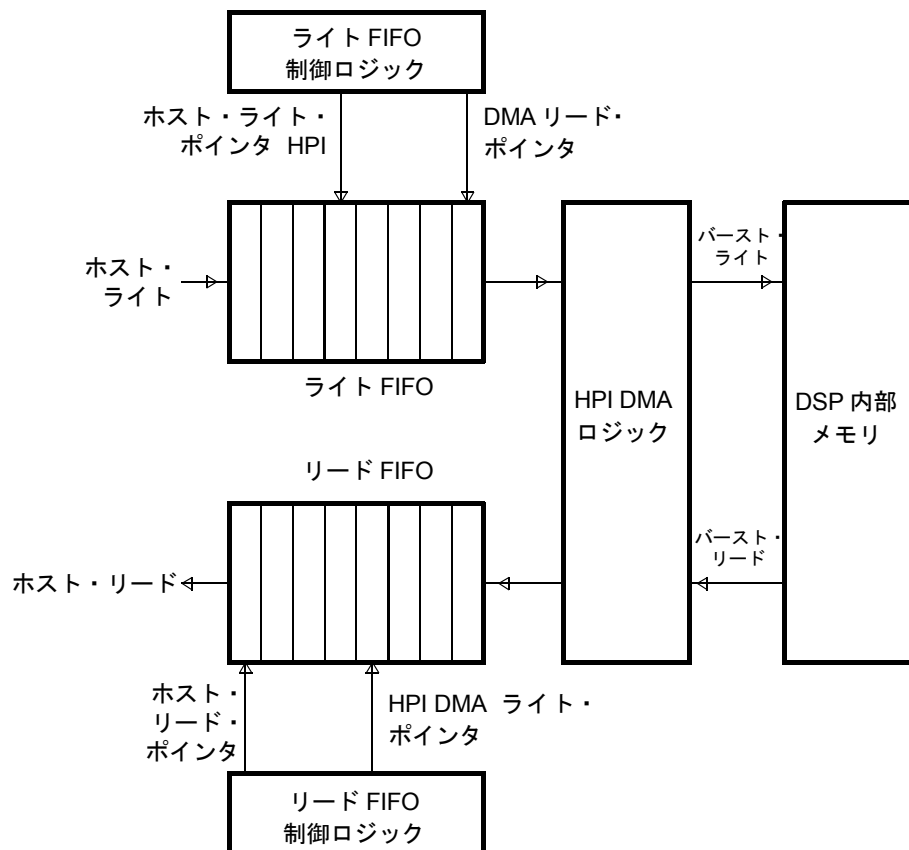
6 FIFO とバースト (8 ビット共用モードのみ)

8 ビット共用モードでは、ホストはデータ・レジスタ (HPID) のポート経由で2つの先入れ先出し (FIFO) バッファへアクセスします。図 25. に示すように、リード FIFO はホストのリード・サイクルをサポートし、ライト FIFO はホストのライト・サイクルをサポートします。リードおよびライト FIFO は両方とも 8 ワードの深さを持ちます (1 ワードは 16 ビット)。ホストが連続するメモリ・アドレスへの複数のリードまたはライトを実行している間 (自動インクリメントする HPID サイクル) は、FIFO はバーストに使用されます。HPI DMA ロジックは、FIFO の 1 つにアクセスすると、一度に 4 ワード分のバーストをリードまたはライトします。

バーストは、ホスト・インターフェースの信号に影響を与えないため、基本的にホストからは見えません。ホストから見たバーストのメリットは、連続するアドレスへ複数のリードまたはライトが行われているときに HRDY 信号がディアサートされる頻度が低くなることです。

16 ビット分離モードでは、FIFO メモリはシングル・レジスタとして動作し (1 つのロケーションのみが使用され)、バーストは使用されません。

図 25. HPI 内の FIFO



6.1 リード・バースト

ホストがリード・アドレス・レジスタ (HPIAR) へライトすると、リード FIFO はフラッシュします。リード FIFO 内のホストのリード・データは捨てられます (リード FIFO のポインタがリセットされます)。フラッシュ要求の時点でリード FIFO への HPI DMA のライトが進行中の場合、HPI はライトの完了を許可し、その後、フラッシュを実行します。

リード FIFO フラッシュの後、リード・サイクルは開始されません。リード・バーストは、ホストが自動インクリメントする HPID リード・サイクルを開始するか、ホストが FETCH コマンドの実行を開始 (HPIC の FETCH ビットへ 1 をライト) することにより実行できます。

ホストが自動インクリメントする HPID リード・サイクルを開始すると、HPI DMA ロジックは 2 つの 4 ワード・バースト・オペレーションを実行して、リード FIFO を満たします。リード FIFO からデータがリードできるようになるまで、ホストは HRDY 信号のデアサーションによって保留されます。FIFO がフルになると、ホストは、自動インクリメントする HPID の次のリードを実行することにより、リード FIFO からデータをリードできます。最初のリードが実行されると、HPI DMA ロジックは、リード FIFO 内に 4 つの空のワード・ロケーションができるたびに連続するメモリ・アドレスへの 4 ワードのバースト・オペレーションの実行を続けます。HPI DMA ロジックは、リード FIFO をフラッシュさせるイベントが発生するまで、データのプリフェッチを続け、リード FIFO をフルな状態に保ちます (48 ページの 6.3 節を参照)。

上記、リード・バーストの 2 つめの方法は、FETCH コマンドを使用して開始する方法です。ホストは常に、HPIAR レジスタの初期化または自動インクリメントしないアクセスに先立って FETCH コマンドを使用し、前もってリード FIFO をフラッシュしておく必要があります。ホストが FETCH コマンドを開始すると、前節で述べたように HPI DMA ロジックは、データのプリフェッチを開始してリード FIFO をフルな状態に保ちます。HPIC レジスタの FETCH ビットは、そこにライトされた値を実際にストアするのではなく、ホストから 1 をライトしている時のデコードを FECH コマンドとみなします。

ホストが HRDY 信号を使用しない場合に、FETCH コマンドは有効です。ホストは、FETCH ビットに 1 を書き込むことでプリフェッチを開始し、その後同じ HPIC にある HRDY ビットをポーリングすることができます。HRDY ビットが 1 のときに、ホストは HPID リード・サイクルを実行できます。

前節で説明した連続リードとバースト・リードの両方が、HPIA レジスタへのライトで始まり、リード FIFO をフラッシュさせます。初期リード・アドレスを指定する必要があるため、これはリード・サイクルを開始する代表的な方法です。

自動インクリメントしない HPID リード・サイクルは、プリフェッチ動作を開始しません。代わりに、リード FIFO をフラッシュさせ、HPI DMA ロジックに DSP メモリからの 1 ワード・リードを実行させます。ホストが自動インクリメントしないリード・サイクルをアクティブにすると、プリフェッチ動作はすぐに停止し、FETCH コマンドまたは自動インクリメント・リード・サイクルが実行されるまで再開されません。自動インクリメントしないリード・サイクルは、実行前に HPIAR を直接初期化するか、別の自動インクリメントしないサイクルを行って、リード FIFO を前もってフラッシュしておく必要があります。

6.2 ライト・バースト

ライト・アドレス・レジスタ (HPIAW) へのライトは、ライト FIFO をフラッシュさせます。これにより、ライト FIFO 内のライト・データは強制的に DSP メモリ内の宛先へと送られます (HPI DMA ロジックはライト FIFO が空になるまでバースト・オペレーションを実行します)。FIFO をフラッシュした後、HPI DMA ロジックにライト・バーストを実行させる唯一の方法は、自動インクリメントする HPID ホスト・ライトです。最初のホストのライト・データはライト FIFO にストアされます。ライト FIFO 内に 4 ワードが入るまで、HPI DMA ライトは要求されません。自動インクリメントする HPID ライト・サイクルにより FIFO へ 4 ワードがライトされると、HPI DMA ロジックは DSP メモリへの 4 ワード・バースト転送をすぐに実行します。FIFO 内に最低 4 ワードが存在する限り、バースト転送は継続します。FIFO がフルになる (FIFO 内に 8 ワードがある状態) と、HPI は FIFO 内でワード配置が最低 1 つ空になるまで、HRDY をディアサートしてホストを保留します。

連続バースト・オペレーションの間に長い時間が経過する場合に備えて、HPI にはタイムアウト・カウンタがあります。ライト FIFO 内のワードが 4 ワード未満で、タイムアウト・カウンタがタイムアウトになると、HPI DMA ロジックは必要に応じて 2 または 3 ワードのバーストか、1 ワードのライトを行って FIFO をすぐに空にします。ライト FIFO に新しいデータがライトされるたびに、タイムアウト・カウンタは自動的にリセットされ、最初からカウントを始めます。タイムアウト期間は 16 クロック・サイクルで、DSP の高速ペリフェラル・クロック (SYSCLK1) です。

自動インクリメントしない HPID ライト・サイクルは、バースト動作を開始しません。代わりに、ライト FIFO をフラッシュさせ、HPI DMA ロジックに DSP メモリへの 1 ワード・ライトを実行させます。ホストが自動インクリメントしないライト・サイクルをアクティブにすると、バースト動作はすぐに停止し、自動インクリメント・ライト・サイクルが実行されるまで再開されません。自動インクリメントしないライト・サイクルは、実行前に HPIAW の初期化または自動インクリメントしない別のアクセスを行って、ライト FIFO を前もってフラッシュしておく必要があります。

6.3 FIFO フラッシュ条件

HPI 内で特定の条件が発生した場合、FIFO からの古いデータのリードを防ぐため、リードまたはライト FIFO をフラッシュする必要があります。リード FIFO フラッシュ条件が発生した時点で、リード FIFO に対し実行中の現在のホスト・アクセスおよび直接メモリ・アクセス (DMA) はすべて完了させることができます。これには要求され、まだ開始されていない DMA も含まれます。その後、リード FIFO ポインタはリセットされ、リード・データは捨てられます。

同様に、ライト FIFO フラッシュ条件が発生した時点で、ライト FIFO へ実行中の現在のホスト・アクセスおよび DMA はすべて完了させることができます。これには要求され、まだ開始されていない DMA も含まれます。FIFO へポストされたすべてのライトは、必要に応じて最終バーストまたはシングル・ワード・ライトにより、強制的に完了させられます。

FIFO フラッシュ中にホストが HPID ホスト・サイクルを開始した場合は、そのサイクルは、フラッシュが完了し FIFO へのアクセスが可能となるまで、HRDY のディアセーションによって保留されます。

リードおよびライト FIFO は以下の条件でフラッシュします。

リード FIFO のフラッシュ条件：

- ホストからの値が、リード・アドレス・レジスタ (HPIAR) へライトされた場合
- ホストが自動インクリメントしない HPID リード・サイクルを実行した場合

ライト FIFO のフラッシュ条件：

- ホストからの値が、ライト・アドレス・レジスタ (HPIAW) へライトされた場合
- ホストが自動インクリメントしない HPID ライト・サイクルを実行した場合
- ライト・バーストのタイムアウト・カウンタがタイムアウトとなった場合

DUALHPIA = 0 (すべての HPIA ライトおよびインクリメントが HPIAR と HPIAW の両方に影響を与える状態) で動作しているときに、上記のリードまたはライトのフラッシュ条件が発生すると、リードおよびライト FIFO の両方がフラッシュします。DUALHPIA = 0 の場合は、他に以下の場合でも両方の FIFO がフラッシュします。

- ホストが、自動インクリメントする HPID ライト・サイクルを実行し、リード FIFO が空でない場合 (リード FIFO にプリフェッチしたデータまたは自動インクリメントする HPID リード・サイクルのデータがある)
- ホストが、自動インクリメントする HPID リード・サイクルを実行し、ライト FIFO が空でない場合 (ライト FIFO 内にポストされたライト・データがある)

これは、前のライト・サイクルが同じアドレスで完了していない場合に、メモリ・アドレスをリードすることにより古いデータをリードしないようにする保護対策となります。同様に、前のリード・サイクルが同じアドレスで完了していない場合に、メモリ・アドレスにあるデータを上書きしないようにするための保護対策ともなります。

DUALHPIA = 1 (HPIAR および HPIAW が独立している場合) で動作している場合、上記のような保護機能はありません。ただし DUALHPIA = 1 の場合、両方の FIFO を同時にフラッシュさせることなく、両方向のデータ・フローを発生させることができます。HPI の帯域幅が向上します。

6.4 ハードウェア・リセットまたは HPI ソフトウェア・リセット時の FIFO の動作

ハードウェア・リセット (RESET ピンを Low にドライブ) や HPI ソフトウェア・リセット (HPIC, HPIRST = 1) は、FIFO をリセットさせます。FIFO ポインタはクリアされ、FIFO 内のすべてのデータは捨てられます。さらに、関連付けられたすべての FIFO ロジックもリセットされます。

ハードウェアまたは HPI ソフトウェア・リセットの発生時にホスト・サイクルがアクティブな場合、HRDY 信号がアサートされ (High にドライブされ)、ホストにサイクルの完了を許可します。サイクルが完了すると、HRDY はデアサートされます (Low にドライブされます)。アクセスにリセットが割り込んだ場合、リード・データが壊れたり、ライト・データが失われたりする場合があります (ライトが目的のメモリまたはレジスタを実際に更新していない場合)。データが失われる場合がありますが、ホスト・インターフェイス・プロトコルの違反とはなりません。どちらかのリセット条件が真で、かつホストがアイドル状態 (内部 HSTRB が High) の場合、リセット状態に FIFO が維持され、インアクティブな HRDY 信号によりホスト・トランザクションは保留されます。

7 HPI ピンの汎用 I/O への使用

表 8. は、モード条件で TMS320VC5501 および TMS320VC5502 デバイスの汎用 I/O (GPIO) に使用できる HPI ピンについてまとめたものです。この表は、GPIO 機能の制御に、HPI の HGPIO レジスタと、DSP システム・レベルの PGPIO レジスタのどちらを使用するかについても示します。表の後に HGPIO レジスタの概要を説明します。PGPIO レジスタの説明については、デバイス別のデータ・マニュアルを参照してください。

注：

汎用 I/O をイネーブルにするピンにより、ホスト・アクセスが制限されたり、不可能となる場合があります。特定のホスト・アクセス・タイプで必要となる信号をチェックするには 18 ページの 3 節「HPI の動作」を参照してください。

表 8. HPI ピンの汎用 I/O の制御

デバイス	条件	GPIO ピンの制御
TMS320VC5501	8ビット共用モードがオンの場合	HBIL、 $\overline{\text{HAS}}$ 、および HD[7:0] は HPI の HGPIO レジスタによって制御されます。
	8ビット共用モードがオフの場合	HPI は、HBIL、 $\overline{\text{HAS}}$ 、および HD[7:0] を使用できません。これらのピンの GPIO 制御は、DSP システム・レベルの PGPIO レジスタによって処理されます。
	8ビット共用モードのオンオフ両方の場合	HCNTL0、HCNTL1、および $\overline{\text{HINT}}$ は HPI 内の HGPIO レジスタによって制御されます。 HPIENA 信号が Low (HPI がディスエーブル) の場合、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ 、 $\overline{\text{HCS}}$ 、および $\overline{\text{HR/W}}$ も HGPIO レジスタによって制御されます。HPIENA 信号が High (HPI がイネーブル) の場合、これらのピンの GPIO 機能はディスエーブルとなります。 HRDY および HPIENA は GPIO に使用できません。
TMS320VC5502	8ビット共用モードを選択している場合	HBIL、 $\overline{\text{HAS}}$ 、および HD[7:0] は HPI の HGPIO レジスタによって制御されます。HD[15:8] および HA[15:0] は、外部メモリ・インターフェイス (EMIF) によって使用されているため GPIO に使用できません。
	16ビット共用モードを選択している場合	HPI は、HBIL および $\overline{\text{HAS}}$ を使用できませんが、これらは DSP システム・レベルの PGPIO レジスタ経由で制御できます。HA[15:0] および HD[15:0] は、HPI 内の HGPIO レジスタ経由で制御されます。 共用モード、分離モードの両方の場合 HCNTL0、HCNTL1、および $\overline{\text{HINT}}$ は HPI 内の HGPIO レジスタによって制御されます。 HPIENA 信号が Low (HPI がディスエーブル) の場合、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ 、 $\overline{\text{HCS}}$ 、および $\overline{\text{HR/W}}$ も HGPIO レジスタによって制御されます。HPIENA 信号が High (HPI がイネーブル) の場合、これらのピンの GPIO 機能はディスエーブルとなります。 HRDY および HPIENA は GPIO に使用できません。

HPI が制御するピンでは、以下のレジスタで GPIO 機能を設定、制御できます。

- GPIO イネーブル・レジスタ (HGPIOEN) 内のビットは、HPI のピンを HPI 機能または GPIO に設定するために使用します。HGPIOEN の詳細については、61 ページの 9.4 節「汎用 I/O イネーブル・レジスタ (HGPIOEN)」で説明します。
- GPIO 方向レジスタ (HGPIODIR1、HGPIODIR2、HGPIODIR3) は、GPIO で使用できる各ピンの方向ビットを持ちます。GPIO をイネーブルにすると、この方向ビットによりピンを入力ピンにするか出力ピンにするかが決まります。これらのレジスタの詳細については 9.5 節「汎用 I/O 方向レジスタ 1 (HGPIODIR1) と汎用 I/O データ・レジスタ 1 (HGPIODAT1)」から 9.7 節「汎用 I/O 方向レジスタ 3 (HGPIODIR3) と汎用 I/O データ・レジスタ 3 (HGPIODAT3)」を参照してください (9.5 節は 63 ページから始まります)。

- GPIO データ・レジスタ (HGPIODAT1、HGPIODAT2、HGPIODAT3)。GPIO に使用できる各ピンのデータ・ビットを持ちます。GPIO をイネーブルにすると、データ・ビットはピンを監視またはドライブするために使用されます。ピンが入力ピンとして設定されている場合、CPU はデータ・ビットをリードして、ピン上の信号レベルを判定します。ピンが出力ピンとして設定されている場合、CPU はデータ・ビットをライトして、信号を High または Low にドライブします。これらのレジスタの詳細については 63 ページの 9.5 節「汎用 I/O 方向レジスタ 1 (HGPIODIR1) と汎用 I/O データ・レジスタ 1 (HGPIODAT1)」から 68 ページの 9.7 節「汎用 I/O 方向レジスタ 3 (HGPIODIR3) と汎用 I/O データ・レジスタ 3 (HGPIODAT3)」を参照してください
- GPIO 割り込み制御レジスタ (HGPIOINT1、HGPIOINT2)。HAS 信号が汎用入力ピンとして設定されている場合、これらのレジスタを使って、HAS を割り込みピンとしてイネーブルにし、入力極性を反転させることができます。詳細については、70 ページの 9.8 節「汎用 I/O 割り込み制御レジスタ (HGPIOINT1 と HGPIOINT2)」で説明します。

8 電力、エミュレーション、リセットについての考察

8.1 消費電力の低減

DSP は数多くのアイドル・ドメインに分かれています。電力消費を最小化するため、どのドメインをアクティブにし、どのドメインをアイドルにするかをその時々で選択できます。すべてのドメインの現在の状態をトータルしてアイドル設定と呼びます。デバイス別のデータ・マニュアルに記載されている他の要素の設定によっては、ある特定のアイドル設定でマスタ・ポート・ドメインをオフにすると、HPI が動作しない低電力モードになる場合があります。

HPI にこのアイドル・モードを正しく要求すると、すべての HPI 動作はすぐに停止します。CPU が HPI をアイドル・モードにする前に、HPI はホストと通信し、すべてのホスト・アクセスが完了し、ホスト・アクティビティが停止したことを確認する必要があります。

マスタ・ポート・ドメイン以外のアイドル・ドメインも HPI に影響を与える点に注意してください。たとえば、クロック・ジェネレータ・ドメインがアイドル状態の場合、HPI はオペレーションのクロックを持ちません。

8.2 エミュレーション・モード

電力およびエミュレーション管理レジスタ (HPWREMU) の FREE および SOFT ビットは、エミュレーション一時停止状態に対する HPI の対応を決めます。FREE = 1 の場合、HPI は影響を受けず、SOFT ビットも影響しません。FREE = 0 で、SOFT = 0 の場合、HPI は影響を受けません。FREE = 0 で SOFT = 1 の場合は以下のとおりとなります。

- 現在のホストおよび HPI DMA 転送の完了後、HPI DMA ロジックは停止します。
- エミュレーションが一時停止状態にある間も、外部ホスト・インターフェイスは通常通りに機能します。ホストは、制御レジスタ (HPIC) へアクセスできます。8 ビット共用モードでは、ホストは HPIA レジスタへもアクセスでき、リード FIFO が空になるまでデータ・リードを、ライト FIFO がフルになるまでデータ・ライトを実行できます。通常の場合と同じように、HRDY は、ライト FIFO がフルになるかリード FIFO が空になったために完了できないホスト・サイクルで Low にドライブされます。この場合、HRDY は Low にドライブされたままとなり、エミュレーションの一時停止状態が終わり、HPI DMA ロジックが FIFO を処理してホスト・サイクルが完了できるようになるまで、ホストを保留します。
- エミュレーションの一時停止状態が終わると、HPI DMA ロジックは必要に応じて、ライト FIFO 内へポストされたホスト・ライトの処理やリード FIFO をフィルするよう要求します。HPI 転送は通常通りに続けられます。

8.3 ハードウェア・リセットの HPI への影響

TMS320VC5501/5502 DSP 全体が $\overline{\text{RESET}}$ ピンでリセットされた場合は、以下のとおりとなります。

- 内部ストローブ信号、内部 $\overline{\text{HSTRB}}$ が High (ホストはインアクティブ) の場合、HRDY は Low にドライブされ、リセット状態が終わるまでの間 Low のままとなります。
- 内部 $\overline{\text{HSTRB}}$ が Low (ホスト・サイクルがアクティブ) の場合、HRDY は High にドライブされ、ホストにサイクルの完了を許可します。内部 $\overline{\text{HSTRB}}$ が High になる (サイクルが完了する) と HRDY は Low にドライブされ、リセット状態が終わるまでの間 Low のままとなります。アクティブ・サイクルがライト・サイクルだった場合、メモリまたはレジスタが正しく更新されていない場合があります。アクティブ・サイクルがリード・サイクルだった場合、フェッチされた値が有効でない場合があります。
- HPI レジスタはデフォルト値へリセットされます。これらのデフォルト値は、54 ページの 9 節「HPI レジスタ」のレジスタの図で各ビット・フィールドの下に記載されています。
- リードおよびライト FIFO と、関連付けられた FIFO ロジックがリセットされます (FIFO のフラッシュも含まれます)。
- ホストから DSP、DSP からホストへの割り込みがクリアされます。
- HPI の汎用 I/O 機能を制御するロジックがリセットされます。

8.4 HPI ソフトウェア・リセット

制御レジスタ (HPIC) は、リードおよびライト FIFO のリセットに使用する HPI ソフトウェア・リセット・ビット (HPIRST) を提供します。CPU が HPIRST ビットをセットする場合：

- 内部ストローブ信号、内部 $\overline{\text{HSTRB}}$ が High (ホストはインアクティブ) の場合、HRDY は Low にドライブされ、リセット状態が終わるまでの間 Low のままとなります。
- 内部 $\overline{\text{HSTRB}}$ が Low (ホスト・サイクルがアクティブ) の場合は、FIFO の直接メモリ・アクセス (DMA) は完了を許可されます。続いて $\overline{\text{HRDY}}$ が High にドライブされ、ホストにサイクルの完了を許可します。内部 $\overline{\text{HSTRB}}$ が High になる (サイクルが完了する) と、HRDY は Low にドライブされ、リセット状態が終わるまでの間 Low のままとなります。アクティブ・サイクルがライト・サイクルだった場合、メモリまたはレジスタが正しく更新されていない場合があります。アクティブ・サイクルがリード・サイクルだった場合、フェッチされた値が有効でない場合があります。
- FIFO の残りの DMA の完了後、リードおよびライト FIFO と、関連付けられた FIFO ロジックがリセットされます。FIFO ポインタはクリアされ、FIFO 内のデータは捨てられます。FIFO が完全にリセットされるまで、CPU は HPIRST 内で 0 をリードします。FIFO リセットが完了する前に HPIRST へ 0 をライトしても、FIFO リセットの発生を中止することはできません。

HPI ソフトウェア・リセットは、FIFO 以外の HPI レジスタをリセットしません。

9 HPI レジスタ

ここでは、表 9. にリストした HPI 内のレジスタについて説明します。データ・レジスタ (HPID) を除くすべてのレジスタは、DSP の I/O 空間内の 16 ビット・ワード・アドレス経由で CPU からアクセスできます。ホストからは制御レジスタ (HPIC)、データ・レジスタ (HPID)、およびアドレス・レジスタ (HPIAR および HPIAW) のみがアクセスできます。

表 9. HPI のレジスタ

レジスタ	説明	詳細説明ページ
HPIC	制御レジスタ	55 ページ
HPID	データ・レジスタ	58 ページ
HPIAR	ホストのリード・サイクル用のアドレス・レジスタ	59 ページ
HPIAW	ホストのライト・サイクル用のアドレス・レジスタ	59 ページ
HGPIOEN	汎用 I/O イネーブル・レジスタ	61 ページ
HGPIODIR1	汎用 I/O 方向レジスタ 1	63 ページ
HGPIODAT1	汎用 I/O データ・レジスタ 1	63 ページ
HGPIODIR2	汎用 I/O 方向レジスタ 2	65 ページ
HGPIODAT2	汎用 I/O データ・レジスタ 2	65 ページ
HGPIODIR3	汎用 I/O 方向レジスタ 3	68 ページ
HGPIODAT3	汎用 I/O データ・レジスタ 3	68 ページ
HGPIOINT1	汎用 I/O 割り込み制御レジスタ 1	70 ページ
HGPIOINT2	汎用 I/O 割り込み制御レジスタ 2	70 ページ
HPWREMU	電力およびエミュレーション管理レジスタ	71 ページ

9.1 制御レジスタ (HPIC)

HPIC は HPI の設定および制御情報をストアする 16 ビット・レジスタです。レジスタ内のフィールドを図 26. で示し、表 10. で説明します。図が示すように、ホストと CPU のアクセス権は同じではありません。ホストには HPIC に対してフル・リード/ライト・アクセスが与えられます。CPU に与えられるアクセスは主にリード専用ですが、以下のような例外もあります。

- CPUはHINTビットへ1をライトすることにより、ホストへの割り込みを生成できません。
- CPUはDSPINTビットへ1をライトすることにより、ホストからの割り込みをクリア/応答できます。
- CPUはHPIRSTへ1をライトすることにより、HPIソフトウェア・リセットを発生させることができます。

図 26. 制御レジスタ (HPIC)

ホストのアクセス権								
15				12	11	10	9	8
予約			HPIASEL		予約	DUALHPIA		BOBSTAT
R-0			R/W-0		R-0	R/W-0		R-0
7	6	5	4	3	2	1	0	
HPIRST	予約 ^{注1}		FETCH	HRDY	HINT	DSPINT	BOB	
R-0	R/W-0		R/W-0	R-1	R/W1C-0	R/W-0	R/W-0	
CPU のアクセス権								
15				12	11	10	9	8
予約			HPIASEL		予約	DUALHPIA		BOBSTAT
R-0			R-0		R-0	R-0		R-0
7	6	5	4	3	2	1	0	
HPIRST	予約		FETCH	HRDY	HINT	DSPINT	BOB	
R/W-0	R-0		R-0	R-0	R/W-0	R/W1C-0	R-0	

凡例： R = リード、W = ライト、W1C = 1 をライトしてクリア、-n = ハードウェア・リセット後の値

注1 ホストはこれらの予約ビットへ0をライトする必要があります。

表 10. 制御レジスタ (HPIC) のビット

ビット	フィールド	値	説明
15-12	予約		リード専用の予約ビット。リードは 0 を返します。
11	HPIASEL		HPIA のリード / ライト選択ビット (ホストが設定)。このビットはデュアル HPIA モード (DUALHPIA = 1) のみで使用できます。 注: HPIASEL は、HPI DMA ロジックに影響を与えません。HPIASEL の値にかかわらず HPI DMA ロジックは、メモリへのライトに HPIAW を、メモリからのリードに HPIAR を使用します。
		0	ホストは次の HPIA ホスト・サイクルで、HPIAW (ライト・アドレス・レジスタ) へアクセスします。
		1	ホストは次の HPIA ホスト・サイクルで、HPIAR (リード・アドレス・レジスタ) へアクセスします。
10	予約		リード専用の予約ビット。リードは 0 を返します。
9	DUALHPIA		デュアル HPIA モード・ビット (ホストが設定)
		0	シングル HPIA モード。ホスト側から見ると、1 つの 16 ビット HPIA レジスタが存在します。ホストの HPIA ライト・サイクルは、HPIAR と HPIAW の両方に同じ値を置きます。自動インクリメントでは、HPIAR と HPIAW の両方がインクリメントします。ホスト HPIA のリード・サイクルは HPIAR から値を取得します。
		1	デュアル HPIA モード。ホスト側から見ると、アドレスをリードするための HPIAR とアドレスをライトするための HPIAW の、2 つの 16 ビット HPIA レジスタが存在します。
8	BOBSTAT		BOB ステータス・ビット。BOBSTAT は BOB ビットの値を反映します (ビット 0 を参照)。
		0	BOB = 0 (第 1 バイトが最上位)
		1	BOB = 1 (第 1 バイトが最下位)
7	HPIRST		HPI ソフトウェア・リセット・ビット (CPU がセット)
		0	ホスト: HPIRST のリードは常に 0 を返します。 CPU: 一度 CPU が HPIRST へ 1 をライトすると、FIFO が完全にリセットされるまで、リードは 0 を返します。リセット・プロセス完了前に 0 をライトしても、リセットの発生を中止することはできません。
		1	CPU: 1 をライトすると、リードおよびライト FIFO と、関連付けられた FIFO ロジックがリセットされます。53 ページの 8.4 節「HPI ソフトウェア・リセット」で説明したように、アクティブなホスト・サイクルは、リセット・プロセスの開始前に完了させることができます。
6-5	予約	0	ホストはこれらのビットへ 0 をライトする必要があります。CPU はこれらのビットを変更できません。
4	FETCH		ホスト・データ・フェッチ・コマンドのビット (ホストがセット)
		0	CPU/ホスト: FETCH のリードは常に 0 を返します。
		1	ホスト: 1 をライトし、HPI DMA ロジックへ、データをリード FIFO へプリフェッチするよう指示します。

表 10. 制御レジスタ (HPIC) のビット

ビット	フィールド	値	説明
3	HRDY		HPI レディ・インジケータ (リード専用)
		0	ホスト : 内部 HRDY は Low です HPI でホスト・サイクルを完了させる準備ができていません。 CPU : HRDY のリードは常に 0 を返します。
		1	ホスト : 内部 HRDY は High です。HPI でホスト・サイクルを完了させる準備ができています。 注 : HRDY ビットは HRDY ピン・ステータスと同じではありません。詳細については 40 ページの 4 節「HPI レディ (HRDY) ビットを使用するソフトウェア・ハンドシェイク」を参照してください。
2	HINT		ホスト割り込みビット (CPU がセット、ホストがクリア)
		0	CPU/ホスト : 0 をライトしても影響はありません。
		1	CPU : HINT へ 1 をライトすると、CPU からホストへの割り込みが生成されます。HINT は、ホストまたはハードウェア・リセットによってクリアされるまでの間、1 のままとなります。 ホスト : HINT へ 1 をライトすると、HINT を 0 へクリアし、CPU からホストへの割り込みに応答します。
1	DSPINT		DSP 割り込みビット (ホストがセット、CPU がクリア)
		0	CPU/ホスト : 0 をライトしても影響はありません。
		1	CPU : DSPINT へ 1 をライトすると、DSPINT を 0 へクリアし、ホストから CPU への割り込みに応答します。 ホスト : DSPINT へ 1 をライトすると、ホストから CPU への割り込みを生成します。DSPINT は、CPU またはハードウェア・リセットによってクリアされるまでの間、1 のままとなります。
0	BOB		バイト・オーダ・ビット (ホストが設定)。このビットは 8 ビット共用モードのみで使用できます。ホストは、最初のデータまたはアドレス・レジスタのアクセス前に、BOB を初期化する必要があります。BOB のステータスは BOBSTAT (ビット 8 を参照) にも反映されます。
			ホストのライト・サイクル :
		0	バスから受け取った第 1 バイトが最上位 (HPID/HPIC/HPIAR/HPIAW の上位にライト)。バスから受け取った第 2 バイトが最下位 (HPID/HPIC/HPIAR/HPIAW の下位にライト)
		1	バスから受け取った第 1 バイトが最下位 (HPID/HPIC/HPIAR/HPIAW の下位にライト)。バスから受け取った第 2 バイトが最上位 (HPID/HPIC/HPIAR/HPIAW の上位にライト)
			ホストのリード・サイクル :
0	バスへ送信した第 1 バイトが最上位 (HPID/HPIC/HPIAR/HPIAW の上位からリード)。第 2 バイトが最下位 (HPID/HPIC/HPIAR/HPIAW の下位からリード)		
1	バスへ送信された第 1 バイトが最下位 (HPID/HPIC/HPIAR/HPIAW の下位からリード)。第 2 バイトが最上位 (HPID/HPIC/HPIAR/HPIAW の上位からリード)		

9.2 データ・レジスタ (HPID)

16 ビット・レジスタ HPID は、ホストと HPI DMA ロジックの間のデータ・バスを提供します。ホストのライト・サイクルの間、ホストは 16 ビットを HPID に書き込み、HPI DMA ロジックはその 16 ビット値を DSP の内部メモリへ転送します。ホストのリード・サイクルの間、HPI DMA ロジックは内部メモリからの 16 ビットを HPID に転送し、HPI がその 16 ビット値をホストへ転送します。1 つのホスト・サイクルは、1 つの 16 ビット転送 (16 ビット分離モード)、または連続する 2 つの 8 ビット転送 (8 ビット共用モード) となります。

図 27. に示すように、ホストは HPID へのフル・リード / ライト・アクセスを持ちます。CPU は HPID にアクセスできません。

8 ビット共用モードでは、HPID は實際上、ホストが 2 つの先入れ先出しバッファ (FIFO) へアクセスする際に経由するポートとなります。リード FIFO とライト FIFO は、より高いデータ・スループットを提供する上で大きな役割を果たします。FIFO の詳細については 45 ページの 6 節「FIFO とバースト (8 ビット共用モードのみ)」を参照してください。

図 27. データ・レジスタ (HPID)

ホストのアクセス権 (CPU は HPID にアクセス不可)



凡例: R = リード、W = ライト、-n = ハードウェア・リセット後の値

9.3 アドレス・レジスタ (HPIAR と HPIAW)

表 11. は、TMS320VC5501 および TMS320VC5502 デバイスの内部メモリ HPI を通じてホストがアクセス可能な領域を示しています。アドレス 0000h ~ 005Fh は、CPU のメモリ・マップ・レジスタ用に予約されているため、ホストはアクセスできません。8 ビット共用モードで、DSP の内部メモリ内のロケーションへアクセスするには、ホストはそのロケーションのアドレスを指定する必要があります。これを行うため、ホストは HPI アドレス・レジスタ (HPIA) へアドレスをライトします。HPI DMA ロジックは、HPIA レジスタからアドレスをリードして、データのフェッチやストアを行います。

表 11. ホストからアクセスできる内部メモリと、ホストに要求されるアドレス・ビット

デバイス	ホストからアクセスできる内部メモリ	ホストに要求されるアドレス・ビット
TMS320VC5501	先頭の 16K ワード アドレス 0000h ~ 005Fh を除く	ホストは 14 ビットのアドレスを HPI アドレス・レジスタにライトする必要があります。
TMS320VC5502	先頭の 32K ワード アドレス 0000h ~ 005Fh を除く	ホストは 15 ビットのアドレスを HPI アドレス・レジスタにライトする必要があります。

リード動作の HPIAR とライト動作の HPIAW の、2 つの 16 ビット HPIA レジスタが存在します。HPI の設定によって、HPIAR と HPIAW を、1 つの 16 ビット・レジスタとして動作させることも (シングル HPIA モード)、2 つの独立した 16 ビット・レジスタとして動作させる (デュアル HPIA モード) こともできます。HPIA モードの詳細については、17 ページの 2 節「アドレス・レジスタの使用 (8 ビット共用モードのみ)」を参照してください。

図 28. に、TMS320VC5501 デバイスのアドレス・レジスタのフォーマットを示し、図 29. に、TMS320VC5502 デバイスのフォーマットを示します。TMS320VC5501 デバイスに必要なアドレス・ビットが 1 つ少ないのは、アクセス可能な内部メモリが半分しかないためです。図に示すように、ホストは HPIA へのフル・リード/ライト・アクセスを持ち、CPU は HPIA のリードのみを行えます。

16 ビット分離モード (TMS320VC5502 デバイスのみ) では、HPIA は使用されません。

図 28. アドレス・レジスタ (HPIAR または HPIAW) のフォーマット - TMS320VC5501 デバイス



凡例: R = リード、W = ライト、-n = ハードウェア・リセット後の値

注1 これらの予約ビットへは常に 0 をライトします。HPI 経由でアクセスできるメモリのセグメントが 16K ワードのため、14 アドレス・ビット (13 ~ 0) のみが必要で、ビット 15 と 14 は必要ありません。

図 29. アドレス・レジスタ (HPIAR または HPIAW) のフォーマット - TMS320VC5502 デバイス



凡例: R = リード、W = ライト、-n = ハードウェア・リセット後の値

注1 この予約ビットへは常に 0 をライトします。HPI 経由でアクセスできるメモリのセグメントが 32K ワードのため、15 アドレス・ビット (14 ~ 0) のみが必要で、ビット 15 は必要ありません。

9.4 汎用 I/O イネーブル・レジスタ (HGPIOEN)

図 30. と表 12. に、HGPIOEN のフィールドをまとめました。このレジスタは CPU がプログラムし、ホストはアクセスできません。

このレジスタ内の各 GPIO イネーブル・ビットは、HPI の 1 つ以上のピンに対応しています。ピンまたはピン・バンクで汎用 I/O をイネーブルにするには、CPU は対応する GPIO イネーブル・ビットをセットする必要があります。CPU はイネーブルにした各ピンを、該当する GPIO 方向レジスタ（入力または出力を選択）と該当する GPIO データ・レジスタ（1 つのレベルをリードまたはドライブ）を使って制御できます。さらに、HAS ピンで GPIO をイネーブルにしている場合、ホストによる CPU 割り込み生成に使えるよう HAS ピンを設定できます（70 ページの 9.8 節「汎用 I/O 割り込み制御レジスタ (HGPIOINT1 と HGPIOINT2)」を参照）。

HGPIOEN の使用には以下の制限があります。

- EN11 および EN12 ビットは、16 ビット分離モードでのみ使用します。8 ビット共用モードでは、HA[15:0] のピンは使用できません。
- EN8 ビットは、16 ビット分離モードでのみ使用します。8 ビット共用モードでは、HD[15:8] のピンは使用できません。
- EN2 および EN4 ビットは、8 ビット共用モードでのみ使用します。16 ビット分離モードでは、HAS および HBIL ピンは使用できません。
- EN0 ビットは、HPIENA ピンを Low に下げることによって HPI がディスエーブルにされた場合のみ、使用できます。HPIENA が Low の場合、ソフトウェアで EN0 ビットへ 1 をライトすることにより、HCS、HDS1、HDS2、および HR/W ピンを GPIO に設定できます。HPIENA が High の場合、EN0 ビットに 0 をロードする必要があります。HPI の使用中はこれらのピンを GPIO に使用できないためです。

図 30. 汎用 I/O イネーブル・レジスタ (HGPIOEN)

CPU のアクセス権 (ホストは HGPIOEN にアクセス不可)							
15	13		12	11	10	9	8
予約 ^{注1}			EN12	EN11	予約 ^{注1}		EN8
R/W-0			R/W-0	R/W-0	R/W-0		R/W-0
7	6	5	4	3	2	1	0
EN7	EN6	予約 ^{注1}	EN4	予約 ^{注1}	EN2	EN1	EN0 ^{注2}
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例： R = リード、W = ライト、-n = ハードウェア・リセット後の値

注¹ HGPIOEN の予約ビットへは 0 をライトします。

注² HPIENA 信号が High の場合、EN0 ビットに 0 をロードする必要があります。これは HPI の使用中は、HCS、HDS1、HDS2、および HR/W ピンを汎用 I/O に使用できないためです。

表 12. 汎用 I/O イネーブル・レジスタ (HGPIOEN) のビット

ビット	フィールド	値	説明
15-13	予約	0	これらのビットへは 0 をライトします。
12	EN12		HA[15:8] のピンの GPIO イネーブル・ビット
		0	HA[15:8] は HPI アドレス・バス・ラインです。
		1	HA[15:8] が GPIO としてイネーブルとなります。
11	EN11		HA[7:0] のピンの GPIO イネーブル・ビット
		0	HA[7:0] は HPI アドレス・バス・ラインです。
		1	HA[7:0] が GPIO としてイネーブルとなります。
10-9	予約	0	これらのビットへは 0 をライトします。
8	EN8		HD[15:8] のピンの GPIO イネーブル・ビット
		0	HD[15:8] は HPI データ・バス・ラインです。
		1	HD[15:8] が GPIO としてイネーブルとなります。
7	EN7		HD[7:0] のピンの GPIO イネーブル・ビット
		0	HD[7:0] は HPI データ・バス・ラインです。
		1	HD[7:0] が GPIO としてイネーブルとなります。
6	EN6		$\overline{\text{HINT}}$ ピンの GPIO イネーブル・ビット
		0	$\overline{\text{HINT}}$ はホスト割り込みピンです。
		1	$\overline{\text{HINT}}$ が GPIO としてイネーブルとなります。
5	予約	0	このビットへは 0 をライトします。
4	EN4		HBIL ピンの GPIO イネーブル・ビット
		0	HBIL はバイト識別ラインです。
		1	HBIL が GPIO としてイネーブルとなります。
3	予約	0	このビットへは 0 をライトします。
2	EN2		$\overline{\text{HAS}}$ ピンの GPIO イネーブル・ビット
		0	$\overline{\text{HAS}}$ はアドレス・ストローブ・ピンです。
		1	$\overline{\text{HAS}}$ が GPIO としてイネーブルとなります。
1	EN1		HCNTL[1:0] のピンの GPIO イネーブル・ビット
		0	HCNTL[1:0] はアクセス制御ピンです。
		1	HCNTL[1:0] が GPIO としてイネーブルとなります。

表 12. 汎用 I/O イネーブル・レジスタ (HGPIOEN) のビット

ビット	フィールド	値	説明
0	EN0		HCS、HDS1、HDS2、および HR/W $\bar{}$ ピン用の GPIO イネーブル・ビット。HPIENA 信号が High (HPI がイネーブル) の場合、これらのピンを GPIO に使用できないため、EN0 に 0 をロードする必要があります。
		0	HCS、HDS1、HDS2、HR/W $\bar{}$ はそれぞれ、チップ選択、データ・ストロブ、リード/ライトのピンです。
		1	HCS、HDS1、HDS2、および HR/W $\bar{}$ が GPIO としてイネーブルとなります。HPIENA が High のとき、この設定は無効です。

9.5 汎用 I/O 方向レジスタ 1 (HGPIODIR1) と汎用 I/O データ・レジスタ 1 (HGPIODAT1)

HGPIODIR1 と HGPIODAT1 のフォーマットを図 31. に示します。HGPIODIR1 の方向ビットを表 13. に、HGPIODAT1 のデータ・ビットを表 14. にまとめます。これらのレジスタは CPU がプログラムし、ホストはアクセスできません。

HGPIODIR1 の方向ビットは、HPI データ・バスの各ピンを入力ピンまたは出力ピンとして設定するために使用します。これらのピンは、任意の組み合わせで、別々に入力ピン（方向ビットは 0）または出力ピン（方向ビットは 1）として設定できます。

HGPIODAT1 は HPI データ・バス HD[15:0] の個々のピンを監視またはドライブするデータ・ビットを含みます。CPU は、対応する HD ピンが HGPIODIR1 で入力ピンと出力ピンのどちらに設定されているかにより以下の内容を、データ・ビットへライトまたはリードします。

ピン方向	データ・ビットの機能
入力	0 のリードは入力信号が Low であることを示します。1 のリードは入力信号が High であることを示します。ライトはデータ・ビットに影響しません。
出力	0 のライトは出力信号を Low にドライブします。1 のライトは出力信号を High にドライブします。

HGPIOEN で HD ピンの汎用 I/O をイネーブルに設定している場合に限り、CPU はこれらの 2 つのレジスタを使用できます。ピン・バンク HD[15:8] とピン・バンク HD[7:0] は、別々にイネーブルまたはディスエーブルに設定できます。

HD[15:8] を制御するビットは 16 ビット分離モードでのみ使用できます。8 ビット共用モードでは、HD[15:8] のピンは使用できません。

図 31. HGPIODIR1 および HGPIODAT1 レジスタのフォーマット

CPU のアクセス権 (ホストは HGPIODIR1 および HGPIODAT1 にアクセス不可)

15	14	13	12	11	10	9	8
HD15	HD14	HD13	HD12	HD11	HD10	HD9	HD8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
HD7	HD6	HD5	HD4	HD3	HD2	HD1	HD0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R=リード、W=ライト、-n=ハードウェア・リセット後の値

表 13. 汎用 I/O 方向レジスタ 1 (HGPIODIR1) のビット

ビット	フィールド	説明
15-0	HD15 ~ HD0	HD[15:0] のピンの方向ビット。各方向ビットの機能を以下にまとめました。ここで x は 0 ~ 15 の数を意味します。
		HDx 方向ビット HDx のピン方向
		0 入力
		1 出力

表 14. 汎用 I/O データ・レジスタ 1 (HGPIODAT1) のビット

ビット	フィールド	説明
15-0	HD15 ~ HD0	HD[15:0] のピンのデータ・ビット。各データ・ビットの機能を以下にまとめました。ここで x は 0 ~ 15 の数を意味します。
		HDx データ・ビット HDx ピン上の信号
		0 Low
		1 High

9.6 汎用 I/O 方向レジスタ 2 (HGPIODIR2) と汎用 I/O データ・レジスタ 2 (HGPIODAT2)

HGPIODIR2 と HGPIODAT2 のフォーマットを図 32. に示します。HGPIODIR2 の方向ビットを表 15. に、HGPIODAT2 のデータ・ビットを表 16. にまとめます。これらのレジスタは CPU がプログラムし、ホストはアクセスできません。

HGPIODIR1 の方向ビットは、さまざまな HPI 制御ピンを入力ピンまたは出力ピンとして設定するために使用します。これらのピンは、任意の組み合わせで、別々に入力ピンまたは出力ピンとして設定できます。

HGPIODAT2 は、HPI の個々の制御ピンを監視またはドライブするデータ・ビットを含みます。CPU は、対応する制御ピンが HGPIODIR2 で入力ピンと出力ピンのどちらに設定されているかにより以下の内容を、データ・ビットへライトまたはリードします。

ピン方向	データ・ビットの機能
入力	0 のリードは入力信号が Low であることを示します。1 のリードは入力信号が High であることを示します。ライトはデータ・ビットに影響しません。
出力	0 のライトは出力信号を Low にドライブします。1 のライトは出力信号を High にドライブします。

HGPIOEN で対応する制御ピンの汎用 I/O をイネーブルに設定している場合に限り、CPU はこれらの 2 つのレジスタを使用できます。HAS および HBIL ピンを制御するビットは、8 ビット共用モードでのみ使用できます。16 ビット分離モードでは、HAS および HBIL ピンは使用できません。HPIENA ピンが Low にプルされている場合に限り、HCS、HDS1、HDS2、および HR/W ピンを GPIO に使用できません。

図 32. HGPIODIR2 および HGPIODAT2 レジスタのフォーマット

CPU のアクセス権 (ホストは HGPIODIR2 および HGPIODAT2 にアクセス不可)

15							9	8
予約注 ¹							HINT	
R/W-0							R/W-0	
7	6	5	4	3	2	1	0	
HCNTL0	HCNTL1	HBIL	HRW	HDS2	HDS1	HCS	HAS	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	

凡例: R = リード、W = ライト、-n = ハードウェア・リセット後の値

注¹ これらの予約ビットへは 0 をライトします。

表 15. 汎用 I/O 方向レジスタ 2 (HGPIODIR2) のビット

ビット	フィールド	値	説明
15-9	予約	0	これらのビットへは 0 をライトします。
8	HINT		$\overline{\text{HINT}}$ ピンの方向ビット
		0	入力
		1	出力
		7	HCNTL0
		0	入力
		1	出力
6	HCNTL1		HCNTL1 ピンの方向ビット
		0	入力
		1	出力
		5	HBIL
0	入力		
		1	出力
		4	HRW
0	入力		
		1	出力
		3	HDS2
0	入力		
		1	出力
		2	HDS1
0	入力		
		1	出力
		1	HCS
0	入力		
		1	出力
		0	HAS
0	入力		
		1	出力

表 16. 汎用 I/O データ・レジスタ 2 (HGPIODAT2) のビット

ビット	フィールド	値	説明
15-9	予約	0	これらのビットへは 0 をライトします。
8	HINT		$\overline{\text{HINT}}$ ピンのデータ・ビット
		0	Low
		1	High
		7	HCNTL0
		0	Low
		1	High
6	HCNTL1		HCNTL1 ピンのデータ・ビット
		0	Low
		1	High
		5	HBIL
		0	Low
		1	High
4	HRW		$\overline{\text{HR/W}}$ ピンのデータ・ビット
		0	Low
		1	High
		3	HDS2
		0	Low
		1	High
2	HDS1		$\overline{\text{HDS1}}$ ピンのデータ・ビット
		0	Low
		1	High
		1	HCS
		0	Low
		1	High
0	HAS		$\overline{\text{HAS}}$ ピンのデータ・ビット (このピンは 8 ビット共用モードのみで使用できます)
		0	Low
		1	High

9.7 汎用 I/O 方向レジスタ 3 (HGPIODIR3) と汎用 I/O データ・レジスタ 3 (HGPIODAT3)

注：

TMS320VC5501 デバイス上では、HGPIODIR3 と HGPIODAT3 のレジスタ・アドレスが予約されています。これらのデバイス上では、HGPIODIR3 および HGPIODAT3 が制御する HA[15:0] のピンが存在しないため、これらのレジスタは必要ありません。

HGPIODIR3 と HGPIODAT3 のフォーマットを図 33. に示します。HGPIODIR3 の方向ビットを表 17. に、HGPIODAT3 のデータ・ビットを表 18. にまとめます。これらのレジスタは CPU がプログラムし、ホストはアクセスできません。

HGPIODIR3 の方向ビットは、各 HPI アドレス・バス・ピンを入力ピンまたは出力ピンとして設定するために使用します。これらのピンは、任意の組み合わせで、別々に入力ピンまたは出力ピンとして設定できます。

HGPIODAT3 は、HPI アドレス・バス、HA[15:0] の個々のピンを監視またはドライブするデータ・ビットを含みます。CPU は、対応する HA ピンが HGPIODIR3 で入力ピンと出力ピンのどちらに設定されているかにより以下の内容を、データ・ビットへライトまたはリードします。

ピン方向	データ・ビットの機能
入力	0 のリードは入力信号が Low であることを示します。1 のリードは入力信号が High であることを示します。ライトはデータ・ビットに影響しません。
出力	0 のライトは出力信号を Low にドライブします。1 のライトは出力信号を High にドライブします。

これらの 2 つのレジスタの使用方法は、以下の 2 つの条件により異なります。

- HGPIOEN で HA ピンの汎用 I/O をイネーブルに設定する必要があります。ピン・バンク HA[15:8] とピン・バンク HA[7:0] は、別々にイネーブルまたはディスエーブルにできます。
- HPI は、16 ビット分離モードにする必要があります。8 ビット共用モードでは、HA[15:0] のピンは使用できません。

図 33. HGPIODIR3 および HGPIODAT3 レジスタのフォーマット

CPU のアクセス権 (ホストは HGPIODIR3 および HGPIODAT3 にアクセス不可)

15	14	13	12	11	10	9	8
HA15	HA14	HA13	HA12	HA11	HA10	HA9	HA8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
HA7	HA6	HA5	HA4	HA3	HA2	HA1	HA0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R = リード、W = ライト、-n = ハードウェア・リセット後の値

表 17. 汎用 I/O 方向レジスタ 3 (HGPIODIR3) のビット

ビット	フィールド	説明						
15-0	HA15 ~ HA0	HA[15:0] のピンの方向ビット。各方向ビットの機能を以下にまとめました。ここで x は 0 ~ 15 の数を意味します。						
		<table border="0"> <tr> <td>HAx 方向ビット</td><td>HAx のピン方向</td></tr> <tr> <td>0</td><td>入力</td></tr> <tr> <td>1</td><td>出力</td></tr> </table>	HAx 方向ビット	HAx のピン方向	0	入力	1	出力
HAx 方向ビット	HAx のピン方向							
0	入力							
1	出力							

表 18. 汎用 I/O データ・レジスタ 3 (HGPIODAT3) のビット

ビット	フィールド	説明						
15-0	HA15 ~ HA0	HA[15:0] のピンのデータ・ビット。各データ・ビットの機能を以下にまとめました。ここで x は 0 ~ 15 の数を意味します。						
		<table border="0"> <tr> <td>HAx データ・ビット</td><td>HAx ピン上の信号</td></tr> <tr> <td>0</td><td>Low</td></tr> <tr> <td>1</td><td>High</td></tr> </table>	HAx データ・ビット	HAx ピン上の信号	0	Low	1	High
HAx データ・ビット	HAx ピン上の信号							
0	Low							
1	High							

9.8 汎用 I/O 割り込み制御レジスタ (HGPIPOINT1 と HGPIPOINT2)

HGPIPOINT1 と HGPIPOINT2 のフォーマットを図 34. に示します。これらのレジスタは CPU がプログラムし、ホストはアクセスできません。

HGPIPOINT1 の HAS ビット (表 19. を参照) は、 $\overline{\text{HAS}}$ ピンを割り込みピンとしてイネーブルにするかどうかを決定します。HGPIPOINT2 の HAS ビット (表 20. を参照) は、割り込み信号を HAS 上で反転するかどうかを決めます。

正しく設定した場合、 $\overline{\text{HAS}}$ を High または Low にドライブすることにより、ホストは CPU への割り込みを生成できます。この割り込みは、ホストが HPIC で DSPINT ビットを 0 から 1 にして生成する割り込みと同じです。

HAS は 8 ビット共用モードへの割り込みにのみ使用できます。16 ビット分離モードでは、HAS は使用できません。

HAS の割り込みを正しく設定するには、CPU で以下を実行する必要があります。

- HGPIOEN で $\overline{\text{HAS}}$ の汎用 I/O をイネーブルに設定します。
- HGPIODIR2 で $\overline{\text{HAS}}$ が入力ピンとして設定されていることを確認します。
- HGPIPOINT2 で反転のあるなしを選択します。
- HGPIPOINT1 で、 $\overline{\text{HAS}}$ の割り込みをイネーブルにセットします。

図 34. HGPIPOINT1 および HGPIPOINT2 レジスタのフォーマット

CPU のアクセス権 (ホストは HGPIPOINT1 および HGPIPOINT2 にアクセス不可)

15	3	2	1	0
予約注 ¹		HAS	予約注 ¹	
R/W-0		R/W-0	R/W-0	

凡例: R = リード、W = ライト、-n = ハードウェア・リセット後の値

注¹ これらの予約ビットへは 0 をライトします。

表 19. 汎用 I/O 割り込み制御レジスタ 1 (HGPIPOINT1) のビット

ビット	フィールド	値	説明
15-3	予約	0	これらのビットへは 0 をライトします。
2	HAS		$\overline{\text{HAS}}$ ピンの割り込みイネーブル・ビット (このピンは 8 ビット共用モードでのみ使用できます)。
		0	$\overline{\text{HAS}}$ ピンは割り込みを生成できません。
		1	$\overline{\text{HAS}}$ ピンは潜在的な割り込みピンとしてイネーブルになります。 $\overline{\text{HAS}}$ ピンが、汎用 I/O をイネーブルにした入力ピンとして設定されている場合、CPU への割り込み生成に使用できます。
1-0	予約	0	これらのビットへは 0 をライトします。

表 20. 汎用 I/O 割り込み制御レジスタ 2 (HGPIPOINT2) のビット

ビット	フィールド	値	説明
15-3	予約	0	これらのビットへは 0 をライトします。
2	HAS		HAS ピンの割り込み反転ビット (このピンは 8 ビット共用モードでのみ使用できます)。
		0	反転なし。HAS を Low にドライブすると、CPU への DSP 割り込み要求を生成します。
		1	反転あり。HAS を High にドライブすると、CPU への DSP 割り込み要求を生成します。
1-0	予約	0	これらのビットへは 0 をライトします。

9.9 電力およびエミュレーション管理レジスタ (HPWREMU)

図 35. は、HPWREMU のフォーマットを示しています。このレジスタのビットは、表 21. に記載する HPI のエミュレーション・モードを決める組み合わせを作ります。

CPU は HPWREMU へのフル・リード / ライト・アクセスを持ちます。ホストはこのレジスタにアクセスできません。

図 35. 電力およびエミュレーション管理レジスタ (HPWREMU)

CPU のアクセス権 (ホストは HPWREMU にアクセス不可)

15		2	1	0
予約 ^{注1}			SOFT	FREE
R/W-0			R/W-0	R/W-0

凡例: R=リード、W=ライト、-n=ハードウェア・リセット後の値

注1 これらの予約ビットへは 0 をライトします。

表 21. 電力およびエミュレーション管理レジスタ (HPWREMU) のビット

ビット	フィールド	値	説明
15-2	予約	0	これらのビットへは 0 をライトします。
1	SOFT		FREE = 0 の場合、このエミュレーション・ビットは、HPI をフリー・ランさせるか、またはエミュレーションの一時停止状態に対応してソフト・ストップさせるかを決定します。
		0	フリー・ラン。HPI はエミュレーション一時停止状態の影響を受けません。
		1	ソフト・ストップ。エミュレーション一時停止状態に対応して、現在のホストおよび HPI DMA 転送の完了後、HPI DMA ロジックを停止します。詳細については、52 ページの 8.2 節「エミュレーション・モード」を参照してください。
0	FREE		このエミュレーション・ビットは、HPI がエミュレーション一時停止状態を検出したときに、HPI をフリー・ランさせるか、SOFT ビットを参照するかを決定します。
		0	SOFT ビットが、HPI の対応を決定します。
		1	フリー・ラン。HPI はエミュレーション一時停止状態の影響を受けません。

以下余白