

---

# **TMS320VC5503/5507/5509 DSP**

## **ホスト・ポート・インターフェイス (HPI)**

# リファレンス・ガイド

# **TMS320VC5503/5507/5509 DSP**

## **ホスト・ポート・インターフェイス (HPI)**

### **リファレンス・ガイド**

---

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated（TIJの親会社、以下TIJ及びTexas Instruments Incorporatedを総称してTIといたします）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright©2005, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

以下余白

# 最初にお読みください

## 本書について

本書では、TMS320C55x™(C55x™)DSP ジェネレーションのTMS320VC5503、TMS320VC5507、TMS320VC5509、および TMS320VC5509A デジタル・シグナル・プロセッサ (DSP) 上で利用できるホスト・ポート・インターフェイス (HPI) の機能および動作について説明します。

## 表記規則

本書では、次の表記規則を使用しています。

- 多くの場合、16 進数は末尾に h が付いて表されています。たとえば、次の数字は 16 進数の 40 (10 進数の 64) です。

40h

同様に、2 進数は通常、末尾に b が付いて表されています。たとえば、次の数字は 10 進数の 4 を 2 進数で示したものです。

0100b

- 信号またはピンがロー・アクティブの場合は、上線が付いています。たとえば、RESET 信号はロー・アクティブです。
- ビットと信号は、以下の表記で参照されることがあります。

表記	説明	例
レジスタ (n-m)	レジスタのビット n ~ m	R(15-0) は、レジスタ R の最下位の 16 ビットを表します。
バス [n:m]	バスの信号 n ~ m	A[21:1] は、バス A の信号 21 ~ 1 を表します。

- 以下の用語は、データの一部分を示すために使用されます。

用語	説明	例
LSB	最下位ビット	R(15-0)では、ビット0がレジスタRのLSBです。
MSB	最上位ビット	R(15-0)では、ビット15がレジスタRのMSBです。

## 関連資料

C55x デバイスおよびそのサポート・ツールなどを解説した関連資料は、次のとおりです。関連資料は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

『**TMS320VC5503 Fixed-Point Digital Signal Processor Data Manual**』（文献番号 SPRS245）では、TMS320VC5503 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5507 Fixed-Point Digital Signal Processor Data Manual**』（文献番号 SPRS244）では、TMS320VC5507 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5509 Fixed-Point Digital Signal Processor Data Manual**』（文献番号 SPRS163）では、TMS320VC5509 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5509A Fixed-Point Digital Signal Processor Data Manual**』（文献番号 SPRS205）では、TMS320VC5509A 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320C55x Technical Overview**』（文献番号 SPRU393）では、TMS320C5000™ DSP プラットフォームにおける最新版固定小数点 DSP である TMS320C55x DSP について説明しています。以前の製品と同様に、このプロセッサは、高性能で低消費電力での動作に最適です。この資料では、CPU のアーキテクチャ、拡張された低消費電力機能、および組み込みエミュレーション機能について説明しています。

『**TMS320C55x DSP CPU Reference Guide**』（文献番号 SPRU371）では、TMS320C55x DSP のアーキテクチャ、レジスタ、CPU の動作について説明しています。

『**TMS320C55x DSP Peripherals Overview Reference Guide**』（文献番号 SPRU317）では、TMS320C55x DSP で使用可能なペリフェラル、インターフェイス、および関連するハードウェアについて説明しています。

『**TMS320C55x DSP Algebraic Instruction Set Reference Guide**』（文献番号 SPRU375）では、TMS320C55x DSP の各代数表記命令について説明しています。また、命令セットの要約、命令オペコードの一覧、およびニーモニック命令セットへの相互参照も記述しています。

『**TMS320C55x DSP Mnemonic Instruction Set Reference Guide**』（文献番号 SPRU374）では、TMS320C55x DSP の各ニーモニック命令について説明しています。また、命令セットの要約、命令オペコードの一覧、および代数表記命令セットへの相互参照も記述しています。

『**TMS320C55x Optimizing C/C++ Compiler User's Guide**』（文献番号 SPRU281）では、TMS320C55x の C/C++ コンパイラについて説明しています。この C/C++ コンパイラは、ISO 標準の C および C++ ソース・コードに対応し、TMS320C55x デバイス用のアセンブリ言語ソース・コードを生成します。

『**TMS320C55x Assembly Language Tools User's Guide**』（文献番号 SPRU280）では、TMS320C55x デバイス用のアセンブリ言語ツール（アセンブリ言語コードの開発に使用するアセンブラやリンカなどのツール）、アセンブラ擬似命令、マクロ、共通オブジェクト・ファイル・フォーマット、およびシンボリック・デバッグの擬似命令について説明しています。

『TMS320C55x DSP Programmer's Guide』(文献番号SPRU376)では、TMS320C55x DSP の C とアセンブリのコードを最適化する方法、また DSP の特殊な機能と命令を使用するコードの書き方について説明しています。

『TMS320VC5503/VC5507/VC5509/VC5509A Bootloader』(文献番号 SPRA375)では、TMS320VC5503/5507/5509/5509A デジタル・シグナル・プロセッサ(DSP)と共に提供されるオンチップ・ブートローダの機能について説明しています。利用可能な各ブート・モード、それらのモードに関連付けられているインターフェイス要件、およびブート・テーブルの生成手順に関する説明が含まれています。

## 商標

TMS320、TMS320C5000、TMS320C55x、およびC55xはTexas Instrumentsの商標です。

その他の商標は各社の所有物です。

---

以下余白



# 目次

1	HPI の概要.....	11
2	HPI を通じてアクセスできる DSP メモリ.....	13
3	HPI-DMA 相互作用.....	14
4	HPI 信号.....	15
4.1	ピンを共有する HPI と EMIF .....	15
4.2	HPI 信号の要約 .....	15
4.3	HDS2、HDS1、および HCS : データ・ストロブとチップ・セレクト .....	17
4.4	HBE[1:0] : どのバイトにアクセスするのかの指示 .....	18
5	分離モード.....	20
5.1	分離モードでの信号接続 .....	21
5.2	分離モードにおけるサイクル・タイプ .....	22
6	共用モード.....	23
6.1	共用モードでの信号接続 .....	23
6.2	共用モードにおけるサイクル・タイプ .....	25
6.3	HPIA にアドレスをロードする .....	27
6.4	自動インクリメント・オプション : 転送間の自動アドレス・インクリメント .....	27
7	ホストと DSP 間の割り込み.....	28
7.1	ホストから DSP に割り込み要求を送信する .....	28
7.2	DSP からホストに割り込み要求を送信する .....	28
8	HPI でのブート・ローディング.....	28
9	電力、エミュレーション、リセットについての考察.....	29
9.1	HPI と IDLE 命令 .....	29
9.2	HPI エミュレーション・モード .....	29
9.3	DSP リセットの HPI への影響 .....	29
10	HPI レジスタ.....	30
10.1	データ・レジスタ (HPID) .....	30
10.2	アドレス・レジスタ (HPIA) .....	30
10.3	制御レジスタ (HPIC) .....	31
	改訂履歴 .....	33

# 図目次

---

---

---

図 1.	ホスト -DSP システム内での HPI のポジション	11
図 2.	HPI を通じてアクセスできる DSP メモリ	12
図 3.	TMS320VC5509 の HPI ストロブとセレクト・ロジック	17
図 4.	TMS320VC5503/5507/5509A の HPI ストロブとセレクト・ロジック	17
図 5.	分離モードでのホストと DSP 間の信号接続例	20
図 6.	共用モードで HAS 信号を使用した場合のホストと DSP 間の信号接続例	23
図 7.	共用モードで HAS 信号を High に接続した場合のホストと DSP 間の信号接続例	24
図 8.	データ・レジスタ (HPID)	29
図 9.	アドレス・レジスタ (HPIA)	29
図 10.	制御レジスタ (HPIC)	30

# 表目次

---

---

---

表 1.	HPI の信号	14
表 2.	分離モードで HPI バイト・イネーブル信号をドライブした場合の効果	18
表 3.	ホスト・ライト・サイクルに対する HBE 信号の使用例	18
表 4.	ホスト・リード・サイクルに対する HBE 信号の使用例	18
表 5.	分離モードの HCNTL0 信号で選択可能なアクセス・タイプ	21
表 6.	分離モードの HCNTL0 および HR/W 信号で選択可能なサイクル・タイプ	21
表 7.	共用モードの HCNTL[1:0] 信号で選択可能なアクセス・タイプ	25
表 8.	共用モードの HCNTL[1:0] および HR/W 信号で選択可能なサイクル・タイプ	25
表 9.	制御レジスタ (HPIC) フィールドの説明	30
表 10.	文書改訂履歴	32

# ホスト・ポート・インターフェイス (HPI)

本書では、TMS320C55x™ (C55x™) DSP ジェネレーションの TMS320VC5503、TMS320VC5507、および TMS320VC5509 デバイス上のホスト・ポート・インターフェイス (HPI) の機能および動作について説明します。HPI により、外部のホスト・プロセッサ (ホスト) は DSP 内部のデュアルアクセス RAM (DARAM) の一部に直接アクセスできます。

## 1 HPI の概要

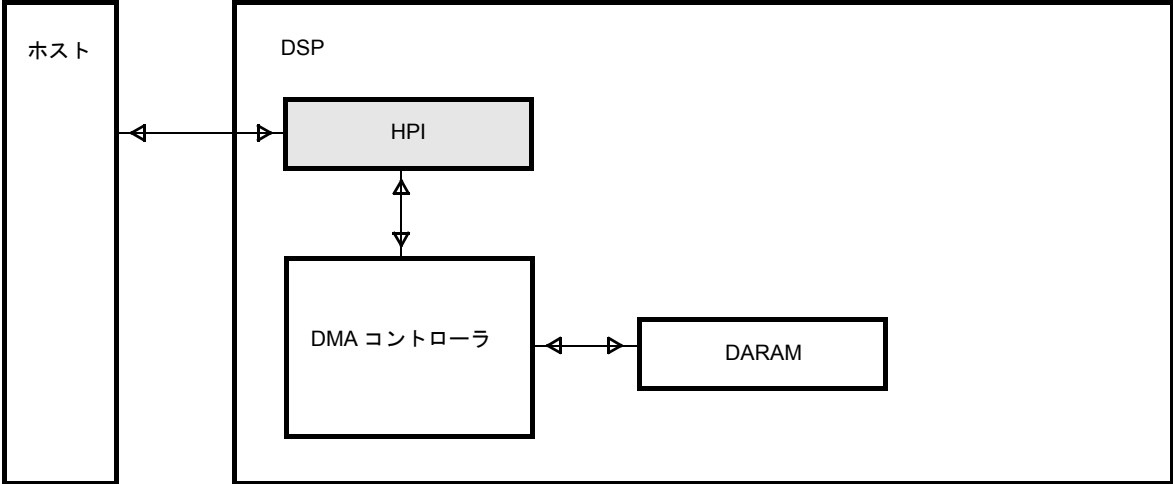
ホスト・ポート・インターフェイス (HPI) は、16 ビット幅の平行・ポートを提供します。その平行・ポートによって、ホスト・プロセッサ (ホスト) は DSP 内部のデュアルアクセス RAM (DARAM) の一部に直接アクセスできます。HPI は 14 ビットのアドレスを使用します。そこでは、各アドレスがメモリ内の 16 ビット・ワードに割り当てられます。図 1. は、ホスト DSP システムの HPI と他のコンポーネントの間における接続の概念図です。

DMA コントローラは、すべての HPI アクセスを処理します。DMA コントローラを使用すると、2 つの HPI アクセス設定のいずれかを選択できます。一方の設定では、HPI は DARAM を DMA チャンネルと共有します。もう一方の設定では、HPI は DARAM に排他的にアクセスします。

HPI は、他のペリフェラルのレジスタに直接アクセスすることはできません。ホストが他のペリフェラルからのデータを必要とする場合は、CPU または 6 つの DMA チャンネルのいずれかのアクティビティによって、最初にそのデータを DARAM に移動する必要があります。同様に、ホストからのデータは、他のペリフェラルに転送する前に DARAM に転送する必要があります。

ホストの選択に柔軟性を提供するために、HPI ではデータとアドレスを渡すための 2 つのモードが可能です。分離モード (20 ページの 5 節を参照) は、独立したアドレスおよびデータ・バスをホスト・プロセッサに提供します。共用モード (23 ページの 6 節を参照) は、アドレスおよびデータ情報を転送するための単一バスを提供します。モードが異なると、HPI 信号への異なる接続を必要とします。データ、アドレス、および制御情報に対する 3 つの HPI レジスタがあります (30 ページの 10 節を参照)。

図1. ホスト-DSP システム内でのHPI のポジション



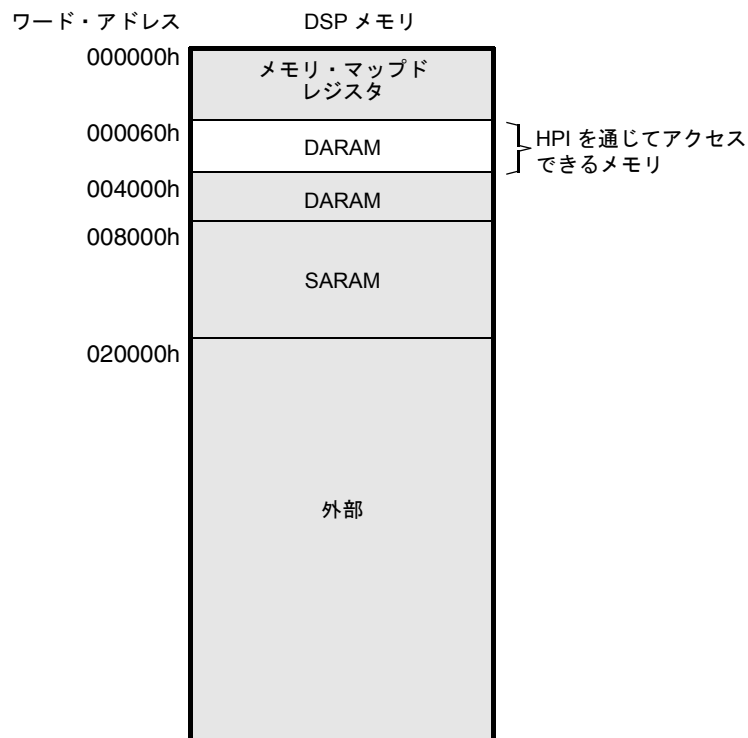
## 2 HPI を通じてアクセスできる DSP メモリ

HPI の外部アドレス・ライン上のホストによってドライブされるアドレスは、バイト・アドレスではなくワード・アドレスとして扱われます。各 HPI アドレスは、データ空間内の 16 ビットのワードに対応します。

図 2. では、HPI を通じてホストにアクセスできる DSP データ・メモリ・マップの部分が強調されています。メモリ・マップ内の濃く塗られた領域には、HPI を通じてアクセスすることはできません。

HPI の 14 のアドレス・ラインにより、ホストは内部デュアルアクセス RAM (DARAM) にアドレス 000060h-003FFFh でアクセスできます。アドレス 000000h-00005Fh は CPU のメモリ・マップド・レジスタ (MMR) 用に予約されており、HPI を通じてアクセスすることはできません。

図 2. HPI を通じてアクセスできる DSP メモリ



注：メモリ・マップの濃く塗られた領域には、HPI を通じてアクセスすることはできません。

### 3 HPI-DMA 相互作用

HPI は、DMA コントローラを使用して DSP メモリへのデータ移動と DSP メモリからのデータ移動を行います。DMA コントローラは、HPI（専用ポート経由）と 6 つのプログラマブル DMA チャンネルを処理します。チャンネル内のアクティビティは、優先順位、使用する DMA ポート・リソース、同期イベントによってトリガされるかどうかなどの要素によって制御されます。HPI と 6 つのチャンネルは、DMA コントローラによってラウンドロビン方式で処理されます。この構造のため、イネーブルにしたチャンネルのアクティビティは HPI トランザクションのレイテンシーに影響します（逆の場合も同様）。

以下の 2 つのプログラマブル・オプションは、HPI-DMA 相互作用のレイテンシーに影響する可能性があります。

- DMA グローバル制御レジスタ (DMAGCR) の EHPIPRIO ビットは、DMA サービス・チェーンにおける HPI 要求の優先順位を制御します。EHPIPRIO = 0 の場合、HPI 要求は低い優先順位とみなされ、全ての高い優先順位のチャンネルの後に処理されます。EHPIPRIO = 1 の場合、HPI 要求は高い優先順位とみなされ、低い優先順位のチャンネルの前に処理されます。HPI と任意のチャンネルが同じ優先順位レベルにある場合、それらはラウンドロビン方式で処理されます。
- DMAGCR の EHPIEXCL ビットは、HPI が DSP の内部メモリに排他的にアクセスできるかどうかを制御します。TMS320VC5503/5507/5509 HPI の場合、これはアドレス適用範囲内の内部 DARAM に対する排他的アクセスを意味します。EHPIEXCL = 0（非排他的）の場合、DMA チャンネルは任意の DMA ポートを使用できます。EHPIEXCL = 1（排他的）の場合、DMA チャンネルは DARAM および SARAM ポートにアクセスできず、EMIF ポート（外部メモリ用）とペリフェラル・ポートだけにアクセスできます。内部メモリを使用するように設定されたチャンネルは、HPI 排他状態が解除されるまで一時停止されます。この機能は、チャンネルの一時停止を犠牲にして最小遅延での動作状態をホストに提供します。

サービス・チェーンと DMA グローバル制御レジスタの詳細については、*『TMS320VC5503/5507/5509/5510 DSP Direct Memory Access (DMA) Reference Guide』* (SPRU587) を参照してください。

## 4 HPI 信号

4.1 節「ピンを共有する HPI と EMIF」では、HPI と外部メモリ・インターフェイス (EMIF) がどのようにピンを共有するのかを説明します。4.2 節「HPI 信号の要約」では、各 HPI 信号の要約を説明します。

### 4.1 ピンを共有する HPI と EMIF

全ての TMS320VC5503/5507/5509 デバイスでは、HPI はパラレル・ポートを外部メモリ・インターフェイス (EMIF) と共有します。外部バス選択レジスタ (EBSR) のパラレル・ポート・モード・ビット (ビット 1-0) にて、データ EMIF モード (00b)、フル EMIF モード (01b)、分離 HPI モード (10b)、または共用 HPI モード (11b) に対してポートが使用されるかどうかを決定します。

パラレル・ポート・モード・ビットのリセット値は、リセット時の GPIO0 ピンの状態によって決まります。リセット時に GPIO0 が High の場合は、フル EMIF モードがイネーブルになります。リセット時に GPIO0 が Low の場合は、共用 HPI モードがイネーブルになります。リセット後は、ソフトウェアにて EBSR を変更して異なるモードを選択できます。

EBSR の詳細については、デバイス別のデータ・マニュアルを参照してください。

### 4.2 HPI 信号の要約

表 1. は HPI 信号をまとめたものです。「タイプ」列の「Z」は、ハイ・インピーダンス状態を意味します。HPI の 2 つのモード、つまり分離モード (20 ページの 5 節を参照) と共用モード (23 ページの 6 節を参照) の間には信号接続の違いがいくつかあります。HPI 信号のタイミング情報については、デバイス別のデータ・マニュアルである『TMS320VC5509 Fixed-Point Digital Signal Processor Data Manual』(SPRS163) または『TMS320VC5509A Fixed-Point Digital Signal Processor Data Manual』(SPRS205) を参照してください。

表 1. HPI の信号

信号	タイプ	説明
HD[15:0]	入力 / 出力 / Z	HPI データ・バス。HD はパラレル双方向の 3 状態バスです。 分離モードの場合: これらの 16 信号は、データだけを伝達するために使用されます。 共用モードの場合: これらの 16 信号は、アドレスとデータの両方を伝達するために使用されます。 データ転送間: HPI は HD をドライブしません。バス・ホルダがイネーブルになっている場合、HD は最後にドライブされた状態を維持します。バス・ホルダがディスエーブルになっている場合、HD はハイ・インピーダンス状態に入ります。バス・ホルダについては、デバイス別のデータ・マニュアルを参照してください。
HA[13:0]	入力	HPI アドレス・バス。HA は、分離モードでのみ使用されるパラレルな単一方向アドレス・バスです。HA は、ホスト・プロセッサから HPI に 14 ビットのアドレスを伝達します。このバスの 14 ラインにて、DSP メモリの 16K ワードのアドレッシングが可能になります。

表 1. HPI の信号 (続き)

信号	タイプ	説明										
$\overline{\text{HBE}}[1:0]$	入力	<p>ホスト・バイト・イネーブル信号。この 2 つの信号では、ホスト・プロセッサが HPIA、HPIC、またはアドレスが示すメモリの場所 (HPID 経由) のワード全体、最下位バイト (LSByte)、あるいは最上位バイト (MSByte) にアクセスしているかどうか判断されます。</p> <p><math>\overline{\text{HBE}}</math> ピンの機能を以下の表に示します (0 = Low、1 = High)。これらのオプションの詳細については、18 ページの 4.4 節「<math>\overline{\text{HBE}}[1:0]</math>: どのバイトにアクセスするかの指示」を参照してください。</p> <table border="1"> <thead> <tr> <th><math>\overline{\text{HBE}}[1:0]</math></th> <th>アクセス</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>ワード</td> </tr> <tr> <td>01</td> <td>MSByte</td> </tr> <tr> <td>10</td> <td>LSByte</td> </tr> <tr> <td>11</td> <td>予約 (使用しないでください)</td> </tr> </tbody> </table> <p><b>注:</b> <math>\overline{\text{HBE}}</math> 信号とそれに関連する機能は、オリジナルの TMS320VC5509 デバイスではサポートされておらず、Low にドライブする必要がありますが、TMS320VC5503/5507/5509A デバイスではサポートされています。</p>	$\overline{\text{HBE}}[1:0]$	アクセス	00	ワード	01	MSByte	10	LSByte	11	予約 (使用しないでください)
$\overline{\text{HBE}}[1:0]$	アクセス											
00	ワード											
01	MSByte											
10	LSByte											
11	予約 (使用しないでください)											
$\overline{\text{HCS}}$	入力	<p>HPI チップ・セレクト信号。<math>\overline{\text{HCS}}</math> は、HPI のイネーブル入力として機能します。また、アクセス中は Low でなければなりません。HDS1、HDS2、HCS、および HRDY 信号の間の関係については、17 ページの 4.3 節「HDS2、HDS1、および HCS: データ・ストロープとチップ・セレクト」を参照してください。</p>										
$\overline{\text{HR/W}}$	入力	<p>HPI リード/ライト信号。この入力は、ホスト・アクセスの方向を示します。High の場合、<math>\overline{\text{HR/W}}</math> は DSP メモリからのリードを示します。Low の場合、<math>\overline{\text{HR/W}}</math> は DSP メモリへのライトを示します。</p>										
$\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$	入力	<p>HPI データ・ストロープ信号。<math>\overline{\text{HDS1}}</math> および <math>\overline{\text{HDS2}}</math> の排他的 NOR は、ホスト・アクセス・サイクル時のデータ転送を制御するためのストロープ信号を形成します。HDS1、HDS2、HCS、および HRDY 信号の間の関係については、17 ページの 4.3 節「HDS2、HDS1、および HCS: データ・ストロープとチップ・セレクト」を参照してください。HDS1 および HDS2 への接続は、ホストのストロープ信号に依存します。</p> <table border="0"> <tr> <td style="vertical-align: top;"> <p><b>使用するホストのデータ・ストロープ・ピン</b></p> <p>ホストにリードとライトのストロープ・ピンが別々にあり、両方ともロー・アクティブな場合</p> <p>ホストにリードとライトのストロープ・ピンが別々にあり、両方ともハイ・アクティブな場合</p> <p>ホストにロー・アクティブなストロープ・ピンが 1 つある場合</p> <p>ホストにハイ・アクティブなストロープ・ピンが 1 つある場合</p> </td> <td style="vertical-align: top;"> <p><b>HPI データ・ストロープ・ピンへの接続</b></p> <p>一方のストロープを <math>\overline{\text{HDS1}}</math> へ、もう一方を HDS2 へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。</p> <p>一方のストロープを <math>\overline{\text{HDS1}}</math> へ、もう一方を HDS2 へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。</p> <p>ストロープを <math>\overline{\text{HDS1}}</math> または <math>\overline{\text{HDS2}}</math> へ接続し、残りの HDS ピンをロジック・レベル 1 へ接続します。</p> <p>ストロープを <math>\overline{\text{HDS1}}</math> または <math>\overline{\text{HDS2}}</math> へ接続し、残りの HDS ピンをロジック・レベル 0 へ接続します。</p> </td> </tr> </table>	<p><b>使用するホストのデータ・ストロープ・ピン</b></p> <p>ホストにリードとライトのストロープ・ピンが別々にあり、両方ともロー・アクティブな場合</p> <p>ホストにリードとライトのストロープ・ピンが別々にあり、両方ともハイ・アクティブな場合</p> <p>ホストにロー・アクティブなストロープ・ピンが 1 つある場合</p> <p>ホストにハイ・アクティブなストロープ・ピンが 1 つある場合</p>	<p><b>HPI データ・ストロープ・ピンへの接続</b></p> <p>一方のストロープを <math>\overline{\text{HDS1}}</math> へ、もう一方を HDS2 へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。</p> <p>一方のストロープを <math>\overline{\text{HDS1}}</math> へ、もう一方を HDS2 へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。</p> <p>ストロープを <math>\overline{\text{HDS1}}</math> または <math>\overline{\text{HDS2}}</math> へ接続し、残りの HDS ピンをロジック・レベル 1 へ接続します。</p> <p>ストロープを <math>\overline{\text{HDS1}}</math> または <math>\overline{\text{HDS2}}</math> へ接続し、残りの HDS ピンをロジック・レベル 0 へ接続します。</p>								
<p><b>使用するホストのデータ・ストロープ・ピン</b></p> <p>ホストにリードとライトのストロープ・ピンが別々にあり、両方ともロー・アクティブな場合</p> <p>ホストにリードとライトのストロープ・ピンが別々にあり、両方ともハイ・アクティブな場合</p> <p>ホストにロー・アクティブなストロープ・ピンが 1 つある場合</p> <p>ホストにハイ・アクティブなストロープ・ピンが 1 つある場合</p>	<p><b>HPI データ・ストロープ・ピンへの接続</b></p> <p>一方のストロープを <math>\overline{\text{HDS1}}</math> へ、もう一方を HDS2 へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。</p> <p>一方のストロープを <math>\overline{\text{HDS1}}</math> へ、もう一方を HDS2 へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。</p> <p>ストロープを <math>\overline{\text{HDS1}}</math> または <math>\overline{\text{HDS2}}</math> へ接続し、残りの HDS ピンをロジック・レベル 1 へ接続します。</p> <p>ストロープを <math>\overline{\text{HDS1}}</math> または <math>\overline{\text{HDS2}}</math> へ接続し、残りの HDS ピンをロジック・レベル 0 へ接続します。</p>											



表 1. HPI の信号 (続き)

信号	タイプ	説明																
HRDY	出力	<p>HPI レディ信号。この信号は、HPI がアクセスの準備ができているかどうかをホストに伝えます。Low の場合、HRDY は、HPI がビジーであり、ホストが現在の転送サイクルを延長しなければならないことを示します。High の場合、HRDY は、HPI がデータ転送を完了し、ホストを続行する準備ができていることを示します。</p> <p>HCS が High (インアクティブ) になると、HRDY は常に High にドライブされるか (5509)、HPI の内部ステータスに関係なく常にトライステート処理されます (5503/5507/5509A)。HDS1、HDS2、HCS、および HRDY 信号の関係については、17 ページの 4.3 節「HDS2、HDS1、および HCS : データ・ストロープとチップ・セレクト」を参照してください。</p>																
HCNTL0、 HCNTL1	入力	<p>HPI アクセス制御信号。</p> <p>分離モードでは、以下の表に示すように、HCNTL0 によって、HPI が制御レジスタ (HPIC) にアクセスするかデータ・レジスタ (HPID) にアクセスするかが決まります (0 = Low、1 = High)。HCNTL1 は使用されません。</p> <table border="0"> <tr> <td><b>HCNTL0</b></td> <td><b>アクセス・タイプ (分離モード)</b></td> </tr> <tr> <td>0</td> <td>HPIC リード/ライト</td> </tr> <tr> <td>1</td> <td>HPID リード/ライト</td> </tr> </table> <p>共用モードでは、以下の表に示すように、HCNTL1 と HCNTL0 の組み合わせによって、レジスタ・アクセスのタイプが選択されます (0 = Low、1 = High)。</p> <table border="0"> <tr> <td><b>HCNTL[1:0]</b></td> <td><b>アクセス・タイプ (共用モード)</b></td> </tr> <tr> <td>00</td> <td>HPIC リード/ライト</td> </tr> <tr> <td>01</td> <td>HPID リード/ライト (1 ずつのアドレス自動インクリメント)</td> </tr> <tr> <td>10</td> <td>HPIA リード/ライト</td> </tr> <tr> <td>11</td> <td>HPID リード/ライト (アドレス自動インクリメントなし)</td> </tr> </table>	<b>HCNTL0</b>	<b>アクセス・タイプ (分離モード)</b>	0	HPIC リード/ライト	1	HPID リード/ライト	<b>HCNTL[1:0]</b>	<b>アクセス・タイプ (共用モード)</b>	00	HPIC リード/ライト	01	HPID リード/ライト (1 ずつのアドレス自動インクリメント)	10	HPIA リード/ライト	11	HPID リード/ライト (アドレス自動インクリメントなし)
<b>HCNTL0</b>	<b>アクセス・タイプ (分離モード)</b>																	
0	HPIC リード/ライト																	
1	HPID リード/ライト																	
<b>HCNTL[1:0]</b>	<b>アクセス・タイプ (共用モード)</b>																	
00	HPIC リード/ライト																	
01	HPID リード/ライト (1 ずつのアドレス自動インクリメント)																	
10	HPIA リード/ライト																	
11	HPID リード/ライト (アドレス自動インクリメントなし)																	
HAS	入力	<p>アドレス・ストロープ信号。この信号は、共用モードでのみ使用されます。このアドレス・ストロープ信号は、HCNTL[1:0]、HBE[1:0]、および HR/W をアクセス・サイクルの初期に取り除くことを可能にします。これにより、バスの状態をアドレスからデータ情報へと切り替える時間をより長くとれます。HAS は、共有したアドレスおよびデータ・タイプ・バスへのインターフェイスを容易にします。一般に、ホストのアドレス・ラッチ・イネーブル (ALE) 信号は HAS に接続されます。HAS を使用しない場合は、HAS を High のままにしておく必要があります。</p>																
HINT	出力	<p>DSP からホストへの割り込み信号。HINT によって、DSP が割り込みパルスをホスト・プロセッサに送信することが可能です。信号レベルは、C55x CPU のステータス・レジスタ ST3_55 の HINT ビットによって制御されます (HINT = 0 は HINT Low、HINT = 1 は HINT High を意味します)。</p>																

#### 4.3 HDS2、HDS1、および HCS : データ・ストロープとチップ・セレクト

図 4. に図示するように、ストロープ・ロジックは、チップ・セレクト・ピン (HCS) と 2 つのデータ・ストロープ信号 (HDS1 と HDS2) の 3 入力関数です。内部ストロープ信号の HSTRB は、HPI 内部で実際のストロープ信号として機能します。HDS ピンにてストロープが有効な間、HCS は Low (HPI を選択した状態) でなくてはなりません。HCS が High (HPI を選択しない状態) の時は、HDS ピン上の値は無視されます。

ホストと HPI 間のストロープ接続は、ホスト上で使用可能なストロープ・ピンの数とタイプにより決まります。表 1. (4.2 節) に、HDS ピンへの接続オプションを示します。

HCS 入力と 1 つの HDS ストローブ入力を一緒に接続し、ホストからの単一のストローブ信号でドライブすることができます。これにより HPI が選択され、同時にストローブが提供されます。ただし、HRDY も HCS によってゲートされるため (図 3. と図 4. を参照)、HCS をストローブとして使用すると、HRDY を使用する機能が制限されます。デバイスによっては、HCS が High になると (HPI を選択しない状態)、HRDY はハイ・インピーダンス状態になるか (5503/5507/5509A デバイス。図 4. を参照)、現在の転送が完了しているかどうかに関係なく High にドライブされます (5509 デバイス。図 3. を参照)。

図 3. TMS320VC5509 の HPI ストローブとセレクト・ロジック

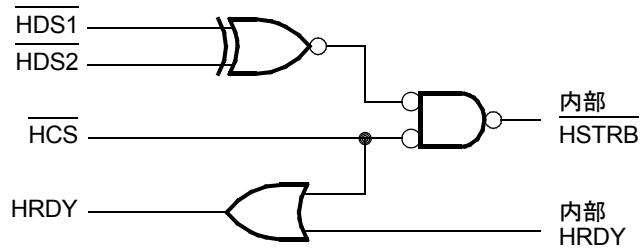
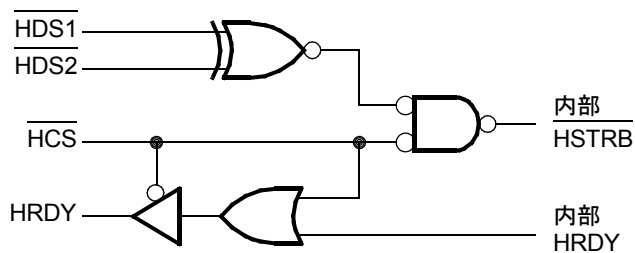


図 4. TMS320VC5503/5507/5509A の HPI ストローブとセレクト・ロジック



#### 4.4 HBE[1:0] : どのバイトにアクセスするのかの指示

HPI は、HPIA 内または HPIC 内メモリの 16 ビット・ワードの 1 バイトだけにアクセス制限をすることができます。2 つのロー・アクティブなバイト・イネーブル信号 (HBE[1:0]) は、どのバイトをホストに送るのか、またはどのバイトを DSP で変更するのかを HPI に伝えます。表 2. では、HBE 信号を使用した場合の効果の説明をします。表 3. と表 4. では、例を示します。

**注:**

HBE 信号とそれに関連する機能は、TMS320VC5509 デバイスではサポートされておらず、Low にドライブする必要がありますが、TMS320VC5503/5507/5509A デバイスではサポートされています。

表 2. 分離モードでHPI バイト・イネーブル信号をドライブした場合の効果

HBE[1:0]	アクセス	リードの場合	ライトの場合
00	ワード	HPI は、指定された場所 <sup>注1</sup> で1ワードをリードし、HD[15:0]にそのワードを送出します。	HPI は、HD[15:0] から1ワードを受け入れて、指定された場所 <sup>注1</sup> にそのワードをライトします。
01	MSByte	HPI は、指定された場所 <sup>注1</sup> で8MSBをリードし、そのバイトをHD[15:8]で送ります。HD[7:0]は、ハイ・インピーダンス状態のままになります。	HPI は、HD[15:8] から1バイトを受け入れて、そのバイトを指定された場所 <sup>注1</sup> の8MSBにライトします。8LSBは変更されません。
10	LSByte	HPI は、指定された場所 <sup>注1</sup> で8LSBをリードし、そのバイトをHD[7:0]で送ります。HD[15:8]は、ハイ・インピーダンス状態のままになります。	HPI は、HD[7:0] から1バイトを受け入れて、そのバイトを指定された場所 <sup>注1</sup> の8LSBにライトします。8MSBは変更されません。
11	予約	-	-

注1 指定された場所は以下のいずれかです。(1) ホストによって指定されたアドレスのメモリ (2) アドレス・レジスタ (HPIA) (3) 制御レジスタ (HPIC)。

表 3. ホスト・ライト・サイクルに対するHBE 信号の使用例

ホストからの16ビット値	バイト・イネーブル・レベル		DSPメモリ/レジスタ ライト前	DSPメモリ/レジスタ ライト後
	HBE1	HBE0		
B3C9h	0	0	1212h	B3C9h
2187h	0	1	0000h	2100h
4072h	1	0	BBBBh	BB72h

表 4. ホスト・リード・サイクルに対するHBE 信号の使用例

DSP内の16ビット値	バイト・イネーブル・レベル		ホストヘドドライブされる値 <sup>注1</sup>
	HBE1	HBE0	
B3C9h	0	0	B3C9h
2187h	0	1	21ZZh
4072h	1	0	ZZ72h

注1 ZZは、対応するデータ・バス・ラインがハイ・インピーダンス状態にあることを示します。

## 5 分離モード

4.1 節「ピンを共有する HPI と EMIF」(15 ページ) で説明したように、HPI はパラレル・ポートを EMIF と共有し、DSP リセット後にはフル EMIF モードまたは共用 HPI モードのいずれかが自動的にイネーブルになります。分離 HPI モードを選択するには、リセット後に外部バス選択レジスタ (EBSR) のビット 1-0 に 10b をライトします。

分離モードの場合：

- HPI は、**アドレスとデータについて別々のバス**を使用します。
- HPI は、アドレス・バス (HA) 経由で 14 ビットのアドレスをホストから受信します。データ転送ごとに、ホストはアドレスを HA でドライブする必要があります。HPI アドレス・レジスタ (HPIA) は使用されません。
- HPI データ・レジスタ (HPID) は、HPI を通じて転送されるデータの一時的な保存場所として機能します。現在のアクセスがリードの場合、HPID には、DSP メモリからリードされたデータが含まれます。現在のアクセスがライトの場合、HPID には、DSP メモリにライトされるデータが含まれます。DSP CPU は HPID にアクセスできません。
- HPIC には、DSPINT ビットが含まれています。このビットによって、ホストは割り込み要求を DSP に送信できます。DSP CPU は HPIC にアクセスできません。HPIC の詳細については、10 節「HPI レジスタ」(30 ページ) で説明します。

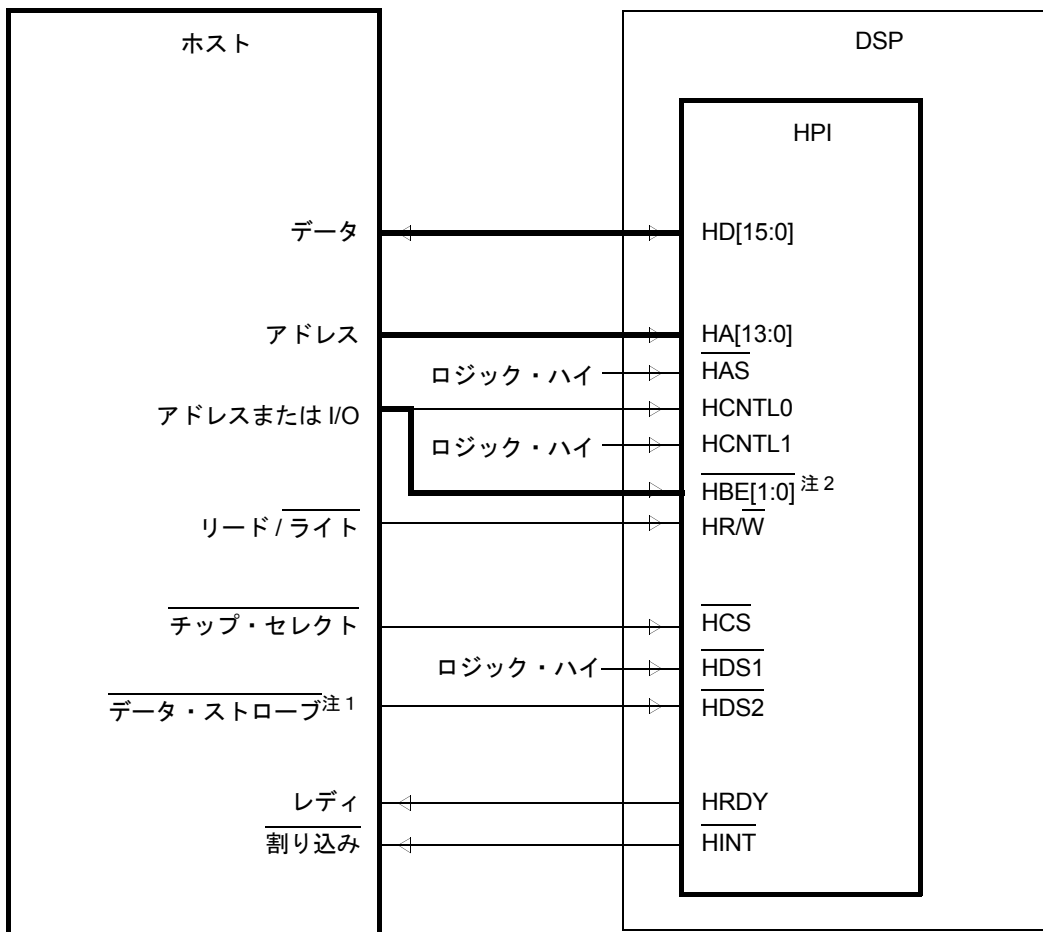
21 ページの 5.1 節「分離モードでの信号接続」では、信号接続の例を示します。22 ページの 5.2 節「分離モードにおけるサイクル・タイプ」では、どのようにホストが HPID および HPIC への各種アクセスを区別する必要があるのかを説明します。ホスト - HPI 間動作のタイミング図については、デバイス毎のデータ・マニュアルを参照してください。

## 5.1 分離モードでの信号接続

図 5. は、分離モードでの信号接続の例を示しています。HPI 信号の詳細については、4 節「HPI 信号」(15 ページ) で説明します。分離モードに固有の重要なポイントは以下のとおりです。

- データとアドレスは別々のバス（それぞれ HD と HA）上でドライブされます。
- ホストは、5.2 節「分離モードにおけるサイクル・タイプ」で説明するように、HCNTL0 および HR/W 信号を使用してサイクル・タイプを示します。

図 5. 分離モードでのホストと DSP 間の信号接続例



注1 データ・ストローブ・オプションについては、15 ページの表 1. にある HDS1 および HDS2 の説明を参照してください。

注2 HBE[1:0] は、TMS320VC5509 デバイスでは Low にドライブする必要がありますが、TMS320VC5503/5507/5509A デバイスではサポートされています。

注： HPI は、パラレル・ポートを EMIF と共有します。ポートについて分離 HPI モードを選択するには、リセット後に外部バス選択レジスタ (EBSR) のビット 1-0 に 10b をライトします。詳細については、15 ページの 4.2 節「HPI 信号の要約」を参照してください。

## 5.2 分離モードにおけるサイクル・タイプ

ホストは、HPI の HCNTL0 および  $\overline{\text{HR/W}}$  ピンを使用してサイクル・タイプを示します。サイクル・タイプは以下から構成されます。

- アクセス・タイプ。ホストが HCNTL0 ピンを適切なレベルにドライブすることによって選択します。表 5. は、分離モードに対する使用可能なアクセス・タイプを表します。このモードでは、HPIC は使用されません。したがって、自動インクリメントのない HPIC アクセスと HPID アクセスだけが有効です。HCNTL0 が Low にドライブされる HPI アクセスは HPIC アクセスです。アドレス・バス上の値は無視されます。
- $\overline{\text{HR/W}}$  ピンでホストが選択する転送方向。ホストは、 $\overline{\text{HR/W}}$  信号を High (リード) または Low (ライト) にドライブする必要があります。

表 6. はサイクル・タイプの要約です。HPI は、内部ストローブ信号 ( $\overline{\text{HSTRB}}$ ) の立ち下がりエッジで HCNTL0 および  $\overline{\text{HR/W}}$  レベルをサンプリングします。

表 5. 分離モードの HCNTL0 信号で選択可能なアクセス・タイプ

HCNTL0	アクセス・タイプ
0	HPIC アクセス ホストは制御レジスタ (HPIC) へのアクセスを要求します。
1	HPID アクセス ホストはデータ・レジスタ (HPID) へのアクセスを要求します。

表 6. 分離モードの HCNTL0 および  $\overline{\text{HR/W}}$  信号で選択可能なサイクル・タイプ

HCNTL0	$\overline{\text{HR/W}}$	サイクル・タイプ
0	0	HPIC ライト・サイクル
0	1	HPIC リード・サイクル
1	0	HPID ライト・サイクル
1	1	HPID リード・サイクル

## 6 共用モード

HPI は、パラレル・ポートを EMIF と共有します。ポートとして共用 HPI モードを選択するには、DSP のリセット時に GPIO0 ピンを Low にドライブするか、リセット後に外部バス選択レジスタ (EBSR) のビット 1-0 に 11b をライトします。詳細については、15 ページの 4.1 節「ピンを共有する HPI と EMIF」を参照してください。

共用モードの場合：

- **アドレスとデータは同じバス (HPI データ・バス、HD[15:0]) で伝達されます。**したがって、バスがデータを伝達している間はアドレス・レジスタ (HPIA) がアドレスを格納する必要があります。HPI は 14 ビットのアドレスを用いて、約 16K ワードの DARAM へのアクセスをサポートします。ただし、HPIA は 16 ビットのレジスタです。ホストは、ビット 13-0 にアドレスを、ビット 15 および 14 に 0 とする 16 ビット値を HPIA にライトする必要があります。HD[15:0] でのアドレスとデータの共用化は、DSP メモリに対するリードとライトを実行する前にホストが HPIA をロードする必要があることを意味します。
- DSP メモリからリードする場合や DSP メモリにライトする場合、HPI はデータ・レジスタ (HPID) をデータの一時的な保存場所として使用します。HPID には、DSP メモリからリードされたデータ (ホスト・リード動作の場合)、または DSP メモリにライトされるデータ (ホスト・ライト動作の場合) が含まれます。DSP CPU は HPID にアクセスできません。
- HPIC には、DSPINT ビットが含まれています。このビットによって、ホストは割り込み要求を DSP に送信できます。DSP CPU は HPIC にアクセスできません。HPIC の詳細については、30 ページの 10 節「HPI レジスタ」を参照してください。

6.1 節「共用モードでの信号接続」では、信号接続の例を示します。25 ページの 6.2 節「共用モードにおけるサイクル・タイプ」では、どのようにホストが HPIA、HPID、および HPIC への各種アクセスを区別する必要があるのかを説明します。27 ページの 6.3 節「HPIA にアドレスをロードする」では、HPIA にアドレスをロードする場合にホストが従う手順を説明します。また、27 ページの 6.4 節「自動インクリメント・オプション：転送間の自動アドレス・インクリメント」では、データ転送間にアドレスがどのように自動的にインクリメントできるのかを説明します。ホスト-HPI 間のタイミング図については、デバイス毎のデータ・マニュアルを参照してください。

### 6.1 共用モードでの信号接続

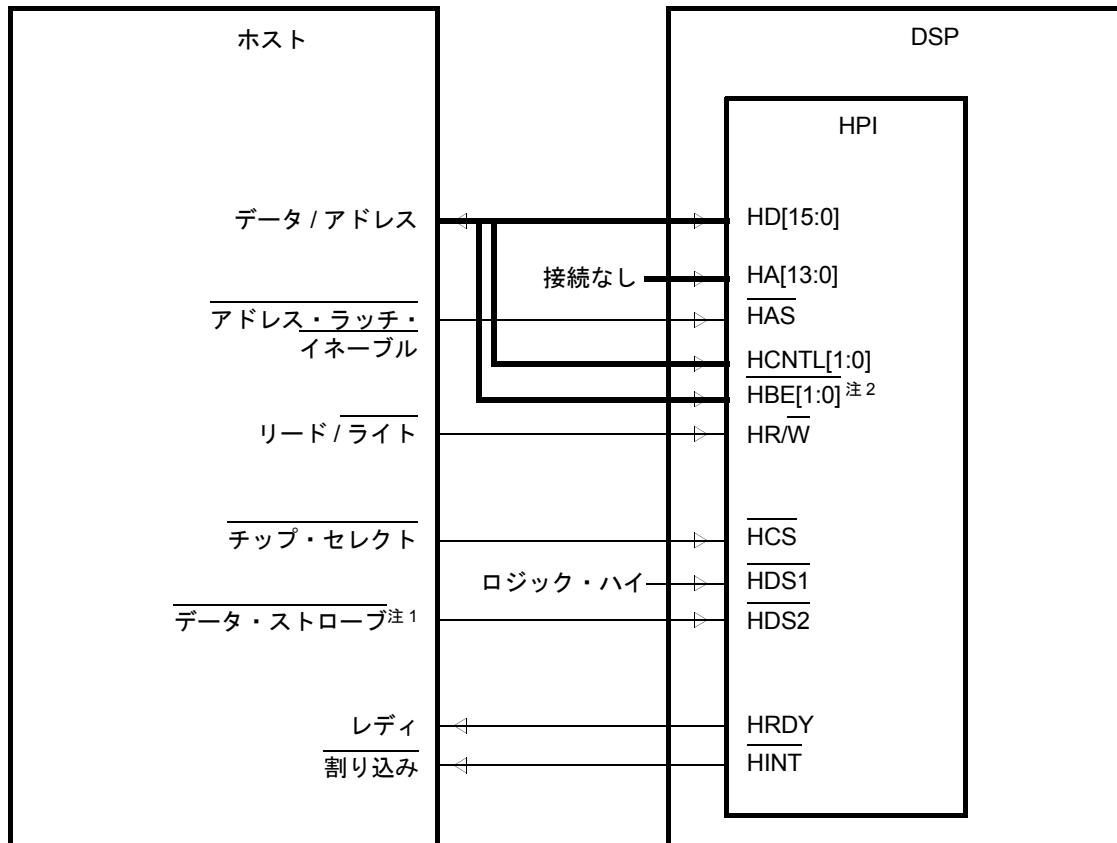
図 6. と図 7. は、共用モードでの信号接続の例を示しています。図 6. では、アドレス・ストロブ信号 (HAS) が使用されています。図 7. では、HAS は High に接続していません (使用されていません)。

HPI 信号の詳細については、4 節「HPI 信号」(15 ページ) で説明します。以下は、共用モードで使用される信号についての重要なポイントです。

- アドレスは、データと HD ラインを共有する必要があります。
- ホストは、25 ページの 6.2 節「共用モードにおけるサイクル・タイプ」で説明するように、HCNTL[1:0] および HR/W 信号を使用してサイクル・タイプを示します。

- $\overline{\text{HAS}}$ は、 $\overline{\text{HCNTL}}[1:0]$  および  $\overline{\text{HR/W}}$  をアクセス・サイクルの早い段階で解除することを可能にします。これにより、バスの状態をアドレスからデータ情報へと切り替える時間をより長くとれます。 $\overline{\text{HAS}}$  は、ホストが使用できるオプションの信号で、これによりホストはデータとアドレスを単一のバスで伝達することができます。HPIは、 $\overline{\text{HAS}}$  なしで使用できます。 $\overline{\text{HAS}}$  を使用しない場合、ホストは $\overline{\text{HAS}}$  を High にドライブする必要があります。

図6. 共用モードで $\overline{\text{HAS}}$  信号を使用した場合のホストとDSP 間の信号接続例



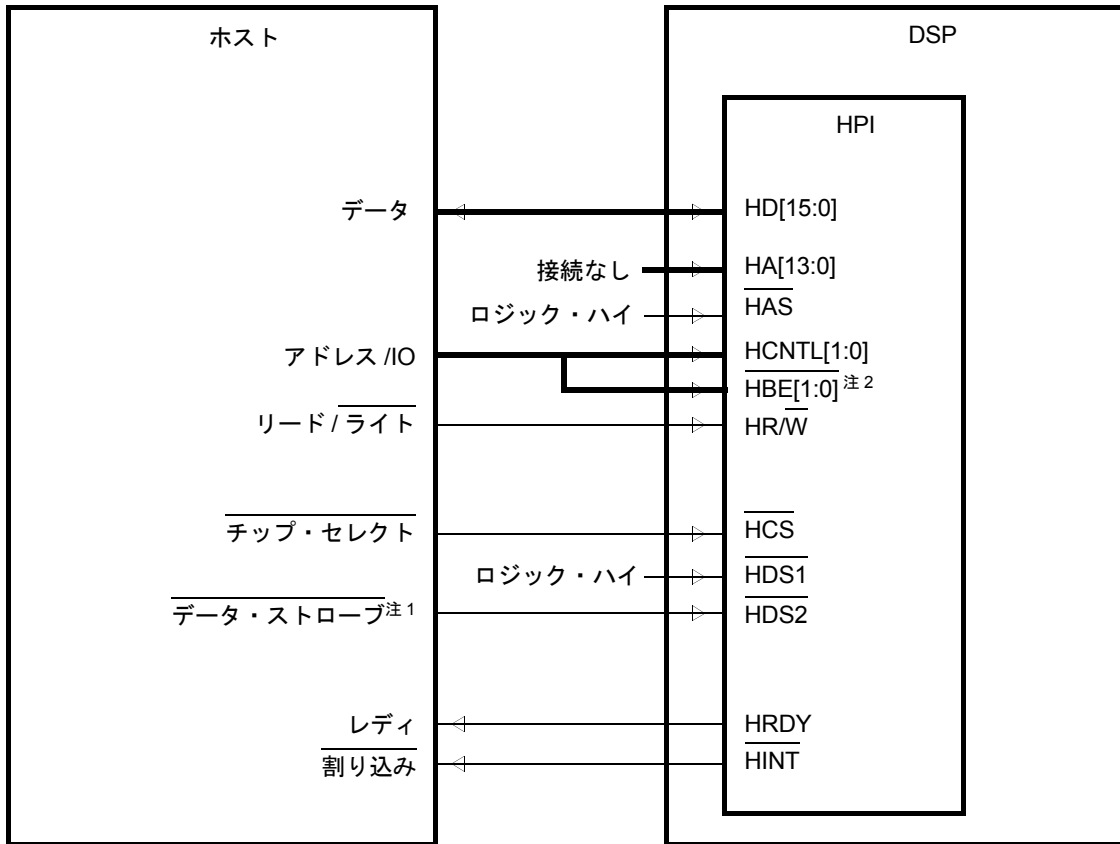
注1 データ・ストローブ・オプションについては、15 ページの表 1.にある  $\overline{\text{HDS1}}$  および  $\overline{\text{HDS2}}$  の説明を参照してください。

注2  $\overline{\text{HBE}}[1:0]$  は、TMS320VC5509 デバイスでは Low にドライブする必要がありますが、TMS320VC5503/55075509A デバイスではサポートされています。

注: HPI は、パラレル・ポートを EMIF と共有します。ポートについて共有 HPI モードを選択するには、DSP のリセット時に GPIO0 ピンを Low にドライブするか、リセット後に外部バス選択レジスタ (EBSR) のビット 1-0 に 11b をライトします。この設定では、 $\text{HA}[13:0]$  ピンは、HPI に関連しない機能の GPIO として使用するか、またはバス・キーパーがオンの状態で未接続のままにすることができます。詳細については、15 ページの 4.1 節「ピンを共有する HPI と EMIF」を参照してください。



図7. 共用モードでHAS 信号を High に接続した場合のホストと DSP 間の信号接続例



注<sup>1</sup> データ・ストローブ・オプションについては、15 ページの表 1. にある HDS1 および HDS2 の説明を参照してください。

注<sup>2</sup> HBE[1:0] は、TMS320VC5509 デバイスでは Low にドライブする必要がありますが、TMS320VC5503/55075509A デバイスではサポートされています。

注： HPI は、パラレル・ポートを EMIF と共有します。ポートについて共有 HPI モードを選択するには、DSP のリセット時に GPIO0 ピンを Low にドライブするか、リセット後に外部バス選択レジスタ (EBSR) のビット 1-0 に 11b をライトします。この設定では、HA[13:0] ピンは、HPI に関連しない機能の GPIO として使用するか、またはバス・キーパーがオンの状態で未接続のままにすることができます。詳細については、15 ページの 4.1 節「ピンを共有する HPI と EMIF」を参照してください。

## 6.2 共用モードにおけるサイクル・タイプ

ホストは、HPI の HCNTL[1:0] および HR/W ピンを使用してサイクル・タイプを示します。サイクル・タイプは以下から構成されます。

- アクセス・タイプ。ホストが HCNTL[1:0] ピンを適切なレベルにドライブすることによって選択します。表 7. は、共用モードに対する使用可能なアクセス・タイプを表します。
- HR/W ピンでホストが選択する転送方向。ホストは、HR/W 信号を High (リード) または Low (ライト) にドライブする必要があります。

表 8. はサイクル・タイプの要約です。HPI は、HCNTL のレベルを、HAS の立ち下がリエッジ (HAS が共用モードで使用されている場合)、または内部ストローブ信号 HSTRB の立ち下がリエッジ (HAS が使用されず High に接続している場合) のどちらかでサンプリングします。

表 7. 共用モードの HCNTL[1:0] 信号で選択可能なアクセス・タイプ

HCNTL1	HCNTL0	アクセス・タイプ
0	0	HPIC アクセス ホストは制御レジスタ (HPIC) へのアクセスを要求します。
0	1	自動インクリメント付 HPID アクセス ホストはデータ・レジスタ (HPID) へのアクセスと、そのアクセス後にメモリ・アドレス (HPIA) を 1 つ自動インクリメントすることを要求します。
1	0	HPIA アクセス ホストはアドレス・レジスタ (HPIA) へのアクセスを要求します。
1	1	自動インクリメントなしの HPID アクセス ホストはデータ・レジスタ (HPID) へのアクセスを要求しますが、メモリ・アドレスの自動ポスト・インクリメントは要求しません。

表 8. 共用モードの HCNTL[1:0] および  $\overline{\text{HR/W}}$  信号で選択可能なサイクル・タイプ

HCNTL1	HCNTL0	$\overline{\text{HR/W}}$	サイクル・タイプ
0	0	0	HPIC ライト・サイクル
0	0	1	HPIC リード・サイクル
0	1	0	自動インクリメント付 HPID ライト・サイクル
0	1	1	自動インクリメント付 HPID リード・サイクル
1	0	0	HPIA ライト・サイクル
1	0	1	HPIA リード・サイクル
1	1	0	自動インクリメントなしの HPID ライト・サイクル
1	1	1	自動インクリメントなしの HPID リード・サイクル

### 6.3 HPIA にアドレスをロードする

HPI は、約 16K ワードの DARAM へのアクセスをサポートします（13 ページの 2 節「HPI を通じてアクセスできる DSP メモリ」を参照）。各ワードは、14 ビットのアドレスで識別できます。ホストが 14 ビットのアドレスを 16 ビットのアドレス・レジスタ（HPIA）にライトする場合、その操作は以下のように行う必要があります。

- 1) HCNTL1 を High にドライブし、HCNTL0 を Low にドライブして、HPIA アクセスであることを示します。
- 2) 以下のフォーマットに基づき、16 ビット値を HD[15:0] ラインで送信します。

15	14	13	0
0	0	14-ビット・アドレス	

### 6.4 自動インクリメント・オプション：転送間の自動アドレス・インクリメント

ホストがランダムなアドレスでリードやライトを実行している場合、ホストは各データ転送の前に HPIA をライトする必要があります。しかし、ホストが連続したアドレスでアクセスを実行していて、HPI のモードが共用モードの場合、ホストはアドレス自動インクリメント・オプションの使用によって必要なサイクル数を減らすことができます。自動インクリメントのデータ・アクセスのためには、HCNTL1 を Low にドライブし、HCNTL0 を High にドライブします。自動インクリメントを使用する場合、ホストは開始アドレスだけ HPIA にライトする必要があります。後続の各 HPIA アクセスについては、HPIA 内のアドレスが自動的に 1 ずつインクリメントされます。

自動インクリメント・オプションを使用するときには、以下の重要なポイントを念頭に置いてください。

- アドレスのインクリメントは、 $\overline{\text{HBE1}}$  信号がアサートされたホスト・サイクルの後（つまり、フル・ワードがアクセスされるか、ワードの上位バイトがアクセスされた場合）にのみ行われます。ワードを 1 バイトずつリードまたはライトする場合、ホストは最初に下位バイトにアクセスする必要があります。2 番目に上位バイトにアクセスすると、両方のバイトが転送された後にインクリメントが行われることが保証されます。
- 内部アドレスは自動的にインクリメントされますが、HPIA のホスト・リードは、ホストによって HPIA にライトされた最後のアドレスを常に返します。
- 最上位 HPIA アドレス (3FFFh) への自動インクリメント・データ・アクセスを実行すると、内部アドレスは値 0000h にロールオーバーします。

## 7 ホストと DSP 間の割り込み

独特の割り込みビットの変更によって、ホストと DSP は割り込み要求を相互に送信できます。

### 7.1 ホストから DSP に割り込み要求を送信する

ホストが DSP への割り込み要求を送信するには、以下を実行します。

- 1) HPI 制御レジスタ (HPIC) にライトするように HPI が設定されていることを確認します。

HPI の分離モードでは、HPIC を選択するために HCNTL0 信号を Low に保持する必要があります。HPI の共用モードでは、HPIC を選択するために HCNTL1 と HCNTL0 の両方を Low に保持する必要があります。

- 2) HPIC のビット 1 (DSPINT) に 1 をライトします。

このビットをセットすると、DSP は CPU 内の DSPINT フラグ・ビットをセットします。このマスカブル割り込みが CPU 内で正しくイネーブルであれば、CPU は DSPINT 割り込みベクトルをフェッチし、対応する割り込みサービス・ルーチンに分岐します。

ホストは、HPIC の DSPINT ビットをクリアする必要はありません。ホストが 1 を DSPINT にライトするたびに、1 つの割り込みだけが生成されます。

DSPINT がリードされると、0 が必ず返されます。

### 7.2 DSP からホストに割り込み要求を送信する

DSP は、CPU のステータス・レジスタ ST3\_55 で HINT ビットをクリアしてからセットすることにより、割り込み要求をホストに送信できます。HINT ビットを変更すると、HPI の  $\overline{\text{HINT}}$  出力信号のレベルが変更されます。DSP が 0 を HINT ビットにライトした場合、 $\overline{\text{HINT}}$  は Low (アクティブ) になります。DSP が 1 を HINT ビットにライトした場合、 $\overline{\text{HINT}}$  は High (インアクティブ) になります。したがって、割り込みパルス幅はソフトウェアによって管理されます。

$\overline{\text{HINT}}$  信号を使用してホストに割り込みを出すことはできませんが、ホストから DSP へ認識したことを示す直接的なパスはありません。必要であれば、ホストは、ホストと DSP が共有するメモリにライトすることによって、割り込みに応答できます。

DSP のリセット時には、CPU は HINT ビットをセットし、 $\overline{\text{HINT}}$  は High (インアクティブ) になります。

## 8 HPI でのブート・ローディング

HPI を使用して、アプリケーション・コードを DSP の内部 DARAM にロードすることができます。リセット後に、ホストは HPI を通じて必要なアプリケーション・コードを DSP のメモリ空間にロードできます。コードがロードされたら、ホストはロードされたコードの実行を DSP に開始させることができます。詳細については、アプリケーション・レポート *『Using the TMS320VC5509/C5509A Bootloader』* (SPRA375) を参照してください。

## 9 電力、エミュレーション、リセットについての考察

### 9.1 HPI と IDLE 命令

DSP は、アイドルドメインに分割されており、それにより CPU の IDLE 命令実行時にアイドルまたはアクティブになるようにプログラムできます。電力消費を低減するには、特定のアイドル・ドメインをオフにする必要があります。HPI は、どのアイドル・ドメインにも属しておらず、アイドル・モードにすることはできません。以下の点に注意してください。

- クロック・ジェネレータ・アイドル・ドメインまたは DMA アイドル・ドメインがアイドルの場合、ホストは DSP メモリにアクセスできません。
- DSP の外部バス選択レジスタ (EBSR) には、ホスト・モード・アイドル (HIDL) ビットが含まれています。HIDL ビットが 0 の場合は、クロック・ジェネレータをアイドル・モードにすることはできません。クロック・ジェネレータは、HPI のためにアクティブのままになります。HIDL ビットが 1 の場合は、クロック・ジェネレータをアイドル状態にすることができます。EBSR と HIDL ビットの使用方法の詳細については、デバイス別のデータ・マニュアルを参照してください。

### 9.2 HPI エミュレーション・モード

HPI は、DMA コントローラの動作に依存して、DSP のメモリへ / からデータを移動します。結果として、エミュレーション・アクティビティが DMA コントローラに影響する場合、エミュレーション・アクティビティは HPI のメモリ・アクセス機能にも影響します。DMA コントローラの FREE ビットによって、DMA コントローラがエミュレーション・ブレークポイントまたは他のエミュレーション停止にどのように反応するかが決定されます。

- FREE = 0 (リセット値) の場合、ブレークポイントまたは他のエミュレーション停止は DMA 転送を一時停止します。
- FREE = 1 の場合、DMA 転送はブレークポイントまたは他のエミュレーション停止によって中断されません。

FREE ビットは、DMA グローバル制御レジスタのビット 2 です。このレジスタについては、『TMS320VC5503/5507/5509/5510 Direct Memory Access (DMA) Controller Reference Guide』(SPRU587) に記載されています。

### 9.3 DSP リセットの HPI への影響

DSP リセット信号を Low にドライブした場合、DSP はリセットされます。制御レジスタ (HPIC) は、強制的にデフォルト値に設定されます (30 ページの 10 節「HPI レジスタ」の図 10. を参照)。アドレス・レジスタ (HPIA) とデータ・レジスタ (HPID) は、DSP リセットによって初期化されません。

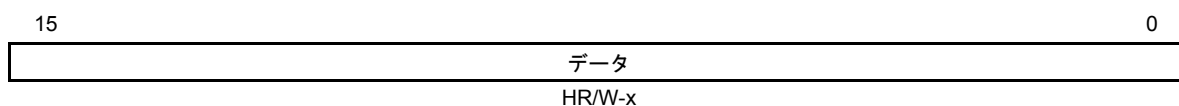
## 10 HPI レジスタ

ホスト・ポート・インターフェイス (HPI) には、ホストが DSP のメモリにアクセスするために使用できる 3 つのレジスタが含まれています (後続の節を参照)。これらのレジスタは、データ・バスを共有します。したがって、ホストは HCNTL1 信号や HCNTL0 信号を適切なレベルにドライブして、どの HPI レジスタにホストがアクセスするのかを示す必要があります。DSP は、これらのレジスタからリードすることも、これらのレジスタにライトすることもできません。

### 10.1 データ・レジスタ (HPID)

図 8. に示すように、HPID は 16 ビットのレジスタです。このレジスタは、HPI を通じて転送されるデータの一時的な保存場所として機能します。HPID には、現在のアクセスがリードの場合は DSP メモリからリードされたデータ、現在のアクセスがライトの場合は DSP メモリにライトされるデータが含まれます。

図 8. データ・レジスタ (HPID)

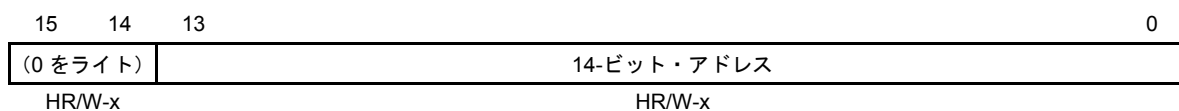


凡例: HR/W = ホスト・リード/ライト・アクセス、-x = DSP リセット後に定義されない値 (DSP は HPID にアクセスできません)

### 10.2 アドレス・レジスタ (HPIA)

HPI の共用モード (23 ページの 6 節を参照) では、この 16 ビット・レジスタは、リードまたはライト動作の 14 ビット・アドレスの一時的な保存場所として機能します。図 9. に示すように、ホストが HPIA にライトする場合、ホストは 0 をビット 15-14 にライトし、14 ビットのアドレスをビット 13-0 にライトする必要があります。HPI の分離モード (20 ページの 5 節を参照) では、アドレスを入力信号 HA[13:0] で直接使用できるため、HPIA は必要ありません。

図 9. アドレス・レジスタ (HPIA)



凡例: HR/W = ホスト・リード/ライト・アクセス、-x = DSP リセット後に定義されない値 (DSP は HPIA にアクセスできません)

### 10.3 制御レジスタ (HPIC)

HPIC は、DSPINT ビットを提供します。このビットは、DSP CPU への割り込み要求の生成によってホストが DSP を中断することを可能にします。HPIC のフィールドを図 10. で示し、表 9. で説明します。

図 10. 制御レジスタ (HPIC)



凡例： HR/W = ホスト・リード/ライト・アクセス、HW = ホスト・ライト専用アクセス、-n = DSP リセット後の値 (DSP は HPIC にアクセスできません)

注1 これらの予約ビットへは常に 0 をライトします。これらの予約ビットのリード状態は定義されません。

表 9. 制御レジスタ (HPIC) フィールドの説明

ビット	フィールド	値	説明
15-2	予約	0	これらのビットへは常に0をライトします。これらのビットのリード状態は定義されません。
1	DSPINT	0	0 を DSPINT にライトしても影響はありません。
		1	1 を DSPINT にライトすると、HPI は割り込み要求を DSP CPU に送信します。 このビットは常に 0 としてリードされます。
0	予約		このリード専用ビットのリード状態は定義されません。

---

以下余白



## 改訂履歴

表 10. に、本書の旧版以降に行われた変更を列挙します。

表 10. 文書改訂履歴

ページ	追加 / 変更 / 削除
15 ページ	<p>「HPI の信号」というタイトルの表に、以下のテキストを含んだ新たな行を追加。</p> <p>見出し「ホストで使用可能なデータ・ストロブ・ピン」の下で、以下のテキストを 2 行目に追加。</p> <p>「ホストにリードとライトのストロブ・ピンが別々にあり、両方ともハイ・アクティブな場合」</p> <p>見出し「HPI データ・ストロブ・ピンへの接続」の下で、以下のテキストを 2 行目に追加。</p> <p>「一方のストロブ・ピンを <u>HDS1</u> へ、もう一方を <u>HDS2</u> へ接続します。このようなホストは R/W ラインを提供しない場合があるため、デバイスのデータシート記載の HR/W タイミングを満たすよう注意してください。ホストのアドレス・ラインを使用して実現できる場合があります。」</p>
24 ページ	<p>図 6. の下の注記に、「この設定では、HA[13:0] ピンは、HPI に関連しない機能の GPIO として使用するか、またはバス・キーパーがオンの状態で未接続のままにすることができます。」というテキストを追加。</p>
25 ページ	<p>図 7. の下の注記に、「この設定では、HA[13:0] ピンは、HPI に関連しない機能の GPIO として使用するか、またはバス・キーパーがオンの状態で未接続のままにすることができます。」というテキストを追加。</p>

---

以下余白