
TMS320C64x DSP
ビデオ・ポート / VCXO 補間制御 (VIC) ポート

リファレンス・ガイド

TMS320C64x DSP ビデオ・ポート / VCXO 補間制御 (VIC) ポート リファレンス・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上

まえがき

最初にお読みください

このマニュアルについて

本書では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) に搭載されているビデオ・ポートと VCXO 補間制御 (VIC) ポートについて説明します。

このマニュアルではビデオ・ポートと VIC ポートの機能セット全体について説明しますが、各 C6000™ デバイス上でサポートされている機能セットは、異なる場合があります。サポートされているビデオ・ポートおよび VIC ポートの機能のリストについては、各デバイスのデータシートを参照してください。

『TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide』(文献番号 SPRU629D) を翻訳しています。

表記規則

本書では、次の表記規則を使用します。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。

Texas Instruments 社からの関連文献

C6000™ デバイスおよびそのサポート・ツールを解説した関連文献は次のとおりです。関連文献は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

TMS320C6000 CPU and Instruction Set Reference Guide (文献番号 SPRU189) では、TMS320C6000™ デジタル・シグナル・プロセッサの CPU アーキテクチャ、命令セット、パイプライン、および割り込みについて説明しています。

TMS320C6000 DSP Peripherals Overview Reference Guide (文献番号 SPRU190) では、TMS320C6000™ DSP 上で使用可能なペリフェラルについて説明しています。

TMS320C64x Technical Overview (文献番号 SPRU395) では、TMS320C64x™ DSP の概要について説明しています。また、TMS320C64x VelociTI™ によって強化されるアプリケーション分野についても説明しています。

TMS320C6000 Programmer's Guide (文献番号 SPRU198) では、TMS320C6000™ DSP 用に C およびアセンブラ・コードを最適化する方法について説明し、また、アプリケーション・プログラム例を示しています。

TMS320C6000 Code Composer Studio Tutorial (文献番号 SPRU301) では、Code Composer Studio™ の統合開発環境とソフトウェア・ツールの概要について説明しています。

Code Composer Studio Application Programming Interface Reference Guide (文献番号 SPRU321) では、Code Composer Studio™ アプリケーション・プログラミング・インターフェイス (API) について説明しています。この API を使用して、Code Composer 用のカスタム・プラグインを開発することができます。

TMS320C6x Peripheral Support Library Programmer's Reference (文献番号 SPRU273) では、TMS320C6000™ のペリフェラル・サポート・ライブラリの関数とマクロの内容について説明しています。ヘッダ・ファイル毎に、またアルファベット順に、関数とマクロを示しています。それぞれを詳しく説明するとともに、その使用方法を示すコード例を記述しています。

TMS320C6000 Chip Support Library API Reference Guide (文献番号 SPRU401) では、オンチップ・ペリフェラルの設定と制御のために使用するアプリケーション・プログラミング・インターフェイス (API) のセットについて説明しています。

商標

Code Composer Studio、C6000、C62x、C64x、C67x、TMS320C6000、TMS320C62x、TMS320C64x、TMS320C67x、および VelociTI は、Texas Instruments の商標です。

目次

1 概要	1-1
TMS320C6000 DSP ファミリーのデジタル・シグナル・プロセッサに搭載されているビデオ・ポート・ペリフェラルの概要について説明します。具体的には、ビデオ・ポート機能、FIFO 設定、および信号マッピングの概要について説明します。	
1.1 ビデオ・ポート	1-2
1.2 ビデオ・ポート FIFO	1-5
1.2.1 DMA インターフェイス	1-5
1.2.2 ビデオ・キャプチャ FIFO の設定	1-6
1.2.3 ビデオ・ディスプレイ FIFO の設定	1-9
1.3 ビデオ・ポート・レジスタ	1-12
1.4 ビデオ・ポート・ピンのマッピング	1-13
1.4.1 キャプチャ・モードの VDIN バス使用法	1-15
1.4.2 ディスプレイ・モードの VDOUT データ・バス使用法	1-16
2 ビデオ・ポート	2-1
ビデオ・ポートの基本動作について説明します。具体的には、リセットの要因と種類、割り込み、DMA の動作、外部クロック入力、ビデオ・ポートのスループットとレイテンシ、およびビデオ・ポート・コントロール・レジスタについて説明します。	
2.1 リセット動作	2-2
2.1.1 パワーオン・リセット	2-2
2.1.2 ペリフェラル・バス・リセット	2-2
2.1.3 ソフトウェア・ポート・リセット	2-3
2.1.4 キャプチャ・チャネル・リセット	2-4
2.1.5 ディスプレイ・チャネル・リセット	2-4
2.2 割り込み動作	2-5
2.3 DMA の動作	2-6
2.3.1 キャプチャ DMA イベント生成	2-6
2.3.2 ディスプレイ DMA イベント生成	2-7
2.3.3 DMA サイズおよびスレッシュホールド制約	2-8
2.3.4 DMA インターフェイスの動作	2-9
2.4 ビデオ・ポート・コントロール・レジスタ	2-10
2.4.1 ビデオ・ポート・コントロール・レジスタ (VPCTL)	2-10
2.4.2 ビデオ・ポート・ステータス・レジスタ (VPSTAT)	2-14
2.4.3 ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE)	2-15
2.4.4 ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS)	2-19

3	ビデオ・キャプチャ・ポート	3-1
	ビデオ・キャプチャ・ポートの動作について説明します。	
3.1	ビデオ・キャプチャ・モードの選択	3-2
3.2	BT.656 ビデオ・キャプチャ・モード	3-3
3.2.1	BT.656 キャプチャ・チャンネル	3-3
3.2.2	BT.656 タイミング・リファレンス・コード	3-4
3.2.3	BT.656 イメージ・ウィンドウおよびキャプチャ	3-6
3.2.4	BT.656 データ・サンプリング	3-8
3.2.5	BT.656 FIFO のパッキング	3-9
3.3	Y/C ビデオ・キャプチャ・モード	3-12
3.3.1	Y/C キャプチャ・チャンネル	3-12
3.3.2	Y/C タイミング・リファレンス・コード	3-12
3.3.3	Y/C イメージ・ウィンドウおよびキャプチャ	3-13
3.3.4	Y/C FIFO のパッキング	3-14
3.4	BT.656 および Y/C モードのフィールドとフレームの動作	3-17
3.4.1	キャプチャの判別と通知	3-17
3.4.2	垂直同期	3-20
3.4.3	水平同期	3-22
3.4.4	フィールド ID (識別)	3-24
3.4.5	ショート・フィールドおよびロング・フィールドの検出	3-25
3.5	ビデオ入力のフィルタリング	3-26
3.5.1	入力フィルタ・モード	3-26
3.5.2	色差リサンプリングの動作	3-27
3.5.3	スケーリングの動作	3-27
3.5.4	エッジ・ピクセルの複製	3-29
3.6	補助的なデータ・キャプチャ	3-31
3.6.1	水平補助 (HANC) データのキャプチャ	3-31
3.6.2	垂直補助 (VANC) データのキャプチャ	3-31
3.7	Raw データ・キャプチャ・モード	3-32
3.7.1	Raw データ・キャプチャの通知	3-33
3.7.2	Raw データの FIFO のパッキング	3-34
3.8	TSI キャプチャ・モード	3-37
3.8.1	TSI キャプチャ機能	3-37
3.8.2	TSI データ・キャプチャ	3-37
3.8.3	TSI キャプチャのエラー検出	3-38
3.8.4	システム・クロックの同期	3-39
3.8.5	TSI データ・キャプチャの通知	3-41
3.8.6	FIFO への書き込み	3-42
3.8.7	FIFO からの読み取り	3-43
3.9	キャプチャ・ライン境界の条件	3-43
3.10	BT.656 または Y/C モードでのビデオ・キャプチャ	3-45
3.10.1	BT.656 または Y/C モードでの FIFO オーバーラン状態の処理	3-46
3.11	Raw データ・モードでのビデオ・キャプチャ	3-47
3.11.1	Raw データ・モードでの FIFO オーバーラン状態の処理	3-48
3.12	TSI キャプチャ・モードでのデータ・キャプチャ	3-49
3.12.1	TSI キャプチャ・モードでの FIFO オーバーラン状態の処理	3-50

3.13	ビデオ・キャプチャ・レジスタ	3-51
3.13.1	ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCASTAT、VCBSTAT)	3-52
3.13.2	ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL)	3-55
3.13.3	ビデオ・キャプチャ・チャンネル x フィールド 1 スタート・レジスタ (VCASTRT1、VCBSTRT1)	3-61
3.13.4	ビデオ・キャプチャ・チャンネル x フィールド 1 ストップ・レジスタ (VCASTOP1、VCBSTOP1)	3-61
3.13.5	ビデオ・キャプチャ・チャンネル x フィールド 2 スタート・レジスタ (VCASTRT2、VCBSTRT2)	3-64
3.13.6	ビデオ・キャプチャ・チャンネル x フィールド 2 ストップ・レジスタ (VCASTOP2、VCBSTOP2)	3-64
3.13.7	ビデオ・キャプチャ・チャンネル x バーティカル・インタラプト・レジスタ (VCAVINT、VCBVINT)	3-67
3.13.8	ビデオ・キャプチャ・チャンネル x スレッシュホールド・レジスタ (VCATHRLD、VCBTHRLD)	3-69
3.13.9	ビデオ・キャプチャ・チャンネル x イベント・カウンタ・レジスタ (VCAEVTCT、VCBEVTCT)	3-71
3.13.10	ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL)	3-72
3.13.11	TSI キャプチャ・コントロール・レジスタ (TSICTL)	3-77
3.13.12	TSI クロック・イニシャリゼーション LSB レジスタ (TSICLKINITL)	3-79
3.13.13	TSI クロック・イニシャリゼーション MSB レジスタ (TSICLKINITM)	3-80
3.13.14	TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL)	3-81
3.13.15	TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM)	3-82
3.13.16	TSI システム・タイム・クロック・コンペア LSB レジスタ (TSISTCMPL)	3-83
3.13.17	TSI システム・タイム・クロック・コンペア MSB レジスタ (TSISTCMPM)	3-84
3.13.18	TSI システム・タイム・クロック・コンペア・マスク LSB レジスタ (TSISTMSKL)	3-85
3.13.19	TSI システム・タイム・クロック・コンペア・マスク MSB レジスタ (TSISTMSKM)	3-86
3.13.20	TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS)	3-87
3.14	ビデオ・キャプチャ FIFO レジスタ	3-88
4	ビデオ・ディスプレイ・ポート	4-1
	ビデオ・ディスプレイ・ポートについて説明します。	
4.1	ビデオ・ディスプレイ・モードの選択	4-2
4.1.1	イメージ・タイミング	4-3
4.1.2	ビデオ・ディスプレイ・カウンタ	4-6
4.1.3	同期信号の生成	4-8
4.1.4	外部同期動作	4-9
4.1.5	ポート同期動作	4-9
4.2	BT.656 ビデオ・ディスプレイ・モード	4-10
4.2.1	ディスプレイ・タイミング・リファレンス・コード	4-10
4.2.2	ブランキング・コード	4-13
4.2.3	BT.656 イメージ・ディスプレイ	4-13
4.2.4	BT.656 FIFO のアンパッキング	4-14

4.3	Y/C ビデオ・ディスプレイ・モード	4-17
4.3.1	Y/C ディスプレイ・タイミング・リファレンス・コード	4-17
4.3.2	Y/C ブランキング・コード	4-18
4.3.3	Y/C イメージ・ディスプレイ	4-18
4.3.4	Y/C FIFO のアンパック	4-18
4.4	ビデオ出力のフィルタリング	4-22
4.4.1	出力フィルタ・モード	4-22
4.4.2	色差リサンプリングの動作	4-23
4.4.3	スケーリングの動作	4-23
4.4.4	エッジ・ピクセルの複製	4-24
4.5	補助データの表示	4-26
4.5.1	水平補助 (HANC) データの表示	4-26
4.5.2	垂直補助 (VANC) データの表示	4-26
4.6	Raw データ・ディスプレイ・モード	4-27
4.6.1	Raw モード RGB 出力のサポート	4-27
4.6.2	Raw データ FIFO のアンパッキング	4-28
4.7	ビデオ・ディスプレイ・フィールドおよびフレーム動作	4-32
4.7.1	ディスプレイによる判断と通知	4-32
4.7.2	ビデオ・ディスプレイ・イベントの生成	4-34
4.8	ディスプレイ・ライン境界の状態	4-35
4.9	ディスプレイ・タイミングの例	4-37
4.9.1	インタレース BT.656 タイミングの例	4-37
4.9.2	インタレース Raw ディスプレイの例	4-41
4.9.3	Y/C プログレッシブ・ディスプレイの例	4-45
4.10	BT.656 または Y/C モードでのビデオ・ディスプレイ	4-49
4.11	Raw データ・モードでのビデオ・ディスプレイ	4-51
4.11.1	ディスプレイ FIFO のアンダーラン状態の処理	4-53
4.12	ビデオ・ディスプレイ・レジスタ	4-55
4.12.1	ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT)	4-56
4.12.2	ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL)	4-59
4.12.3	ビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ)	4-65
4.12.4	ビデオ・ディスプレイ・水平・ブランキング・レジスタ (VDHBLNK)	4-66
4.12.5	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1)	4-66
4.12.6	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1)	4-66
4.12.7	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2)	4-70
4.12.8	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2)	4-70
4.12.9	ビデオ・ディスプレイ・フィールド 1 イメージ・オフセット・レジスタ (VDIMGOFF1)	4-73
4.12.10	ビデオ・ディスプレイ・フィールド 1 イメージ・サイズ・レジスタ (VDIMGSZ1)	4-75
4.12.11	ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2)	4-76
4.12.12	ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2)	4-78

4.12.13	ビデオ・ディスプレイ・フィールド1 タイミング・レジスタ (VDFLDT1).....	4-79
4.12.14	ビデオ・ディスプレイ・フィールド2 タイミング・レジスタ (VDFLDT2).....	4-80
4.12.15	ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD)	4-81
4.12.16	ビデオ・ディスプレイ・水平・シンクロナイゼーション・レジスタ (VDHSYNC)	4-83
4.12.17	ビデオ・ディスプレイ・フィールド1 垂直・シンクロナイゼーション・スター ト・レジスタ (VDVSYNS1).....	4-84
4.12.18	ビデオ・ディスプレイ・フィールド1 垂直・シンクロナイゼーション・エン ド・レジスタ (VDVSYNE1)	4-85
4.12.19	ビデオ・ディスプレイ・フィールド2 垂直・シンクロナイゼーション・スター ト・レジスタ (VDVSYNS2).....	4-86
4.12.20	ビデオ・ディスプレイ・フィールド2 垂直・シンクロナイゼーション・エン ド・レジスタ (VDVSYNE2)	4-87
4.12.21	ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD)	4-88
4.12.22	ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT)	4-89
4.12.23	ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP)	4-90
4.12.24	ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL)	4-92
4.12.25	ビデオ・ディスプレイ・垂直・インタラプト・レジスタ (VDVINT)	4-94
4.12.26	ビデオ・ディスプレイ・フィールド・ビット・レジスタ (VDFBIT)	4-94
4.12.27	ビデオ・ディスプレイ・フィールド1 垂直・ブランキング・ビット・レジスタ (VDVBIT1)	4-97
4.12.28	ビデオ・ディスプレイ・フィールド2 垂直・ブランキング・ビット・レジスタ (VDVBIT2)	4-97
4.13	ビデオ・ディスプレイ・レジスタの推奨値.....	4-100
4.14	ビデオ・ディスプレイ FIFO レジスタ	4-102
5	汎用 I/O 動作.....	5-1
	ビデオ・ディスプレイまたはビデオ・キャプチャのいずれにも使用されない信号は、汎用入出力 (GPIO) 信号として使用することができます。	
5.1	GPIO レジスタ	5-2
5.1.1	ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ (VPPID) ..	5-3
5.1.2	ビデオ・ポート・ペリフェラル・コントロール・レジスタ (PCR)	5-4
5.1.3	ビデオ・ポート・ピン・ファンクション・レジスタ (PFUNC)	5-6
5.1.4	ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR)	5-8
5.1.5	ビデオ・ポート・ピン・データ・インプット・レジスタ (PDIN)	5-11
5.1.6	ビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOOUT)	5-13
5.1.7	ビデオ・ポート・ピン・データ・セット・レジスタ (PDSET)	5-15
5.1.8	ビデオ・ポート・ピン・データ・クリア・レジスタ (PDCLR)	5-17
5.1.9	ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ (PIEN)	5-19
5.1.10	ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ (PIPOL)	5-21
5.1.11	ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT)	5-23
5.1.12	ビデオ・ポート・ピン・インタラプト・クリア・レジスタ (PICLR)	5-25
6	VCXO 補間制御ポート.....	6-1
	VCXO 補間制御 (VIC) ポートの概要について説明します。	
6.1	概要.....	6-2
6.2	インターフェイス.....	6-3

目次

6.3	動作詳細.....	6-3
6.4	VIC ポートのイネーブル.....	6-5
6.5	VIC ポート・レジスタ.....	6-5
6.5.1	VIC コントロール・レジスタ (VICCTL).....	6-6
6.5.2	VIC インプット・レジスタ (VICIN).....	6-8
6.5.3	VIC クロック・デバイダ・レジスタ (VICDIV).....	6-9
A	改訂履歴.....	A-1
	このマニュアルに対して前回の改訂以降に行われた変更点を示します。	
B	ビデオ・ポート設定例.....	B-1
	複数の参考例を使って各種モードでのビデオ・ポートの設定方法について説明します。この付録に記述されているすべての例は、ビデオ・ポート・チップ・サポート・ライブラリ (CSL) を使用しています。	
B.1	例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ.....	B-2
B.2	例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ.....	B-10



図 1-1	ビデオ・ポートのブロック図.....	1-4
図 1-2	BT.656 ビデオ・キャプチャ FIFO の設定.....	1-6
図 1-3	8/10 ビット Raw ビデオ・キャプチャおよび TSI ビデオ・キャプチャ FIFO の設定	1-7
図 1-4	Y/C ビデオ・キャプチャ FIFO の設定	1-8
図 1-5	16/20 ビット Raw ビデオ・キャプチャ FIFO の設定	1-9
図 1-6	BT.656 ビデオ・ディスプレイ FIFO の設定.....	1-9
図 1-7	8/10 ビット Raw ビデオ・ディスプレイ FIFO の設定	1-10
図 1-8	8/10 ビットのロックされた Raw ビデオ・ディスプレイ FIFO の設定	1-11
図 1-9	16/20 ビット Raw ビデオ・ディスプレイ FIFO の設定	1-11
図 1-10	Y/C ビデオ・ディスプレイ FIFO の設定	1-12
図 2-1	ビデオポート・コントロール・レジスタ (VPCTL).....	2-11
図 2-2	ビデオ・ポート・ステータス・レジスタ (VPSTAT)	2-14
図 2-3	ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE).....	2-15
図 2-4	ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS).....	2-19
図 3-1	ビデオ・キャプチャのパラメータ.....	3-7
図 3-2	8 ビット BT.656 の FIFO のパッキング.....	3-9
図 3-3	10 ビット BT.656 の FIFO のパッキング.....	3-10
図 3-4	10 ビット BT.656 の FIFO の高密度パッキング.....	3-11
図 3-5	8 ビット Y/C FIFO のパッキング.....	3-14
図 3-6	10 ビット Y/C FIFO のパッキング.....	3-15
図 3-7	10 ビット Y/C FIFO の高密度パッキング.....	3-16
図 3-8	VCOUNT の動作例 (EXC = 0).....	3-21
図 3-9	HCOUNT の動作例 (EXC = 0).....	3-23
図 3-10	HCOUNT の動作例 (EXC = 1).....	3-23
図 3-11	フィールド 1 の検出タイミング.....	3-25
図 3-12	色差しサンプリング.....	3-27
図 3-13	一致型 1/2 スケーリング・フィルタリング.....	3-28
図 3-14	1/2 スケーリング色差しサンプリングのフィルタリング.....	3-28
図 3-15	エッジ・ピクセルの複製.....	3-29
図 3-16	エッジ・ピクセルの複製が不要なキャプチャ・ウィンドウ.....	3-30
図 3-17	8 ビット Raw データの FIFO のパッキング.....	3-34
図 3-18	10 ビット Raw データの FIFO のパッキング.....	3-35
図 3-19	10 ビット高密度 Raw データの FIFO のパッキング.....	3-35
図 3-20	16 ビット Raw データの FIFO のパッキング.....	3-36
図 3-21	20 ビット Raw データの FIFO のパッキング.....	3-36
図 3-22	TSI のパラレル・キャプチャ.....	3-38
図 3-23	プログラム・クロック・リファレンス (PCR) のヘッダ・フォーマット.....	3-39
図 3-24	システム・タイム・クロック・カウンタの動作.....	3-40
図 3-25	TSI の FIFO パッキング.....	3-42
図 3-26	TSI のタイムスタンプ・フォーマット (リトル・エンディアン).....	3-42
図 3-27	TSI のタイムスタンプ・フォーマット (ビッグ・エンディアン).....	3-43
図 3-28	キャプチャ・ライン境界の例.....	3-44
図 3-29	ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCASTAT、VCBSTAT).....	3-53
図 3-30	ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL).....	3-55

図 3-31	ビデオ・キャプチャ・チャンネル x フィールド 1 スタート・レジスタ (VCASTRT1、VCBSTR1)	3-62
図 3-32	ビデオ・キャプチャ・チャンネル x フィールド 1 ストップ・レジスタ (VCASTOP1、VCBSTOP1)	3-63
図 3-33	ビデオ・キャプチャ・チャンネル x フィールド 2 スタート・レジスタ (VCASTRT2、VCBSTR2)	3-65
図 3-34	ビデオ・キャプチャ・チャンネル x フィールド 2 ストップ・レジスタ (VCASTOP2、VCBSTOP2)	3-66
図 3-35	ビデオ・キャプチャ・チャンネル x パーティカル・インタラプト・レジスタ (VCAVINT、VCBVINT)	3-67
図 3-36	ビデオ・キャプチャ・チャンネル x スレッシュホールド・レジスタ (VCATHRLD、VCBTHRLD)	3-70
図 3-37	ビデオ・キャプチャ・チャンネル x イベント・カウンタ・レジスタ (VCAEVTCT、VCBEVTCT)	3-71
図 3-38	ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL)	3-72
図 3-39	TSI キャプチャ・コントロール・レジスタ (TSICTL)	3-77
図 3-40	TSI クロック・イニシャリゼーション LSB レジスタ (TSICLKINITL)	3-79
図 3-41	TSI クロック・イニシャリゼーション MSB レジスタ (TSICLKINITM)	3-80
図 3-42	TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL)	3-81
図 3-43	TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM)	3-82
図 3-44	TSI システム・タイム・クロック・コンペア LSB レジスタ (TSISTCMPL)	3-83
図 3-45	TSI システム・タイム・クロック・コンペア MSB レジスタ (TSISTCMPM)	3-84
図 3-46	TSI システム・タイム・クロック・コンペア・マスク LSB レジスタ (TSISTMSKL)	3-85
図 3-47	TSI システム・タイム・クロック・コンペア・マスク MSB レジスタ (TSISTMSKM)	3-86
図 3-48	TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS)	3-87
図 4-1	NTSC 互換インタレース・ディスプレイ	4-3
図 4-2	SMPTE 296M 互換プログレッシブ・スキャン・ディスプレイ	4-4
図 4-3	インタレース・ブランキング期間およびビデオ領域	4-5
図 4-4	プログレッシブ・ブランキング期間およびビデオ領域	4-6
図 4-5	水平ブランキングと水平同期のタイミング	4-7
図 4-6	垂直ブランキング、垂直同期、偶数/奇数フレームの信号のタイミング	4-8
図 4-7	ビデオ・ディスプレイ・モジュール同期チェーン	4-9
図 4-8	BT.656 の出力シーケンス	4-10
図 4-9	525/60 BT.656 水平ブランキング・タイミング	4-10
図 4-10	625/50 BT.656 水平ブランキング・タイミング	4-11
図 4-11	デジタル垂直 F および V 遷移	4-12
図 4-12	8 ビット BT.656 FIFO のアンパッキング	4-14
図 4-13	10 ビット BT.656 FIFO のアンパッキング	4-15
図 4-14	BT.656 高密度 FIFO のアンパッキング	4-16
図 4-15	Y/C 水平ブランキング・タイミング (BT.1120 60I)	4-17
図 4-16	8 ビット Y/C FIFO のアンパッキング	4-19
図 4-17	10 ビット Y/C FIFO のアンパッキング	4-20
図 4-18	10 ビット Y/C 高密度 FIFO のアンパッキング	4-21
図 4-19	色差リサンプリング	4-23
図 4-20	2x 一致型スケーリング	4-24
図 4-21	2x 分散型スケーリング	4-24
図 4-22	出力エッジ・ピクセルの複製	4-24
図 4-23	輝度エッジの複製	4-25
図 4-24	分散型色差エッジの複製	4-25
図 4-25	8 ビット Raw FIFO のアンパッキング	4-28

図 4-26	10 ビット Raw FIFO のアンパッキング	4-29
図 4-27	10 ビット Raw 高密度 FIFO のアンパッキング	4-29
図 4-28	16 ビット Raw FIFO のアンパッキング	4-30
図 4-29	20 ビット Raw FIFO のアンパッキング	4-30
図 4-30	8 ビット Raw 3/4 FIFO のアンパッキング	4-31
図 4-31	10 ビット Raw 3/4 FIFO のアンパッキング	4-31
図 4-32	ディスプレイ・ライン境界の例.....	4-36
図 4-33	BT.656 インタレース・ディスプレイの水平タイミングの例	4-38
図 4-34	BT.656 インタレース・ディスプレイの垂直タイミングの例	4-40
図 4-35	Raw インタレース・ディスプレイの水平タイミングの例	4-42
図 4-36	Raw インタレース・ディスプレイの垂直タイミングの例	4-44
図 4-37	Y/C プログレッシブ・ディスプレイの水平タイミングの例.....	4-46
図 4-38	Y/C プログレッシブ・ディスプレイの垂直タイミングの例.....	4-48
図 4-39	ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT).....	4-56
図 4-40	ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL)	4-59
図 4-41	ビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ).....	4-65
図 4-42	ビデオ・ディスプレイ・ホリゾンタル・ブランキング・レジスタ (VDHBLNK)	4-67
図 4-43	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1)	4-68
図 4-44	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1)	4-69
図 4-45	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2)	4-71
図 4-46	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2)	4-72
図 4-47	ビデオ・ディスプレイ・フィールド 1 イメージ・オフセット・レジスタ (VDIMGOFF1).....	4-73
図 4-48	ビデオ・ディスプレイ・フィールド 1 イメージ・サイズ・レジスタ (VDIMGSZ1)	4-75
図 4-49	ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2).....	4-76
図 4-50	ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2)	4-78
図 4-51	ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ (VDFLDT1)	4-79
図 4-52	ビデオ・ディスプレイ・フィールド 2 タイミング・レジスタ (VDFLDT2)	4-80
図 4-53	ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD)	4-81
図 4-54	ビデオ・ディスプレイ・ホリゾンタル・シンクロナイゼーション・レジスタ (VDHSYNC) ..	4-83
図 4-55	ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS1).....	4-84
図 4-56	ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE1).....	4-85
図 4-57	ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS2).....	4-86
図 4-58	ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE2).....	4-87
図 4-59	ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD).....	4-88
図 4-60	ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT)	4-89
図 4-61	ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP)	4-91
図 4-62	ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL)	4-92
図 4-63	ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL) - Raw データ・モード.....	4-93
図 4-64	ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ (VDVINT)	4-95
図 4-65	ビデオ・ディスプレイ・フィールド・ビット・レジスタ (VDFBIT)	4-96

図 4-66	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・ビット・レジスタ (VDVBIT1).....	4-98
図 4-67	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・ビット・レジスタ (VDVBIT2).....	4-99
図 5-1	ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ (VPPID)	5-3
図 5-2	ビデオ・ポート・ペリフェラル・コントロール・レジスタ (PCR)	5-4
図 5-3	ビデオ・ポート・ピン・ファンクション・レジスタ (PFUNC).....	5-6
図 5-4	ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR)	5-8
図 5-5	ビデオ・ポート・ピン・データ・インプット・レジスタ (PDIN)	5-11
図 5-6	ビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOUT)	5-13
図 5-7	ビデオ・ポート・ピン・データ・セット・レジスタ (PDSET)	5-15
図 5-8	ビデオ・ポート・ピン・データ・クリア・レジスタ (PDCLR).....	5-17
図 5-9	ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ (PIEN).....	5-19
図 5-10	ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ (PIPOL)	5-21
図 5-11	ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT)	5-23
図 5-12	ビデオ・ポート・ピン・インタラプト・クリア・レジスタ (PICLR)	5-25
図 6-1	TSI システム・ブロック図.....	6-2
図 6-2	プログラム・クロック・リファレンス (PCR) のヘッダ・フォーマット.....	6-3
図 6-3	VIC コントロール・レジスタ (VICCTL)	6-6
図 6-4	VIC インプット・レジスタ (VICIN).....	6-8
図 6-5	VIC クロック・デバイダ・レジスタ (VICDIV).....	6-9

表

表 1-1	ビデオ・キャプチャ信号のマッピング.....	1-13
表 1-2	ビデオ・ディスプレイ信号のマッピング.....	1-14
表 1-3	キャプチャ・モードの VDIN データ・バス使用法.....	1-15
表 1-4	ディスプレイ・モードの VDOUT データ・バス使用法.....	1-16
表 2-1	ビデオ・ポート・コントロール・レジスタ.....	2-10
表 2-2	ビデオ・ポート・コントロール・レジスタ (VPCTL) フィールドの説明.....	2-11
表 2-3	ビデオ・ポート動作モードの選択.....	2-13
表 2-4	ビデオ・ポート・ステータス・レジスタ (VPSTAT) フィールドの説明.....	2-14
表 2-5	ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) フィールドの説明.....	2-15
表 2-6	ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明.....	2-20
表 3-1	ビデオ・キャプチャ・モードの選択.....	3-2
表 3-2	BT.656 のビデオ・タイミング・リファレンス・コード.....	3-4
表 3-3	BT.656 の保護ビット.....	3-5
表 3-4	保護ビットによる誤り訂正.....	3-5
表 3-5	一般的なビデオ・ソースのパラメータ.....	3-7
表 3-6	BT.656 および Y/C モードのキャプチャ動作.....	3-18
表 3-7	垂直同期のプログラミング.....	3-20
表 3-8	水平同期のプログラム.....	3-22
表 3-9	フィールド ID のプログラミング.....	3-24
表 3-10	入力フィルタ・モードの選択.....	3-26
表 3-11	Raw データ・モードのキャプチャ動作.....	3-33
表 3-12	TSI キャプチャ・モードの動作.....	3-41
表 3-13	ビデオ・キャプチャの制御レジスタ.....	3-51
表 3-14	ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCxSTAT) フィールドの説明.....	3-53
表 3-15	ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) フィールドの説明.....	3-56
表 3-16	ビデオ・キャプチャ・チャンネル x フィールド 1 スタート・レジスタ (VCxSTRT1) フィールドの説明.....	3-62
表 3-17	ビデオ・キャプチャ・チャンネル x フィールド 1 ストップ・レジスタ (VCxSTOP1) フィールドの説明.....	3-63
表 3-18	ビデオ・キャプチャ・チャンネル x フィールド 2 スタート・レジスタ (VCxSTRT2) フィールドの説明.....	3-65
表 3-19	ビデオ・キャプチャ・チャンネル x フィールド 2 ストップ・レジスタ (VCxSTOP2) フィールドの説明.....	3-66
表 3-20	ビデオ・キャプチャ・チャンネル x パーティカル・インタラプト・レジスタ (VCxVINT) フィールドの説明.....	3-68
表 3-21	ビデオ・キャプチャ・チャンネル x スレッシユホールド・レジスタ (VCxTHRLD) フィールドの説明.....	3-70
表 3-22	ビデオ・キャプチャ・チャンネル x イベント・カウント・レジスタ (VCxEVTCT) フィールドの説明.....	3-71
表 3-23	ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) フィールドの説明.....	3-72
表 3-24	TSI キャプチャ・コントロール・レジスタ (TSICTL) フィールドの説明.....	3-77
表 3-25	TSI クロック・イニシャリゼーション LSB レジスタ (TSICLKINITL) フィールドの説明.....	3-79
表 3-26	TSI クロック・イニシャリゼーション MSB レジスタ (TSICLKINITM) フィールドの説明.....	3-80
表 3-27	TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL) フィールドの説明.....	3-81

表

表 3-28	TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM) フィールドの説明.....	3-82
表 3-29	TSI システム・タイム・クロック・コンペア LSB レジスタ (TSISTCMPL) フィールドの説明	3-83
表 3-30	TSI システム・タイム・クロック・コンペア MSB レジスタ (TSISTCMPM) フィールドの説明	3-84
表 3-31	TSI システム・タイム・クロック・コンペア・マスク LSB レジスタ (TSISTMSKL) フィールド の説明.....	3-85
表 3-32	TSI システム・タイム・クロック・コンペア・マスク MSB レジスタ (TSISTMSKM) フィールド の説明.....	3-86
表 3-33	TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS) フィールド の説明.....	3-87
表 3-34	ビデオ・キャプチャ FIFO レジスタ.....	3-88
表 3-35	ビデオ・キャプチャ FIFO レジスタの機能.....	3-88
表 4-1	ビデオ・ディスプレイ・モードの選択.....	4-2
表 4-2	BT.656 フレーム・タイミング.....	4-11
表 4-3	出力フィルタ・モードの選択.....	4-22
表 4-4	ディスプレイ動作.....	4-33
表 4-5	ビデオ・ディスプレイ・コントロール・レジスタ.....	4-55
表 4-6	ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT) フィールドの説明.....	4-57
表 4-7	ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) フィールドの説明.....	4-60
表 4-8	ビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ) フィールドの説明.....	4-65
表 4-9	ビデオ・ディスプレイ・ホリゾンタル・ブランキング・レジスタ (VDHBLNK) フィールドの 説明.....	4-67
表 4-10	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1) フィールドの説明.....	4-68
表 4-11	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1) フィールドの説明.....	4-69
表 4-12	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2) フィールドの説明.....	4-71
表 4-13	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2) フィールドの説明.....	4-72
表 4-14	ビデオ・ディスプレイ・フィールド 1 イメージ・オフセット・レジスタ (VDIMGOFF1) フィー ルドの説明.....	4-74
表 4-15	ビデオ・ディスプレイ・フィールド 1 イメージ・サイズ・レジスタ (VDIMGSZ1) フィールドの 説明.....	4-75
表 4-16	ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2) フィールドの説明.....	4-77
表 4-17	ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2) フィールドの 説明.....	4-78
表 4-18	ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ (VDFLDT1) フィールドの説明	4-79
表 4-19	ビデオ・ディスプレイ・フィールド 2 タイミング・レジスタ (VDFLDT2) フィールドの説明	4-80
表 4-20	ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD) フィールドの説明	4-82
表 4-21	ビデオ・ディスプレイ・ホリゾンタル・シンクロナイゼーション・レジスタ (VDHSYNC) フィールドの説明.....	4-83
表 4-22	ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジ スタ (VDVSYNS1) フィールドの説明.....	4-84
表 4-23	ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジス タ (VDVSYNE1) フィールドの説明.....	4-85

表 4-24	ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS2) フィールドの説明.....	4-86
表 4-25	ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE2).....	4-87
表 4-26	ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD) フィールドの説明 ..	4-88
表 4-27	ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT) フィールドの説明.....	4-89
表 4-28	ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP) フィールドの説明.....	4-91
表 4-29	ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュウ・レジスタ (VDDEFVAL) フィールドの説明.....	4-93
表 4-30	ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ (VDVINT) フィールドの説明.....	4-95
表 4-31	ビデオ・ディスプレイ・フィールド・ビット・レジスタ (VDFBIT) フィールドの説明.....	4-96
表 4-32	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・ビット・レジスタ (VDVBIT1) フィールドの説明.....	4-98
表 4-33	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・ビット・レジスタ (VDVBIT2) フィールドの説明.....	4-99
表 4-34	ビデオ・ディスプレイ・レジスタの推奨値.....	4-100
表 4-35	ビデオ・ディスプレイ FIFO レジスタ.....	4-102
表 4-36	ビデオ・ディスプレイ FIFO レジスタの機能.....	4-102
表 5-1	ビデオ・ポート・レジスタ.....	5-2
表 5-2	ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ (VPPID) フィールドの説明.....	5-3
表 5-3	ビデオ・ポート・ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明.....	5-5
表 5-4	ビデオ・ポート・ピン・ファンクション・レジスタ (PFUNC) フィールドの説明.....	5-7
表 5-5	ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR) フィールドの説明.....	5-9
表 5-6	ビデオ・ポート・ピン・データ・インプット・レジスタ (PDIN) フィールドの説明.....	5-12
表 5-7	ビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOUT) フィールドの説明.....	5-14
表 5-8	ビデオ・ポート・ピン・データ・セット・レジスタ (PDSET) フィールドの説明.....	5-16
表 5-9	ビデオ・ポート・ピン・データ・クリア・レジスタ (PDCLR) フィールドの説明.....	5-18
表 5-10	ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ (PIEN) フィールドの説明...	5-20
表 5-11	ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ (PIPOL) フィールドの説明	5-22
表 5-12	ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT) フィールドの説明.....	5-24
表 5-13	ビデオ・ポート・ピン・インタラプト・クリア・レジスタ (PICLR) フィールドの説明.....	5-26
表 6-1	VIC ポート・インターフェイス信号.....	6-3
表 6-2	補間レートの値の例.....	6-4
表 6-3	VIC ポート・レジスタ.....	6-5
表 6-4	VIC コントロール・レジスタ (VICCTL) フィールドの説明.....	6-6
表 6-5	VIC インプット・レジスタ (VICIN) フィールドの説明.....	6-8
表 6-6	VIC クロック・デバイダ・レジスタ (VICDIV) フィールドの説明.....	6-9
表 A-1	マニュアル改訂履歴.....	A-1

表

概要

この章では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサに搭載されているビデオ・ポート・ペリフェラルの概要を説明します。この章で説明する内容は、ビデオ・ポート機能、FIFO 設定、および信号マッピングの概要です。

注：

ビデオ・ポートの機能セットは、C6000 デバイス間で異なる場合があります。サポートされている機能のリストについては、各デバイスのデータシートを参照してください。

項目	ページ
1.1 ビデオ・ポート	1-2
1.2 ビデオ・ポート FIFO	1-5
1.3 ビデオ・ポート・レジスタ	1-12
1.4 ビデオ・ポート・ピンのマッピング	1-13

1.1 ビデオ・ポート

ビデオ・ポート・ペリフェラルは、ビデオ・キャプチャ・ポート、ビデオ・ディスプレイ・ポート、トランスポート・ストリーム・インターフェイス (TSI) キャプチャ・ポートのいずれかとして機能します。ビデオ・ポートの機能について説明します。

□ ビデオ・キャプチャ・モード：

- 最大 80 MHz までのキャプチャ・レート。
- デジタル・カメラまたはアナログ・カメラ（ビデオ・デコーダを使用）からの 8/10 ビット・デジタル・ビデオ入力 2 チャンネル。デジタル・ビデオ入力は、ITU-R BT.656 フォーマットでマルチプレクスされる 8 ビットまたは 10 ビットの解像度をもつ YCbCr 4:2:2 フォーマットに対応しています。
- 別々の Y および Cb/Cr 入力に基づく YCbCr 4:2:2 フォーマットでの Y/C 16/20 ビットのデジタル・ビデオ入力 1 チャンネル。旧式の CCIR601 インターフェイスだけでなく、SMPTE 260M、SMPTE 274M、SMPTE 296M、ITU-BT.1120、などもサポートします。
- 8 ビット 4:2:2 モードでの YCbCr 4:2:2 から YCbCr 4:2:0 への水平方向成分の変換および 1/2 スケーリング。
- A/D コンバータからの最大 10 ビット Raw ビデオ 2 チャンネルまたは 最大 20 ビット Raw ビデオ 1 チャンネルのダイレクト・インターフェイス。

- ビデオ・ディスプレイ・モード：
 - 最大 110 MHz までの表示レート。
 - 連続デジタル・ビデオ出力 1 チャンネル。デジタル・ビデオ出力は、ITU-R BT.656 フォーマットでマルチプレクスされる 8/10 ビットの解像度をもつ YCbCr 4:2:2 一致型ピクセル・データです。
 - 別々の Y および Cb/Cr 出力に基づく YCbCr 4:2:2 フォーマットでの Y/C 16/20 ビットのデジタル・ビデオ出力 1 チャンネル (SMPTE 260M、SMPTE 274M、SMPTE 296M、ITU-BT.1120 などをサポート)。
 - 8 ビット 4:2:2 モードでの YCbCr 4:2:0 から YCbCr 4:2:2 への水平変換および 2X スケーリング。
 - BT.656 および Y/C モード出力値のプログラム可能なクリッピング。
 - RAMDAC へのインターフェイスに対する最大 20 ビット Raw データ出力 1 チャンネル。2 チャンネルの同期 Raw データ出力。
 - 外部ビデオ・コントローラまたは別のビデオ・ディスプレイ・ポートへ同期します。
 - 外部クロックを使用して、フレーム・タイミング・ジェネレータは、水平ブランキングと垂直ブランキング、スタート・オブ・アクティブ・ビデオ (SAV) とエンド・オブ・アクティブ・ビデオ (EAV) コードの挿入、水平およびフレーム・タイミング・パルスを含むプログラム可能なイメージ・タイミングを供給します。
 - 水平方向と垂直方向それぞれの同期信号とブランキング信号、およびフレーム同期信号を生成します。
- TSI キャプチャ・モード：復調装置等のフロントエンド・デバイスまたは最大 30 MB/s での 8 ビット・パラレル・フォーマットでのフォワード・エラー訂正デバイスからのトランスポート・ストリーム・インターフェイス (TSI)。
- ポートは、チャンネルごとに最大 3 つのイベントと 1 つの割り込みを DSP へ生成します。

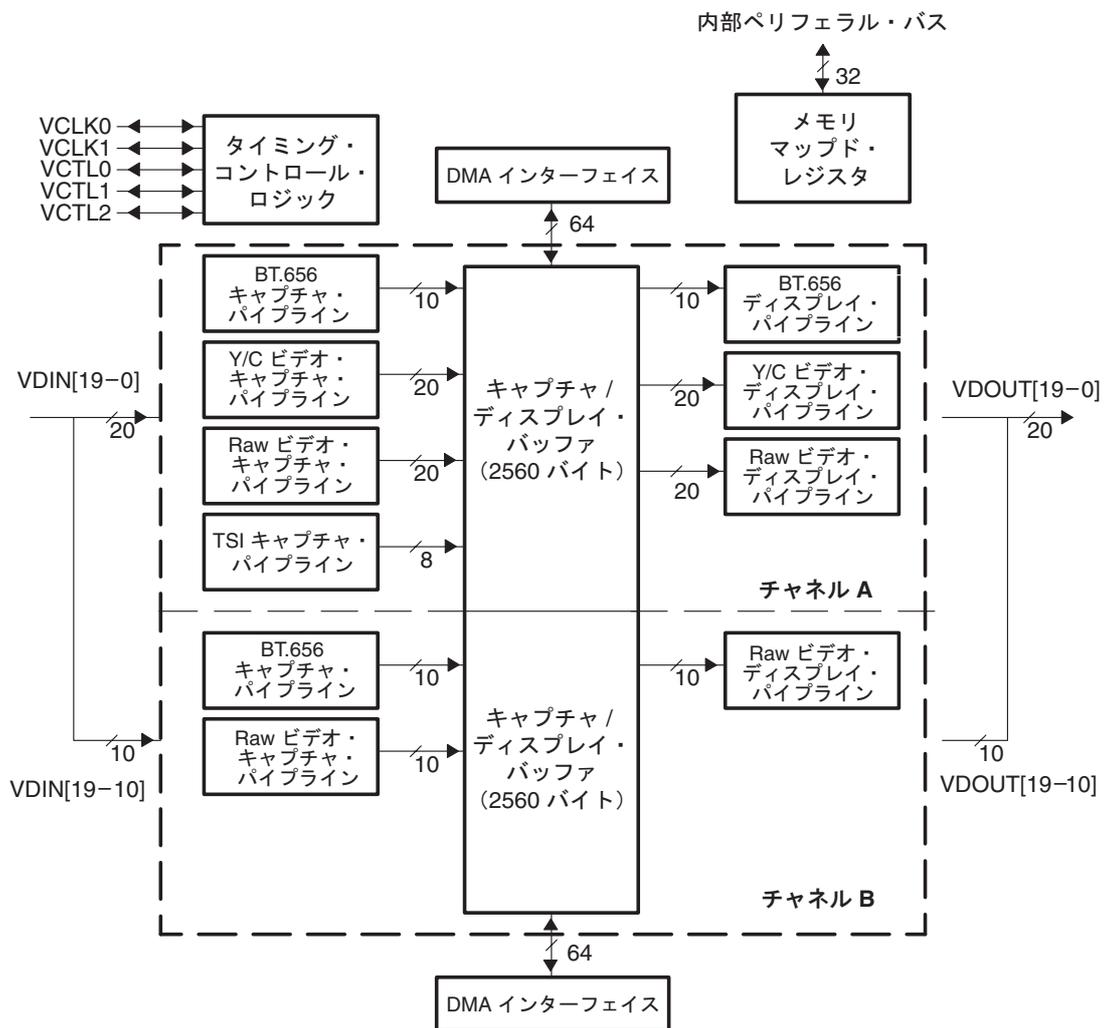
ビデオ・ポートのハイレベル・ブロック図を図 1-1 に示します。ビデオ・ポートは 2 つのチャンネル (A と B) から構成されます。5120 バイトのキャプチャ/ディスプレイ・バッファは、2 つのチャンネル間で分割可能です。ポート全体 (2 つのチャンネル) は、常にビデオ・キャプチャまたはビデオ・ディスプレイのいずれかにのみ設定されます。別のデータ・パイプラインは、BT.656、Y/C、Raw ビデオ、TSI モードのそれぞれに対して、ビデオ・キャプチャまたはビデオ・ディスプレイ・データの解析およびフォーマットを制御します。

ビデオ・キャプチャ動作では、ビデオ・ポートは 8/10 ビット BT.656 または Raw ビデオ・キャプチャ 2 チャンネルとして動作させることと、または 8/10 ビット BT.656、8/10 ビット Raw ビデオ、16/20 ビット Y/C ビデオ、16/20 ビット Raw ビデオ、8 ビット TSI のいずれか単一チャンネルとして動作させることができます。

ビデオ・ディスプレイ動作では、ビデオ・ポートは、8/10 ビット BT.656、8/10 ビット Raw ビデオ、16/20 ビット Y/C ビデオ、16/20 ビット Raw ビデオのいずれか単一チャンネルとして動作させることができます。ビデオ・ポートは、2 チャンネルが同一タイミングにロックされる 8/10 ビット 2 チャンネル Raw モードでも動作させることができます。単一チャンネル動作中は、チャンネル B は使用されません。

このマニュアルでは、20 ビットのビデオ・ポート実装で提供されるフル機能セットを説明します。一部のデバイスは、ビデオ・キャプチャのみまたはビデオ・ディスプレイのみなど機能のサブセットを供給します。また、一部のデバイスでは、ビデオ・ポート幅が 8 ビットまたは 10 ビットに制限されています。この場合、16 ビット Raw、20 ビット Raw、Y/C などのより幅の広いビデオ・ポート幅を必要とするモードはサポートされません。これらの詳細および I/O タイミングに関する情報については、各デバイスのデータシートを参照してください。

図 1-1. ビデオ・ポートのブロック図



1.2 ビデオ・ポート FIFO

ビデオ・ポートは、ビデオ・ポートに入力されるデータやビデオ・ポートから出力されるデータを格納するための FIFO を含んでいます。ビデオ・ポートは、ビデオ・ポート FIFO と外部メモリまたは内蔵メモリとの間でデータを移動させるために DMA 転送と連動して動作します。ビデオ・ポート FIFO が（キャプチャ時）一定のフル値に到達するか、（ディスプレイ時）一定のフル値以下になると DMA イベントが生成されるように、スレッシュホールド設定をプログラムできます。FIFO を処理するように要求される DMA はビデオ・ポートとは独立に設定され、ビデオ・ポートの動作を補正する重要なカギです。通常、デバイスには複数のビデオ・ポートを含む多くのペリフェラル・インターフェイスが搭載されているので、DMA が転送要求を処理する時間を許容するために FIFO サイズは比較的大きくなっています。

次の節では、DMA との相互作用および各種のモードをサポートするために使用される異なった FIFO 設定について簡単に説明します。

1.2.1 DMA インターフェイス

ビデオ・ポートのデータ転送は、DMA を使用して行われます。DMA 要求は、バッファ・スレッシュホールドに基づきます。ビデオ・ポートは、転送を直接行わないので、バッファが空の状態または一杯の状態に基づいて転送サイズを調整することはできません。これは、DMA 転送サイズはユーザーがプログラムした DMA パラメータ・テーブル内で基本的に固定されることを意味しています。好ましい転送サイズは、多くの場合画像データの 1 ライン分です。それは、(RAM 内での) フレーム・バッファのライン・ピッチに関してこの設定が最も効率がよくなるからです。最大表示レートに対する動作の一部のモードは、1/2 または 1/4 などのラインを基準にするような、より頻繁な DMA 要求を必要とする場合があります。

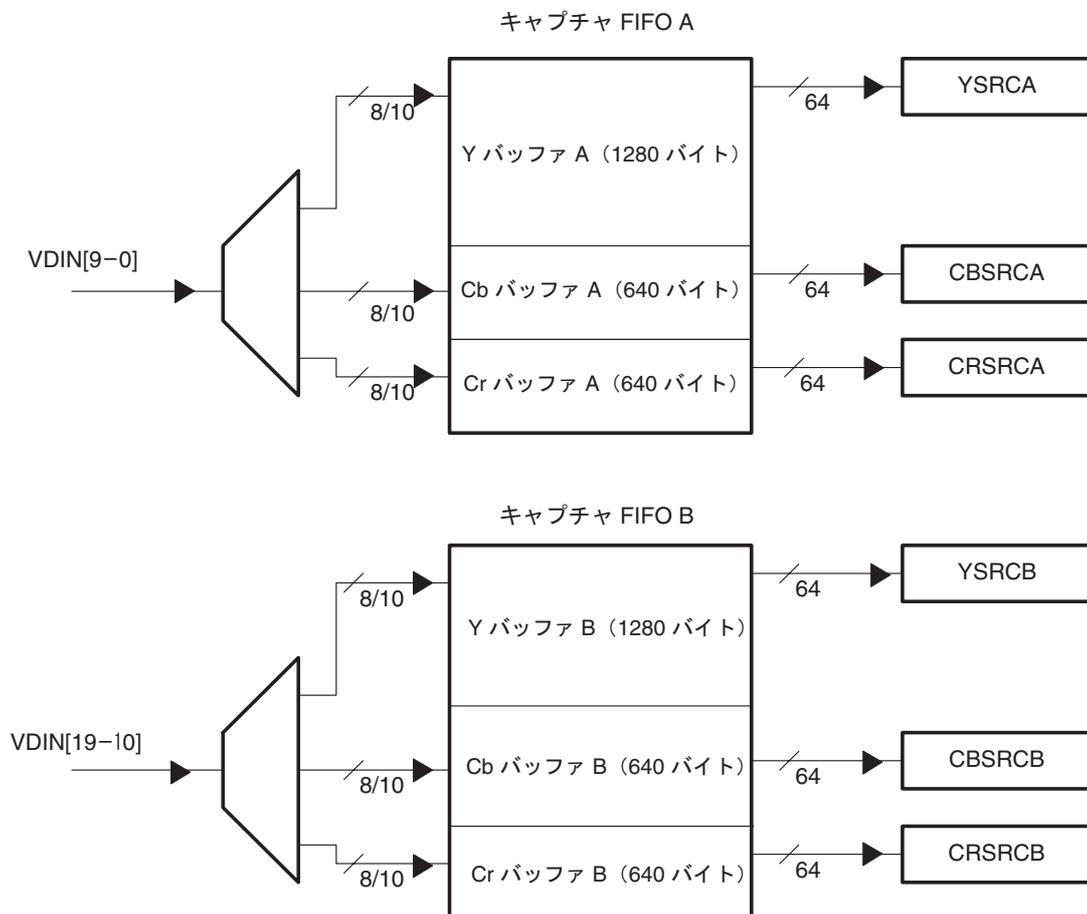
すべての要求は、バッファ・スレッシュホールドに基づきます。ビデオ・キャプチャ・モードでは、バッファ内のサンプル数がスレッシュホールド値に到達すると必ず DMA 要求が発生します。キャプチャ・フィールド/フレームからのデータがすべてバッファから空になることを保証するには、転送サイズはスレッシュホールドと等しく、かつフィールド/フレーム・データを合計した量が、転送サイズの倍数である必要があります。

ビデオ・ディスプレイ動作では、FIFO 内にスレッシュホールドの数のフリーなダブルワードがある場合には必ず DMA 要求が発生します。これは、転送サイズが使用可能なスペースに収まるようにスレッシュホールドと等しくなければならないということを意味しています。この場合でもフィールド/フレーム・サイズは、転送サイズの倍数になっている必要があります。そうでないとフィールドの最後にバッファ内に残されている（次のフィールドの先頭に現れる）ピクセルが存在してしまいます。

1.2.2 ビデオ・キャプチャ FIFO の設定

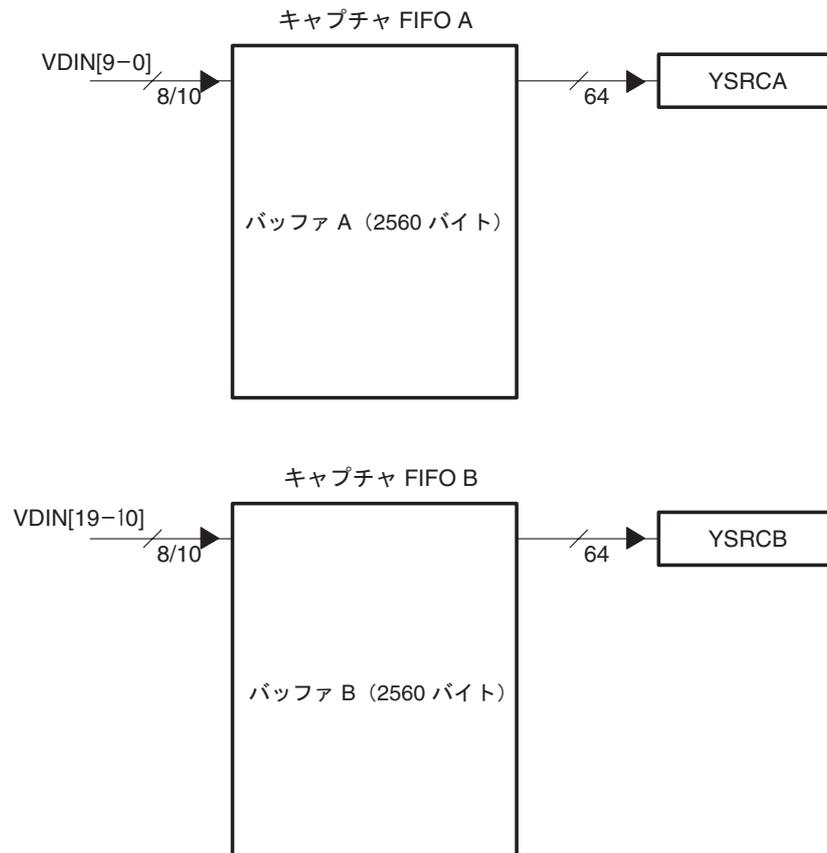
ビデオ・キャプチャ動作時、ビデオ・ポート FIFO はキャプチャ・モードに応じて4つの設定のうち1つを備えています。BT.656動作では、FIFOは図1-2示されるようにチャンネルAとBに分割されます。各FIFOは、バスの下位VDIN[9-0]からのデータを受け取るチャンネルA FIFOおよびバスの上位VDIN[19-10]からのデータを受け取るチャンネルB FIFOで、それぞれ独立したクロックに同期します。各チャンネルのFIFOは個々のライト・ポインタおよびリード・レジスタ (YSRCx、CBSRCx、CRSRCx) をもつY、Cb、Crの各バッファにさらに分割されます。

図 1-2. BT.656 ビデオ・キャプチャ FIFO の設定



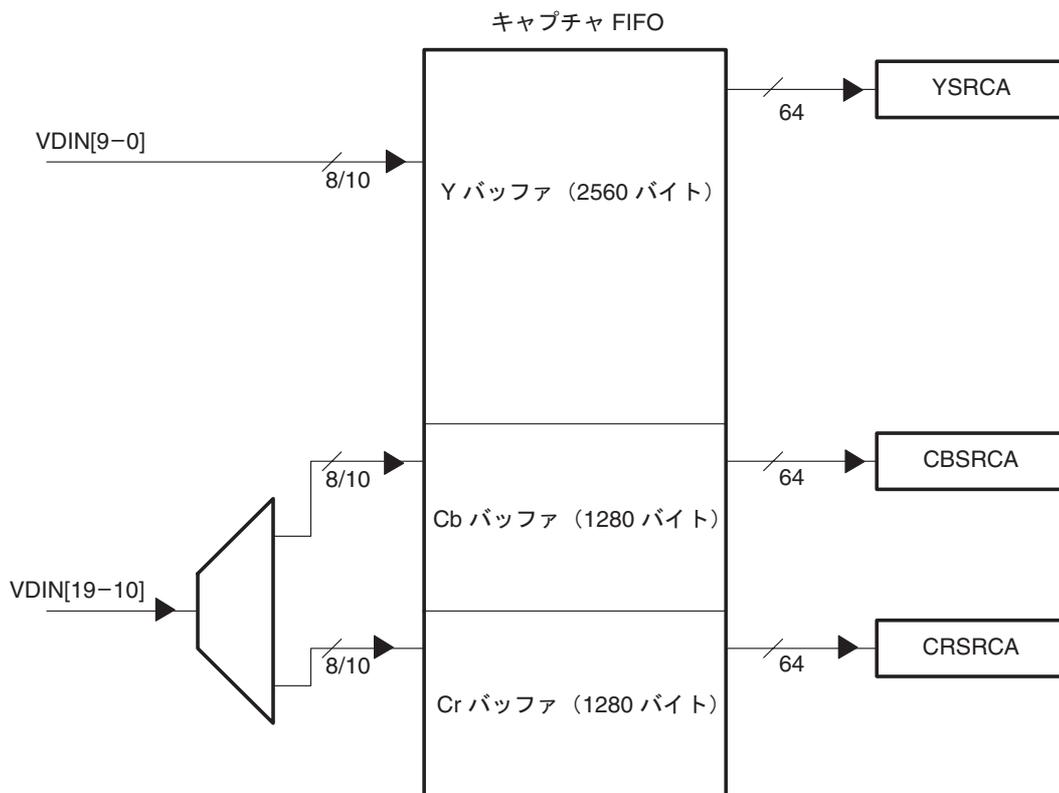
8/10 ビット Raw ビデオでは、FIFO は図 1-3 に示されるようにチャンネル A と B に分割されます。各 FIFO はバスの下位 VDIN[9-0] からのデータを受け取るチャンネル A FIFO およびバスの上位 VDIN[19-10] からのデータを受け取るチャンネル B FIFO で、それぞれ独立したクロックに同期します。各チャンネルの FIFO には、個々のライト・ポインタ/リード・レジスタ (YSRCx) があります。FIFO 設定は、TSI キャプチャの場合同一ですが、チャンネル B はディスエーブルとなります。

図 1-3. 8/10 ビット Raw ビデオ・キャプチャおよび TSI ビデオ・キャプチャ FIFO の設定



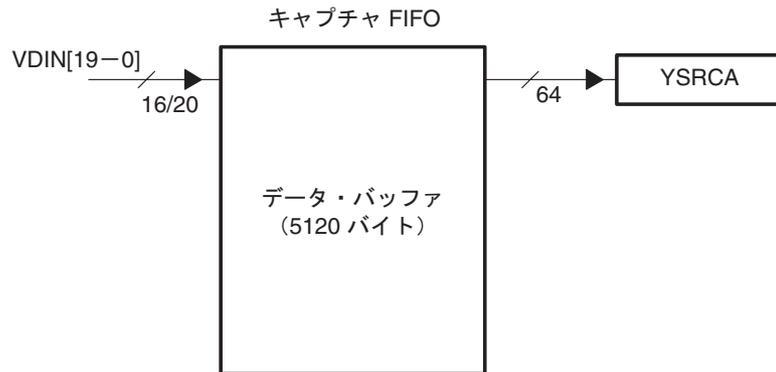
Y/C ビデオ・キャプチャでは、FIFO は個々のライト・ポインタとリード・レジスタ (YSRCA、CBSRCA、CRSRCA) を持つ Y、Cb、Cr の各バッファに分割される単一チャネルとして設定されます。図 1-4 は、Y データがバスの下位 VDIN[9-0] で受信される様子、および Cb/Cr データがバスの上位 VDIN[19-10] で受信され Cb および Cr バッファにデマルチプレクスされる様子を示しています。

図 1-4. Y/C ビデオ・キャプチャ FIFO の設定



16/20 ビット Raw ビデオでは、FIFO は図 1-5 に示されるように単一バッファとして設定されます。FIFO は、バス VDIN[19-0] から 16/20 ビット・データを受け取ります。FIFO は、単一のライト・ポインタおよびリード・レジスタ (YSRCA) を持っています。

図 1-5. 16/20 ビット Raw ビデオ・キャプチャ FIFO の設定



1.2.3 ビデオ・ディスプレイ FIFO の設定

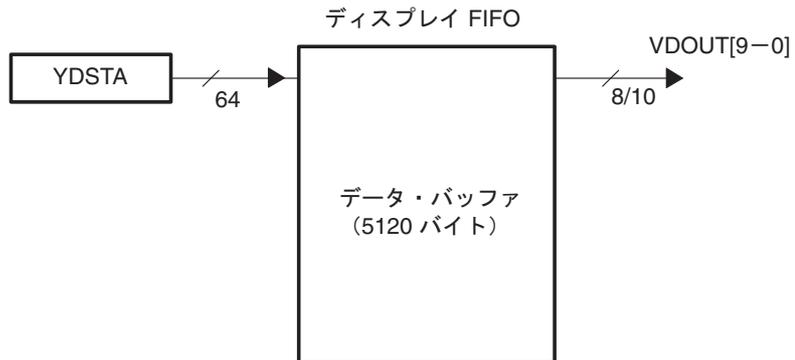
ビデオ・ディスプレイ動作時、ビデオ・ポート FIFO はディスプレイ・モードに応じて 5 つの設定のうち 1 つを使用します。BT.656 動作では、図 1-6 に示されるように単一出力は VDOUT[9-0] へデータ出力するチャンネル A に供給されます。チャンネルの FIFO は、個々のリード・ポインタとライト・レジスタ (YDSTA、CBDST、CRDST) を持つ Y、Cb、Cr の各バッファに分割されます。

図 1-6. BT.656 ビデオ・ディスプレイ FIFO の設定



8/10 ビット Raw ビデオでは、FIFO は図 1-7 に示されるように単一バッファとして設定されます。FIFO は、バスの下位 VDIN[9-0] ヘデータを出力します。FIFO は、単一のリード・ポインタおよびライト・レジスタ (YDSTA) を持っています。

図 1-7. 8/10 ビット Raw ビデオ・ディスプレイ FIFO の設定



ロックされた Raw ビデオでは、FIFO はチャンネル A と B に分割されます。2 つのチャンネルはともにロックされ、同一クロック信号と制御信号を使用します。各チャンネルは、図 1-8 に示されるように単一のバッファおよびライト・レジスタ (YDSTx) を使用します。

16/20 ビット Raw ビデオでは、FIFO は図 1-9 に示されるように単一バッファとして設定されます。FIFO はデータを VDOOUT[19-0] へ出力します。FIFO は、単一のリード・ポインタおよびライト・レジスタ (YDSTA) を持っています。

図 1-8. 8/10 ビットのロックされた Raw ビデオ・ディスプレイ FIFO の設定

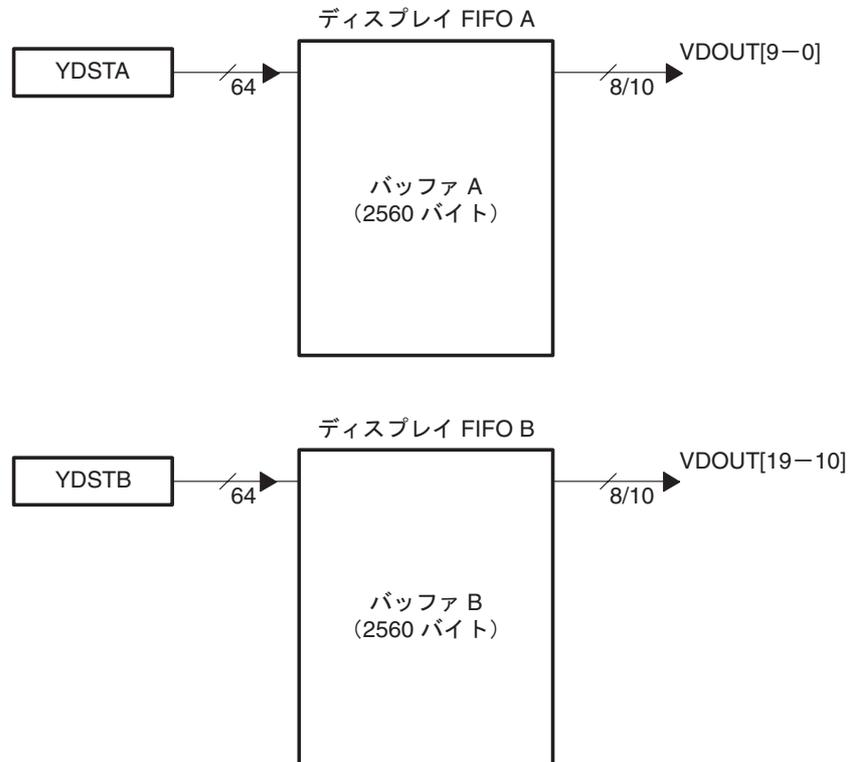
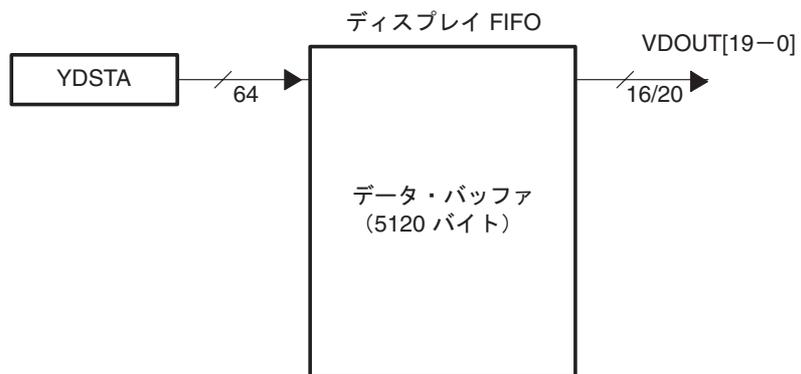
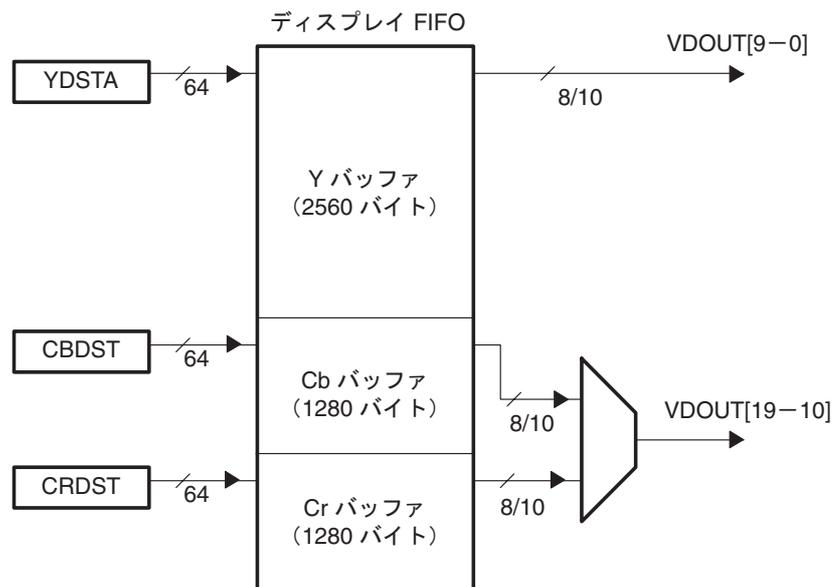


図 1-9. 16/20 ビット Raw ビデオ・ディスプレイ FIFO の設定



Y/C ビデオ・ディスプレイでは、FIFO は個々のリード・ポインタとライト・レジスタ (YDSTA、CBDST、CRDST) を持つ Y、Cb、Cr の各バッファに分割される単一チャンネルとして設定されます。図 1-10 は、Y データがバスの下位 VDOUT[9-0] へ出力される様子、および Cb/Cr データがマルチプレクスされバスの上位 VDOUT[19-10] へ出力される様子を示しています。

図 1-10. Y/C ビデオ・ディスプレイ FIFO の設定



1.3 ビデオ・ポート・レジスタ

ビデオ・ポート・コンフィギュレーション・レジスタ空間は、トップレベルのビデオ・ポート制御、ビデオ・キャプチャ制御、ビデオ・ディスプレイ制御、および GPIO を含む機能ごとにグループ化されたレジスタで複数の異なるセクションに分割されています。

ビデオ・ポートを制御するレジスタについては、2.4 節で説明します。

ビデオ・キャプチャ・モードを制御するレジスタの説明は、3.13 節を参照してください。補足スペースは、FIFO リード疑似レジスタ専用となっています (3.14 節を参照)。このスペースは、高速アクセスを必要とし、レジスタ・アクセス・バスにマップされません。

ビデオ・ディスプレイ・モードを制御するレジスタの説明は、4.12 節を参照してください。補足スペースは、FIFO ライト疑似レジスタ専用です (4.14 節を参照)。このスペースは、高速アクセスを必要とし、レジスタ・アクセス・バスにマップされていません。

汎用入出力 (GPIO) を制御するレジスタの説明は、5.1 節を参照してください。

1.4 ビデオ・ポート・ピンのマッピング

ビデオ・ポートは、全機能を使用するためには 21 個の外部信号ピンを必要とします。ピンの使用法および出力の方向については、選択される動作モードによって異なります。ビデオ・キャプチャ・モードのピン機能の詳細を表 1-1 に示します。ビデオ・ディスプレイ・モードのピン機能の詳細を表 1-2 に示します。未使用のポート信号（VCLK0 および VCLK1 を除く）は、すべて汎用 I/O（GPIO）ピンとして設定することができます。

表 1-1. ビデオ・キャプチャ信号のマッピング

ビデオ・ポート 信号	I/O	使用法					
		BT.656 キャプチャ・モード			Raw データ・キャプチャ・モード		
		デュアル・ チャンネル	シングル・ チャンネル	Y/C キャプ チャ・モード	8/10 ビット	16/20 ビット	TSI キャプ チャ・モード
VDATA[9-0]	I/O	VDIN[9-0] (In) Ch A	VDIN[9-0] (In) Ch A	VDIN[9-0] (In) (Y)	VDIN[9-0] (In) Ch A	VDIN[9-0] (In)	VDIN[7-0] (In)
VDATA[19-10]	I/O	VDIN[19-10] (In) Ch B	未使用	VDIN[19-10] (In) (Cb/Cr)	VDIN[19-10] (In) Ch B	VDIN[19-10] (In)	未使用
VCLK0	I	VCLKINA (In)	VCLKINA (In)	VCLKINA (In)	VCLKINA (In)	VCLKINA (In)	VCLKINA (In)
VCLK1	I/O	VCLKINB (In)	未使用	未使用	VCLKINB (In)	未使用	未使用
VCTL0	I/O	CAPENA (In)	CAPENA/ AVID/HSYNC (In)	CAPENA/ AVID/HSYNC (In)	CAPENA (In)	CAPENA (In)	CAPENA (In)
VCTL1	I/O	CAPENB (In)	VBLNK/ VSYNC (In)	VBLNK/ VSYNC (In)	CAPENB (In)	未使用	PACSTRT (In)
VCTL2	I/O	未使用	FID (In)	FID (In)	FID (In) Ch A	FID (In) Ch A	PACERR (In)

凡例： VCLKINA – チャンネル A キャプチャ・クロック。CAPENA – チャンネル A キャプチャ・イネーブル。VCLKINB – チャンネル B キャプチャ・クロック。CAPENB – チャンネル B キャプチャ・イネーブル。AVID – アクティブ・ビデオ。HSYNC – 水平同期。VBLNK – 垂直ブランキング。VSYNC – 垂直同期。FID – フィールド ID（識別）。PACSTRT – パケット・スタート。PACERR – パケット・エラー。

表 1-2. ビデオ・ディスプレイ信号のマッピング

ビデオ・ポート 信号	I/O	使用法				
		BT.656 ディスプレイ・ モード	Y/C ディスプレイ・ モード	Raw データ・ディスプレイ・モード		
				8/10 ビット	16/20 ビット	8/10 ビット デュアル同期
VDATA[9-0]	I/O	VDOOUT[9-0] (Out)	VDOOUT[9-0] (Out) (Y)	VDOOUT[9-0] (Out)	VDOOUT[9-0] (Out)	VDOOUT[9-0] (Out) (Ch A)
VDATA[19-10]	I/O	未使用	VDOOUT[19-10] (Out) (Cb/Cr)	未使用	VDOOUT[19-10] (Out)	VDOOUT[9-0] (Out) (Ch B)
VCLK0	I	VCLKIN (In)				
VCLK1	I/O	VCLKOUT (Out)				
VCTL0	I/O	HSYNC/HBLNK/ AVID/FLD (Out) または HSYNC (In)				
VCTL1	I/O	VSYNC/VBLNK/ CSYNC/FLD (Out) または VSYNC (In)				
VCTL2	I/O	CBLNK/FLD (Out) または FLD (In)				

1.4.1 キャプチャ・モードの VDIN バス使用法

VDIN バス上のデータのアライメントと使用法は、キャプチャ・モードによって異なります（表 1-3 を参照）。

表 1-3. キャプチャ・モードの VDIN データ・バス使用法

データ・バス	キャプチャ・モード								TSI モード
	BT.656		Y/C		Raw データ				
	10 ビット	8 ビット	10 ビット	8 ビット	8 ビット	10 ビット	16 ビット	20 ビット	
VDIN19	B	B	A (C)	A (C)	B	B	A	A	
VDIN18	B	B	A (C)	A (C)	B	B	A	A	
VDIN17	B	B	A (C)	A (C)	B	B	A	A	
VDIN16	B	B	A (C)	A (C)	B	B	A	A	
VDIN15	B	B	A (C)	A (C)	B	B	A	A	
VDIN14	B	B	A (C)	A (C)	B	B	A	A	
VDIN13	B	B	A (C)	A (C)	B	B	A	A	
VDIN12	B	B	A (C)	A (C)	B	B	A	A	
VDIN11	B		A (C)			B		A	
VDIN10	B		A (C)			B		A	
VDIN9	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN8	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN7	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN6	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN5	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN4	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN3	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN2	A	A	A (Y)	A (Y)	A	A	A	A	A
VDIN1	A		A (Y)			A		A	
VDIN0	A		A (Y)			A		A	

凡例： A – チャンネル A キャプチャ。A(C) – チャンネル A 色差（クロマ）。A(Y) – チャンネル A 輝度（ルーマ）。B – チャンネル B キャプチャ。

1.4.2 ディスプレイ・モードの VDOOUT データ・バス使用法

VDOOUT バス上のデータのアライメントと使用法は、ディスプレイ・モードによって異なります（表 1-4 を参照）。

表 1-4. ディスプレイ・モードの VDOOUT データ・バス使用法

データ・バス	ディスプレイ・モード							
	BT.656		Y/C		デュアル同期 Raw データ		Raw データ	
	10 ビット	8 ビット	10 ビット	8 ビット	8 ビット	10 ビット	16 ビット	20 ビット
VDOOUT19			A (C)	A (C)	(B)	(B)	A	A
VDOOUT18			A (C)	A (C)	(B)	(B)	A	A
VDOOUT17			A (C)	A (C)	(B)	(B)	A	A
VDOOUT16			A (C)	A (C)	(B)	(B)	A	A
VDOOUT15			A (C)	A (C)	(B)	(B)	A	A
VDOOUT14			A (C)	A (C)	(B)	(B)	A	A
VDOOUT13			A (C)	A (C)	(B)	(B)	A	A
VDOOUT12			A (C)	A (C)	(B)	(B)	A	A
VDOOUT11			A (C)			(B)		A
VDOOUT10			A (C)			(B)		A
VDOOUT9	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT8	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT7	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT6	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT5	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT4	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT3	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT2	A	A	A (Y)	A (Y)	A	A	A	A
VDOOUT1	A		A (Y)			A		A
VDOOUT0	A		A (Y)			A		A

凡例： A - チャンネル A ディスプレイ。A(C) - チャンネル A 色差 (クロマ)。A(Y) - チャンネル A 輝度 (ルーマ)。B - オプションのロックされるチャンネル B ディスプレイ。

ビデオ・ポート

この章では、ビデオ・ポートの基本動作について説明します。この章では、リセットの要因と種類、割り込み動作、DMA の動作、外部クロック入力、ビデオ・ポートのスループットとレイテンシ、およびビデオ・ポート・コントロール・レジスタについて説明します。

注：

ビデオ・ポートの機能セットは、C6000 デバイス間で異なる場合があります。サポートされている機能のリストについては、各デバイスのデータシートを参照してください。

項目	ページ
2.1 リセット動作.....	2-2
2.2 割り込み動作.....	2-5
2.3 DMA の動作	2-6
2.4 ビデオ・ポート・コントロール・レジスタ	2-10

2.1 リセット動作

ビデオ・ポートのリセットには、さまざまな要因と種類があります。これらのリセットにより行われる動作とリセット後のポートの状態については、以降の節で説明します。

2.1.1 パワーオン・リセット

パワーオン・リセットは、チップレベルのリセット動作に起因する非同期ハードウェア・リセットです。リセットは、ビデオ・ポートへのパワーオン・リセット入力によって開始されます。入力がアクティブのとき、ポートはすべての I/O (VD[19-0]、VCTL0、VCTL1、VCTL2、VCLK1) をハイ・インピーダンスに設定します。

2.1.2 ペリフェラル・バス・リセット

ペリフェラル・バス・リセットは、チップレベルのリセット動作に起因する同期ハードウェア・リセットです。リセットは、ビデオ・ポートへのペリフェラル・バスのリセット入力によって開始されます。このリセットは低消費電力動作用にビデオ・ポートをディスエーブルするために内部的に使用する（連続的にアサートする）ことができます。入力がアクティブのとき、ポートは次のことを行います。

- ❑ すべての I/O (VD[19-0]、VCTL0、VCTL1、VCTL2、VCLK1) をハイ・インピーダンスに設定します（保持します）。
- ❑ FIFO をフラッシュします（ポインタをリセットします）。
- ❑ すべてのポート、キャプチャ、ディスプレイ、および GPIO の各レジスタをデフォルト値にリセットします。適切なモジュール・クロック (VCLK0、VCLK1、STCLK) エッジがリセットからロジックを同期してリリースするために発生するまで、これらは完了しない場合があります。
- ❑ PCR 内の PEREN ビットをゼロクリアします。
- ❑ VPCTL 内の VPHLT ビットを 1 にセットします

ペリフェラルがディスエーブルされたまま (PEREN = 0) になっているときは、次のようになります。

- ❑ VCLK0、VCLK1、STCLK は、ペリフェラルの電力を節約するためにゲートオフされます。
- ❑ ペリフェラル・バス・アクセスは、DMA ロックアップを回避するために応答を返しません (RREADY/WREADY が返されず)（読み取り時の値や書き込み時に受け取ったり破棄されるデータが返されず）。
- ❑ ペリフェラル・バス MMR インターフェイスは、GPIO レジスタ (PID、PCR、PFUNC、PDIR、PIN、PDOUT、PDSET、PDCLR、PIEN、PIPOL、PISTAT、PICLR) にのみアクセスを可能にします。
- ❑ I/O ポート (VD[19-0]、VCTL0、VCTL1、VCTL2、VCLK1) は、PFUNC ビットによって GPIO としてイネーブルされない限りハイ・インピーダンス状態のままになります。

ソフトウェアで PCR 内の PEREN ビットをセットしても VPCTL 内の VPHLT ビットがセットされたままの場合は、以下ようになります。

- ❑ VCLK0、VCLK1、STCLK は、ポートに対してイネーブルされます (ロジックのリセットを完了させることができます)。
- ❑ ペリフェラル・バス・アクセスは、DMA ロックアップを回避するために応答 (ACK) を返します (RREADY/WREADY が返されます) (読み取り時に返される値、書き込み時に受け入れられるデータ、破棄されるデータのいずれか)。
- ❑ ペリフェラル・バス MMR インターフェイスは、すべてのレジスタにアクセスできません。
- ❑ I/O ポート (VD[19-0]、VCTL0、VCTL1、VCTL2、VCLK1) は、PFUNC ビットによって GPIO としてイネーブルされない限りハイ・インピーダンス状態のままになります。
- ❑ VPCTL ビットが (VPHLT ビットがクリアされるまで) セットされる場合があります。

2.1.3 ソフトウェア・ポート・リセット

ソフトウェア・ポート・リセットは、VPCTL 内の VPRST ビットをセットすることにより、ビデオ・ポート全体で行われます。これは、PCR 内の PEREN ビットをクリアしないという点を除き、ペリフェラル・バス・リセットと同じように動作します。このリセットにより、以下ようになります。

- ❑ すべてのポート・ロジック上のリセットを行います (チャンネル・ロジックは、ポート入力クロック・パルスが発生するまでリセット状態のままです)。
- ❑ VPRST ビットをゼロにセルフクリアしますが、VPHLT ビットはセットされたままです。このリセットを有効にするために、VCLK0 入力はクロックを供給する必要があります。

注：

VPRST ビットをゼロクリアするには数クロック・サイクル必要です。VPRST ビットをポーリングして、ビデオ・ポート・レジスタに書き込む前にビットがクリアされたことを確認する必要があります。

ポートが設定され、VPHLT ビットがクリアされると、他の VPCTL ビット (VPRST を除く) の設定はディスエーブルされます。またディスプレイ・モードが選択されていると、VCLK1 出力は、この時点でドライブされる場合もあります。内部 / 外部の同期信号は VDCCTL から選択されるので、GPIO としてイネーブルされていないのであれば、VCTL0-2 はハイ・インピーダンス状態のままとなります。

2.1.4 キャプチャ・チャンネル・リセット

ソフトウェア・リセットは、VCxCTL 内の RSTCH ビットをセットすることにより、単一キャプチャ・チャンネル上で行われます。このリセット時には、チャンネル VCLKIN の遷移が行われている必要があります。キャプチャ・チャンネル・リセット時には、次のようになります。

- 新規の DMA イベントは生成されません。
- ペリフェラル・バス・アクセスは、DMA ロックアップを回避するために応答を返します (RREADY が返されます) (読み取り時に返される値)。
- チャンネル・キャプチャ・レジスタは、デフォルト値にセットされます。
- チャンネル・キャプチャ FIFO はフラッシュされます (ポインタがリセットされます)。
- VCxCTL 内の VCEN ビットは、ゼロクリアされます。
- 上記の内容が完了後に、RSTCH ビットは、ゼロにセルフクリアされます。

ポートが設定され、VCEN ビットがセットされると、他の VCxCTL ビット (VCEN、RSTCH、BLKCAP を除く) の設定は禁止され、キャプチャ・カウンタがカウントを開始します。BLKCAP がクリアされると、データ・キャプチャとイベント生成が開始されます。

2.1.5 ディスプレイ・チャンネル・リセット

ソフトウェア・リセットは、VDCTL 内の RSTCH ビットをセットすることにより、ディスプレイ・チャンネル上で行われます。このリセット時には、チャンネル VCLKIN の遷移が行われている必要があります。ディスプレイ・チャンネル・リセット時には、次のようになります。

- 新規の DMA イベントは生成されません。
- ペリフェラル・バス・アクセスは、DMA ロックアップを回避するために応答を返します (WREADY が返されます) (データを書き込むと、FIFO に書き込まれるか破棄されます)。
- チャンネル・ディスプレイ・レジスタは、デフォルト値にセットされます。
- チャンネル・ディスプレイ FIFO はフラッシュされます (ポインタがリセットされます)。
- VDCTL 内の VDEN ビットは、ゼロクリアされます。
- 上記の内容が完了後に、RSTCH ビットは、ゼロにセルフクリアされます。

ポートが設定され、VDEN ビットがセットされると、他の VDCTL ビット (VDEN、RSTCH、BLKDIS を除く) の設定は禁止され、ディスプレイ・カウンタがカウントを開始します。データ出力が (適切なデフォルト値、ブランキング、制御コードを使って) ドライブされます。また制御出力がドライブされます。BLKDIS ビットがクリアされると、イベント生成が開始され、FIFO データが表示されます。

2.2 割り込み動作

次のイベントのいずれかが発生後に、ビデオ・ポートは、DSP コアに対して割り込みを生成します。

- キャプチャ完了 (CCMP x) ビットのセット。
- キャプチャ・オーバーラン (COVR x) ビットのセット。
- 同期バイト・エラー (SERR x) ビットのセット。
- 垂直割り込み (VINT xn) ビットのセット。
- ショート・フィールド検出 (SFD x) ビットのセット。
- ロング・フィールド検出 (LFD x) ビットのセット。
- STC 絶対時間 (STC) ビットのセット。
- STC ティック・カウンタ時間切れ (TICK) ビットのセット。
- ディスプレイ完了 (DCMP) ビットのセット。
- ディスプレイ・アンダーラン (DUND) ビットのセット。
- ディスプレイ完了否定応答 (DCNA) ビットのセット。
- GPIO 割り込み (GPIO) ビットのセット。

割り込み信号は、パルスのみで、ステートを保持しません。VPIS 内のセットされたフラグの数が 0 から 1 またはそれ以上に遷移するときのみ、割り込みパルスが生成されます。さらに追加のフラグ・ビットをセットしても、別の割り込みパルスは生成されません。

割り込みは、個々の割り込みイネーブルおよび VIE グローバル・イネーブル・ビットを使用して、ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) を介してマスクできます。個々のステータス・ビットを使用して、ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) 内で割り込みがクリアされます。VPIS の対応したビットに 1 を書き込むと、割り込みをクリアします。別のフラグがまだセットされている場合には、割り込みフラグをクリアすると、別の割り込みパルスが再度生成されます。つまり、VPIS のいずれかのセット・ビットに 1 を書き込むと、割り込みのパルス生成は再度イネーブルされます。

割り込みを受け取ったときに、行うべき内容は次のとおりです。

- 1) VPIS を読み出します。
- 2) 対応するビットがセットされたサービス・ルーチンを実行します。
- 3) VPIS の対応したビットに 1 を書き込むことにより、そのビットをクリアします。
- 4) ISR からの復帰時に、VPIS ビットがセットされると (またはセットされたままの場合)、別の割り込みが発生します。

2.3 DMA の動作

ビデオ・ポートは、合計 6 つの可能なイベントに対して、チャンネルごとに最大 3 つまでの DMA イベントを使用します。各 DMA イベントは、専用のイベント出力を使用します。出力は、次のとおりです。

- VPYEVTA
- VPCbEVTA
- VPCrEVTA
- VPYEVTB
- VPCbEVTB
- VPCrEVTB

2.3.1 キャプチャ DMA イベント生成

キャプチャ FIFO のステートに基づき、キャプチャ DMA イベントが生成されます。現在保留されている DMA イベントがなく、FIFO が $VCTHRLD_n$ によって指定された値に到達した場合に、DMA イベントが生成されます。イベントが要求されると、別の DMA イベントは、(DMA イベント処理による FIFO の最初の読み取りが指示されたように) 未処理のイベントの処理が開始されるまで生成されません。要求された DMA イベントが完了する前に、キャプチャ FIFO のレベルが $2 \times VCTHRLD_n$ 値を超えると、他の DMA イベントが生成される場合があります。このような場合、最大 1 つの DMA イベントは処理されない可能性があります。

発信データ・カウンタは、DMA によって読み出されるデータをカウントします。新規の DMA サービスが開始すると、必ずこのカウンタには $VCTHRLD_n$ 値がロードされます。その後カウンタは、DMA によって FIFO からダブルワードが読み出されるたびにカウントダウンを行います。DMA は、カウンタがゼロに到達すると完了となります。

BT.656 および Y/C モードでは、Y、Cb、Cr の各カラー・コンポーネントに対して 1 つずつ、合計 3 つの FIFO があります。各 FIFO は独自の DMA イベントを生成します。したがって、DMA イベントのステートおよび各 FIFO の FIFO スレッシュホールドは、独立に調べられます。Cb および Cr の FIFO は、スレッシュホールド値の $\frac{1}{2}$ ($VCTHRLD_n + VCTHRLD_n \bmod 2$) を使用します。

キャプチャ FIFO は、複数スレッシュホールドのデータの値を保持する場合があるので、フィールド間の境界で問題が発生します。フィールド 1 およびフィールド 2 には、別々のスレッシュホールド値があるので、DMA イベントを生成するために必要な FIFO 内のデータ量は、現在のキャプチャ・フィールドおよび未処理の DMA 要求のフィールドに応じて変化します。同様に、発信データ・カウンタ内にロードされるスレッシュホールド値は、どのフィールドの DMA イベントが処理されているか（どのフィールドが現在までにキャプチャされていないか）に応じて変更する必要があります。フィールド境界での混乱を回避するために、VCxEVTCT レジスタは、各フィールドの生成するイベント数を示すようにプログラムされます。イベント・カウンタは、生成されているイベント数を調べ、イベント生成時と発信データ・カウンタ内で使用されているスレッシュホールド値を示します。最後のフィールド 1 イベント生成後に、DMA ロジックが $FIFO > THRSOLD1 + THRSOLD2$ を検索し、最初のフィールド 2 イベントを事前に生成します。最後のフィールド 1 イベントが完了すると、ロジックは $FIFO > 2 \times THRSOLD2$ を検索します（フィールド 2 イベントが未処理であると想定）。

一部の初期デバイスには、THRSOLD1 および THRSOLD2 に同じ値をセットする必要があります。この 2 つのフィールドに別のスレッシュホールドを使用する場合には、デバイスの最新のエラッタ情報を確認してください。

2.3.2 ディスプレイ DMA イベント生成

FIFO 内で使用可能なスペースの量に基づいて、ディスプレイ DMA イベントが生成されます。VDTHRLD n 値は、FIFO が別の DMA 転送を受け取るスペースのレベルを示します。FIFO が少なくとも VDTHRLD n 個のロケーションを使用できる場合には、DMA イベントが生成されます。DMA イベントが要求されると、(DMA イベント処理によって FIFO への最初の書き込みが指示されたように) 別の DMA イベントは、最初の DMA イベントの処理が開始されるまで生成されません。最初の DMA 処理が開始された後に、FIFO 内に少なくとも 2 倍のスレッシュホールド・スペースが使用可能である（かつディスプレイ・イベント・カウンタが有効期限切れでない場合）と、別の DMA イベントが生成される場合があります。すなわち最大 1 つの DMA 要求は未処理である可能性があります。

着信データ・カウンタには VDTHRLD n (または Cb および Cr の FIFO に対して VDTHRLD $n/2$) 値が各 DMA イベント処理開始時にロードされ、入ってきた DMA のダブルワードをカウントダウンします。カウンタが 0 (ゼロ) に到達すると、DMA イベントは完了します。

DMA イベント・カウンタは、VDDISPEVT レジスタ内でプログラムすることによって各フィールドで生成される DMA イベント数を調べるために使用します。(現在のディスプレイ・フィールドに応じて) DISPEVT1 または DISPEVT2 値が各フィールドの先頭にロードされます。その後、イベント・カウンタは、0 (ゼロ) に到達するまで各 DMA イベント生成ごとにデクリメントされます。カウンタが 0 に到達すると、次のフィールドが開始するまで DMA イベントが生成されません。CPU が DMA アドレス・ポインタを変更する必要がある場合に、フィールドの最終データ・ラインが要求されると、そのフィールドが完了するまで、DMA ロジックはイベントの生成を停止します。

BT.656 および Y/C モードでは、Y、Cb、Cr の各カラー・コンポーネントに対して 1 つずつ、合計 3 つの FIFO があります。各 FIFO は独自の DMA イベントを生成します。したがって、DMA イベントのステートおよび各 FIFO の FIFO スレッシュホールドは、独立して調べられます (Cb および Cr の FIFO は、VDTHRLD のスレッシュホールド値の 1/2 を使用します)。

2.3.3 DMA サイズおよびスレッシュホールド制約

ビデオ・ポート FIFO は、64 ビット幅で、常に 1 回で 64 ビットの読み込みまたは書き込みを行います。この理由から、DMA アクセスは常に長さが偶数のワード数となるようにする必要があります。ほとんどの場合、スレッシュホールド・サイズはライン長にセットされている (次のダブルワードに丸められている) と考えられます。別々のラインがダブルワード内で一緒にパックされず、Cb および Cr のスレッシュホールド ($1/2 \times VCTHRLD / VDTHRLD$) は常にダブルワードに丸められるので、これは常に動作することになります。

たとえば、712 (Y) のライン長をもつ 8 ビット BT.656 キャプチャ・モードでは、スレッシュホールドをライン長にセットすると、VCTHRLD が $712 \text{ ピクセル} \times 1 \text{ バイト/ピクセル} \times \text{ダブルワード}/8 \text{ バイト} = 89 \text{ ダブルワード}$ になります。Cb および Cr の FIFO には、データ (44.5 ダブルワード) の半分が含まれているので、そのスレッシュホールドは 45 ダブルワードにセットされます。したがって、Cb および Cr の DMA は、各ラインの最後に余分な 4 バイトを送信します。

複数の水平ラインの長さのスレッシュホールドが必要な場合 (たとえば、2 ライン)、選択されたライン長は一律に 2 で除算できるように、偶数のダブルワード数に丸める必要があります。これが該当しない場合、Cb および Cr の FIFO 転送は失われてしまいます。複数の水平ラインの場合では、8 ビット BT.656 キャプチャ・モードをライン長 712 (Y) と同じと見なしてください。スレッシュホールドが 2 ラインに対してセットされていると、これは VCTHRLD 値が $2 \times 89 = 178 \text{ ダブルワード}$ になります。実際の Cb/Cr のライン長は 44.5 ダブルワードですが、45 ダブルワードが必要です。2 ラインを転送するには、 $2 \times 45 = 90 \text{ ダブルワード}$ が必要です。ただし、この VCTHRLD の場合、DMA ロジックは Cb/Cr スレッシュホールド・サイズを 1 ダブルワード分引いた、 $178/2 = 89$ と計算します。これは、ライン長を 720 ピクセルに増やすか、(余分にキャプチャされたピクセルを無視して) 704 ピクセルに減らすことによって修正することができます。

同様に、サブの水平ラインの長さが必要な場合（たとえば、 $\frac{1}{2}$ ライン）、ライン長とスレッシュホールドは、スレッシュホールドが 2 で除算可能であるように選択しなければなりません（さらにこれは、ライン長は $\#DMA / \text{ライン} \times 8$ の偶数倍でなければならないと記述されています）。サブラインの場合では、8 ビット BT.656 キャプチャ・モードをライン長 624 (Y) と見なしてください。ライン長の $\frac{1}{2}$ にスレッシュホールドがセットされると、これは $VCTHRLD = (624/2)/8 = 39$ ダブルワードになります。DMA ロジックは、Cb/Cr スレッシュホールドを $39/2 = 20$ と計算します。ただし、2 つの Cb/Cr の DMA イベントは、40 ダブルワードの転送になり、実際の Cb/Cr ライン長 $(624/2)/8 = 39$ ダブルワードよりも長くなります。これは、ライン・サイズを 640 ピクセルまたは 608 ピクセルに変更するか、スレッシュホールドをライン長の $\frac{1}{3}$ に変更することによって修正することができます ($VCTHRLD = (624/3)/8 = 26$ ダブルワード、Cb/Cr のスレッシュホールドは $26/2 = 13$ ダブルワード。 $3 \times 13 = 39$ ダブルワード。これは Cb/Cr ライン長そのものです)。

2.3.4 DMA インターフェイスの動作

ビデオ・ポートがキャプチャ・モード（または TSI モード）に設定されていると、DMA インターフェイスからの読み取り要求のみを受け入れます。書き込み要求は false の応答を返し（そのため、バスはストールしない）、データは破棄されます。ビデオ・ポートがディスプレイ・モードに設定されると、書き込み要求のみを受け入れます。読み取り要求で false の応答を返し（そのため、バスはストールしない）、任意のデータ値が返されます。

ビデオ・ポートがリセット状態、イネーブルされていない状態（PEREN ビットがクリアされている）、停止の状態（VPHALT ビットがセットされている状態）、アクティブ・モードがイネーブルされていない状態（VCEN または VDEN ビットがクリアされている状態）のいずれかの場合、バスのロックアップを回避するために、ポートはすべての DMA アクセスに false の応答を返します。

ビデオ・ポートの DMA イベント生成ロジックは、DMA インターフェイス・アクセスとしっかりと結合されています。正しくプログラムされていない DMA サイズにより、DMA と FIFO はミスアラインされて、キャプチャされたデータまたはディスプレイされるデータに光学取差が発生したり、最終的に FIFO オーバーフローまたはアンダフローを引き起こすことがあります。同様に、別のシステムの DMA がキャプチャまたはディスプレイを行っている間に、ビデオ・ポートを不正確にアドレス指定していても、ビデオ・ポートにはこれが誤った DMA であることを判断する方法がありません。これは、ビデオ・ポートが FIFO の読み取りまたは書き込みを行わなければならないように監視しているのは DMA のアクセスであるからです。このように誤った DMA は必然的に、FIFO を必要以上に読み取ったり、または必要以上に書き込みをしてしまいます。

2.4 ビデオ・ポート・コントロール・レジスタ

ビデオ・ポート・コントロール・レジスタを表 2-1 に示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

ペリフェラル・コンフィギュレーション・レジスタ (PERCFG) によってビデオ・ポートをイネーブルした後、ビデオ・ポート・レジスタにアクセスするためには、事前に 64 CPU サイクルの遅延が必要です。

表 2-1. ビデオ・ポート・コントロール・レジスタ

オフセット・アドレス [†]	略称	レジスタ名	参照先
C0h	VPCTL	ビデオ・ポート・コントロール・レジスタ	2.4.1
C4h	VPSTAT	ビデオ・ポート・ステータス・レジスタ	2.4.2
C8h	VPPIE	ビデオ・ポート・インタラプト・イネーブル・レジスタ	2.4.3
CCh	VPIS	ビデオ・ポート・インタラプト・ステータス・レジスタ	2.4.4

[†] レジスタの絶対アドレスは、デバイス/ポート固有のもので、そのアドレスはベース・アドレス+オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

2.4.1 ビデオ・ポート・コントロール・レジスタ (VPCTL)

ビデオ・ポート・コントロール・レジスタ (VPCTL) は、ビデオ・ポートの基本動作を決定します。VPCTL を図 2-1 に示し、表 2-2 で説明します。

ポート制御ビットの組み合わせは、固有であるとは限りません。各制御ビットに対応した組み合わせを表 2-3 に示します。追加モード・オプションは、ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) およびビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) を使用して選択されます。

図 2-1. ビデオポート・コントロール・レジスタ (VPCTL)

31								16							
Reserved															
R-0															
15				14				13				8			
VPRST				VPHLT				Reserved				Reserved			
R/WS-0				R/WC-1				R-0				R-0			
7		6		5		4		3		2		1		0	
VCLK1P		VCT2P		VCT1P		VCT0P		Reserved		TSI		DISP		DCHNL	
R/W-0		R/W-0		R/W-0		R/W-0		R-0		R/W-0		R/W-0		R/W-0	

凡例 R = 読み取り専用。R/W = 読み取り / 書き込み。WC = 1 を書き込むとクリア。WS = 1 を書き込むとセット、0 (ゼロ) を書き込んでも影響ありません。-n = リセット後の値。

表 2-2. ビデオ・ポート・コントロール・レジスタ (VPCTL) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-16	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
15	VPRST	OF (値)	0	ビデオ・ポート・ソフトウェア・リセット・イネーブル・ビット。VPRST は、1 を書き込むとセットされます。0 (ゼロ) を書き込んでも影響ありません。
			0	影響なし。
			1	すべての FIFO をフラッシュし、すべてのポート・レジスタを初期値にセットします。VCLK0 および VCLK1 は入力として設定され、すべての VDATA および VCTL ピンは、ハイ・インピーダンス状態に置かれます。リセット完了後に自動的にこのビットはクリアされます。VPRST ビットをゼロクリアするには数クロック・サイクルが必要です。ビデオ・ポート・レジスタに書き込む前に VPRST ビットをポーリングして、ビットが確実にクリアされるようにする必要があります。
14	VPHLT	OF (値)	0	ビデオ・ポート・ホルト・ビット。このビットはハードウェア・リセットまたはソフトウェア・リセット時にセットされます。その他の VPCTL ビット (VPRST を除く) は、VPHLT が 1 のときにのみ変更可能です。VPHLT は 1 を書き込むとクリアされます。0 を書き込んでも影響ありません。
			0	影響なし。
			1	VPHLT はクリアされます。
		NONE	0	
		DEFAULT CLEAR	1	

† CSL を使用して実装する場合、表記 VP_VPCTL_field_symval を使用してください。

表 2-2. ビデオ・ポート・コントロール・レジスタ (VPCTL) フィールドの説明

ビット	フィールド†	symval†	値	説明
13-6	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
7	VCLK1P	OF (値)		VCLK1 ピンの極性ビット。キャプチャ・モードでは影響ありません。
		DEFAULT NONE	0	
		REVERSE	1	ディスプレイ・モードで VCLK1 出力クロックの極性を反転します。
6	VCTL2P	OF (値)		VCTL2 ピンの極性ビット。GPIO の動作には影響しません。VCTL2 ピンが、ビデオ・キャプチャ側の FLD 入力として使用される場合、VCTL2 極性は考慮されません。フィールドの反転は、ビデオ・キャプチャ・チャンネル x コントロール・レジスタ (VCxCTL) 内の FINV ビットで制御されます。
		DEFAULT NONE	0	
		ACTIVELOW	1	VCTL2 制御信号 (入力または出力) は、アクティブ Low であることを示します。
5	VCTL1P	OF (値)		VCTL1 ピンの極性ビット。GPIO の動作には影響しません。
		DEFAULT NONE	0	
		ACTIVELOW	1	VCTL1 制御信号 (入力または出力) は、アクティブ Low であることを示します。
4	VCTL0P	OF (値)		VCTL0 ピンの極性ビット。GPIO の動作には影響しません。
		DEFAULT NONE	0	
		ACTIVELOW	1	VCTL0 制御信号 (入力または出力) は、アクティブ Low であることを示します。
3	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。

† CSL を使用して実装する場合、表記 VP_VPCTL_field_symval を使用してください。

表 2-2. ビデオ・ポート・コントロール・レジスタ (VPCTL) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
2	TSI	OF (値)		TSI キャプチャ・モード選択ビット。
		DEFAULT NONE	0	TSI キャプチャ・モードはディスエーブル。
		CAPTURE	1	TSI キャプチャ・モードはイネーブル。
1	DISP	OF (値)		ディスプレイ・モード選択ビット。VDATA ピンは、出力用に設定されます。VCLK1 ピンは、VCLKOUT 出力用として設定されます。
		DEFAULT CAPTURE	0	キャプチャ・モードはイネーブル。
		DISPLAY	1	ディスプレイ・モードはイネーブル。
0	DCHNL	OF (値)		デュアル・チャンネル動作選択ビット。VPSTAT 内の DCDIS ビットがセットされると、このビットは強制的に 0 (ゼロ) になります。
		DEFAULT SINGLE	0	シングル・チャンネル動作はイネーブル。
		DUAL	1	デュアル・チャンネル動作はイネーブル。

[†] CSL を使用して実装する場合、表記 VP_VPCTL_field_symval を使用してください。

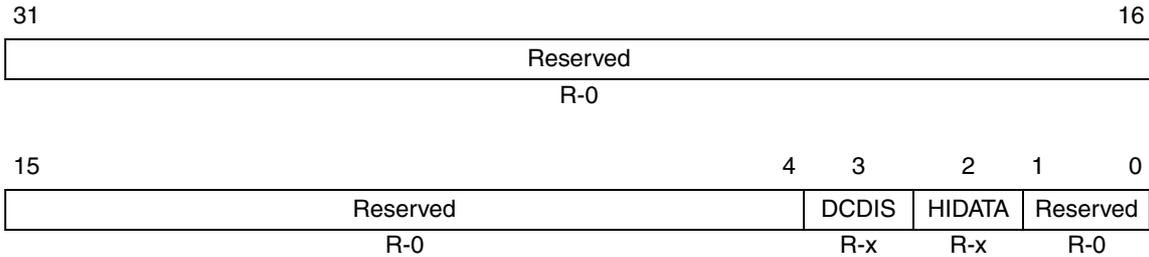
表 2-3. ビデオ・ポート動作モードの選択

VPCTL ビット			動作モード
TSI	DISP	DCHNL	
0	0	0	シングル・チャンネルのビデオ・キャプチャ。VCACTL 内で BT.656、Y/C、Raw のいずれかのモードを選択。ビデオ・キャプチャ B チャンネルは使用されません。
0	0	1	デュアル・チャンネルのビデオ・キャプチャ。VCACTL および VCBCCTL 内で BT.656 または Raw 8/10 のいずれかのモードを選択。DCDIS が 0 (ゼロ) の場合のみ、オプションは使用可能です。
0	1	x	シングル・チャンネルのビデオ・ディスプレイ。BT.656、Y/C、Raw のいずれかのモードを VDCTL 内で選択。ビデオ・ディスプレイ B チャンネルは、デュアル・チャンネル同期 Raw モードでのみ使用されます。
1	x	x	シングル・チャンネルの TSI キャプチャ。

2.4.2 ビデオ・ポート・ステータス・レジスタ (VPSTAT)

ビデオ・ポート・ステータス・レジスタ (VPSTAT) は、ビデオ・ポートの現在の状態を示します。VPSTAT を図 2-2 に示し、表 2-4 で説明します。

図 2-2. ビデオ・ポート・ステータス・レジスタ (VPSTAT)



凡例： R = 読み取り専用。-n = リセット後の値。-x = 値は、チップレベルの設定で決定。

表 2-4. ビデオ・ポート・ステータス・レジスタ (VPSTAT) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
31-4	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
3	DCDIS	OF (値)		デュアル・チャンネル・ディスエーブル・ビット。デフォルト値は、チップレベルの設定によって決定されます。	
			DEFAULT ENABLE	0	デュアル・チャンネル動作はイネーブル。
			DISABLE	1	ポートをマルチプレクスする選択の場合、デュアル・チャンネル動作を行わないようにします。
2	HIDATA	OF (値)		データ・バスの上位部分。HIDATA はビデオ・ポートの動作には影響しませんが、VDATA ピンがビデオ・ポート GPIO レジスタによって制御されているかどうかを通知します。HIDATA は、DCDIS がセットされない限り、セットされることはありません。デフォルト値は、チップレベルの設定によって決定されます。	
			DEFAULT NONE	0	
			USE	1	別のペリフェラルが VDATA[9-0] を使用していることと、ビデオ・ポート・チャンネル A (VDIN[9-0] または VDOUT[9-0]) が、VDATA[19-10] 上にマルチプレクスされていることを示します。
1-0	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	

[†] CSL を使用して実装する場合、表記 VP_VPSTAT_field_symval を使用してください。

2.4.3 ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE)

ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) は、DSP に対してビデオ・ポート割り込みのソースをイネーブルします。VPIE を図 2-3 に示し、表 2-5 で説明します。

図 2-3. ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE)

Reserved							
R-0							
23	22	21	20	19	18	17	16
LFDB	SFDB	VINTB2	VINTB1	SERRB	CCMPB	COVRB	GPIO
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
15	14	13	12	11	10	9	8
Reserved	DCNA	DCMP	DUND	TICK	STC	Reserved	
R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	
7	6	5	4	3	2	1	0
LFDA	SFDA	VINTA2	VINTA1	SERRA	CCMPA	COVRA	VIE
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 2-5. ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
31-24	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
23	LFDB	OF (値)	0	チャンネル B ロング・フィールド検出割り込みイネーブル。	
			DEFAULT DISABLE	0	割り込みはディスエーブル。
			ENABLE	1	割り込みはイネーブル。
22	SFDB	OF (値)	0	チャンネル B ショート・フィールド検出割り込みイネーブル・ビット。	
			DEFAULT DISABLE	0	割り込みはディスエーブル。
			ENABLE	1	割り込みはイネーブル。

[†] CSL を使用して実装する場合、表記 VP_VPIE_field_symval を使用してください。

表 2-5. ビデオ・ポート・インタラプト・イネーブル・レジスタ (VP_{VP}IE) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
21	VINTB2	OF (値)		チャンネル B フィールド 2 垂直割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
20	VINTB1	OF (値)		チャンネル B フィールド 1 垂直割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
19	SERRB	OF (値)		チャンネル B 同期エラー割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
18	CCMPB	OF (値)		チャンネル B キャプチャ完了割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
17	COVRB	OF (値)		チャンネル B キャプチャ・オーバーラン割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
16	GPIO	OF (値)		ビデオ・ポート汎用 I/O 割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
15	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。

[†] CSL を使用して実装する場合、表記 VP_{VP}IE_{field}_{symval} を使用してください。

表 2-5. ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
14	DCNA	OF (値)		ディスプレイ完了否定応答ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
13	DCMP	OF (値)		ディスプレイ完了割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
12	DUND	OF (値)		ディスプレイ・アンダーラン割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
11	TICK	OF (値)		システム・タイム・クロック・ティック割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
10	STC	OF (値)		システム・タイム・クロック割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
9-8	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
7	LFDA	OF (値)		チャンネル A ロング・フィールド検出割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。

[†] CSL を使用して実装する場合、表記 `VP_VPIE_field_symval` を使用してください。

表 2-5. ビデオ・ポート・インタラプト・イネーブル・レジスタ (VP_{PIE}) フィールドの説明 (続き)

ビット	フィールド [†]	<i>symval</i> [†]	値	説明
6	SFDA	OF (値)		チャンネル A ショート・フィールド検出割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
5	VINTA2	OF (値)		チャンネル A フィールド 2 垂直割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
4	VINTA1	OF (値)		チャンネル A フィールド 1 垂直割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
3	SERRA	OF (値)		チャンネル A 同期エラー割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
2	CCMPA	OF (値)		チャンネル A キャプチャ完了割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。
1	COVRA	OF (値)		チャンネル A キャプチャ・オーバーラン割り込みイネーブル・ビット。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。

[†] CSL を使用して実装する場合、表記 `VP_VPIE_field_symval` を使用してください。

表 2-5. ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明
0	VIE	OF (値)		ビデオ・ポート・グローバル割り込みイネーブル・ビット。DSP に割り込みを送るためにセットされなければなりません。
		DEFAULT DISABLE	0	割り込みはディスエーブル。
		ENABLE	1	割り込みはイネーブル。

† CSL を使用して実装する場合、表記 `VP_VPIE_field_symval` を使用してください。

2.4.4 ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS)

ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) は、DSP へのビデオ・ポート割り込みのステータスを示します。VPIE 内の対応するイネーブル・ビットがセットされている場合にのみ、割り込みは DSP に送られます。すべての VPIS ビットは 1 を書き込むことによってクリアすることができます。0 (ゼロ) を書き込んでも影響ありません。VPIS を図 2-4 に示し、表 2-6 で説明します。

図 2-4. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS)

31								24							
Reserved															
R-0															
23		22		21		20		19		18		17		16	
LFDB	SFDB	VINTB2	VINTB1	SERRB	CCMPB	COVRB	GPIO								
R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0								
15		14		13		12		11		10		9		8	
Reserved	DCNA	DCMP	DUND	TICK	STC	Reserved									
R-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0		R-0								
7		6		5		4		3		2		1		0	
LFDA	SFDA	VINTA2	VINTA1	SERRA	CCMPA	COVRA	Reserved								
R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R-0								

凡例: R = 読み取り専用。WC = 1 を書き込むとクリア、0 (ゼロ) を書き込んでも影響ありません。-n = リセット後の値。

表 2-6. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明

ビット	フィールド*	symval	値	説明	
31-24	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
23	LFDB	OF (値)	0	チャンネル B で検出されるロング・フィールドの割り込み検出ビット (ロング・フィールドは VCBCTL 内の VRST ビットがゼロクリアされるときにのみ検出されます。VRST = 1 のとき、ロング・フィールドは常に検出されます)。BT.656 または Y/C キャプチャ・モードでは、LFDB は、ロング・フィールドの検出がイネーブル、かつ VCOUNT が VCOUNT = YSTOP + 1 になる前にリセットされない場合にセットされます。 Raw データ・モード、または TSI キャプチャ・モードまたはディスプレイ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
22	SFDB	OF (値)	0	チャンネル B で検出されるショート・フィールドの割り込み検出ビット。BT.656 または Y/C キャプチャ・モードでは、SFDB は、VCOUNT = YSTOP になる前にショート・フィールドの検出がイネーブル、かつ VCOUNT がリセットされる場合にセットされます。 Raw データ・モード、または TSI キャプチャ・モードまたはディスプレイ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
21	VINTB2	OF (値)	0	チャンネル B フィールド 2 垂直割り込み検出ビット。BT.656 または Y/C キャプチャ・モードの時は垂直割り込みがフィールド 2 内で発生するとき VINTB2 がセットされます。 Raw データ・モードまたは TSI キャプチャ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。

† CSL を使用して実装する場合、表記 VP_VPIS_field_symval を使用してください。

表 2-6. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明 (続き)

ビット	フィールド	symval	値	説明	
20	VINTB1	OF (値)		チャンネル B フィールド 1 垂直割り込み検出ビット。 BT.656 または Y/C キャプチャ・モードの時は垂直割り込みがフィールド 1 内で発生するとき VINTB1 がセットされます。 Raw データ・モードまたは TSI キャプチャ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
19	SERRB	OF (値)		チャンネル B 同期エラー割り込み検出ビット。 BT.656 または Y/C キャプチャ・モードの時はチャンネル B 上での同期パリティ・エラー。通常は、SERRB はチャンネル (RSTCH) またはポート (VPRST) のリセットを必要とします。 Raw データ・モードまたは TSI キャプチャ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
18	CCMPB	OF (値)		チャンネル B キャプチャ完了割り込み検出ビット (データは、DMA 転送が完了するまでメモリ内にはありません)。 BT.656 または Y/C キャプチャ・モードの時は、VCBCTL 内の CON、FRAME、CF1、CF2 の各制御ビットに応じて、フィールド全体またはフレーム全体をキャプチャ後 (VCBSTAT 内の F1C、F2C、FRMC のいずれかがセットされたとき) に CCMPB はセットされます。 Raw データ・モードの時は、VCBSTAT 内の FRMC がセットされると (データ・カウンタ = VCYSTOP/VCXSTOP を組み合わせた値のとき)、RDFE はセットされず、CCMPB がセットされます。 TSI キャプチャ・モードの時は、VCBSTAT 内の FRMC がセットされると (データ・カウンタ = VCYSTOP/VCXSTOP を組み合わせた値のとき)、CCMPB がセットされます。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。

† CSL を使用して実装する場合、表記 VP_VPIS_field_symval を使用してください。

表 2-6. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明 (続き)

ビット	フィールド	symval	値	説明
17	COVRB	OF (値)		チャンネル B キャプチャ・オーバーラン割り込み検出ビット。 (DMA によって) 読み出される前に FIFO 内のデータが上書きされると、COVRB がセットされます。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
16	GPIO	OF (値)		ビデオ・ポート汎用 I/O 割り込み検出ビット。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
15	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
14	DCNA	OF (値)		ディスプレイ完了否定応答ビット。ディスプレイ完了割り込みを行う F1D、F2D、FRMD のいずれかのビットが、ゲート制御を行う次のフィールドまたはフレームの先頭より前でクリアされていないことを示します。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
13	DCMP	OF (値)		ディスプレイ完了ビット。フレーム全体がポートからドライブされていることを示します。いつ最後のデータがメモリから FIFO に転送されたのか判別するために、DMA 完了割り込みを使用することができます。 VDCTL 内の CON、FRAME、DF1、DF2 の各制御ビットに応じて、フィールド全体またはフレーム全体を表示後 (VDSTAT 内の F1D、F2D、FRMD のいずれかがセットされているとき) に DCMP がセットされます。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。

† CSL を使用して実装する場合、表記 VP_VPIS_field_symval を使用してください。

表 2-6. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明 (続き)

ビット	フィールド	symval	値	説明
12	DUND	OF (値)		ディスプレイ・アンダーラン。ディスプレイ FIFO がデータを使い切ったことを示します。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
11	TICK	OF (値)		システム・タイム・クロック・ティック割り込み検出ビット。 BT.656、Y/C キャプチャ・モードまたは Raw データ・モードの時は未使用です。 TSI キャプチャ・モードの時は、TSICTL 内の TCKEN ビットがセットされ、TSITICKS で設定されている必要なシステム・タイム・クロック・ティック数が発生したとき、TICK がセットされます。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
10	STC	OF (値)		システム・タイム・クロック割り込み検出ビット。 BT.656、Y/C キャプチャ・モードまたは Raw データ・モードの時は未使用です。 TSI キャプチャ・モードの時は、TSISTCMPL および TSISTCMPM レジスタで設定されている絶対時間にシステム・タイム・クロックが到達し、TSICTL 内の STEN ビットがセットされると、STC がセットされます。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
9-8	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。

† CSL を使用して実装する場合、表記 `VP_VPIS_field_symval` を使用してください。

表 2-6. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明 (続き)

ビット	フィールド	symval	値	説明	
7	LFDA	OF (値)		チャンネル A で検出されるロング・フィールドの割り込み検出ビット (ロング・フィールドは VCACTL 内の VRST ビットがゼロクリアされるときにのみ検出されます。VRST = 1 のとき、ロング・フィールドは常に検出されます)。BT.656 または Y/C キャプチャ・モードでは、LFDA は、ロング・フィールドの検出がイネーブル、かつ VCOUNT が VCOUNT = YSTOP + 1 になる前にリセットされない場合にセットされます。 Raw データ・モード、または TSI キャプチャ・モードまたはディスプレイ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
6	SFDA	OF (値)		チャンネル A で検出されるショート・フィールドの割り込み検出ビット。BT.656 または Y/C キャプチャ・モードでは、SFDA は、ショート・フィールドの検出がイネーブル、かつ VCOUNT = YSTOP になる前に VCOUNT がリセットされる場合にセットされます。 Raw データ・モード、または TSI キャプチャ・モードまたはディスプレイ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
5	VINTA2	OF (値)		チャンネル A フィールド 2 垂直割り込み検出ビット。BT.656、または Y/C キャプチャ・モードまたはディスプレイ・モードの時は、垂直割り込みがフィールド 2 で発生するとき VINTA2 がセットされます。 Raw データ・モードまたは TSI キャプチャ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。

† CSL を使用して実装する場合、表記 VP_VPIS_field_symval を使用してください。

表 2-6. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明 (続き)

ビット	フィールド	symval	値	説明	
4	VINTA1	OF (値)		チャンネル A フィールド 1 垂直割り込み検出ビット。 BT.656 キャプチャ・モード、または Y/C キャプチャ・モードまたはディスプレイ・モードの時は、垂直割り込みがフィールド 1 内で発生するとき VINTA1 がセットされます。Raw データ・モードまたは TSI キャプチャ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
3	SERRA	OF (値)		チャンネル A 同期エラー割り込み検出ビット。 BT.656 キャプチャ・モードまたは Y/C キャプチャ・モードの時は、チャンネル A 上での同期パリティ・エラー。一般的に、SERRA はチャンネル (RSTCH) またはポート (VPRST) をリセットする必要があります。Raw データ・モードまたは TSI キャプチャ・モードの時は未使用です。	
			DEFAULT NONE	0	割り込みは検出されません。
			CLEAR	1	割り込みが検出されます。ビットがクリアされます。
2	CCMPA	OF (値)		チャンネル A 上でのキャプチャ完了割り込み検出ビット (データは、DMA 転送が完了するまでメモリ内にはありません)。 BT.656 キャプチャ・モードまたは Y/C キャプチャ・モードの時は、VCACTL 内の CON、FRAME、CF1、CF2 の各制御ビットに応じて、フィールド全体またはフレーム全体をキャプチャ後 (VCASTAT 内の F1C、F2C、FRMC のいずれかがセットされたとき) に CCMPA がセットされます。Raw データ・モードの時は以下ようになります。RDFE ビットがセットされている場合、VCACTL 内の CON、FRAME、CF1、CF2 の各制御ビットに応じて、VCASTAT 内の F1C、F2C、FRMC のいずれかがセットされたとき (データ・カウンタ = VCYSTOP/VCXSTOP を組み合わせた値のとき)、CCMPA がセットされます。RDFE ビットがセットされていない場合、VCASTAT 内の FRMC がセットされたとき (データ・カウンタ = VCYSTOP/VCXSTOP を組み合わせた値のとき)、CCMPA がセットされます。TSI キャプチャ・モードの時は、VCASTAT 内の FRMC がセットされると (データ・カウンタ = VCYSTOP/VCXSTOP を組み合わせた値のとき)、CCMPA がセットされます。	
			DEFAULT NONE	0	割り込みは検出されません。

† CSL を使用して実装する場合、表記 VP_VPIS_field_symval を使用してください。

表 2-6. ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) フィールドの説明 (続き)

ビット	フィールド	symval	値	説明
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
1	COVRA	OF (値)		チャンネル A キャプチャ・オーバーラン割り込み検出ビット。 (DMA によって) 読み出される前に FIFO 内のデータが上書きされたとき、COVRA がセットされます。
		DEFAULT NONE	0	割り込みは検出されません。
		CLEAR	1	割り込みが検出されます。ビットがクリアされます。
0	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。

† CSL を使用して実装する場合、表記 `VP_VPIS_field_symval` を使用してください。

ビデオ・キャプチャ・ポート

ビデオ・キャプチャの動作は、入力ピンからサンプリングしたビデオ・データを、ビデオ・ポートの FIFO に保存することによって実現されています。キャプチャされたデータ量がプログラムされているスレッシュホールド・レベルに達すると、FIFO から DSP メモリにデータを移動するために DMA が起動されます。複数の FIFO および DMA を使用することを要求する入力ビデオ・データでは、カラー・セパレーションが実行される場合があります。

ビデオ・ポートは、インタレースとプログレッシブ・スキャン・データの両方をキャプチャすることができます。インタレースのキャプチャは、フィールド単位またはフレーム単位で実行できます。キャプチャ・ウィンドウは、各フィールド内でキャプチャされるデータを指定します。フレームおよびフィールドの同期は、組み込み型の同期コードまたは設定可能な制御信号を使用して実行できます。この方法により、さまざまなエンコーダおよび ADC に対するグルーレスなインターフェイスが実現されています。

注：

ビデオ・ポートの機能セットについて、C6000 デバイス間で異なる場合があります。サポートされている機能のリストについては、各デバイスのデータシートを参照してください。

項目	ページ
3.1 ビデオ・キャプチャ・モードの選択.....	3-2
3.2 BT.656 ビデオ・キャプチャ・モード.....	3-3
3.3 Y/C ビデオ・キャプチャ・モード.....	3-12
3.4 BT.656 および Y/C モードのフィールドとフレームの動作.....	3-17
3.5 ビデオ入力のフィルタリング.....	3-26
3.6 補助的なデータ・キャプチャ.....	3-31
3.7 Raw データ・キャプチャ・モード.....	3-32
3.8 TSI キャプチャ・モード.....	3-37
3.9 キャプチャ・ライン境界の条件.....	3-43
3.10 BT.656 または Y/C モードでのビデオ・キャプチャ.....	3-45
3.11 Raw データ・モードでのビデオ・キャプチャ.....	3-47
3.12 TSI キャプチャ・モードでのデータ・キャプチャ.....	3-49
3.13 ビデオ・キャプチャ・レジスタ.....	3-51
3.14 ビデオ・キャプチャ FIFO レジスタ.....	3-88

3.1 ビデオ・キャプチャ・モードの選択

ビデオ・キャプチャ・モジュールは、表 3-1 に示す 9 つのモードのいずれかで動作します。トランスポート・ストリーム・インターフェイス (TSI) の選択は、ビデオ・ポート・コントロール・レジスタ (VPCTL) 内の TSI ビットを使用して行います。CMODE ビットは、ビデオ・キャプチャ・チャンネル_xコントロール・レジスタ (VCxCTL) 内に存在します。Y/C キャプチャ・モードおよび 16/20 ビット Raw キャプチャ・モードは、VPCTL 内の DCDIS ビットがゼロクリアされる場合にチャンネル A のみで選択できます。

Raw ビデオ・キャプチャ・チャンネルとして動作する場合、データの選択およびデータの解釈は行われません。16/20 ビット Raw キャプチャ・モードは、(たとえば、医療用イメージなどで使用される) 8 ビットより高い解像度を使用する A/D コンバータからデータを受け取るように設計されています。

表 3-1. ビデオ・キャプチャ・モードの選択

TSI ビット	CMODE ビット	モード	説明
0	000	8 ビット ITU-R BT.656 キャプチャ	デジタル・ビデオ入力、ITU-R BT.656 フォーマットでマルチプレクスされる 8 ビットの解像度をもつ YCbCr 4:2:2 です。
0	001	10 ビット ITU-R BT.656 キャプチャ	デジタル・ビデオ入力、ITU-R BT.656 フォーマットでマルチプレクスされる 10 ビットの解像度をもつ YCbCr 4:2:2 です。
0	010	8 ビット Raw キャプチャ	最大 80 MHz のサンプリング・レートの Raw 8 ビット・データ・キャプチャ。
0	011	10 ビット Raw キャプチャ	最大 80 MHz のサンプリング・レートの Raw 8 ビットまたは 10 ビット・データ・キャプチャ。
0	100	8 ビット Y/C キャプチャ	デジタル・ビデオ入力、8 ビットの解像度をもつ YCbCr 4:2:2 です。Y とマルチプレクスされた Cb/Cr が並列に入力されます。
0	101	10 ビット Y/C キャプチャ	デジタル・ビデオ入力、10 ビットの解像度をもつ YCbCr 4:2:2 です。Y とマルチプレクスされた Cb/Cr が並列に入力されます。
0	110	16 ビット Raw キャプチャ	最大 80 MHz のサンプリング・レートの Raw 16 ビット・データ・キャプチャ。
0	111	20 ビット Raw キャプチャ	最大 80 MHz のサンプリング・レートの Raw 20 ビット・データ・キャプチャ。
1	010	TSI キャプチャ	最大 30 MHz のレートの 8 ビット・パラレル TSI キャプチャ。

3.2 BT.656 ビデオ・キャプチャ・モード

BT.656 キャプチャ・モードは、シングル・データ・ストリームにマルチプレクスされる 8 ビットまたは 10 ビットの 4:2:2 の輝度データおよび色差データをキャプチャします。ビデオ・データは、Cb、Y、Cr、Y、Cb、Y、Cr の順番で転送されます。ここで Cb、Y、Cr の列は、同じ位置の輝度と 2 つの色差のサンプルを示し、次にくる Y の値は、次の輝度のサンプルに相当します。データ・ストリームはデマルチプレクスされ、各コンポーネントは、DSP メモリ内の Y、Cb および Cr バッファへの転送のために、パックされた形式で別々の FIFO に書き込まれます（一般的に、これは平面フォーマットといいます）。サンプルのパッキングおよび順番は、サンプルのサイズ（8 ビットまたは 10 ビット）、および選択されている DSP のエンディアンによって決定されます。

ITU-BT.656 規格では、8 ビットと 10 ビットのコンポーネント・サンプルが規定されています。10 ビットのサンプルを使用する場合、下位 2 ビット（1～0 ビット）は小数値と見なされます。そのため、8 ビット動作の場合、入力データは入力の上位ビット（9～2 ビット）にアラインされ、下位 2 ビットは無視されます。

BT.656 ビデオ・キャプチャ・モードでは、最上位 8 ビットにすべて 1 がセットされているデータ・バイト（FF.0h、FF.4h、FF.8h、FF.Ch）と、すべて 0 がセットされているデータ・バイト（00.0h、00.4h、00.8h、00.Ch）は、データ識別用に予約されています。このため、256 通りの 8 ビット・ワードのうち 254 通りのみ（または 1024 通りの 10 ビット・ワードのうちの 1016 通りのみ）が信号値を表すために使用されます。

3.2.1 BT.656 キャプチャ・チャンネル

デュアル・チャンネル動作では、ビデオ・ポートは、2 つの BT.656 データ・ストリームのキャプチャ、または 1 つの BT.656 データ・ストリームと 1 つの Raw データ・ストリームのキャプチャをサポートします。後者の場合、BT.656 ストリームは、チャンネル A と B のいずれでも発生します。いずれの場合でも、BT.656 のストリームは、組み込み型のタイミング・リファレンス・コードを持つ必要があり、CAPEN 信号として適切な VCTL 入力を使用する必要があります。

ポートがシングル・チャンネルで動作するように設定されている場合、キャプチャはチャンネル A でのみ実行されます。使用されない VDATA バスの半分は、GPIO または別のペリフェラルの機能で使用されることもあります。シングル・チャンネル動作では、組み込み型のタイミング・リファレンス・コードが含まれていない標準の規格ではない BT.656 データ・ストリームでも、タイミング制御（VCTL）の入力信号を使用することでサポートされています。

3.2.2 BT.656 タイミング・リファレンス・コード

標準的なデジタル・ビデオには、2つのリファレンス信号があります。1つは各ビデオ・データ・ブロックの最初（スタート・オブ・アクティブ・ビデオ（SAV））、もう1つは各ビデオ・データ・ブロックの最後（エンド・オブ・アクティブ・ビデオ（EAV））です（技術的には、各ラインはEAVコードで始まり、次のEAVコードの直前で終了します）。それぞれのタイミング・リファレンス信号は、FF.Ch 00.0h 00.0h XY.0hの4つのサンプル・シーケンスで構成されます（FFhおよび00hの値は、これらのタイミング・リファレンス信号で使用するために予約されています）。最初の3バイトは、固定のプリアンブルです。4番目のバイトには、フィールドIDの定義情報、つまりフィールド・ブランキングおよびライン・ブランキングのステートが含まれています。タイミング・リファレンス信号内部のこれらのビットの構成を表3-2に示します。10ビット動作時も、下位2ビットは無視されることに注意してください。

表 3-2. BT.656 のビデオ・タイミング・リファレンス・コード

データ・ビット	1 番目のバイト (FFh)	2 番目のバイト (00h)	3 番目のバイト (00h)	4 番目のバイト (XYh)
9 (MSB)	1	0	0	1
8	1	0	0	F (フィールド) †
7	1	0	0	V (垂直ブランキング) ‡
6	1	0	0	H (水平ブランキング) §
5	1	0	0	P3 (保護ビット 3) ¶
4	1	0	0	P2 (保護ビット 2) ¶
3	1	0	0	P1 (保護ビット 1) ¶
2	1	0	0	P0 (保護ビット 0) ¶
1	x	x	x	x
0	x	x	x	x

† フィールド 1 のとき F=0。フィールド 2 のとき F=1。

‡ フィールド・ブランキング時以外のとき V=0。フィールド・ブランキング時 V=1。

§ SAV 内では H=0。EAV 内では H=1。

¶ P0、P1、P2、P3 : F、V および H のステートによって異なります。

ビット P0、P1、P2、P3 のステートは、ビット F、V および H のステートによって異なります (表 3-3 を参照)。

表 3-3. BT.656 の保護ビット

ライン情報ビット			保護ビット			
F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

保護ビットは、ポートが受信したビデオ・タイミング・リファレンス・コードの DEDSEC (ダブルエラー検出と 1 つの誤り訂正) の機能を実現することを可能にします。保護ビットの値に基づいて訂正される F、H、V の各ビット値を表 3-4 に示します。「-」と記入されている部分は、検出された訂正できないダブルビットエラーを示しています。これらのエラーが検出されると、ビデオ・ポート・インタラプト・ステータス・レジスタ (VPIS) 内の SERRx ビットがセットされます。

表 3-4. 保護ビットによる誤り訂正

受信した P ₃ -P ₀ ビット	受信した F、V および H のビット							
	000	001	010	011	100	101	110	111
0000	000	000	000	-	000	-	-	111
0001	000	-	-	111	-	111	111	111
0010	000	-	-	011	-	101	-	-
0011	-	-	010	-	100	-	-	111
0100	000	-	-	011	-	-	110	-
0101	-	001	-	-	100	-	-	111
0110	-	011	011	011	100	-	-	011

表 3-4. 保護ビットによる誤り訂正 (続き)

受信した P ₃ -P ₀ ビット	受信した F、V および H のビット							
	000	001	010	011	100	101	110	111
0111	100	-	-	011	100	100	100	-
1000	000	-	-	-	-	101	110	-
1001	-	001	010	-	-	-	-	111
1010	-	101	010	-	101	101	-	101
1011	010	-	010	010	-	101	010	-
1100	-	001	110	-	110	-	110	110
1101	001	001	-	001	-	001	110	-
1110	-	-	-	011	-	101	110	-
1111	-	001	010	-	100	-	-	-

3.2.3 BT.656 イメージ・ウィンドウおよびキャプチャ

BT.656 フォーマットは、2つのフィールドから構成されるインタレース・フォーマットです。ビデオ・ポートは、1つまたは2つのフィールドをキャプチャすることができます。キャプチャされたイメージは各フィールドのサブセットであり、アクティブ・ビデオ領域より大きく、または小さくすることができます。キャプチャされたイメージの位置は、フィールド1の場合 VC_xSTRT1 および VC_xSTOP1 レジスタ、フィールド2の場合 VC_xSTRT2 および VC_xSTOP2 レジスタによって定義されます。VCXSTART および VCXSTOP ビットは、HCOUNT ピクセル・カウンタに関連するフィールドのウィンドウの水平位置をセットします。VCYSTART および VCYSTOP ビットは、VCOUNT ライン・カウンタに関連する垂直位置をセットします。これを図 3-1 に示します。

HCOUNT は、キャプチャがイネーブルされている色差サンプルの周期ごとに (VCLKIN 立ち上がりエッジの1回おきに) インクリメントされます。VCOUNT = YSTART になると、HCOUNT = XSTART のときに、ライン・キャプチャが開始されます。ライン・キャプチャは、HCOUNT = XSTOP になるまで続行されます。HCOUNT = VCXSTOP かつ VCOUNT = VCYSTOP になると、フィールドのキャプチャは完了します。

図 3-1. ビデオ・キャプチャのパラメータ

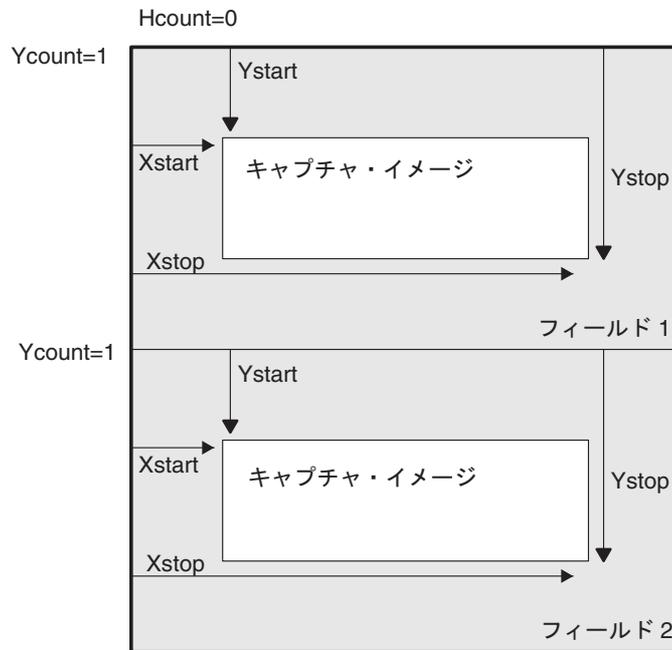


表 3-5 は、一般的なデジタル・カメラ規格と、1 秒あたりのフィールド数、1 フィールドあたりのアクティブ・ライン数、1 ラインあたりのアクティブ・ピクセル数を示しています。

表 3-5. 一般的なビデオ・ソースのパラメータ

ビデオ・ソース	アクティブ・ライン数 (フィールド 1/ フィールド 2)	アクティブ・ピクセル数	フィールド・レート (Hz)
正方ピクセル 60Hz/525 ライン	240/240	640	60
BT.601 60 Hz/525 ライン	244/243	720	60
正方ピクセル 50Hz/625 ライン	288/288	768	50
BT.601 50 Hz/625 ライン	288/288	720	50

BT.656 ビデオ・キャプチャ・モードの場合、FIFO バッファは3つのセクション（3つのバッファ）に分割されます。1つは、1280 バイトの、Y データ・サンプルの保存専用のセクションです。他の2つは、それぞれ Cb および Cr データ・サンプルの保存専用のセクションです。Cb および Cr サンプルのバッファは、それぞれ 640 バイトです。入力ビデオ・データ・ストリームは、Y、Cb および Cr のデータ・ストリームに分割されてから、スケーリングされ（オプションで選択されている場合）、Y、Cb および Cr バッファに入力されます。3つのバッファのそれぞれが、YSRC、CBSRC および CRSRC に関連付けられたメモリマップ・ロケーションを持っています。YSRC、CBSRC および CRSRC のロケーションは読み取り専用で、DMA が FIFO 内に格納されているビデオ・データ・サンプルへアクセスするために使用します。

ビデオ・キャプチャがイネーブルの場合（VCxCTL 内の BLKCAP ビットがクリアされている場合）、キャプチャ・ウィンドウ内のピクセルが Y、Cb、Cr の各バッファにキャプチャされます。ビデオ・キャプチャ・モジュールは、データをキャプチャ・バッファから DSP メモリにコピーするよう DMA コントローラに通知するために、YEVT、CbEVT、CrEVT の各イベントを使用します。これらのイベントの生成に必要なダブルワード数は、VCxTHRLD 内の VCTHRLDn ビットによってセットされます。各 YEVT では、ソース・アドレスとして YSRC ロケーションを使用して、DMA は Y バッファから DSP メモリにデータを転送する必要があります。各 CbEVT では、ソース・アドレスとして CBSRC ロケーションを使用して、DMA は Cb バッファから DSP メモリにデータを転送する必要があります。各 CrEVT では、ソース・アドレスとして CRSRC ロケーションを使用して、DMA は Cr バッファから DSP メモリにデータを転送する必要があります。4つの Y サンプルごとに2つの Cb サンプルと2つの Cr サンプルが存在するため、Cb および Cr バッファからの転送サイズは Y バッファからの転送サイズの $\frac{1}{2}$ であることに注意してください。

3.2.4 BT.656 データ・サンプリング

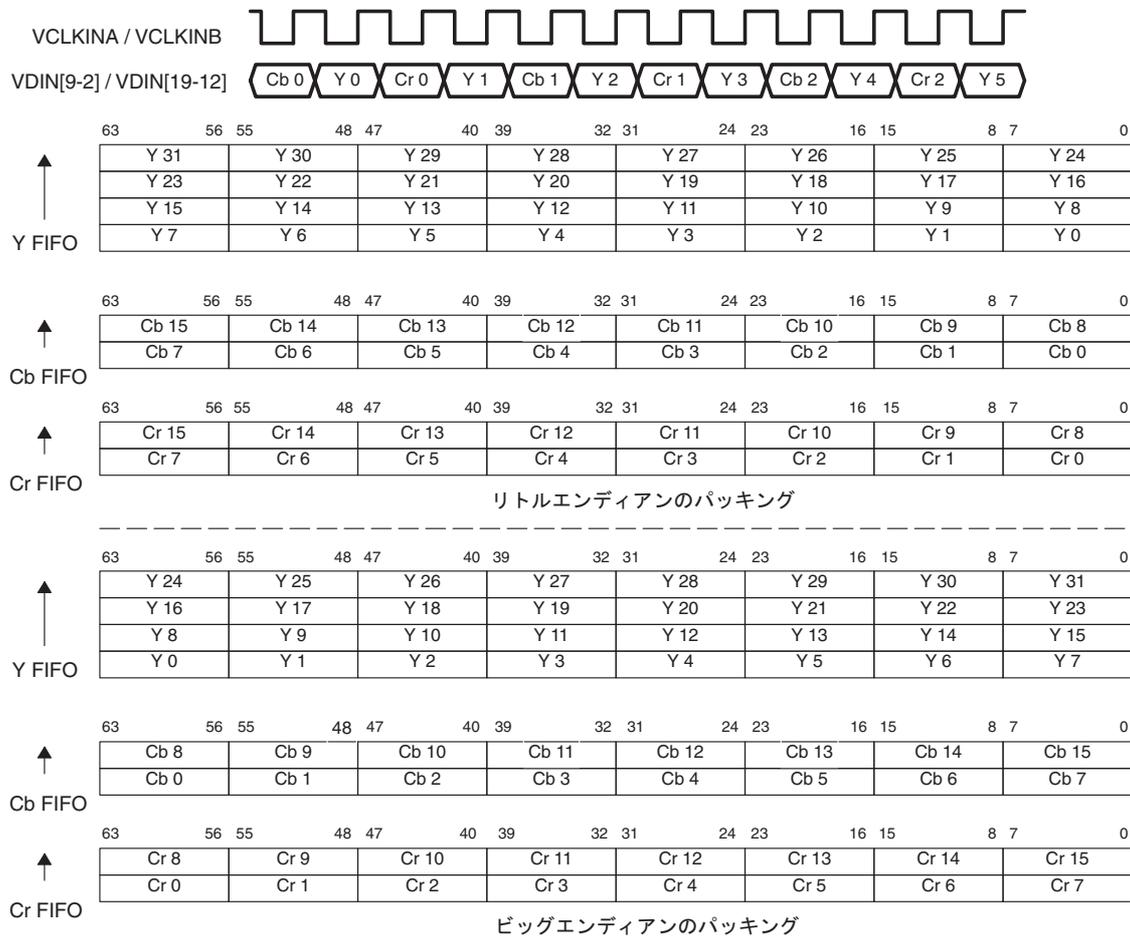
CAPEN 入力が入力になっているクロック・サイクルでのみ、入力データ（タイミング・コードも含む）はサンプリングされ、HCOUNT カウンタが進められます。CAPEN がインアクティブな場合、入力は無視されます。タイミング・リファレンス・コードは、CAPEN で有効な3つの連続したサンプルが FFh、00h、00h の並びであった場合のみ認識されます。FFh の後、または最初の 00h の後に 00h 以外のサンプルが続いていた場合、タイミング・リファレンス・コードの認識ロジックはリセットされ、再度 FFh が検索されます（タイミング・リファレンスの間に存在するサンプリングされないデータ、つまり CAPEN がインアクティブなデータは、有効な入力と見なされないため、認識ロジックはリセットされません）。

3.2.5 BT.656 FIFO のパッキング

キャプチャされたデータは、キャプチャ FIFO に書き込まれる前に、常に 64 ビットにパックされます。パッキングおよびバイトの順序付けは、キャプチャ・データ・サイズおよびデバイスのエンディアン・モードに依存します。リトルエンディアン（デフォルト）では、データは右から左に FIFO にパックされ、ビッグエンディアンでは、データは左から右にパックされます。

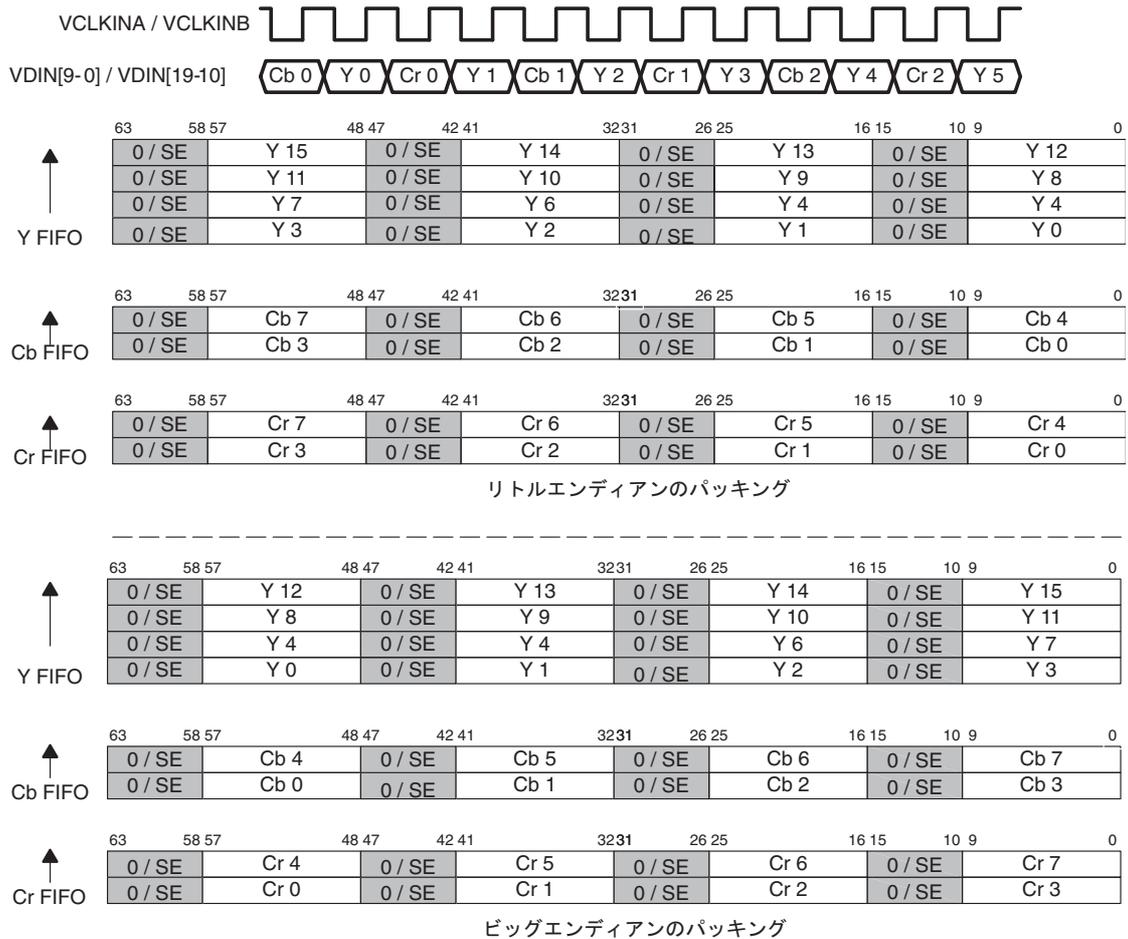
8 ビット BT.656 モードでは、カラーの分類のために 3 つの FIFO が使用されます。4 つのサンプルが、各ワードにパックされます（図 3-2 を参照）。

図 3-2. 8 ビット BT.656 の FIFO のパッキング



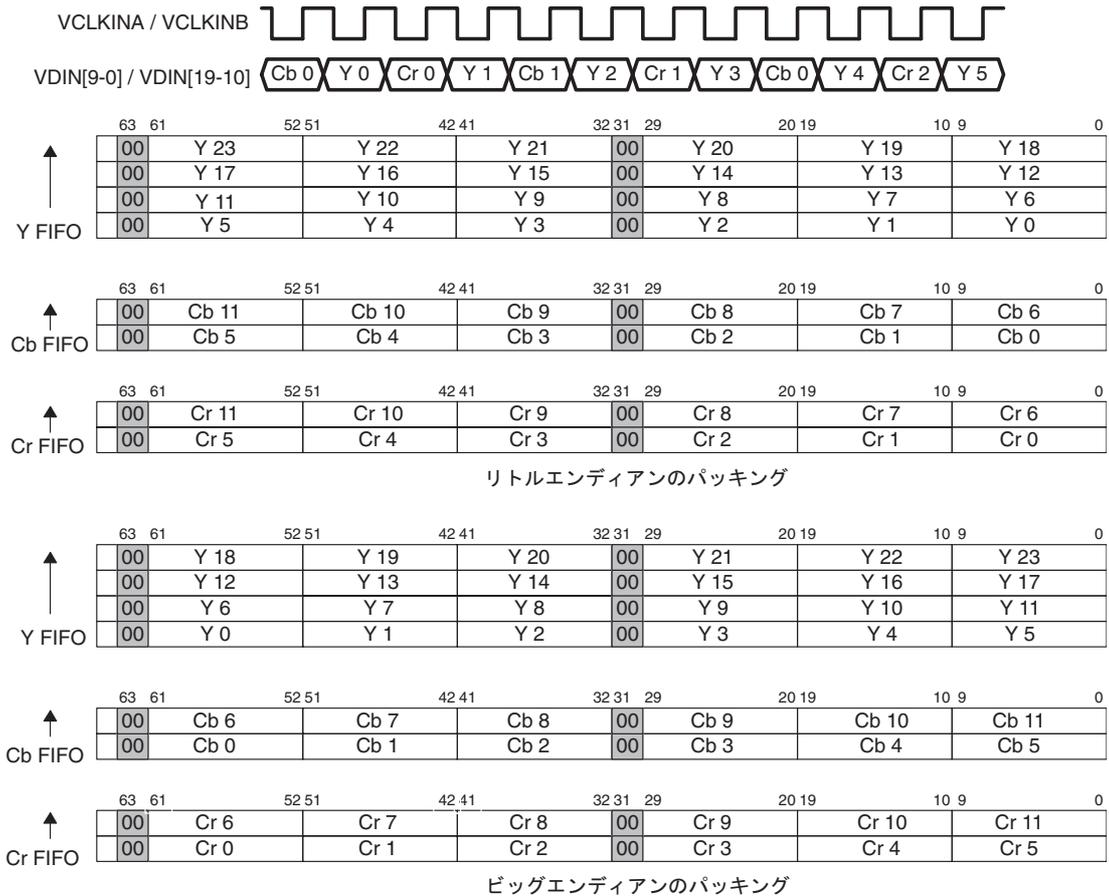
10 ビット BT.656 モードでは、カラーの分類のために 3 つの FIFO が使用されます。2 つのサンプルが、ゼロ拡張または符号拡張とともに各ワードにパックされます (図 3-3 を参照)。

図 3-3. 10 ビット BT.656 の FIFO のパッキング



10 ビット BT.656 高密度モードでは、カラーの分類のために 3 つの FIFO が使用されます。3 つのサンプルが、DMA の帯域幅を向上させるために、ゼロ拡張または符号拡張とともに各ワードにパックされます (図 3-4 を参照)。

図 3-4. 10 ビット BT.656 の FIFO の高密度パッキング



3.3 Y/C ビデオ・キャプチャ・モード

Y/C キャプチャ・モードは、BT.656 キャプチャ・モードによく似ていますが、8 ビットまたは 10 ビットの 4:2:2 データを輝度と色差のデータ・ストリームで分けてキャプチャします。1 つのデータ・ストリームには Y サンプルが含まれていて、もう一方のストリームにはマルチプレクスされた Cb および Cr サンプルが含まれています。これらのサンプルは 1 つおきの Y サンプルに一致します。DSP メモリ内の Y、Cb、Cr の各バッファへの転送に備えて、Y サンプルは Y FIFO に書き込まれ、色差サンプルはデマルチプレクスされてから、Cb FIFO および Cr FIFO に書き込まれます。サンプルのパッキングおよび順番は、サンプルのサイズ (8 ビットまたは 10 ビット)、およびデバイスのエンディアン・モードによって決定されます。

Y/C キャプチャ・モードは、SMPTE260、SMPTE296、および EAV と SAV コードが組み込まれた BT.1120 などの HDTV 規格をサポートしています。また、別々の制御信号を使用する SDTV YCbCr モード (CCIR601 モードともいう) もサポートしています。

BT.656 ビデオ・キャプチャ・モードと同様に、最上位 8 ビットにすべて 1 がセットされているデータ・バイト (FF.0h、FF.4h、FF.8h、FF.Ch) と、すべてゼロクリアされているデータ・バイト (00.0h、00.4h、00.8h、00.Ch) は、データ識別用に予約されています。このため、256 通りの 8 ビット・ワードのうちの 254 通りのみ (または 1024 通りの 10 ビット・ワードのうちの 1016 のみ) が信号の値を表すために使用されます。

3.3.1 Y/C キャプチャ・チャンネル

Y/C モードは、VDATA バス全体を必要とするため、シングル・チャンネル動作のみをサポートされます。VPCTL 内の DCHDIS ビットがセットされている場合、Y/C モードは選択できません。Y/C キャプチャは、チャンネル A でのみ実行されます。組み込まれているタイミング・リファレンス入力および外部制御入力の両方がサポートされています。

3.3.2 Y/C タイミング・リファレンス・コード

高解像度の Y/C インターフェイス規格の多くは、組み込み型のタイミング・リファレンス・コードを規定しています。これらのコードは、輝度 (Y) および色差 (CbCr) のデータ・ストリームの両方に並列に現れる点以外は、BT.656 規格で使用されているコードと同じです。

3.3.3 Y/C イメージ・ウィンドウおよびキャプチャ

SDTV Y/C フォーマット (CCIR601) は、BT.656 と同様に、2つのフィールドから構成されるインタレース・フォーマットです。HDTV Y/C フォーマットは、インタレースとプログレッシブ・スキャンのいずれにも対応できるフォーマットです。インタレース・キャプチャの場合、キャプチャ・ウィンドウは BT.656 モードと同様にプログラムされます。プログレッシブ・スキャン・フォーマットの場合、フィールド1のみが使用されます。

Y/C モードでは、HCOUNT は、キャプチャがイネーブルされてから輝度サンプルの周期ごとに (VCLKINA 立ち上がりエッジごとに) インクリメントされます。VCOUNT = YSTART になると、HCOUNT = XSTART のときにライン・キャプチャが開始されます。ライン・キャプチャは、HCOUNT = XSTOP になるまで続行されます。HCOUNT = VCXSTOP かつ VCOUNT = VCYSTOP になると、フィールドのキャプチャは完了します。

Y/C ビデオ・キャプチャ・モードの場合、FIFO バッファは3つのセクション (3つのバッファ) に分割されます。1つは、2560 バイトの、Y データ・サンプルの保存専用のセクションです。他の2つは、それぞれ Cb および Cr データ・サンプルの保存専用のセクションです。Cb および Cr サンプルのバッファは、それぞれ 1280 バイトです。入力ビデオ・データ・ストリームは、Y、Cb および Cr の各データ・ストリームに分割されてから、スケーリングされ (オプションで選択されている場合)、Y、Cb および Cr の各バッファに入れます。3つのバッファにはそれぞれ、YSRC、CBSRC、および CRSRC に関連したメモリマップ・ロケーションが用意されています。YSRC、CBSRC および CRSRC の各ロケーションは読み取り専用で、DMA が FIFO 内に格納されているサンプルしたビデオ・データにアクセスするために使用します。読み取りは、常に 64 ビットで行われる必要があります。

ビデオ・キャプチャがイネーブルになっている場合、キャプチャ・ウィンドウ内のピクセルが Y、Cb および Cr の各バッファにキャプチャされます。ビデオ・キャプチャ・モジュールは、YEVT、CbEVT および CrEVT の各イベントを使用して、データをキャプチャ・バッファから DSP メモリにコピーするよう DMA コントローラに通知します。これらのイベントの生成に必要なピクセル数は、VCxCTL 内の VCTHRLD_n ビットによってセットされます (Y/C モードの場合、VCTHRLD_n 値は偶数である必要があります)。VCTHRLD の新しいピクセルの受信後に、キャプチャ・モジュールによってイベントが生成されます。各 YEVT では、ソース・アドレスに YSRC レジスタの値を使用して、DMA は Y バッファから DSP メモリにデータを転送する必要があります。各 CbEVT では、ソース・アドレスとして CBSRC レジスタの値を使用して、DMA は Cb バッファから DSP メモリにデータを転送する必要があります。各 CrEVT では、ソース・アドレスとして CRSRC レジスタの値を使用して、DMA は Cr バッファから DSP メモリにデータを転送する必要があります。4つの Y サンプルごとに、2つの Cb サンプルと2つの Cr サンプルが存在するため、Cb および Cr バッファからの転送サイズは、Y バッファからの転送サイズの 1/2 であることに注意してください。

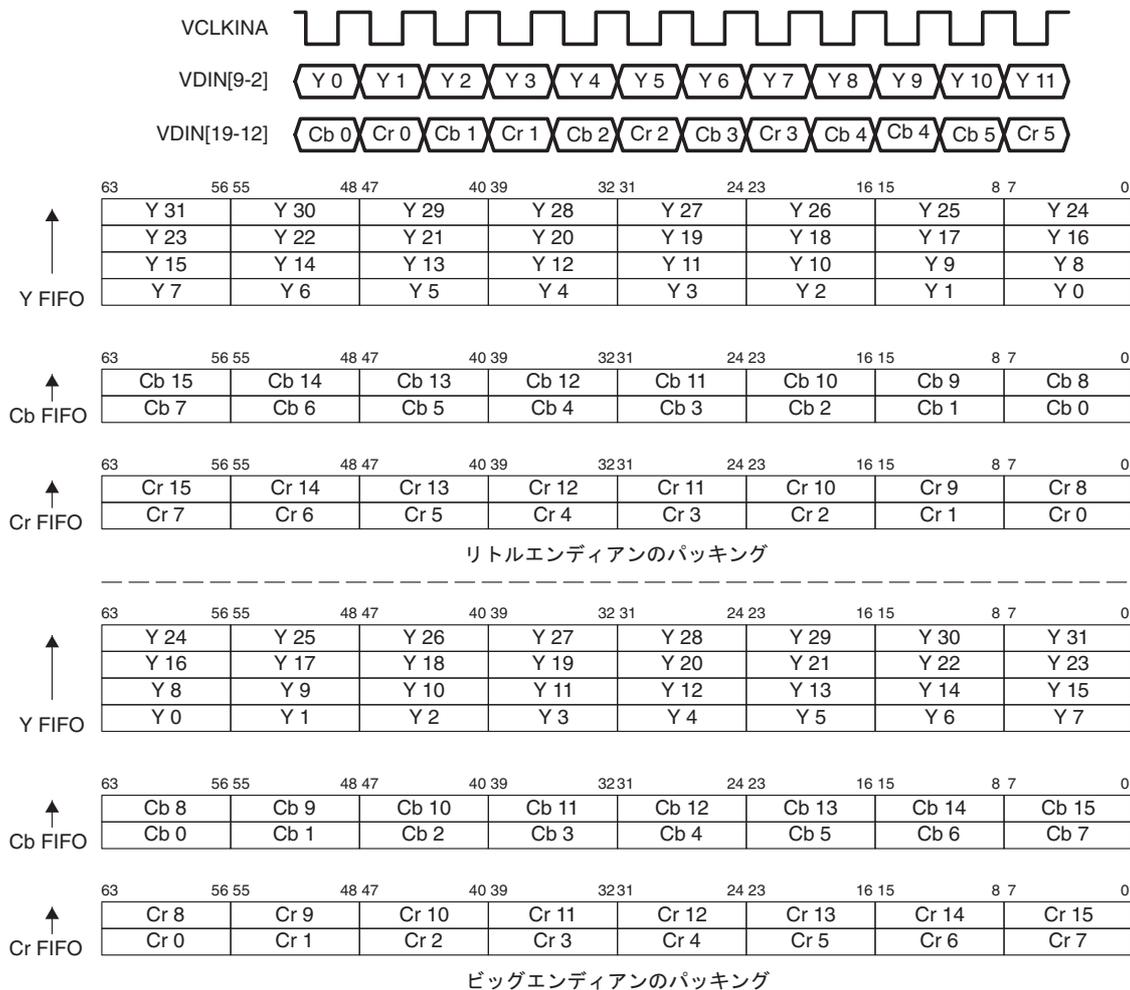
スレッシュホールドが VCTHRLD に達すると、3つの DMA イベントが同時に生成されます。要求された DMA によって、それぞれの FIFO の最初の読み取りが開始されると、各イベントは再度イネーブルされます。

3.3.4 Y/C FIFO のパッキング

キャプチャされたデータは、キャプチャ FIFO に書き込まれる前に、必ず 64 ビットにパックされます。パッキングおよびバイトの順序付けは、キャプチャ・データ・サイズおよびデバイスのエンディアン・モードに依存します。リトルエンディアン（デフォルト）では、データは右から左に FIFO にパックされ、ビッグエンディアンでは、データは左から右にパックされます。

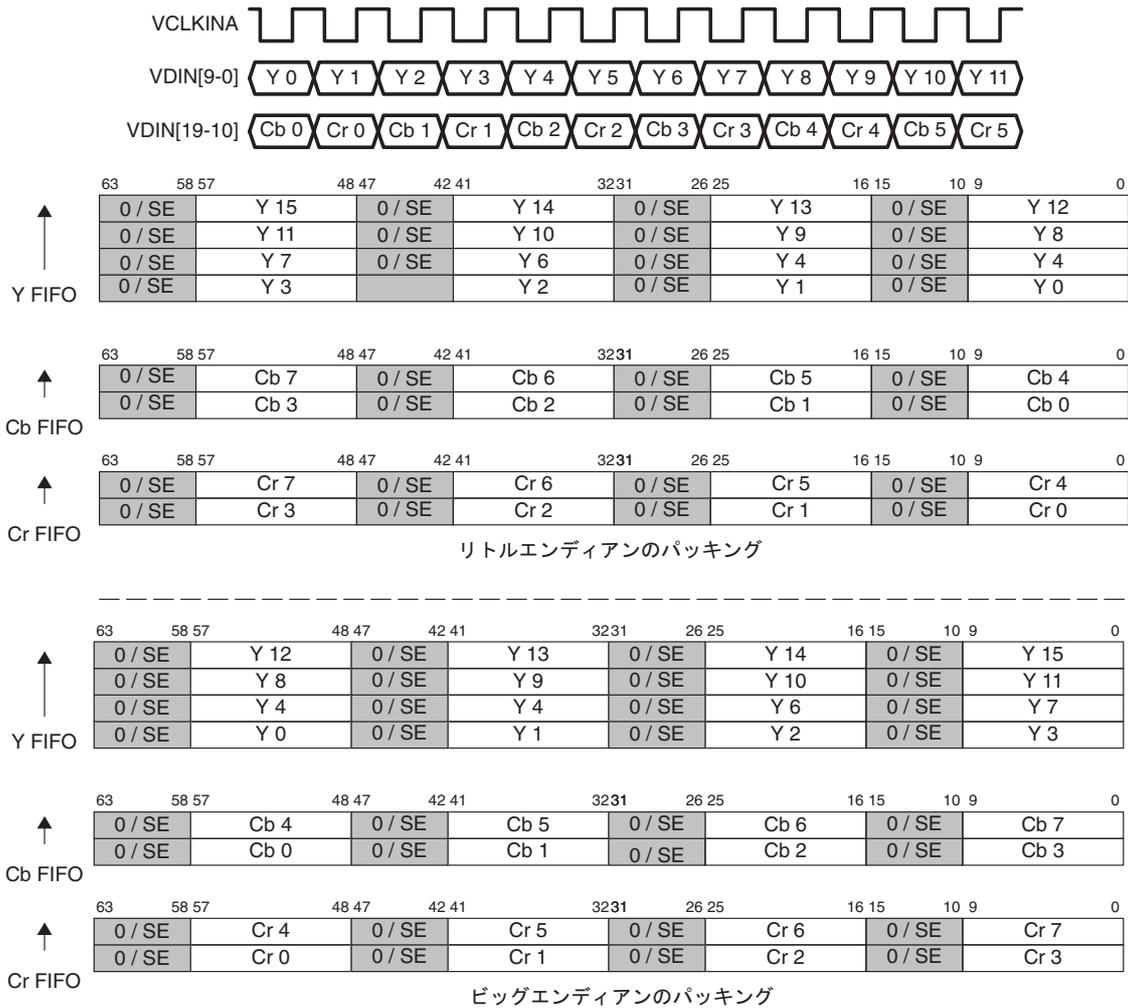
8 ビット Y/C モードでは、カラーの分類のために 3 つの FIFO が使用されます。4 つのサンプルが、各ワードにパックされます（図 3-5 を参照）。

図 3-5. 8 ビット Y/C FIFO のパッキング



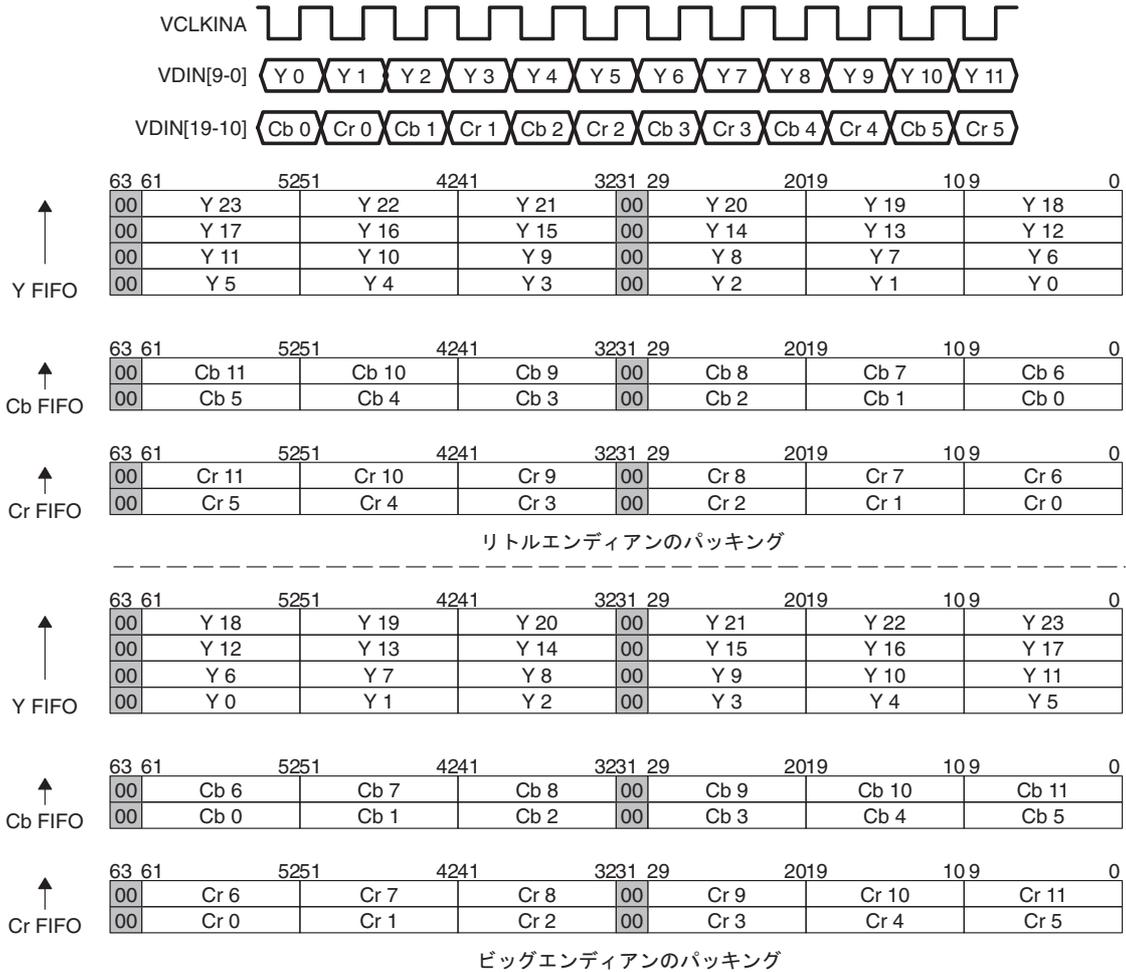
10 ビット Y/C モードでは、カラーの分類のために3つの FIFO が使用されます。2つのサンプルが、ゼロ拡張または符号拡張とともに各ワードにパックされます (図 3-6 を参照)。

図 3-6. 10 ビット Y/C FIFO のパッキング



10 ビット Y/C 高密度モードでは、カラーの分類のために 3 つの FIFO が使用されます。3 つのサンプルが、DMA の帯域幅を向上させるために、ゼロ拡張または符号拡張とともに各ワードにパックされます。(図 3-7 を参照)。

図 3-7. 10 ビット Y/C FIFO の高密度パッキング



3.4 BT.656 および Y/C モードのフィールドとフレームの動作

DMA は、データをキャプチャ FIFO からメモリに転送するために使用されるので、キャプチャ・フィールドおよびフレームをメモリ内に転送して格納する方法は、柔軟性にすぐれています。たとえば、DSP の介入なしに、フィールドの連続ストリームを格納するピンポン・バッファまたはラウンドロビン・メモリ・バッファのセットを用意する DMA 構成を作成することもできます。その他の場合、各フィールドまたはフレームをキャプチャ後に、DSP は DMA のポインタ・アドレスを変更する必要がある場合もあります。アプリケーションによっては、1 つのフィールドのみをキャプチャして、その他のフィールドを完全に無視させたり、前のフレームを処理する時間を確保するために、フレームを無視させたりする必要がある場合もあります。ビデオ・ポートは、さまざまな面からキャプチャ処理の制御をプログラムできるため、このような問題が解決されています。

3.4.1 キャプチャの判別と通知

ビデオ・ポートは、各フィールドのキャプチャを別々の動作として処理します。さまざまなキャプチャ・シナリオ、DMA 構成および処理フローに対応できるよう、ビデオ・ポートは、柔軟なキャプチャおよび DSP への通知方式を採用しています。これは、VCxCTL 内の CON、FRAME、CF1、CF2 の各ビットを使用してプログラムすることができます。

CON ビットは、複数のフィールドまたはフレームのキャプチャを制御します。CON = 1 のとき、連続キャプチャがイネーブルされ、DSP の介入を必要とせず、(VCEN ビットがセットされていることを想定して) ビデオ・ポートは入力フィールドをキャプチャします。キャプチャ FIFO の処理は、サーキュラー・バッファ機能を持つ DMA 構成に依存します。CON = 0 の場合、連続キャプチャはディスエーブルされ、ビデオ・ポートは、その他のキャプチャ制御ビット (FRAME、CF1、CF2) の状態によって決められたように、各フィールドのキャプチャ時に VCxSTAT 内のフィールドまたはフレームのキャプチャ完了ビット (FIC、F2C、FRMC) をセットします。キャプチャ完了ビットがセットされると、キャプチャ動作がホールドされるまでに、多くても残り 1 つのフィールドまたはフレームしか受信できません。このため、DSP が DMA のポインタの更新や、これらのフィールドの処理を完了するまで、後続のデータによって前のフィールドが上書きされないようになっています。キャプチャのホールドが発生すると、ビデオ・ポートは (ホールドしたフィールドの) データのキャプチャを中止します。その後、後続の各フィールドの先頭で適切なキャプチャ完了ビットをチェックし、このビットがクリアされていた場合には、キャプチャを再開します。

CON、FRAME、CF1 および CF2 のビットでキャプチャは動作します (表 3-6 を参照)。

表 3-6. BT.656 および Y/C モードのキャプチャ動作

VCxCTL ビット				動作
CON	FRAME	CF2	CF1	
0	0	0	0	予約。
0	0	0	1	フィールド1の非連続キャプチャ。フィールド1のみキャプチャします。フィールド1のキャプチャ後にF1Cがセットされ、その結果、CCMPxがセットされます。キャプチャを続行する前に、F1CビットをDSPでクリアする必要があります(DSPには、次のフィールド1が開始される前にF1Cをクリアするために、フィールド2全体の時間が用意されています)。シングル・プログレッシブ・フレームのキャプチャに使用することもできません(DSPには、次のフレームが開始される前に、F1Cをクリアするために、垂直ブランキング期間が用意されています)。
0	0	1	0	フィールド2の非連続キャプチャ。フィールド2のみキャプチャします。フィールド2のキャプチャ後にF2Cがセットされ、その結果CCMPxがセットされます。キャプチャを続行する前に、F2CビットをDSPでクリアする必要があります(DSPには、次のフィールド2が開始される前にF2Cをクリアするために、フィールド1全体の時間が用意されています)。
0	0	1	1	フィールド1およびフィールド2の非連続キャプチャ。両方のフィールドをキャプチャします。フィールド1のキャプチャ後にF1Cがセットされ、その結果CCMPxがセットされます。別のフィールド1のキャプチャが発生する前に、F1CビットをDSPでクリアする必要があります(DSPには、次のフィールド1が開始される前にF1Cをクリアするために、フィールド2全体の時間が用意されています)。フィールド2のキャプチャ後にF2Cがセットされ、その結果CCMPxがセットされます。別のフィールド2のキャプチャが発生する前に、F2CビットをDSPでクリアする必要があります(DSPには、次のフィールド2が開始される前にF2Cをクリアするために、フィールド1全体の時間が用意されています)。
0	1	0	0	フレームの非連続キャプチャ。両方のフィールドをキャプチャします。フィールド2のキャプチャ後にFRMCがセットされ、その結果CCMPxがセットされます。FRMCビットがクリアされない限り、次のフレームが完了するとキャプチャはホールドします(DSPには、FRMCをクリアするために、次のフレーム全体の時間が用意されています)。
0	1	0	1	プログレッシブ・フレームの非連続キャプチャ。フィールド1をキャプチャします。フィールド1のキャプチャ後にFRMCがセットされ、その結果CCMPxがセットされます。FRMCビットがクリアされない限り、次のフレームが完了するとキャプチャはホールドします(DSPには、FRMCをクリアするために、次のフレーム全体の時間が用意されています)。
0	1	1	0	予約。
0	1	1	1	シングル・フレームのキャプチャ。両方のフィールドをキャプチャします。フィールド2のキャプチャ後にFRMCがセットされ、その結果CCMPxがセットされます。FRMCビットがクリアされるまで、キャプチャはホールドします(DSPには、FRMCをクリアするために、フィールド2からフィールド1の垂直ブランキング期間が用意されています)。
1	0	0	0	予約。
1	0	0	1	フィールド1の連続キャプチャ。フィールド1のみキャプチャします。フィールド1のキャプチャ後にF1Cがセットされ、その結果CCMPxがセットされます(CCMPxの割り込みはディスエーブルされている場合もあります)。ビデオ・ポートは、F1Cのステータスに関係なく、フィールド1のキャプチャを続行します。

表 3-6. BT.656 および Y/C モードのキャプチャ動作 (続き)

VCxCTL ビット				動作
CON	FRAME	CF2	CF1	
1	0	1	0	フィールド 2 の連続キャプチャ。フィールド 2 のみキャプチャします。フィールド 2 のキャプチャ後に F2C がセットされ、その結果 CCMPx がセットされます (CCMPx の割り込みはディスエーブルされている場合があります)。ビデオ・ポートは、F2C のステートに関係なく、フィールド 2 のキャプチャを続行します。
1	0	1	1	予約。
1	1	0	0	フレームの連続キャプチャ。両方のフィールドをキャプチャします。フィールド 2 のキャプチャ後に FRMC がセットされ、その結果 CCMPx がセットされます (CCMPx の割り込みはディスエーブルされている場合があります)。ビデオ・ポートは、FRMC の状態に関係なく、フレームのキャプチャを続行します。
1	1	0	1	プログレッシブ・フレームの連続キャプチャ。フィールド 1 をキャプチャします。フィールド 1 のキャプチャ後に FRMC がセットされ、その結果 CCMPx がセットされます (CCMPx の割り込みはディスエーブルされている場合があります)。ビデオ・ポートは、FRMC のステートに関係なく、フレームのキャプチャを続行します (FIC ビットではなく FRMC ビットが使用されるという点を除き、フィールド 1 の連続キャプチャ・モードの機能とほぼ同じです)。
1	1	1	0	予約。
1	1	1	1	予約。

3.4.2 垂直同期

ビデオ・ポートは、キャプチャ・ウィンドウを使用して、各フィールドでキャプチャすべき入力データ・サンプルを判別します。キャプチャ・モジュールは、垂直ライン・カウンタ (VCOUNT) を使用して、現在受信しているビデオ・ラインを調べます。ライン・カウンタは、現在のラインがキャプチャ・ウィンドウ内に存在するかどうかを判別するために、現在のフィールドの適切なキャプチャ・ウィンドウ・スタート (VCYSTART1 または VCYSTART2) とキャプチャ・ウィンドウ・ストップ (VCYSTOPI または VCYSTOP2) の値を比較します。フィールド内のキャプチャ・ウィンドウを正しくアラインするため、キャプチャ・モジュールは、フィールドの最初のラインに対応するライン、つまりどの時点でライン・カウンタをリセットしたらよいかタイミングを認識する必要があります。このタイミングは、実行しているキャプチャの種類、垂直同期に使用可能な信号によって異なる場合があります。ビデオ・ポートは、VCxCTL 内の EXC および VRST ビットをプログラムして、垂直カウンタのリセット・トリガーを決定することができます。これらのビットを符号として表したものを表 3-7 に示します。VMode 2 および 3 は、シングル・チャンネル動作 (チャンネル A) でのみ使用可能であることに注意してください。

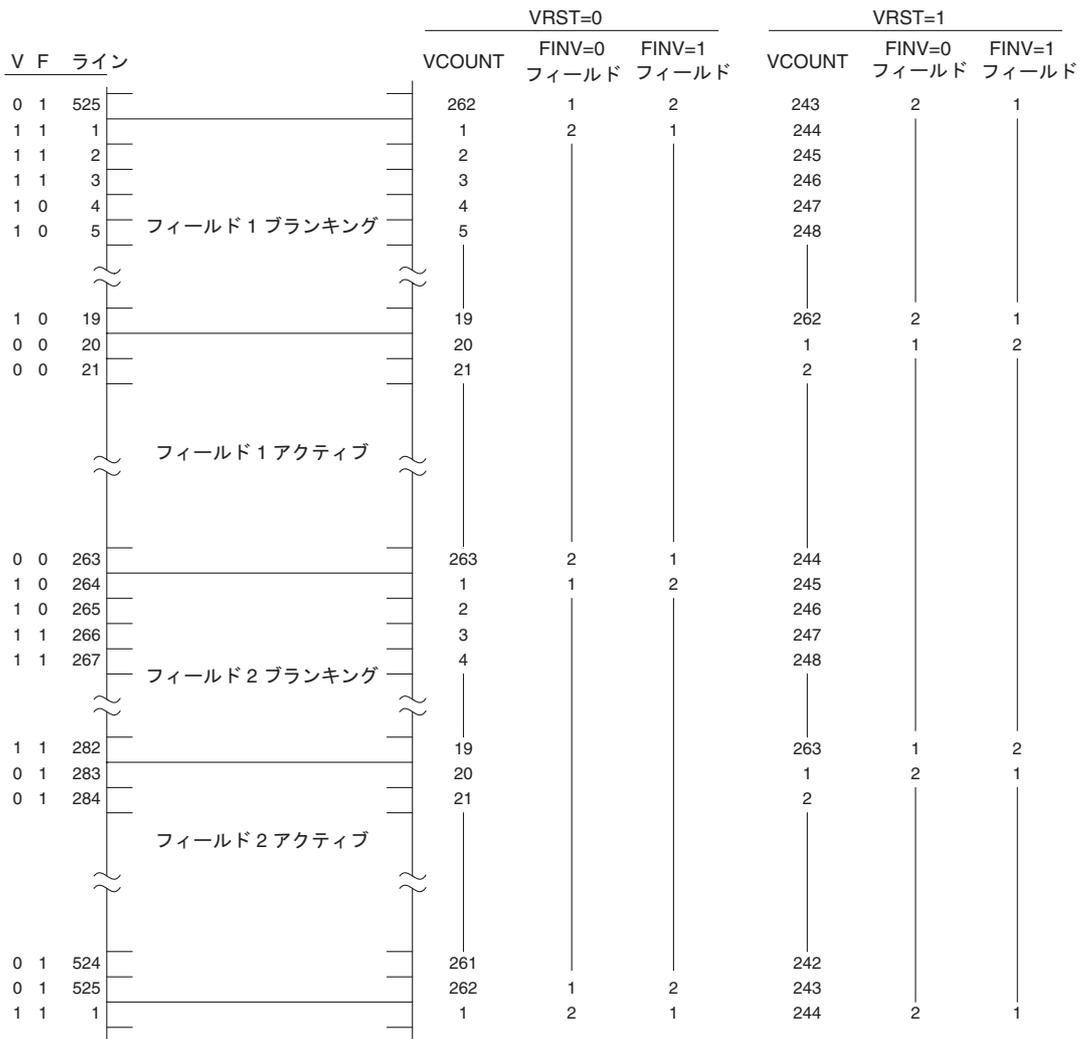
表 3-7. 垂直同期のプログラミング

VMode	VCxCTL ビット		垂直カウンタのリセット・ポイント
	EXC	VRST	
0	0	0	V=0 の EAV に続く最初の V=1 の EAV : 垂直ブランキング期間の開始。VCOUNT は、各 EAV 上でインクリメントされます。
1	0	1	V=1 の EAV に続く最初の V=0 の EAV : 最初のアクティブ・ライン。VCOUNT は、各 EAV 上でインクリメントされます。
2	1	0	VCTL1 入力アクティブ・エッジ後の HCOUNT リセット時 : 垂直ブランキング期間または垂直同期期間の開始 (VCTL1 が、垂直制御信号として設定されている必要があります)。VCOUNT は、HCOUNT リセット時にインクリメントされます。
3	1	1	VCTL1 入力ラインアクティブ・エッジ後の HCOUNT リセット時 : 垂直同期の終了または最初のアクティブ・スキャン・ライン (VCTL1 が、垂直制御信号として設定されている必要があります)。VCOUNT は、HCOUNT リセット時にインクリメントされます。

VMode 0 は、(組み込み制御を使用した) BT.656 または Y/C のキャプチャで使用されます。このモードは、垂直ブランキングの開始で始まるラインをカウントする大部分のデジタル・ビデオ規格に対応しています。また、BT.656 または Y/C のキャプチャでは、VMode 1 も使用できますが、この場合は、最初のアクティブ・ビデオ・ラインからカウントされます。これにより、一部のインスタンス (3.4.4 項を参照) では、フィールド検出がより直接的に実行され、VCYSTART_n ビットに 1 がセットされますが、垂直ブランキング期間は、現在のフィールドの先頭ではなく、その前のフィールドの前後に関連付けられます (これは VBI データをキャプチャする場合には、問題になることがあります)。VMode 0 および VMode 1 の場合の VCOUNT の動作を図 3-8 に示します。

VMode 2 および VMode 3 は、BT.656 または Y/C のキャプチャで、組み込み型の EAV/SAV のコードを使用しない場合に使用し、VCTL1 の垂直制御信号のアクティブ・エッジまたはインアクティブ・エッジのいずれかにアラインすることができます。これには、ビデオ・デコーダからの VBLNK または VSYNC を使用することができます。

図 3-8. VCOUNT の動作例 (EXC = 0)



3.4.3 水平同期

水平同期は、水平ピクセル（サンプル）のカウンタがリセットされるタイミングを決定します。VCxCTL 内の EXC および HRST のビットを使用すると、ラインの先頭をトリガするイベントをプログラムすることができます。これらのビットを符号として表したものを表 3-8 に示します。

表 3-8. 水平同期のプログラム

HMode	VCxCTL ビット		水平カウンタのリセット・ポイント
	EXC	HRST	
0	0	0	EAV コード (H=1) : 水平ブランキングの開始。
1	0	1	SAV コード (H=0) : アクティブ・ビデオの開始。
2	1	0	VCTL0 入力アクティブ・エッジ : 水平ブランキング期間または水平同期期間の開始 (VCTL0 が、水平制御信号として設定されている必要があります)。
3	1	1	VCTL0 入力ラインアクティブ・エッジ : ラインの最初のアクティブ・ピクセルまたは水平同期の終了 (VCTL0 が、水平制御信号として設定されている必要があります)。

HMode 0 は、(組み込み制御を使用した) BT.656 または Y/C のキャプチャで使用され、各ラインが水平ブランキング期間で開始するという概念に対応します。最初のアクティブ・ピクセルを使用してカウントを開始する規格の大部分に一致しないため、SAV コードが必要になる前に HANC データをキャプチャする場合にのみ役立ちます。HMode 1 はデフォルトのモードで、最初のアクティブ・ピクセル pixel0 を作成することでほとんどのデジタル・ビデオ規格に対応します。水平ブランキング期間は、該当ラインの先頭ではなく、その前のラインの最後に関連付けられていますが、HANC データをキャプチャしない限り、問題にはなりません。いずれのモードも、HCOUNT は、Y/C 動作の場合は各 VCLKIN エッジごと、BT.656 動作の場合は VCLKIN エッジ 1 つおきにインクリメントされますが、これは、CAPEN がアクティブな場合にのみ実行されます。HMode 1 および HMode 2 の場合の HCOUNT の動作を図 3-9 に示します。

HMode 2 および HMode 3 は、組み込み型の EAV コードまたは SAV コードを使用しない BT.656 または Y/C のキャプチャで使用します。これらのモードを使用すると、VCTL0 入力に応じて、水平ブランキング期間の開始または最初のアクティブ・ピクセルと、水平同期の開始または終了のいずれかにアラインすることができます。VCTL0 が水平制御入力として設定されている場合、外部の CAPEN 信号は使用できないため、CAPEN 信号は常にアクティブと見なされます。HMode 3 および HMode 4 の場合の HCOUNT の動作を図 3-10 に示します (ここでは VCTL が HSYNC または AVID のいずれかとして動作する場合を表しています)。

図 3-9. HCOUNT の動作例 (EXC = 0)

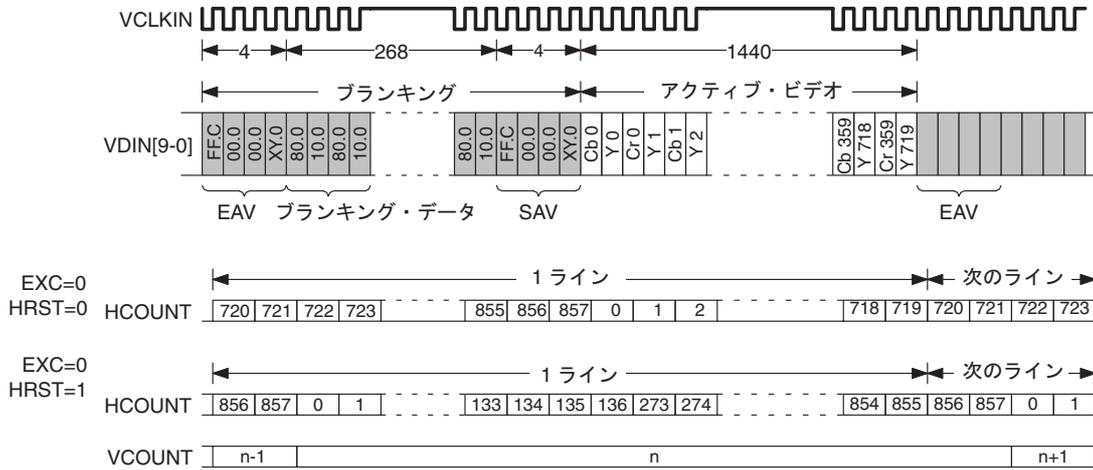
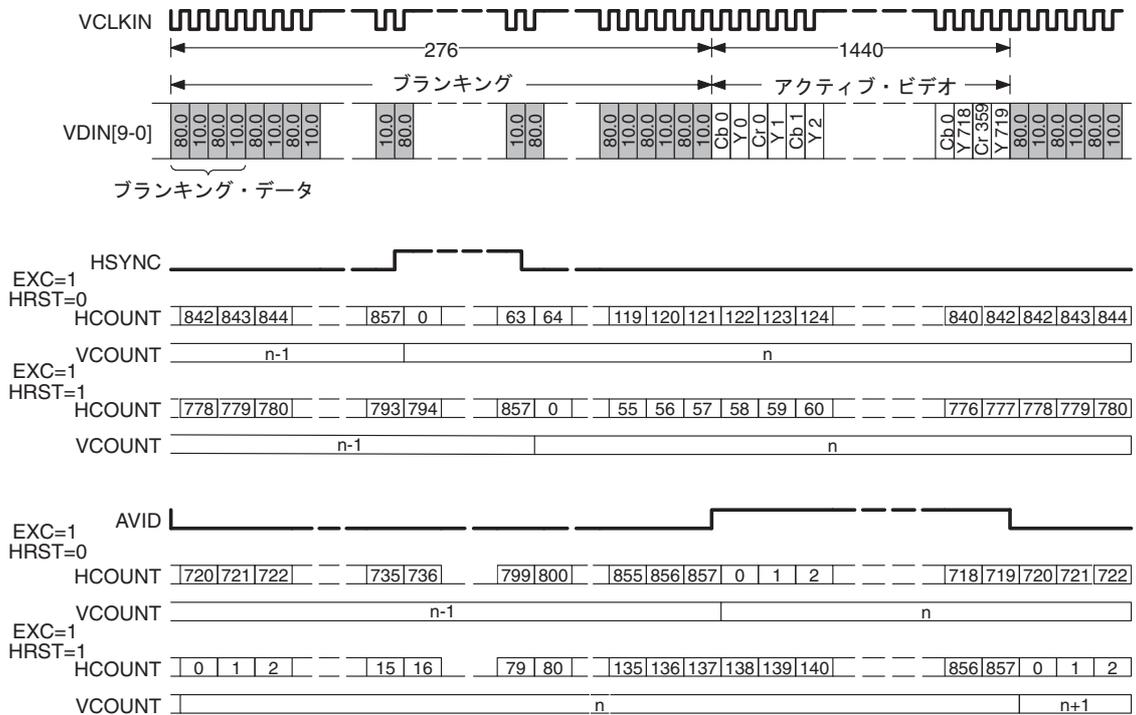


図 3-10. HCOUNT の動作例 (EXC = 1)



3.4.4 フィールド ID (識別)

ソース・データ・ストリームと正確に同期するため、また正しいフィールドをキャプチャするためには、フィールド ID を実行する必要があります。フィールド ID には、EAV、フィールド・インジケータ入力、フィールド検出ロジックの 3 つの方式があります。フィールド ID 方式は、VCxCTL 内の EXC、FLDD および FINV の各ビットによって決定されます。

表 3-9. フィールド ID のプログラミング

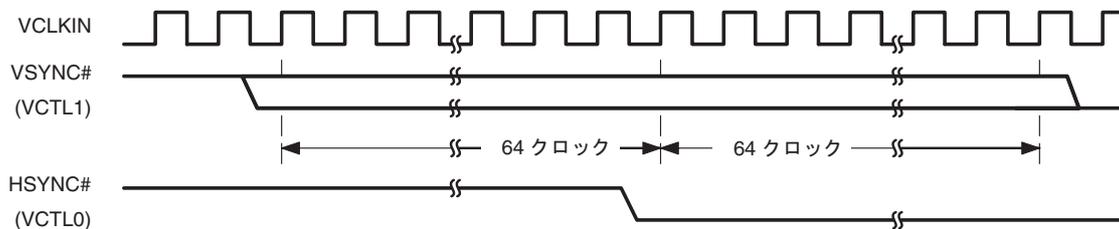
VCxCTL ビット		
EXC	FLDD	フィールドの検出方式
0	0	EAV コード
0	1	EAV コード
1	0	FID 入力を使用
1	1	フィールド検出を使用 (HSYNC および VSYNC 入力から)

BT.656 規格およびほとんどの Y/C 規格では、フィールド ID (F) のビットは、データ・ストリームに組み込まれている EAV および SAV のコードに含まれています。EAV のフィールド検出方式では、各フィールドの最初のラインにある EAV コードの F ビットがチェックされます。F=0 の場合、現在のフィールドはフィールド 1 として定義されます。F=1 の場合、現在のフィールドはフィールド 2 として定義されます。(VCxCTL 内の VRST ビットによって決定される) フィールドの最初のラインの定義方法、およびキャプチャされるビデオ・ストリームによっては、フィールドの先頭の F 値は実際に供給されているフィールドを示していない場合があります。VCxCTL 内の FINV ビットを使用すると、検出されたフィールドの値を反転させることができます (たとえば、BT.656 525/60 の動作では、F ビットは 0 に変更され、フィールドの 4 ライン目のフィールド 1 を示します。ライン・カウンタがフィールドのライン 1 (V が 1 である最初の EAV) からカウントを開始するように VRST ビットがセットされている場合、F ビットはそのままフィールド 2 (F=1) を示すため、反転させる必要があります。最初のアクティブ・ライン (V が 0 である最初の EAV) からラインのカウントを開始するように VRST ビットがセットされている場合、F 値は、フィールド 1 (F=0) を示すように変更されるため、反転処理は必要ありません)。

フィールド・インジケータ方式は、直接、FID 入力を使用して、現在のフィールドを確認します。この方式は、EAV および SAV の組み込みコードが含まれない Y/C のデータ・ストリームの場合に役立ちます。FID 入力は、各フィールドの先頭でサンプリングされます。FID=0 の場合、フィールド 1 が開始されます。FID=1 の場合、フィールド 2 が開始されます。各フィールドの先頭は VCxCTL 内の VRST ビットによって定義され、VBLNK 入力によって決まるように垂直ブランキングの開始または終了のどちらかになります。FID 入力に反対の極性が含まれているシステムや、フィールド ID の変更によってフィールドの開始に遅延が発生するシステムの場合、この方式では FINV ビットが使用されます。

フィールド検出方式は、HSYNC および VSYNC ベースのフィールド検出ロジックを使用します。この方式は、HSYNC および VSYNC しか提供されていない BT.656 または Y/C システムで使用します。フィールド検出ロジックは、VSYNC アクティブ・エッジで HSYNC 入力のステートをサンプリングします。VSYNC アクティブ・エッジ上で HSYNC がアクティブな場合、フィールド 1 が検出されます。VSYNC アクティブ・エッジ上で HSYNC がインアクティブな場合、フィールド 2 が検出されます。わずかなタイミングの変化が原因で、VSYNC の遷移が HSYNC の遷移と完全に一致しない場合があります。検出ロジックは、HSYNC の ± 64 クロックの検出ウィンドウを実装している必要があります。HSYNC と VSYNC 両方の立ち上がりエッジが 64 サイクル内に発生した場合は、フィールド 1 が検出されます。それ以外の場合は、フィールド 2 が仮定されます。アクティブ Low 同期信号の場合について 図 3-11 に示します。

図 3-11. フィールド 1 の検出タイミング



3.4.5 ショート・フィールドおよびロング・フィールドの検出

ショート・フィールドおよびロング・フィールドの検出ロジックは、キャプチャしたフィールドが想定していたよりも短かったり、長かった場合に DSP へ通知するために使用されます。検出は、VCxCTL 内の SFDE および LFDE ビットによって、イネーブルされます。VPIS 内の SFD および LFD ビットは、ショート・フィールドまたはロング・フィールドが発生した時点を示し、DSP への割り込みがイネーブルになっている場合には、この割り込みをトリガします。

キャプチャ・フィールドの終端より前に垂直ブランキング期間が検出されると、ショート・フィールドが検出されます。EAV が垂直同期に使用されている場合 (EXC = 0)、V = 1 の EAV が発生するときか、もしくは VCOUNT = VCYSTOP_n になる前に、ショート・フィールドが検出されます。VCTL1 入力に垂直同期に使用されている場合 (EXC = 1)、VCOUNT = (VCYSTOP_n) になる前に VCTL1 のアクティブ・エッジが発生すると、ショート・フィールドが検出されます。

キャプチャ・フィールドの終端を過ぎて 2 ライン目以降で垂直ブランキング期間が発生すると、ロング・フィールドが検出されます。ロング・フィールドは、VCOUNT = VCYSTOP_{n+1} のときに検出されます (ロング・フィールドは VCxCTL 内の VRST ビットがゼロクリアされている場合にのみ検出されます。VRST = 1 のときは、常にロング・フィールドが検出されます)。キャプチャ・ウィンドウが、最下部のラインを切り落とした垂直フィールドの一部分である場合、ロング・フィールドの検出は使用できません。このようなウィンドウでは、常に、ロング・フィールドが検出されます。垂直同期に VCTL1

が使用されている場合、ロング・フィールドを正しく検出するためには、VCTL1 信号が VBLNK（垂直ブランキング）を示している必要があります。VCTL1 が VSYNC（垂直同期）入力である場合は、ロング・フィールドは常に検出されます（VCYSTOP n に最後のアクティブ・ラインがセットされても、通常どおり、VCOUNT は VCYSTOP $n+1$ を超えてインクリメントされ、VSYNC がアクティブになる前に発生した垂直方向のフロント・ポーチのラインがカウントされます）。

3.5 ビデオ入力のフィルタリング

ビデオ入力フィルタは、8 ビット BT.656 または 8 ビット Y/C の入力データに対して、ハードウェアによる簡単なスケーリングとリサンプリングを実行します。10 ビット・データまたは Raw データ・キャプチャ・モードの間、ハードウェアによるフィルタリングは常にディスエーブルされます。フィルタを正しく動作させるには、VCxCTL 内の適用するチャンネルに対して EXC ビットをゼロクリアし（組み込まれているタイミング・リファレンス・コードを使用）、アクティブ・ビデオ・ウィンドウ中には、CAPEN 入力をインアクティブにはしてはいけません。

3.5.1 入力フィルタ・モード

入力フィルタの動作モードには、フィルタリングなし、 $\frac{1}{2}$ スケーリング、色差リサンプリング、および色差リサンプリング付き $\frac{1}{2}$ スケーリングの 4 つがあります。フィルタ動作は、VCxCTL の CMODE、SCALE、RESMPL の各ビットによって決まります。

表 3-10 に、入力フィルタ・モードの選択を示します。8 ビット BT.656 または Y/C のキャプチャ動作が選択されている場合（CMODE = x00）、SCALE ビットをセットすることによりスケーリングが選択され、RESMPL ビットをセットすることにより色差リサンプリングが選択されます。8 ビット BT.656 または Y/C のキャプチャが選択されていない場合（CMODE \neq x00）、フィルタリングはディスエーブルされます。

表 3-10. 入力フィルタ・モードの選択

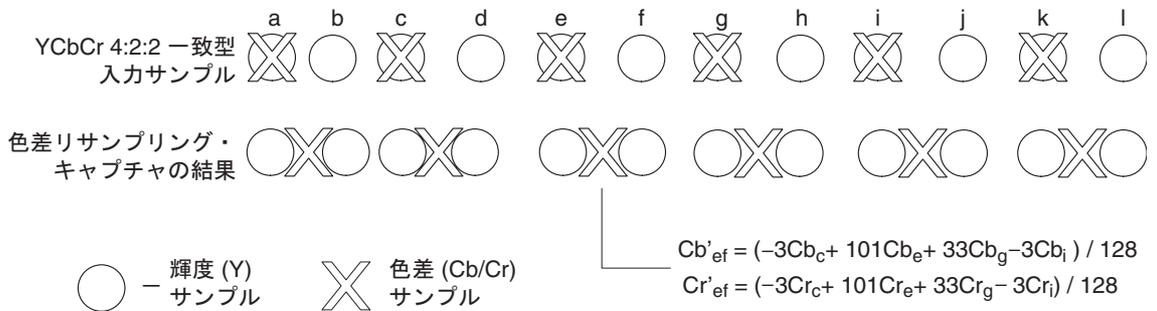
VCxCTL ビット			
CMODE	RESMPL	SCALE	フィルタの動作
x00	0	0	フィルタリングなし
x00	0	1	$\frac{1}{2}$ スケーリング
x00	1	0	色差リサンプリング（フルスケール）
x00	1	1	色差リサンプリング付き $\frac{1}{2}$ スケーリング
x01	x	x	フィルタリングなし
x10	x	x	フィルタリングなし
x11	x	x	フィルタリングなし

3.5.2 色差リサンプリングの動作

色差リサンプリングは、入力に一致型色差サンプルに基づいて、入力の輝度サンプルの中間にあるサンプル・ポイントの色差を計算します。このフィルタは、YCbCr 4:2:2 フォーマットと YCbCr 4:2:0 フォーマットの間で水平部分の変換を実行します。垂直部分の変換は、ソフトウェアで実行する必要があります。

色差リサンプリング・フィルタでは、すぐ隣の Cb および Cr のサンプルに基づいて、輝度サンプル・ポイントの間に暗黙に存在する Cb および Cr の値を計算します。その結果の値は 01h から FEh の間にクランプされ、Cb および Cr の各キャプチャ・バッファに送信されます。色差のリサンプリングを図 3-12 に示します。

図 3-12. 色差リサンプリング



3.5.3 スケーリングの動作

1/2 スケーリング・モードは、キャプチャした輝度データおよび色差データの水平解像度を 1/2 に縮小する場合に使用します。CIF または低解像度しか必要としないアプリケーションの場合、これによって、ビデオ・キャプチャのバッファ・メモリ（およびバッファの書き込みに必要な帯域幅）の要求を 1/2 に減らすことができます。垂直スケーリングは、ソフトウェアで実行する必要があります（水平方向以外のスケーリングを実行した場合も、バッファにロードする帯域幅を 50% 減少させることができます）。

スケーリング・フィルタの輝度成分に対するフィルタリングは、色差リサンプリングがイネーブルになっているかどうかによっても変わります（輝度フィルタを変更しても、色差フィルタは変更されません）。その結果、値は、01h から FEh の間にクランプされ、Y、Cb および Cr の各キャプチャ・バッファに送信されます。一致型キャプチャのスケーリングを図 3-13 に、色差リサンプリングのスケーリングを図 3-14 に示します。

図 3-13. 一致型 1/2 スケーリング・フィルタリング

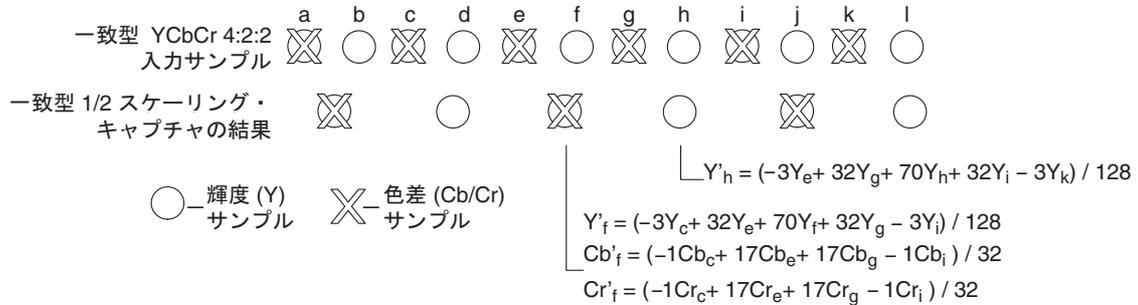
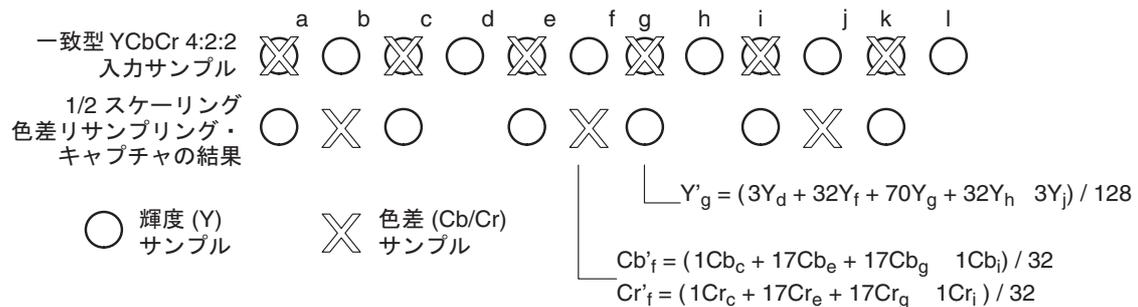


図 3-14. 1/2 スケーリング色差リサンプリングのフィルタリング



入力のスケーリングは 1/2 に限定されているため、BT.656 の水平ラインが最大 (720 ピクセル) までキャプチャされていても、CIF の水平解像度は正しく再現されないことに注意してください。CIF サイズのラインは、BT.656 のライン内で 704 ピクセルサイズのウィンドウを選択することによりキャプチャすることができます。BT.656 のラインのウィンドウのサイズおよび位置は、VCXSTART n および VCXSTOP n ビットを使用してプログラムできます。

1/2 スケーリングが選択されている場合、水平タイミングは (スケーリングされる前の) 入力データに適用することに注意してください。VCTHRLD の値は、スケーリング後に FIFO に書き込まれたデータに適用されます。

3.5.4 エッジ・ピクセルの複製

フィルタは、先行するサンプルおよび後続のサンプルを使用するため、SAV コードの前にサンプルが存在しない BT.656 または Y/C アクティブ・ラインの開始時点、または、EAV コードの後にサンプルが存在しない BT.656 アクティブ・ラインの終端でフィルタリングのアーティファクト（画像の乱れ）が発生する場合があります。アーティファクトを最小限に抑えるために、サンプル 0 に続く最初の m 個のサンプル（ここで m は、すべてのフィルタで使用された先行のサンプルの最大数）が、サンプル 0 の左（前）にミラーリングされ、最後のサンプルの前にある m 個のサンプルは、最後のサンプルの右（後）にミラーリングされます。

図 3-15 に、 $m=3$ とした場合のエッジ・ピクセルの複製を示します。サンプル a は、SAV コードの後の最初のサンプルです。したがって、ラインの最初の数ピクセルでフィルタの計算に使用する値として、サンプル b～d がサンプル a の左にミラーリングされます。同様に、ライン上の最後の数ピクセルで使用する値として、サンプル $n-1$ から $n-3$ は、最後のサンプル n の右にミラーリングされます。

エッジ・ピクセルの複製は、BT.656 のストリーム全体がキャプチャされている場合のみ、有効であることに注意してください。VCXSTART が 0 より大きい場合、先端で複製されたピクセルの一部のみがフィルタで使用されます。VCXSTART が m より大きい場合、先端で複製されたピクセルは使用されません。同様に、VCXSTOP が EAV の前のサンプル数より小さい場合、終端で複製されたピクセルはフィルタでは使用されないか、一部のピクセルのみ使用されます。

図 3-15. エッジ・ピクセルの複製

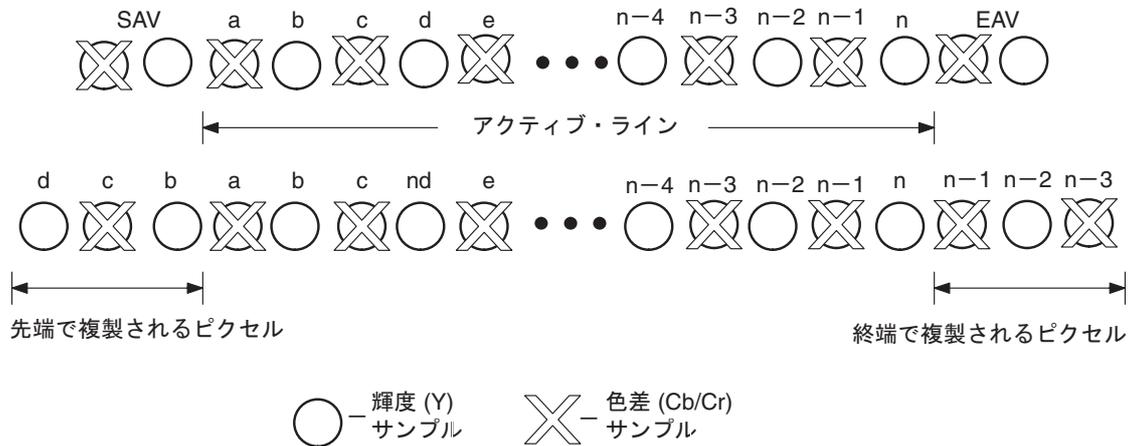
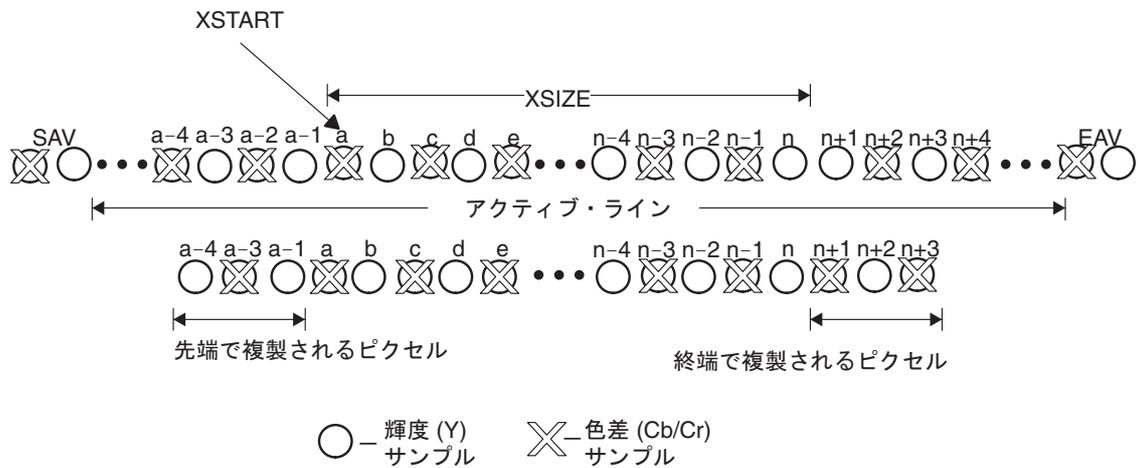


図 3-16 に、BT.656 アクティブ・ラインより小さいキャプチャ・ウィンドウの例を示します。サンプル a は、水平キャプチャ・ウィンドウの最初のサンプルで、サンプル n は最後のサンプルです。この場合、最初のサンプルの位置で実行されたすべてのフィルタリングは、先端でキャプチャした m 個のピクセル（この例では $m=3$ ）を使用し、最後のサンプルの位置で実行されたすべてのフィルタリングは、末端でキャプチャした m 個のピクセルを使用します（実装の視点からは、ミラーリングおよびフィルタリングは SAV で始まり EAV で終わりますが、VCXSTART 前のサンプルまたは VCXSTOP 後のサンプルは、YCbCr バッファに保存しないようにしてください）。

図 3-16. エッジ・ピクセルの複製が不要なキャプチャ・ウィンドウ



3.6 補助的なデータ・キャプチャ

BT.656 および一部の Y/C の仕様には、水平ブランキングおよび垂直ブランキングの領域内に補助的な（ビデオ以外の）データを載せるための規定が含まれています。水平補助（HANC）データは、EAV コードと SAV コードの間に現れます。垂直補助（VANC）データは、垂直ブランキング期間（VBI）データともいい、垂直ブランキングのアクティブ水平ライン成分（たとえば、V=1 の SAV の後）に現れます。

3.6.1 水平補助（HANC）データのキャプチャ

HANC データをキャプチャするための特別な規定は用意されていません。HANC データは、通常のビデオ・キャプチャ・メカニズムを用いて、SAV の前（HCOUNT が EAV コードによってリセットされる時）に起こるように VCXSTRT をプログラムすることにより、または EAV コードを過ぎて（HCOUNT が SAV コードによってリセットされる時）に起こるように VCXSTOP をプログラムすることにより、キャプチャされます。EAV コードと後続の HANC データは、YCbCr に分割されたままであることを注意してください。HANC データの有無を判別したり、HANC データを復元するには、ソフトウェアで Y、Cb、Cr の各メモリ・バッファを解析する必要があります。VCTHRLD 値および DMA のサイズは、これらの追加されたサンプルを含めた状態でプログラムされる必要があります。HANC データをキャプチャする場合には、データが破損しないようにするために、スケーリングおよび色差リサンプリングをディスエーブルする必要があります。

3.6.2 垂直補助（VANC）データのキャプチャ

VANC（または VBI）データは、一般的に文字放送や字幕などの機能で使用されます。VBI データをキャプチャするための特別な規定は用意されていません。VBI データは、通常のキャプチャ・メカニズムを使用して、所望の VBI データの最初のライン上のアクティブ・ビデオの最初のラインの前に起こるように VCYSTRT をプログラムすることにより、キャプチャされます（VCOUNT は、V=1 として EAV によってリセットする必要があります）。VBI データは、YCbCr に分割されることに注意してください。VBI データの有無を判別したり、VBI データを復元するためには、ソフトウェアで Y、Cb、Cr の各メモリ・バッファを解析する必要があります。VBI データのキャプチャが必要な場合には、スケーリングおよび色差リサンプリングをディスエーブルする必要があります。そうしなかった場合、フィルタによってデータが破壊されてしまうことがあります。

3.7 Raw データ・キャプチャ・モード

Raw データ・キャプチャ・モードでは、インターフェイスによるデータのサンプリングは、CAPEN 信号がアクティブな場合にのみ行われます。データは、データの値に基づいて何らかの解釈をしたり、キャプチャを開始したり停止したりすることなく、送信側のクロック・レートでキャプチャされます。

最初のキャプチャをフレームの開始に同期させるために、オプションのセットアップ同期イネーブル (SSE) ビットが VCxSTRT1 内に配置されています。SSE ビットがセットされている場合、VCEN ビットに 1 がセットされると、ビデオ・ポートは、垂直ブランキング期間が 2 回検出されるまでデータのキャプチャを開始しません。SSE ビットがゼロクリアされている場合、VCEN ビットがセットされると、キャプチャは直ちに開始されます。

デジタル・ビデオの入力キャプチャ・データは、2560 バイト (デュアル・チャンネル動作時) または 5120 バイト (シングル・チャンネル動作時) の FIFO に格納されます。メモリマップ・ロケーションに存在する YSRCx は、Y バッファに関連付けられます。YSRCx のロケーションは、読み取り専用のレジスタで、バッファ内に格納されているサンプリングされたビデオ・データにアクセスするために使用されます。

キャプチャされたデータ・セットのサイズは、VCxSTOPn によって設定されます。VCXSTOP および VCYSTOP ビットは、データ・セット・サイズの 24 ビットを設定します (VCXSTOP には下位 12 ビットがセットされ、VCYSTOP には上位 12 ビットがセットされます)。キャプチャされたデータのサイズが VCYSTOP と VCXSTOP を組み合わせた値になると、キャプチャが完了し、F1C、F2C、FRMC のいずれか適切なビットがセットされます。ピクセルのカウントが終了後、CAPEN 信号は最低 2VPCLK サイクルの間インアクティブになる必要があります。ピクセルのカウントが終了後も CAPEN 信号がアクティブになっていると、ピクセルを損失する場合がありますため、Raw データ・キャプチャ・モードでは CAPEN 信号を常時イネーブルにしないようにしてください。

指定した数の新しいサンプルがバッファ内にキャプチャされると、ビデオ・ポートは Y EVT を生成します。YEVTx の生成に必要なサンプル数はプログラム可能で、VCxTHRLD の VCTHRLDn ビットにセットされます。YEVT が生成されるたびに、DMA はバッファから DSP メモリにデータを転送する必要があります。DMA がバッファから DSP メモリにデータを転送する場合、ソース・アドレスとして YSRCx のロケーションを指定する必要があります。

3.7.1 Raw データ・キャプチャの通知

Raw データ・モードは、制御に CAPEN 信号だけを使用して、情報のシングル・データ・パケットをキャプチャします。フィールド情報は、VCTL2 の FID 信号の入力を使用して、チャンネル A で動作する場合のみ利用できます。VCACTL 内の RDFE ビットがセットされている場合、ビデオ・ポートは、各データ・ブロックの先頭の FID 信号の入力をサンプリングして (DCOUNT = 0 かつ CAPENA はアクティブ)、現在のフィールドを決定します。この場合、VCxCTL 内の CON、FRAME、CF1、CF2 の各ビットは BT.656 モード (3.4.1 項を参照) と同じように使用します。

チャンネル B で動作している場合、または VCACTL 内の RDFE ビットがセットされていない場合には、フィールド情報を使用できません。さまざまな DMA 構成 や処理フローに対応できるように、キャプチャおよび DSP の通知には、多少の柔軟性があります。Raw データのパケットはそれぞれ、プログレッシブ・スキャン・ビデオ・フレームと同様に処理されます。Raw データ・モードでは、VCxCTL の CON および FRAME のビットの使用方法が多少異なります (表 3-11 を参照)。

表 3-11. Raw データ・モードのキャプチャ動作

VCxCTL ビット				動作
CON	FRAME	CF2	CF1	
0	0	x	x	フレームの非連続キャプチャ。データ・ブロックのキャプチャ後に FRMC がセットされ、その結果 CCMPx がセットされます。次のフレームが完了すると、FRMC ビットがクリアされない限り、キャプチャはホールドします (DSP には、FRMC をクリアするために、次のフレーム全体の時間が用意されています)。
0	1	x	x	シングル・フレームのキャプチャ。データ・ブロックのキャプチャ後に FRMC がセットされ、その結果 CCMPx がセットされます。FRMC ビットがクリアされるまで、キャプチャはホールドされます。
1	0	x	x	フレームの連続キャプチャ。データ・ブロックのキャプチャ後に FRMC がセットされ、その結果 CCMPx がセットされます (CCMPx の割り込みはディスエーブルされている場合があります)。ビデオ・ポートは、FRMC のステートに関係なく、フレームのキャプチャを続けて行います。
1	1	x	x	予約。

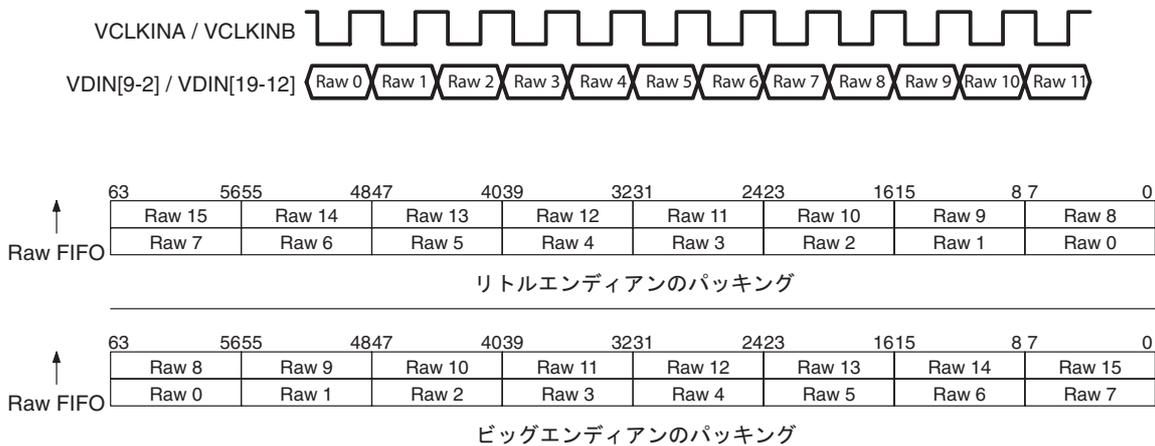
CON ビットは、複数のフレームのキャプチャを制御します。CON = 1 のとき、連続キャプチャがイネーブルされ、DSP の介入なしで、(VCEN ビットがセットされていることを想定して) ビデオ・ポートは入力されたフレームをキャプチャします。これには、サーキュラー・バッファ機能を持つ DMA 構成を使用して、キャプチャ FIFO を実行します。CON = 0 の場合、連続キャプチャはディスエーブルされ、ビデオ・ポートは、各フレームのキャプチャ時に、VCxSTAT 内のフレーム・キャプチャの完了ビット (FRMC) をセットします。キャプチャ完了ビットがセットされると、キャプチャ動作が (FRAME ビットのステートに従って) ホールドされるまでに、多くても、あと 1 つのフィールドまたはフレームしか受信できません。これにより、DSP が DMA のポインタの更新や、これらのフィールドの処理を完了するまで、後続のデータによって前のフレームが上書きされないようになっています。

3.7.2 Raw データの FIFO のパッキング

キャプチャされたデータは、キャプチャ FIFO に書き込まれる前に、常に 64 ビットにパックされます。パッキングおよびバイト順序は、キャプチャ・データ・サイズおよびデバイスのエンディアン・モードに依存します。リトルエンディアンで動作する場合（デフォルト）、データは右から左に FIFO にパックされ、ビッグエンディアンで動作する場合、データは左から右にパックされます。

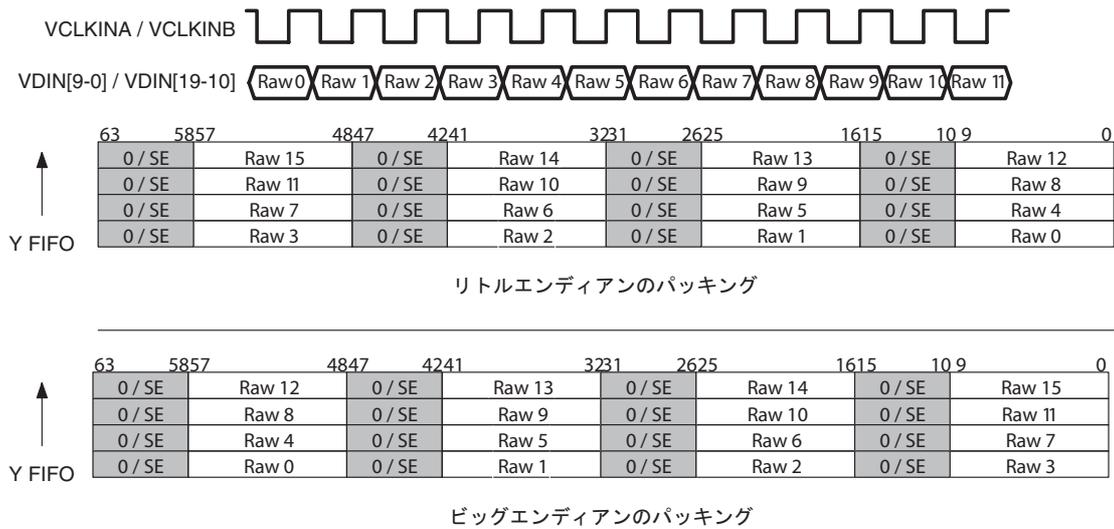
8 ビット Raw データ・モードでは、すべてのデータは 1 つの FIFO に格納されます。4 つのサンプルが、各ワードにパックされます（図 3-17 を参照）。

図 3-17. 8 ビット Raw データの FIFO のパッキング



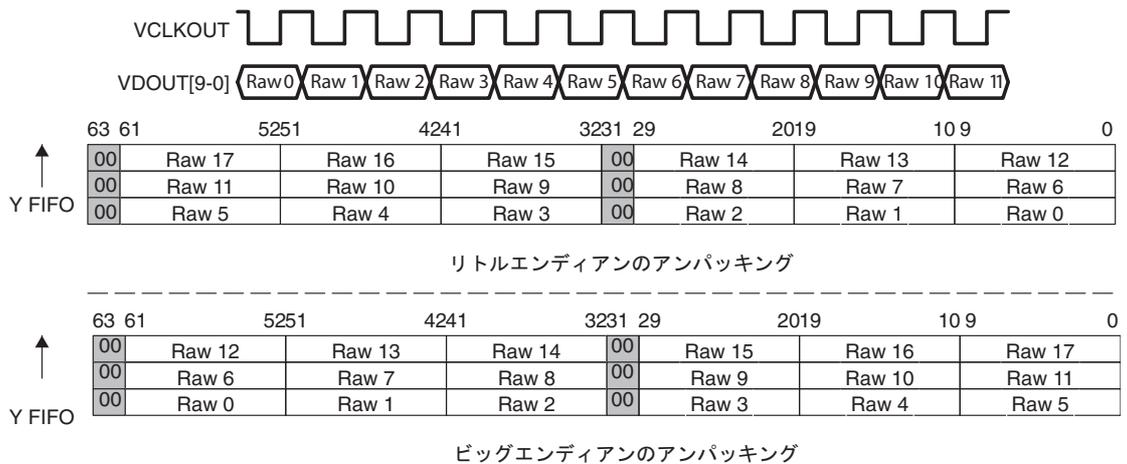
10 ビット Raw データ・モードでは、すべてのデータは 1 つの FIFO に格納されます。2 つのサンプルが、ゼロ拡張または符号拡張とともに各ワードにパックされます (図 3-18 を参照)。

図 3-18. 10 ビット Raw データの FIFO のパッキング



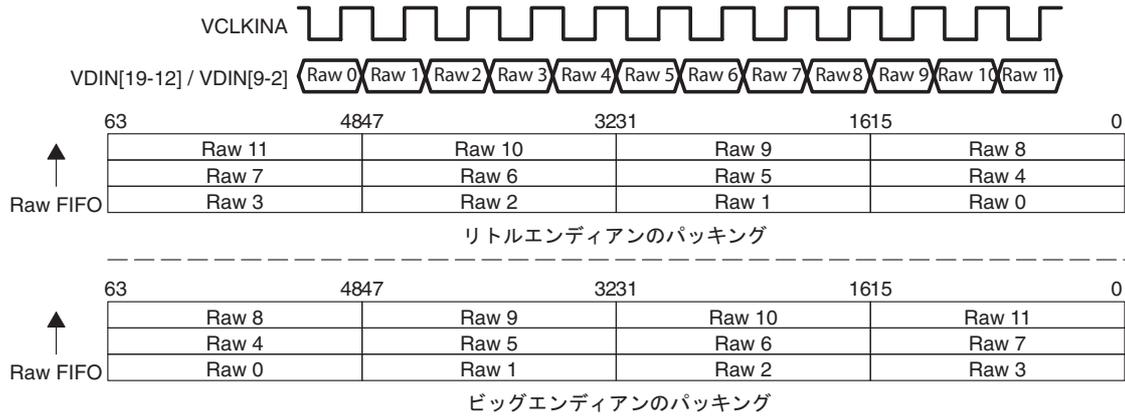
10 ビット高密度 Raw データ・モードでは、すべてのデータは 1 つの FIFO に格納されます。3 つのサンプルが、ゼロ拡張されて各ワードにパックされます (図 3-19 を参照)。

図 3-19. 10 ビット高密度 Raw データの FIFO のパッキング



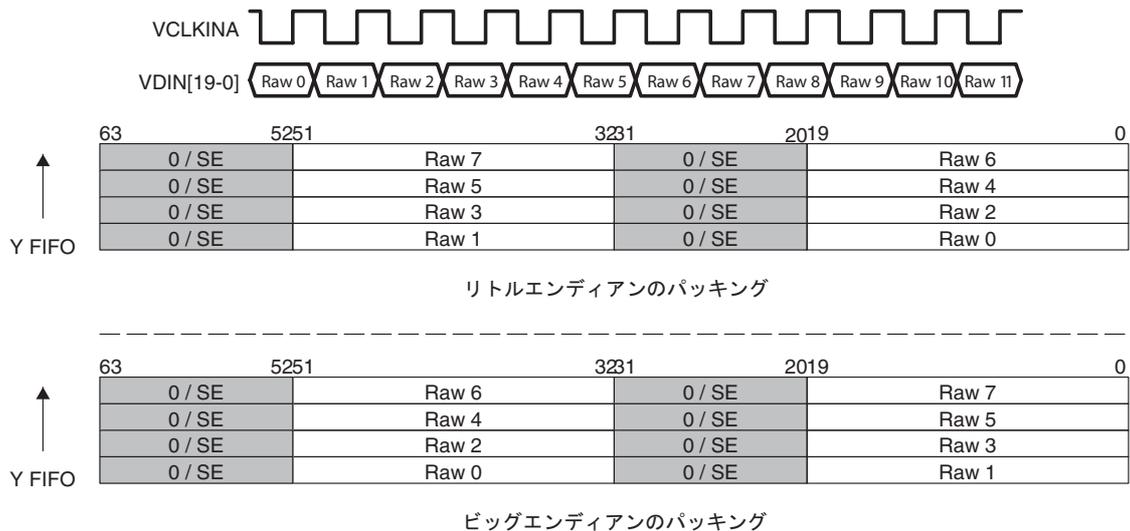
16 ビット Raw データ・モードでは、すべてのデータは 1 つの FIFO に格納されます。2 つのサンプルが、各ワードにパックされます (図 3-20 を参照)。

図 3-20. 16 ビット Raw データの FIFO のパッキング



20 ビット Raw データ・モードでは、すべてのデータは 1 つの FIFO に格納されます。1 つのサンプルが各ワードに右詰めされ、ゼロまたは符号拡張が行われます (図 3-21 を参照)。

図 3-21. 20 ビット Raw データの FIFO のパッキング



3.8 TSI キャプチャ・モード

トランスポート・ストリーム・インターフェイス (TSI) ・キャプチャ・モードでは、MPEG-2 の転送データをキャプチャします。

3.8.1 TSI キャプチャ機能

ビデオ・ポートの TSI キャプチャ・モードは、次の機能をサポートしています。

- フロントエンド・デバイスからの PACSTRT 信号を使用した SYNC 信号の検出をサポート
- 入力 VCLK0 の立ち上がりエッジでのデータ・キャプチャ
- 平行ル・データの受信
- 最大 30 MB/s のデータ・レート
- プログラム可能なパケット・サイズ
- 入力パケット・データのタイムスタンプを管理するハードウェア・カウンタ・メカニズム
- プログラムによるエラー・パケットのフィルタリング
- 絶対システム・タイムまたはシステム・タイム・クロック・サイクルに基づいた DSP への割り込み

ビデオ・ポートは、次の機能を実行しません。これらの機能は、ソフトウェアで実行する必要があります。

- PID のフィルタリング
- データの解析
- データの逆スクランブル

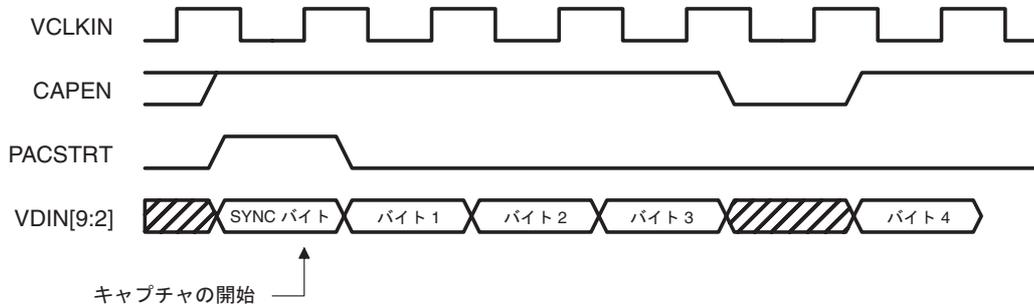
3.8.2 TSI データ・キャプチャ

8 ビットの平行ル・データが、入力データ・バスから受信されます。データは、VCLKIN の立ち上がりエッジでキャプチャされます。通常、データは 188 バイトのパケットから構成され、先頭のバイトには SYNC バイト (プリアンブルともいいます) が含まれています。キャプチャ・パケットの長さは、VCASTOP の値によって決定されます。

データ・バス上のデータは、有効なデータであると見なされ、CAPEN 信号がアクティブな場合にのみキャプチャされます。TSI データのキャプチャは、PACSTRT (および CAPEN) がアクティブにされると、SYNC バイトから開始されます (SYNC バイトには、何らかの値が含まれている場合があります)。CAPEN がアクティブな場合、PACSTRT の遷移に関係なく、パケット全体のキャプチャが完了するまで、各 VCLK の立ち上がりエッジでデータがキャプチャされます。(VCASTAT レジスタの VCYPOS ビットおよび VCXPOS ビットが示すように) 24 ビットのキャプチャ・バイト・カウンタが VCASTOP レジスタの VCYSTOP ビットおよび VCXSTOP ビットの値と等しくなると、パケット終了の状態が発生します。キャプチャされたデータには、SYNC バイトとデータのペイロード (パケットからヘッダ部分を除いた実際のデータ部分) の両方が含まれます (図 3-22 を参照)。

パケットのキャプチャ後、ビデオ・ポートは、別のパケットのキャプチャを開始するために次のアクティブ PACSTRT を待ちます。受信したパケット・データは、FIFO に書き込まれる前に 64 ビットにバックされます。

図 3-22. TSI のパラレル・キャプチャ



3.8.3 TSI キャプチャのエラー検出

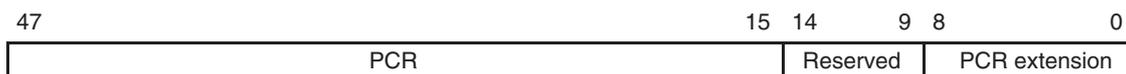
TSI キャプチャ時、ビデオ・ポートは 2 種類のエラー・チェックを行います。最初のエラー検出は、PACERR のアクティブ信号で示される入力パケットの packets エラーです。パケットの先頭 8 バイトのいずれかで PACERR がアクティブでかつ、エラー・パケット・フィルタリングがイネーブルの場合 (TSICTL 内の ERRFILT ビットがセットされている場合)、ビデオ・ポートは、次の PACSTRT を受信するまで、入力データを無視します (キャプチャしません)。エラー・パケット・フィルタリングがディスエーブルの場合や、パケットの先頭 8 バイトより後で PACERR がアクティブになった場合、パケット全体がキャプチャされ、パケットの最後に挿入されるタイムスタンプ内の PERR ビットがセットされます。

2 つ目のエラー検出は、PACSTRT の早期検出エラーです。これは、パケット全体 (VCASTOP 内にプログラムされているパケット・サイズによって判別) のキャプチャが完了する前に、アクティブな PACSTRT が検出されると発生します。ビデオ・ポートでは、想定していたパケット・サイズのキャプチャを続行しますが、パケットの最後に挿入されているタイムスタンプ内の PSTERR ビットをセットします。キャプチャが完了すると、ビデオ・ポートは、新しいパケットのキャプチャを開始する前に、次の PACSTRT を待ちます。

3.8.4 システム・クロックの同期

同期を取るということは、リアルタイムのデジタル・データ配信システムでは、データをデコードしたり、データを表示するという点で重要です。これは、MPEG2 トランスポート・パケットでは、選択されたデータ・パケットの適合フィールド内のタイミング情報を送信することで解決されます。この値は、受信システム内でタイミングを比較するリファレンスとしての機能を果たします。プログラム・クロック・リファレンス (PCR) のヘッダ (図 3-23 を参照) は、48 ビット・フィールドです (6 ビットは予約されています)。PCR ヘッダは、33 ビットの PCR フィールド (90 kHz クロックのサンプルを表わす) と 9 ビットの PCR 拡張フィールド (27 MHz クロックのサンプルを表す) から構成されます。PCR は、ビット・ストリームのフィールドの読み取りがトランスポート・デコーダで完了するまでの予想時間を示します。トランスポート・データ・パケットは、エンコーダのタイム・クロックと同期が取られています。

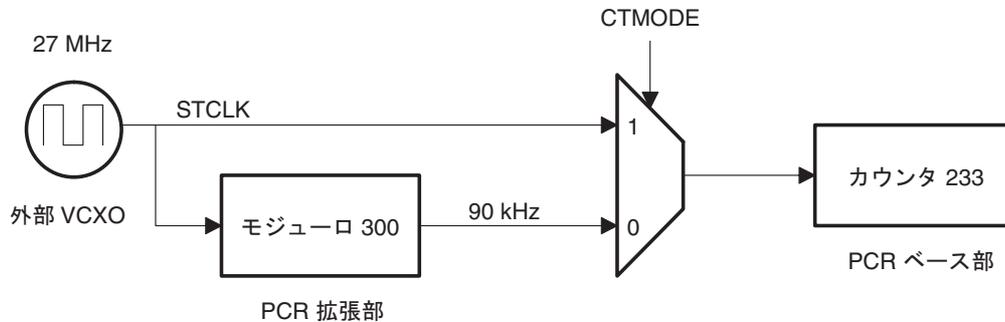
図 3-23. プログラム・クロック・リファレンス (PCR) のヘッダ・フォーマット



VCXO 補間制御 (VIC) と協調動作するビデオ・ポートは、ハードウェアとソフトウェアを組み合わせたソリューションを使用して、ローカルのシステム・タイム・クロック (STC) とビット・ストリーム内で送信されるエンコーダのタイム・クロック・リファレンスを同期します。

ビデオ・ポートは、システム・タイムをカウントするハードウェア・カウンタを保持しています。カウンタは、システム・タイム・クロック (STCLK) 入力によってドライブされ、またこの STCLK は外部 VCXO によってドライブされます。カウンタは、90 kHz でカウントする 33 ビット・フィールド (PCR ベース部) と 27 MHz でカウントする 9 ビット・フィールド (PCR 拡張部) の 2 つのフィールドに分割されています。9 ビットのカウンタは、27 MHz 動作で 0 ~ 299 までカウントします。9 ビット・カウンタが 0 に繰り返されるたびに (ロールオーバー)、33 ビット・カウンタが 1 つインクリメントされます。これは、ビット・ストリーム内で送信される PCR のタイムスタンプと同等です。33 ビットのフィールドは、MPEG-1 の 32 ビット PCR との互換性のために、27 MHz でカウントするようにプログラムすることもできます。これには、VCCTL 内の CTMODE ビットに 1 をセットします。この場合、PCR 拡張部のカウンタは使用されません。図 3-24 に、システム・タイム・クロック・カウンタの動作を示します。

図 3-24. システム・タイム・クロック・カウンタの動作



(SYNC バイトの処理時に) パケットを受信すると、カウンタのスナップショットがキャプチャされます。このスナップショット、あるいはタイムスタンプは、受信する FIFO の各データ・パケットの最後に挿入されます。ソフトウェアは、このタイムスタンプを使用して、エンコーダのタイム・クロックからローカルのシステム・タイム・クロック偏差を確認します。PCR ヘッダが付加されたパケットを受信すると、いつでもソフトウェアによって、そのパケットのタイムスタンプと PCR 値が比較されます。STCLK を PCR のエンコーダのタイム・クロック値と同期させるために、PLL がソフトウェア上で実装されています。このアルゴリズムでは、続いて VIC をドライブします。VIC は、STCLK を提供する外部 VCXO への VDAC 出力をドライブします。

PCR ヘッダを持つ最初のパケットの PCR を使用して、システム・タイム・クロック・カウンタがソフトウェアで初期化されます。初期化後に、後続パケットの PCR ヘッダの値に切れ目が検出されると、ソフトウェアによってカウンタは再初期化されます。

システム・タイム・クロック・レジスタ (TSISTCLKL および TSISTCLKM) を使用すると、DSP では、いつでもシステム・タイムを参照できます。DSP は、特定のシステム・タイムになるたびに、または一定の回数 of システム・タイム・クロックが経過するたびに、DSP に割り込みを発生するようビデオ・ポートをプログラムすることもできます。

3.8.5 TSI データ・キャプチャの通知

TSI モードは、データ・パケットのみをキャプチャするため、フィールドを制御する必要はありません。さまざまな DMA 構成や処理フローに対応できるように、キャプチャおよび DSP の通知は、多少の柔軟性を持っています。TSI データのパケットはそれぞれ、プログレッシブ・スキャン・ビデオ・フレームと同様に処理されます。TSI モードでは、VCACTL の CON ビットおよび FRAME ビットの使用方法が多少異なります（表 3-12 を参照）。

CON ビットは、複数のパケットのキャプチャを制御します。CON = 1 の場合は、連続キャプチャがイネーブルされ、DSP の介入なしに、ビデオ・ポートは（VCEN ビットがセットされていることを想定して）入力データ・パケットをキャプチャします。これには、サーキュラー・バッファ機能を持つ DMA 構成を使用して、キャプチャ FIFO を処理します。CON = 0 の場合、連続キャプチャはディスエーブルされ、ビデオ・ポートは、各パケットのキャプチャ時に、VCASTAT 内のフレーム・キャプチャ完了ビット（FRMC）をセットします。キャプチャ完了ビットがセットされると、キャプチャ動作が（FRAME ビットのステートに従って）ホールドされるまでに、多くても、あと 1 つのフィールドまたはフレームしか受信できません。これにより、DSP が DMA のポインタの更新や、これらのパケットの処理を完了するまで、後続のデータによって前のパケットが上書きされないようになっています。

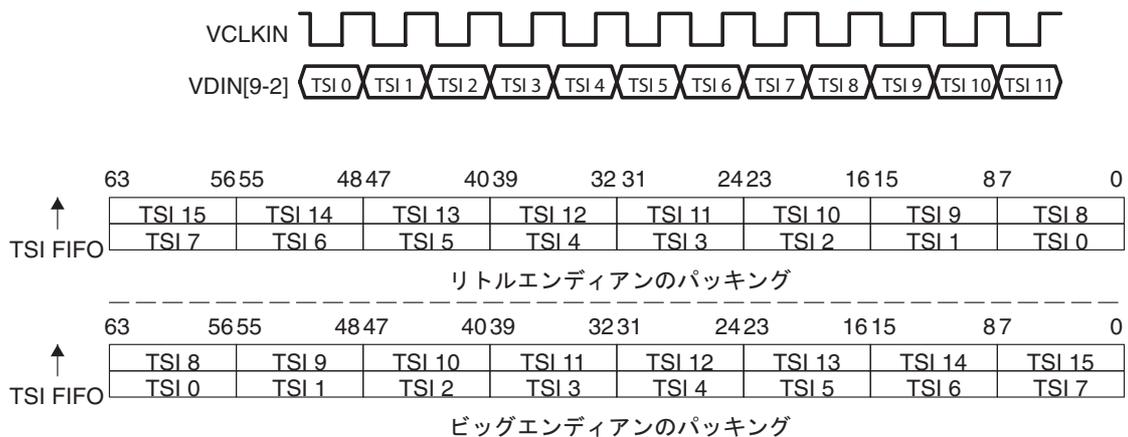
表 3-12. TSI キャプチャ・モードの動作

VCACTL ビット				動作
CON	FRAME	CF2	CF1	
0	0	x	x	パケットの非連続キャプチャ。パケットのキャプチャ後に FRMC がセットされ、その結果 CCMPA がセットされます。次のデータ・パケットが完了すると、FRMC ビットがクリアされるまで、キャプチャはホールドされます（DSP には、FRMC をクリアするために、次のデータ・パケット全体の時間が用意されています）。
0	1	x	x	シングル・パケットのキャプチャ。パケットのキャプチャ後に FRMC がセットされ、その結果 CCMPA がセットされます。FRMC ビットがクリアされるまで、キャプチャはホールドされます。
1	0	x	x	パケットの連続キャプチャ。パケットのキャプチャ後に FRMC がセットされ、その結果 CCMPA がセットされます（CCMPx の割り込みはディスエーブルされている場合があります）。ビデオ・ポートは、FRMC のステートに関係なく、パケットのキャプチャを続行します。
1	1	x	x	予約。

3.8.6 FIFO への書き込み

キャプチャされた TSI パケット・データと関連するタイムスタンプは、受信 FIFO に書き込まれます。最初にパケット・データが書き込まれ、続いてタイムスタンプが書き込まれます。FIFO コントローラは、データとタイムスタンプの両方の FIFO への書き込みを制御します。FIFO のデータ・パッキングを図 3-25 に示します。

図 3-25. TSI の FIFO パッキング



データ・キャプチャ回路は、ハードウェア・カウンタのタイムスタンプを取得するときに、同期回路に信号を送ります。FIFO 書き込みコントローラは、パケット内に受信したバイト数のトラックを保持します。このコントローラは、タイムスタンプ・データおよびパケット・データを FIFO 書き込みデータ・バスにマルチプレクスします。タイムスタンプおよびパケット・エラー情報は、FIFO 内の各パケットの後に挿入されます。これらの情報は、正しいエンディアンのバイト順序を使用する必要があります。タイムスタンプのフォーマットを図 3-26 および図 3-27 に示します。

図 3-26. TSI のタイムスタンプ・フォーマット (リトル・エンディアン)

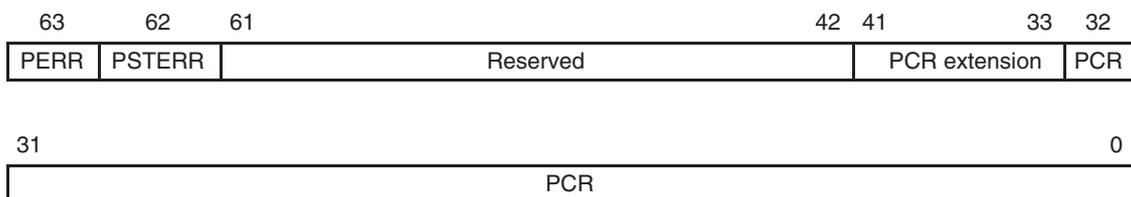
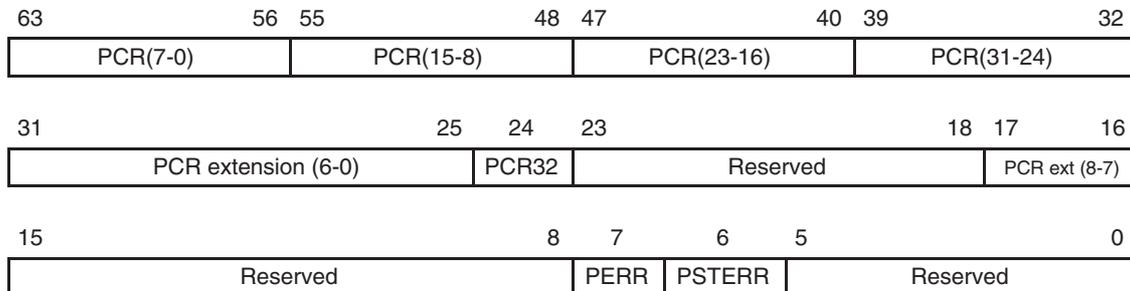


図 3-27. TSI のタイムスタンプ・フォーマット (ビッグ・エンディアン)



3.8.7 FIFO からの読み取り

YSRCA ロケーションは、TSI キャプチャ・バッファに関連付けられています。YSRCA ロケーションは、読み取り専用の疑似レジスタで、バッファに格納されている TSI のサンプルしたデータにアクセスするために使用されます。

キャプチャされたデータ・パケット・サイズは、VCASTOP によってセットされます。VCXSTOP および VCYSTOP のビットには、TSI パケット・サイズが 24 ビットでセットされます (VCXSTOP には下位 12 ビットがセットされ、VCYSTOP には上位 12 ビットがセットされます)。データ・カウンタが VCYSTOP と VCXSTOP を組み合わせた値に等しくなると、キャプチャが完了し、FRMC ビットがセットされます。

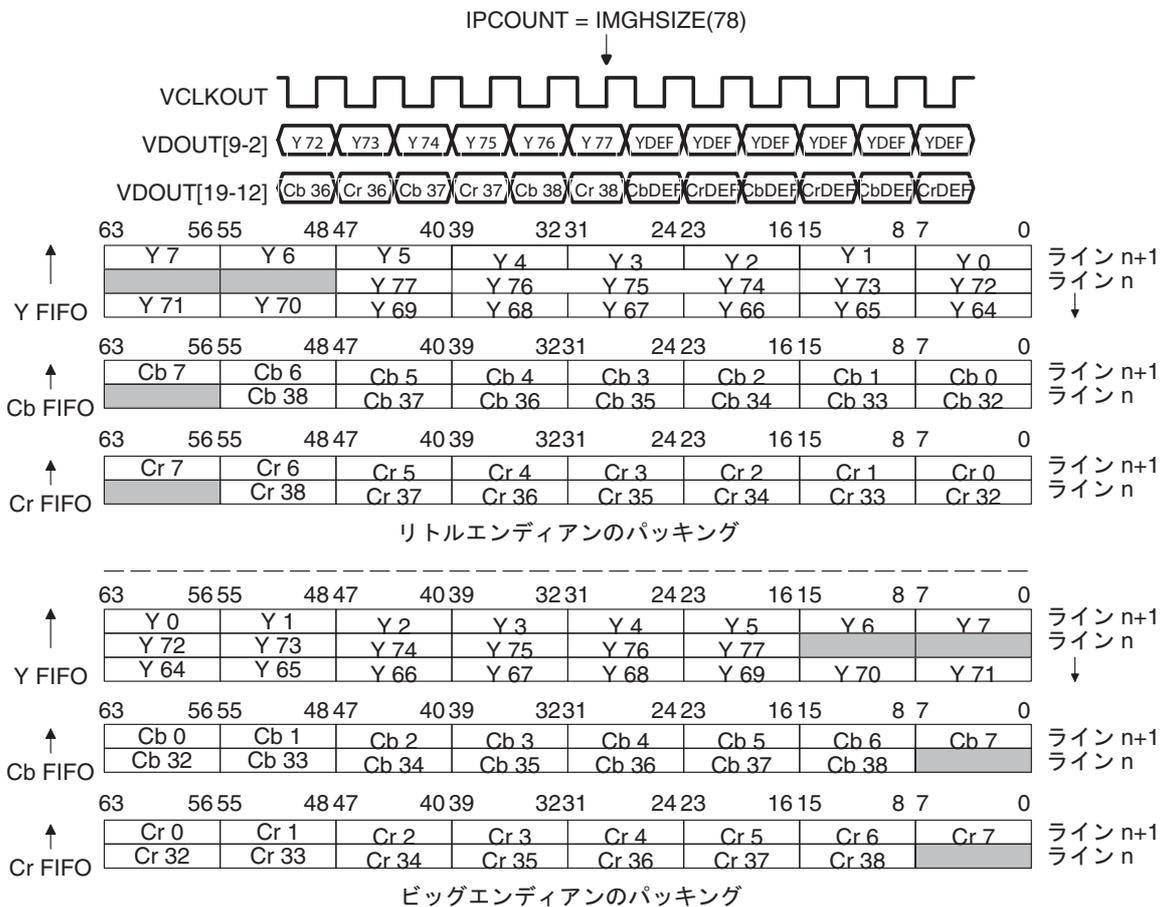
指定した数の新しいサンプルがバッファ内にキャプチャされると、ビデオ・ポートは YEVT を生成します。YEVT の生成に必要なサンプル数はプログラミング可能で、VCATHRLD の VCTHRLD1 ビットにセットされます。VCTHRLD1 には、パケット・サイズにタイムスタンプの 8 バイトを加算したものをセットします。YEVT が生成されるたびに、DMA はバッファから DSP メモリにデータを転送する必要があります。バッファから DSP メモリにデータを転送する場合、DMA は、ソース・アドレスに YSRCA のロケーションのメモリ・アドレスを使用する必要があります。

3.9 キャプチャ・ライン境界の条件

DMA 転送を容易にするため、FIFO のダブルワードには、複数のキャプチャ・ラインからのデータが含まれてはいけません。これは、8 バイトを受信するたび、またはラインの完了状態 (HCOUNT = VCXSTOP) になるたび、FIFO の書き込みを実行する必要があるということです。これにより、キャプチャされたすべてのラインは、ダブルワード境界上で開始され、ダブルワード以外の長さのラインは最後に埋め込まれます。その例を図 3-28 に示します。

図 3-28 (8 ビット Y/C モード) では、ライン長はダブルワードではありません。HCOUNT = VCXSTOP の状態 (ライン完了状態) が発生すると、8 バイトを受信してなくても、FIFO のロケーションが書き込まれます。その後、次のキャプチャ・ラインは、FIFO の次のロケーションのバイト 0 から開始されます。この動作は、すべてのキャプチャ・モードに適用されます。TSI および Raw データ・モードでは、ラインはありません。これらのモードでは、パケット・データのカウンタが VCXCOUNT と VCYCOUNT を組み合わせた 24 ビットの値に等しくなった場合には、パケットの最後に最終的な書き込みを行う必要があります。

図 3-28. キャプチャ・ライン境界の例



3.10 BT.656 または Y/C モードでのビデオ・キャプチャ

BT.656 または Y/C フォーマットでビデオをキャプチャするには、次の手順が必要です。

- 1) キャプチャする最後のピクセルを VCxSTOP1 および VCxSTOP2 にセットします (VCXSTOP および VCYSTOP の各ビットをセットします)。
- 2) キャプチャする最初のピクセルを VCxSTR1 および VCxSTR2 にセットします (VCXSTART および VCYSTART の各ビットをセットします)。
- 3) キャプチャ・スレッシュホールドを VCxTHRLD にセットします。受信したピクセル数が VCTHRLD1 ビットが指定した数になるたびに、ビデオ・キャプチャ・モジュールによって、YEVTx、CbEVTx および CrEVTx が生成されます。VCTHRLD1 ビットの値は、偶数である必要があります。
- 4) YSRCx から DSP メモリ内の転送先にデータを転送するために、DMA チャンネルを設定します。このチャンネル転送は、YEVTx によってトリガされます。転送サイズは、8 ビット・モードの場合 VCTHRLD1/4、10 ビット・モードの場合 VCTHRLD1/2、高密度 10 ビット・モードの場合 VCTHRLD1/3 にセットする必要があります (これは、4、2、3 ピクセルのいずれかが FIFO のワードごとにパックされるため、DMA は YSRCx からメモリに 32 ビット・ワードを転送します)。DMA は、ダブルワード境界で開始し、偶数ワードを転送する必要があります。
- 5) CBSRCx から DSP メモリ内の転送先にデータを転送するために、DMA チャンネルを設定します。このチャンネル転送は、CbEVTx によってトリガされます。転送サイズは、8 ビット・モード場合 VCTHRLD1/8、10 ビット・モードの場合 VCTHRLD1/4、高密度 10 ビット・モードの場合 VCTHRLD1/6 にセットする必要があります (これは、4、2、3 ピクセルのいずれかが FIFO のワードごとにパックされるため、DMA は CBSRCx からメモリに 32 ビット・ワードを転送しますが、Cb FIFO には、Y FIFO の半分のピクセルが存在します)。DMA は、ダブルワード境界で開始し、偶数ワードを転送する必要があります。
- 6) CRSRCx から DSP メモリ内の転送先にデータを転送するために、DMA チャンネルを設定します。このチャンネル転送は、CrEVTx によってトリガされます。転送サイズは、8 ビット・モードの場合 VCTHRLD1/8、10 ビット・モードの場合 VCTHRLD1/4、高密度 10 ビット・モードの場合 VCTHRLD1/6 にセットする必要があります (これは、4、2、3 ピクセルのいずれかが FIFO のワードごとにパックされるため、DMA は 32 ビット・ワードを CRSRCx からメモリに転送しますが、Cr FIFO には、Y FIFO の半分のピクセルが存在します)。DMA は、ダブルワード境界で開始し、偶数ワードを転送する必要があります。
- 7) 必要に応じて、オーバーラン (COVRx) およびキャプチャ完了 (CCMPx) の各割り込みをイネーブルするために、ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) に書き込みます。

- 8) 次のことを行うために、VCxCTL へ書き込みます。
 - ❑ キャプチャ・モードを設定します (BT.656 入力の場合は CMODE = 00x、Y/C 入力の場合は CMODE = 10x)。
 - ❑ 目的のフィールドまたはフレームの動作を設定します (CON、FRAME、CF2、CF1 の各ビット)。
 - ❑ 同期信号およびフィールド ID の制御を設定します (VRST、HRST、FDD、FINV、VCTL0 の各ビット)。
 - ❑ 10 ビット動作が選択された場合、10 ビット・パック・モード (10BPK ビット) を設定します。
 - ❑ 必要に応じて、8 ビット・データを使用して、スケールリングをイネーブルします (SCALE および RESMPL の各ビット)。
 - ❑ キャプチャをイネーブルするために VCEN ビットをセットします。
- 9) キャプチャは、VCEN = 1 とした後の最初のフレームの先頭でイネーブルされ、最初に選択されたフィールドの先頭から開始されます。DMA イベントは、VCxTHRLD1 によってトリガされると生成されます。選択したフィールドのキャプチャが完了すると (VCXPOS = VCXSTOP かつ VCYPOS = VCYSTOP)、VCxSTAT 内の F1C、F2C または FRMC ビットがセットされ、その結果、VPIS 内の CCMPx ビットがセットされます。VPIE 内の CCMPx ビットがイネーブルされている場合には、これにより DSP 割り込みが生成されます。
- 10) 連続キャプチャがイネーブルされると、ビデオ・ポートは、次に選択されているフィールドまたはフレームの先頭からキャプチャを再開します。フィールド 1 およびフィールド 2、またはフレームの非連続キャプチャがイネーブルされると、次のフィールドまたはフレームがキャプチャされます。この間に DSP は適切な完了ステータスビットをクリアする必要があります。そうしなければ、さらなるキャプチャはディスエーブルされます。シングル・フレームのキャプチャがイネーブルされると、FRMC ビットが DSP によってクリアされるまで、キャプチャはディスエーブルされます。

3.10.1 BT.656 または Y/C モードでの FIFO オーバーラン状態の処理

FIFO がオーバーランすると、VPIS 内の COVRx ビットがセットされます。オーバーラン割り込みがイネーブルの場合、この状態は DSP への割り込みを起こします (VPIE 内の COVR ビットをセットすると、オーバーラン割り込みがイネーブルされます)。

オーバーラン割り込みルーチンでは、VCxCTL 内の BLKCAP ビットをセットし、DMA チャンネルを再設定する必要があります。現在のフレーム転送が失敗したため DMA チャンネルを次のフレームのキャプチャのために再設定する必要があります。BLKCAP ビットをセットすると、キャプチャ FIFO はフラッシュされ、このチャンネルの DMA イベントはブロックされます。BLKCAP ビットがセットされている間は、ビデオ・キャプチャ・チャンネルは、SAV および EAV コードを除き、入力データを無視しますが、内部カウンタのカウントは続行されます。

キャプチャを続行するために、BLKCAP ビットをゼロクリアする必要があります。BLKCAP ビットをクリアした場合、次のビデオ・フィールドから有効になります (BLKCAP ビットがクリアされても、DMA イベントは引き続きビデオ・フィールドでブロックされます)。

3.11 Raw データ・モードでのビデオ・キャプチャ

Raw データ・モードでビデオをキャプチャするには、次の手順が必要です。

- 1) キャプチャするイメージのサイズを指定するために VCxSTOP1 をセットします (VCXSTOP には、下位 12 ビットがセットされ、VCYSTOP には上位 12 ビットがキャプチャされるイメージのサイズがピクセル単位でセットされます)。
- 2) キャプチャ・スレッシュホールドを VCxTHRLD にセットします。受信したピクセル数が VCTHRLD1 ビットで指定した数になるたびに、ビデオ・キャプチャ・モジュールによって、YEVTx が生成されます。
- 3) YSRCx から DSP メモリ内の転送先にデータを転送するために、DMA チャンネルを設定します。このチャンネル転送は、YEVTx によってトリガされる必要があります。転送サイズは、8 ビット・モードの場合は VCTHRLD1/4、高密度 10 ビット・モードの場合は VCTHRLD1/3、10 ビット・モードまたは 16 ビット・モードの場合は VCTHRLD1/2、20 ビット・モードの場合は VCTHRLD1 にセットする必要があります。DMA は、ダブルワード境界で開始し、偶数ワードで転送する必要があります。
- 4) 必要に応じて、オーバーラン (COVRx) およびキャプチャ完了 (CCMPx) の各割り込みをイネーブルするために、ビデオ・ポート・インタラプト・イネーブル・レジスタ (VPIE) に書き込みます。
- 5) Raw データの同期が必要な場合、VCxSTRT1 内のスタートアップ同期イネーブル (SSE) ビットをセットします。
- 6) 次のことを行うために、VCxCTL へ書き込みます。
 - キャプチャ・モードを設定します (Raw データ・モードの場合、CMODE = x1x)。
 - キャプチャ動作を選択します (CON、FRAME の各ビット)。
 - 10 ビット動作が選択されている場合、10 ビット・パック・モード (10BPK ビット) を設定します。
 - キャプチャをイネーブルするために VCEN ビットをセットします。
- 7) ICAPEN 信号がアサートされ、かつ VCEN = 1 のとき、キャプチャが開始されます。CAPENx がアクティブになっている場合、各 VCLKINx の立ち上がりエッジでデータがキャプチャされます。DMA イベント (YEVTx) は、VCxTHRLD1 にトリガされると生成されます。データ・ブロック全体のキャプチャが完了すると (DCOUNT = VCYSTOP と VCXSTOP を組み合わせた値になると)、VCxSTAT 内の FRMC ビットがセットされ、その結果、VPIE 内の CCMPx ビットがセットされます。これにより、VPIE 内の CCMPx ビットがイネーブルであるならば、DSP 割り込みが生成されます。
- 8) CAPEN が有効になっているときに、連続キャプチャがイネーブルされると、ビデオ・ポートは、次の VCLKIN の立ち上がりエッジからキャプチャを再開します。非連続キャプチャがイネーブルされると、次のデータ・ブロックがキャプチャされます。この間に DSP は FRMC をクリアする必要があります。そうしなければ、さらなるキャプチャはディスエーブルされます。シングル・フレーム・キャプチャがイネーブルされると、DSP が FRMC ビットをクリアするまで、キャプチャはディスエーブルされます (この時点で、もし Raw データの同期がイネーブルされると、この同期を再度行う必要があります)。

3.11.1 Raw データ・モードでの FIFO オーバーラン状態の処理

FIFO がオーバーランすると、VPIS 内の COVR_x ビットがセットされます。オーバーラン割り込みがイネーブルの場合、この状態は DSP への割り込みを起こします (VPIC 内の COVR_x ビットをセットすると、オーバーラン割り込みをイネーブルします)。

オーバーラン割り込みルーチンでは、VC_xCTL 内の BLKCAP ビットをセットし、DMA チャンネルを再設定する必要があります。現在のフレーム転送が失敗したため、DMA チャンネルを次のフレームのキャプチャのために再設定する必要があります。BLKCAP ビットをセットすると、キャプチャ FIFO はフラッシュされ、このチャンネルの DMA イベントはブロックされます。BLKCAP ビットがセットされている間は、ビデオ・キャプチャ・チャンネルは、入力データを無視しますが、内部データ・カウンタのカウントは続行されます。

キャプチャを続行するために、BLKCAP ビットをゼロクリアする必要があります。BLKCAP ビットをクリアした場合、CAPEN_x で Raw データの同期期間が検出された後の次のフレームから有効になります (BLKCAP ビットがクリアされても、DMA イベントは引き続きフレームでブロックされます)。

3.12 TSI キャプチャ・モードでのデータ・キャプチャ

TSI キャプチャ・モードでデータをキャプチャするには、次の手順が必要です。

- 1) キャプチャするデータ・パケットのサイズを指定するために、VCASTOP1 をセットします (データ・パケットの下位 12 ビットに VCXSTOP がセットされ、上位 12 ビットに VCYSTOP がセットされます)。
- 2) データ・パケット・サイズをキャプチャ・スレッシュホールドにセットするために、VCxTHRLD へ書き込みます。受信したバイト数が VCTHRLD1 ビットで指定した数になるたびに、ビデオ・キャプチャ・モジュールによって、YEVTx が生成されます。
- 3) YSRCA から DSP メモリの転送先にデータを転送するために、DMA チャンネルを設定します。このチャンネル転送は、VIDEVTA によってトリガされる必要があります。転送サイズには、データ・パケット・サイズ+8 バイト・タイムスタンプ情報にセットする必要があります。DMA は、ダブルワード境界で開始し、偶数のワードを転送する必要があります。
- 4) 次のことを行うために、TSICTL に書き込みます。
 - TSI キャプチャ・モードを設定します (パラレル・データの場合は TCMODE = 0、シリアル・データの場合は TCMODE = 1)。
 - カウンタ・モード (TCMODE) を選択します。
 - 必要に応じて、エラー・パケット・フィルタリング (ERRFILT) をイネーブルします。
- 5) シグマデルタ・ペリフェラルの場合は、次のようにします。
 - シグマデルタ・モジュール用の精度設定のために SDCTL レジスタへ書き込みます。
 - シグマデルタの補間周期の分周値をセットするために、SDDIV レジスタへ書き込みます。
- 6) STC の絶対時間に基づいて割り込みを起こす必要がある場合には、TSISTCMPL、TSISTCMPM、TSISTMSKL および TSISTMSKM へ書き込みを行います。
- 7) STC の x サイクルごとに割り込みが必要な場合、TSITICKS へ書き込みを行います。
- 8) TSI キャプチャを選択するために VPCTL へ書き込みます (TSI = 1)。
- 9) 必要に応じて、オーバーラン (COVRA) およびキャプチャ完了 (CCMPA) の各割り込みをイネーブルするために、VPIE へ書き込みます。
- 10) キャプチャ・モード (CMODE = 010) をセットするために、VCACTL へ書き込みます。
- 11) キャプチャをイネーブルするために、VCACTL 内の VCEN ビットをセットします。
- 12) CAPENA および PACSTRT が有効である場合、キャプチャは、VCLKINA の最初の立ち上がりエッジで開始されます。DMA イベントは、VCATHRLD1 によってトリガされると生成されます。パケット全体がキャプチャされると (DCOUNT = VCYSTOP と VCXSTOP を組み合わせた値になると)、VCASTAT 内の FRMC ビットがセットされ、その結果、VPIS 内の CCMPx ビットがセットされます。これにより、VPIE 内の CCMPx ビットがイネーブルの場合に、DSP 割り込みが生成されません。

- 13) 連続キャプチャがイネーブルの場合に、CAPEN および PACSTRT が有効になっていると、ビデオ・ポートは、VCLKIN の次の立ち上がりエッジからキャプチャを再開します。非連続キャプチャがイネーブルの場合、次のパケットがキャプチャされます。この間に DSP は FRMC ビットをクリアする必要があります。そうしないと、さらなるキャプチャはディスエーブルされます。シングル・フレーム・キャプチャがイネーブルの場合、FRMC ビットが DSP によってクリアされるまで、キャプチャはディスエーブルされます。

3.12.1 TSI キャプチャ・モードでの FIFO オーバーラン状態の処理

FIFO がオーバーランすると、VPIS 内の COVR_x ビットがセットされます。オーバーラン割り込みがイネーブルの場合、この状態は DSP への割り込みを起こします (VPIC 内の COVR_x ビットをセットすると、オーバーラン割り込みがイネーブルされます)。

オーバーラン割り込みルーチンでは、VC_xCTL 内の BLKCAP ビットをセットし、DMA チャンネルを再設定する必要があります。現在のフレーム転送は失敗したため、DMA チャンネルを次のフレームのキャプチャのために再設定する必要があります。BLKCAP ビットをセットすると、キャプチャ FIFO はフラッシュされ、このチャンネルの DMA イベントはブロックされます。BLKCAP ビットがセットされている間は、ビデオ・キャプチャ・チャンネルは、入力データを無視しますが、内部データ・カウンタのカウントは続行されます。

キャプチャを続行するために、BLKCAP ビットをゼロクリアする必要があります。BLKCAP ビットをクリアすると、次の PACSTRT が有効になります (BLKCAP ビットがクリアされても、DMA イベントは引き続き TSI パケット内でブロックされます)。

3.13 ビデオ・キャプチャ・レジスタ

ビデオ・キャプチャ・モードの動作を制御するレジスタを表 3-13 に示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

表 3-13. ビデオ・キャプチャの制御レジスタ

オフセット・アドレス [†]	略称	レジスタ名	参照先
100h	VCASTAT	ビデオ・キャプチャ・チャンネル A ステータス・レジスタ	3.13.1
104h	VCACTL	ビデオ・キャプチャ・チャンネル A コントロール・レジスタ	3.13.2
108h	VCASTRT1	ビデオ・キャプチャ・チャンネル A フィールド 1 スタート・レジスタ	3.13.3
10Ch	VCASTOP1	ビデオ・キャプチャ・チャンネル A フィールド 1 ストップ・レジスタ	3.13.4
110h	VCASTRT2	ビデオ・キャプチャ・チャンネル A フィールド 2 スタート・レジスタ	3.13.5
114h	VCASTOP2	ビデオ・キャプチャ・チャンネル A フィールド 2 ストップ・レジスタ	3.13.6
118h	VCAVINT	ビデオ・キャプチャ・チャンネル A パーティカル・インタラプト・レジスタ	3.13.6
11Ch	VCATHRLD	ビデオ・キャプチャ・チャンネル A スレッシュホールド・レジスタ	3.13.8
120h	VCAEVTCT	ビデオ・キャプチャ・チャンネル A イベント・カウンタ・レジスタ	3.13.9
140h	VCBSTAT	ビデオ・キャプチャ・チャンネル B ステータス・レジスタ	3.13.1
144h	VCBCTL	ビデオ・キャプチャ・チャンネル B コントロール・レジスタ	3.13.10
148h	VCBSTRT1	ビデオ・キャプチャ・チャンネル B フィールド 1 スタート・レジスタ	3.13.3
14Ch	VCBSTOP1	ビデオ・キャプチャ・チャンネル B フィールド 1 ストップ・レジスタ	3.13.4
150h	VCBSTRT2	ビデオ・キャプチャ・チャンネル B フィールド 2 スタート・レジスタ	3.13.5
154h	VCBSTOP2	ビデオ・キャプチャ・チャンネル B フィールド 2 ストップ・レジスタ	3.13.6
158h	VCBVINT	ビデオ・キャプチャ・チャンネル B パーティカル・インタラプト・レジスタ	3.13.7
15Ch	VCBTHRLD	ビデオ・キャプチャ・チャンネル B スレッシュホールド・レジスタ	3.13.8
160h	VCBEVTCT	ビデオ・キャプチャ・チャンネル B イベント・カウンタ・レジスタ	3.13.9
180h	TSICTL	TSI キャプチャ・コントロール・レジスタ	3.13.11
184h	TSICLKINITL	TSI クロック・イニシャリゼーション LSB レジスタ	3.13.12
188h	TSICLKINITM	TSI クロック・イニシャリゼーション MSB レジスタ	3.13.13

[†] レジスタの絶対アドレスは、デバイス/ポート固有のもので、そのアドレスはベース・アドレス+オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

表 3-13. ビデオ・キャプチャの制御レジスタ（続き）

オフセット・アドレス [†]	略称	レジスタ名	参照先
18Ch	TSISTCLKL	TSI システム・タイム・クロック LSB レジスタ	3.13.14
190h	TSISTCLKM	TSI システム・タイム・クロック MSB レジスタ	3.13.15
194h	TSISTCMLPL	TSI システム・タイム・クロック・コンペア LSB レジスタ	3.13.16
198h	TSISTCMLPM	TSI システム・タイム・クロック・コンペア MSB レジスタ	3.13.17
19Ch	TSISTMSKL	TSI システム・タイム・クロック・コンペア・マスク LSB レジスタ	3.13.18
1A0h	TSISTMSKM	TSI システム・タイム・クロック・コンペア・マスク MSB レジスタ	3.13.19
1A4h	TSITICKS	TSI システム・タイム・クロック・ティック・インタラプト・レジスタ	3.13.20

[†] レジスタの絶対アドレスは、デバイス/ポート固有のもので、そのアドレスはベース・アドレス+オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

3.13.1 ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCASTAT、VCBSTAT)

ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCASTAT、VCBSTAT) は、ビデオ・キャプチャ・チャンネルの現在のステータスを示します。VC x STAT を図 3-29 に示し、表 3-14 で説明します。

BT.656 キャプチャ・モードでは、VCXPOS および VCYPOS ビットは最も最近受信したピクセルの座標を記録するために、HCOUNT および VCOUNT の値をそれぞれ示します。F1C、F2C および FRMC の各ビットは、フィールドまたはフレームの完了を示します。選択したフレームのキャプチャ動作によっては、キャプチャを続行するために DSP でこれらのビットの値をクリアする必要がある場合があります (3.4.1 項を参照)。

Raw データ・モードおよび TSI モードでは、VCXPOS および VCYPOS ビットは、受信したデータ・サンプルの数を記録する 24 ビット・データ・カウンタの下位 12 ビットおよび上位 12 ビットをそれぞれ示します。FRMC ビットは、データ・パケット全体の受信が完了するタイミングを示します。選択したフレームの動作によっては、キャプチャを続行するために DSP でこれらのビットをクリアする必要がある場合があります (3.7.1 項および 3.8.5 項を参照)。

図 3-29. ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCASTAT、VCBSTAT)

31	30	29	28	27		16
FSYNC	FRMC	F2C	F1C	VCYPOS		
R-0	R/WC-0	R/WC-0	R/WC-0	R-0		
15		13	12	11		0
Reserved		VCFLD		VCXPOS		
R-0		R-0		R-0		

凡例： R = 読み取り専用。WC = 1 を書き込むとクリアし、0 (ゼロ) を書き込んでも影響なし。-n = リセット後の値。

表 3-14. ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCxSTAT) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31	FSYNC	OF (値)		現在のフレームの同期ビット。		
		DEFAULT CLEAR	0	VCOUNT = VINT1 または VINT2。VCxVINT 内の FSCL2 によって選択されます。	未使用。	未使用。
		SET	1	フィールド 1 内で VCOUNT = 1。	未使用。	未使用。
30	FRMC	OF (値)		フレーム (データ) キャプチャ・ビット。1 を書き込むと、ビットがクリアされます。0 (ゼロ) を書き込んでも、影響はありません。		
		DEFAULT NONE	0	フレーム全体のキャプチャは完了していません。	データ・ブロック全体のキャプチャは完了していません。	データ・パケット全体のキャプチャは完了していません。
		CAPTURED CLEAR	1	フレーム全体のキャプチャは完了しています。	データ・ブロック全体のキャプチャは完了しています。	データ・パケット全体のキャプチャは完了しています。

† CSL を使用して実装する場合、表記 VP_VCxSTAT_field_symval を使用してください。

表 3-14. ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCxSTAT) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
29	F2C	OF (値)		フィールド 2 キャプチャ・ビット。1 を書き込むと、ビットがクリアされます。0 を書き込んでも、影響はありません。		
		DEFAULT NONE	0	フィールド 2 はキャプチャされていません。	未使用。	未使用。
		CAPTURED CLEAR	1	フィールド 2 はキャプチャされています。	未使用。	未使用。
28	F1C	OF (値)		フィールド 1 キャプチャ・ビット。1 を書き込むと、ビットがクリアされます。0 を書き込んでも、影響はありません。		
		DEFAULT NONE	0	フィールド 1 はキャプチャされていません。	未使用。	未使用。
		CAPTURED CLEAR	1	フィールド 1 はキャプチャされています。	未使用。	未使用。
27-16	VCYPOS	OF (値)	0 ~ FFFh	現在の VCOUNT の値、および (現在のフィールド内で) 現在受信中のライン。	データ・カウンタの上位 12 ビット。	データ・カウンタの上位 12 ビット。
		DEFAULT	0			
15-13	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
12	VCFLD	OF (値)		VCFLD ビットは、現在キャプチャしているフィールドを示します。VCFLD ビットは、VCACTL 内の FLDD ビットによって選択されたフィールド検出ロジックに基づいて更新されます。		
		DEFAULT NONE	0	フィールド 1 がアクティブ。	未使用。	未使用。
		DETECTED	1	フィールド 2 がアクティブ。	未使用。	未使用。

[†] CSL を使用して実装する場合、表記 VP_VCxSTAT_field_symval を使用してください。

表 3-14. ビデオ・キャプチャ・チャンネル x ステータス・レジスタ (VCxSTAT) フィールドの説明 (続き)

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
11-0	VCXPOS	OF (値)	0 ~ FFFh	現在の HCOUNT の値。最後に受信したピクセルのピクセル・インデックス。	データ・カウンタの下位 12 ビット。	データ・カウンタの下位 12 ビット。
		DEFAULT	0			

† CSL を使用して実装する場合、表記 VP_VCxSTAT_field_symval を使用してください。

3.13.2 ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL)

ビデオ・キャプチャは、ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) によって制御されます。このレジスタを図 3-30 に示し、表 3-15 で説明します。

図 3-30. ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL)

31	30	29						24
RSTCH	BLKCAP	Reserved						
R/WS-0	R/W-1	R-0						
23	22	21	20	19	18	17	16	
Reserved		RDFE	FINV	EXC	FLDD	VRST	HRST	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	
15	14	13	12	11	10	9	8	
VCEN	PK10B		LFDE	SFDE	RESMPL	Reserved	SCALE	
R/W-0	R/W-0		R/W-0	R/W-0	R/W-0	R-0	R/W-0	
7	6	5	4	3	2	0		
CON	FRAME	CF2	CF1	Reserved	CMODE			
R/W-0	R/W-0	R/W-1	R/W-1	R-0	R/W-0			

凡例: R = 読み取り専用。R/W = 読み取り / 書き込み。WS = 1 を書き込むとリセットし、0 (ゼロ) を書き込んでも影響なし。-n = リセット後の値。

表 3-15. ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31	RSTCH	OF (値)		リセット・チャンネル・ビット。1 を書き込むと、ビットがリセットされます。0 を書き込んでも、影響はありません。		
		DEFAULT NONE	0	影響なし。		
		RESET	1	以降の DMA イベントの生成をブロックし、ペンディング中の DMA が完了したときに FIFO のフラッシュを実行して、チャンネルをリセットします。また、VCEN ビットをクリアします。すべてのチャンネルのレジスタに、それぞれの初期値がセットされます。チャンネルのリセット完了後に、RSTCH は自動的にクリアされます。		
30	BLKCAP	OF (値)		ブロック・キャプチャ・イベント・ビット。BLKCAP は、現在プログラム可能なレジスタの値に影響を与えずに、キャプチャ FIFO をリセットします。 VCASTAT 内の F1C、F2C および FRMC ステータス・ビットは更新されません。また、フィールドまたはフレームの完了割り込み、垂直割り込みも生成されません。 BLKCAP をクリアしても、このビットがクリアされたフィールドの DMA イベントはイネーブルされません。BLKCAP がセットされてからクリアされる時は毎回、ソフトウェアでは、BLKCAP のクリア動作の一部として、フィールドおよびフレームのステータス・ビット (F1C、F2C および FRMC) をクリアする必要があります。		
		CLEAR	0	このビットがクリアされたビデオ・フレームに続くビデオ・フレームで DMA イベントをイネーブルします (キャプチャ・ロジックは、BLKCAP がクリアされた後に、次のフレームの開始に同期する必要があります)。		
		DEFAULT BLOCK	1	DMA イベントをブロックして、キャプチャ・チャンネルの FIFO をフラッシュします。		
29-22	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
21	RDFE	OF (値)		フィールド ID イネーブルビット (チャンネル A のみ)。		
		DEFAULT DISABLE	0	未使用。	フィールド ID は、ディスエーブルです。	未使用。
		ENABLE	1	未使用。	フィールド ID は、イネーブルです。	未使用。

† CSL を使用して実装する場合、表記 VP_VCACTL_field_symval を使用してください。

‡ これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-15. ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) フィールドの説明 (続き)

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
20	FINV	OF (値)		検出フィールド反転ビット。		
		DEFAULT FIELD1	0	0 が検出された場合は、フィールド 1 です。	未使用。	未使用。
		FIELD2	1	1 が検出された場合は、フィールド 2 です。	未使用。	未使用。
19	EXC	OF (値)		外部制御選択ビット (チャンネル A のみ)。		
		DEFAULT EAVSAV	0	EAV または SAV コードを使用します。	未使用。	未使用。
		EXTERN	1	外部制御信号を使用します。	未使用。	未使用。
18	FLDD	OF (値)		フィールド検出方式ビット (チャンネル A のみ)。		
		DEFAULT EAVFID	0	1 番目のラインの EAV または FID の入力。	未使用。	未使用。
		FDL	1	フィールド検出ロジック。	未使用。	未使用。
17	VRST	OF (値)		VCOUNT リセット方式ビット。		
		VIEAV	0	垂直ブランキングの開始 (1 番目の V=1 の EAV または VCTL1 のアクティブ・エッジ)。	未使用。	未使用。
		DEFAULT VOEAV	1	垂直ブランキングの終了 (1 番目の V=0 の EAV または VCTL1 のインアクティブ・エッジ)。	未使用。	未使用。
16	HRST	OF (値)		HCOUNT リセット方式ビット。		
		DEFAULT EAV	0	EAV または VCTL0 のアクティブ・エッジ。	未使用。	未使用。
		SAV	1	SAV または VCTL0 のインアクティブ・エッジ。	未使用。	未使用。

† CSL を使用して実装する場合、表記 VP_VCACTL_field_symval を使用してください。

‡ これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-15. ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
15	VCEN	OF (値)		ビデオ・キャプチャ・イネーブル・ビット。VCACTL 内の他のビット (RSTCH および BLKCAP ビットを除く) は VCEN = 0 のときにのみ変更することができます。		
		DEFAULT DISABLE	0	ビデオ・キャプチャはディスエーブル。		
		ENABLE	1	ビデオ・キャプチャはイネーブル。		
14-13	PK10B	OF (値)	0 ~ 3h	10 ビット・パッキング・フォーマット選択ビット。		
		DEFAULT ZERO	0	ゼロ拡張	ゼロ拡張	未使用。
		SIGN	1h	符号拡張	符号拡張	未使用。
		DENSEPK	2h	高密度パック (ゼロ拡張)	高密度パック (ゼロ拡張)	未使用。
		-	3h	予約	予約	未使用。
12	LFDE	OF (値)		ロング・フィールド検出イネーブル・ビット。		
		DEFAULT DISABLE	0	ロング・フィールドの検出はディスエーブル。	未使用。	未使用。
		ENABLE	1	ロング・フィールドの検出はイネーブル。	未使用。	未使用。
11	SFDE	OF (値)		ショート・フィールド検出イネーブル・ビット。		
		DEFAULT DISABLE	0	ショート・フィールドの検出はディスエーブル。	未使用。	未使用。
		ENABLE	1	ショート・フィールドの検出はイネーブルです。	未使用。	未使用。

[†] CSL を使用して実装する場合、表記 VP_VCACTL_field_symval を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-15. ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
10	RESMPL	OF (値)		色差しサンプリングのイネーブル・ビット。		
		DEFAULT DISABLE	0	色差しサンプリングはディスエーブル。	未使用。	未使用。
		ENABLE	1	色差は、色差のパッファに保存される前に、4:2:2 一致型から 4:2:0 分散型に水平方向成分のみによりサンプリングされます。	未使用。	未使用。
9	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
8	SCALE	OF (値)		スケーリング選択ビット。		
		DEFAULT NONE	0	スケーリングしない。	未使用。	未使用。
		HALF	1	水平方向成分のみ 1/2 スケーリング	未使用。	未使用。
7	CON [‡]	OF (値)		連続キャプチャ・イネーブル・ビット。		
		DEFAULT DISABLE	0	連続キャプチャはディスエーブル。		
		ENABLE	1	連続キャプチャはイネーブル。		
6	FRAME [‡]	OF (値)		フレーム (データ) ・キャプチャ・ビット。		
		DEFAULT NONE	0	フレームをキャプチャしません。	シングル・データ・ブロックをキャプチャしません。	シングル・パケットをキャプチャしません。
		FRMCAP	1	フレームをキャプチャします。	シングル・データ・ブロックをキャプチャします。	シングル・パケットをキャプチャします。

[†] CSL を使用して実装する場合、表記 VP_VCACTL_field_symval を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-15. ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
5	CF2 [‡]	OF (値)		フィールド 2 キャプチャ・ビット。		
		NONE	0	フィールド 2 をキャプチャしません。	フィールド 2 をキャプチャしません。	未使用。
		DEFAULT FLDCAP	1	フィールド 2 をキャプチャします。	フィールド 2 をキャプチャします。	未使用。
4	CF1 [‡]	OF (値)		フィールド 1 キャプチャ・ビット。		
		NONE	0	フィールド 1 をキャプチャしません。	フィールド 1 をキャプチャしません。	未使用。
		DEFAULT FLDCAP	1	フィールド 1 をキャプチャします。	フィールド 1 をキャプチャします。	未使用。
3	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
2-0	CMODE	OF (値)	0 ~ 7h	キャプチャ・モード選択ビット。		
		DEFAULT BT656B	0	8 ビット BT.656 モードをイネーブルします。		未使用。
		BT656D	1h	10 ビット BT.656 モードをイネーブルします。		未使用。
		RAWB	2h	8 ビット Raw データ・モードをイネーブルします。		8 ビット TSI モード。
		RAWD	3h	10 ビット Raw データ・モードをイネーブルします。		未使用。
		YCB	4h	16 ビット Y/C モードをイネーブルします。		未使用。
		YCD	5h	20 ビット Y/C モードをイネーブルします。		未使用。
		RAW16	6h	16 ビット Raw モードをイネーブルします。		未使用。
RAW20	7h	20 ビット Raw モードをイネーブルします。		未使用。		

[†] CSL を使用して実装する場合、表記 VP_VCACTL_field_symval を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

3.13.3 ビデオ・キャプチャ・チャンネル x フィールド 1 スタート・レジスタ (VCASTRT1、VCBSTR1)

キャプチャされたイメージは、入力イメージのサブセットです。ビデオ・キャプチャ・チャンネル x フィールド 1 スタート・レジスタ (VCASTRT1、VCBSTR1) は、フィールド 1 でキャプチャするイメージの開始を定義します。サイズは、(スケーリングする前の) 入力データに関連して定義されることに注意してください。VC x STR1 を図 3-31 に示し、表 3-16 で説明します。

BT.656 または Y/C モードでは、水平 (ピクセル) カウンタは、(VC x CTL 内の HRST ビットで選択されている) 水平イベントによって (0 に) リセットされます。垂直 (ライン) カウンタは、(VC x CTL 内の VRST ビットで選択されている) 垂直イベントによって (1 に) リセットされます。フィールド 1 のキャプチャは、HCOUNT = VCXSTART かつ VCOUNT = VCYSTART でかつ、フィールド 1 のキャプチャがイネーブルの場合に開始されます。

Raw キャプチャ・モードでは、VCVBLNKP ビットは、最小垂直ブランキング期間を定義します。CAPEN が、VCVBLNKP のクロックよりも長い時間アサートされない状態になっていると、垂直ブランキング期間が発生していると見なされます。キャプチャが初めて開始される (VC x CTL 内の VCEN ビットがセットされる) ときに、SSE ビットがセットされている場合、2 つのブランキング期間がカウントされるまで、キャプチャは開始されません。これにより、最初にキャプチャが開始されるときに、ビデオ・ポートのキャプチャをフレームの先頭に同期させることができます。

TSI キャプチャ・モードでは、キャプチャは、CAPEN 信号がアサートされるときに開始され、その時 (VC x STAT 内の) FRMC ビットがクリアされ、SYNC バイトが検出されます。

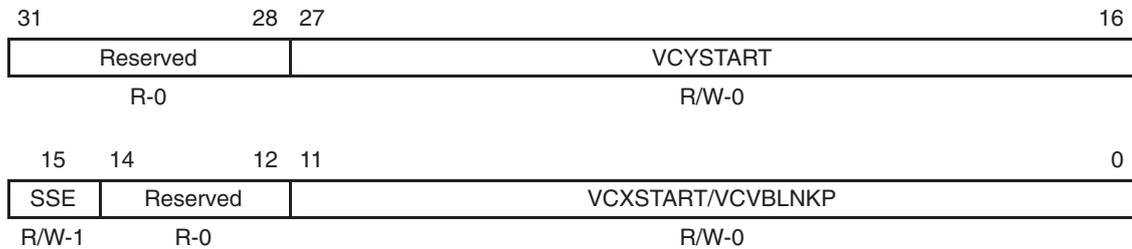
3.13.4 ビデオ・キャプチャ・チャンネル x フィールド 1 ストップ・レジスタ (VCASTOP1、VCBSTOP1)

ビデオ・キャプチャ・チャンネル x フィールド 1 ストップ・レジスタ (VCASTOP1、VCBSTOP1) は、フィールド 1 でキャプチャされるイメージの最後、または Raw データおよび TSI パケットの最後を定義します。VC x STOP1 を図 3-32 (3-63 ページ) に示し、表 3-17 で説明します。

Raw キャプチャ・モードでは、水平カウンタおよび垂直カウンタは 1 つのカウンタに統合され、このカウンタには受信したサンプル数の合計が記録されます。

TSI キャプチャ・モードでは、水平カウンタおよび垂直カウンタは 1 つのデータ・カウンタに統合され、このカウンタには受信したバイト数の合計が記録されます。キャプチャは、SYNC バイトが検出される時に開始されます。データ・カウンタは、サンプルを受信したときにそのバイトをカウントします。(VC x STAT 内の) FRMC ビットは、パケットを受信したときに毎回セットされます。

図 3-31 ビデオ・キャプチャ・チャンネル x フィールド 1 スタート・レジスタ (VCASTRT1、VCBSTRT1)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-16. ビデオ・キャプチャ・チャンネル x フィールド 1 スタート・レジスタ (VCxSTRT1) フィールドの説明

				説明		
ビット	フィールド†	symval †	値	BT.656 または Y/C モード	Raw データ・モード	TSI モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
27-16	VCYSTART	OF (値)	0 ~ FFFh	ラインの開始番号。	未使用。	未使用。
		DEFAULT	0			
15	SSE	OF (値)		スタート・アップ同期イネーブル・ビット。		
		DISABLE	0	未使用。	スタート・アップ同期はディスエーブル。	未使用。
		DEFAULT ENABLE	1	未使用。	スタート・アップ同期はイネーブル。	未使用。
14-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
11-0	VCXSTART VCVBLNKP	OF (値)	0 ~ FFFh	VCXSTART ビットは、ピクセルの開始番号を定義します。値は偶数でなければなりません (LSB は、0 (ゼロ) として処理されます)。	VCVBLNKP ビットは、CAPEN のインアクティブな最小時間を垂直ブランキング期間として解釈するように定義します。	未使用。
		DEFAULT	0			

† CSL を使用して実装する場合、表記 VP_VCxSTRT1_field_symval を使用してください。

図 3-32. ビデオ・キャプチャ・チャンネル x フィールド 1 ストップ・レジスタ (VCASTOP1、VCBSTOP1)

31	28	27	16
Reserved		VCYSTOP	
R-0		R/W-0	
15	12	11	0
Reserved		VCXSTOP	
R-0		R/W-0	

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-17. ビデオ・キャプチャ・チャンネル x フィールド 1 ストップ・レジスタ (VCxSTOP1) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
27-16	VCYSTOP	OF (値)	0 ~ FFFh	最後にキャプチャされたライン。	(データ・サンプルの) データ・サイズの上位 12 ビット。	(データ・サンプルの) データ・サイズの上位 12 ビット。
		DEFAULT	0			
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
11-0	VCXSTOP	OF (値)	0 ~ FFFh	最後にキャプチャされたピクセル (VCXSTOP - 1)。値は偶数でなければなりません (LSB は、0 (ゼロ) として処理されます)。	(データ・サンプルの) データ・サイズの下位 12 ビット。	(データ・サンプルの) データ・サイズの下位 12 ビット。
		DEFAULT	0			

† CSL を使用して実装する場合、表記 VP_VCxSTOP1_field_symval を使用してください。

3.13.5 ビデオ・キャプチャ・チャンネル x フィールド 2 スタート・レジスタ (VCASTRT2、VCBSTRT2)

キャプチャされたイメージは、入力イメージのサブセットです。ビデオ・キャプチャ・チャンネル x フィールド 2 スタート・レジスタ (VCASTRT2、VCBSTRT2) は、フィールド 2 でキャプチャするイメージの開始を定義します (これにより、ウィンドウのアライメントやサイズをフィールドごとに別々に使用できます)。サイズは、(スケーリングする前の) 入力データに関連して定義されることに注意してください。VCxSTRT2 を図 3-33 に示し、表 3-18 で説明します。

BT.656 または Y/C モードでは、水平 (ピクセル) カウンタは、(VCxCTL 内の HRST ビットで選択されている) 水平イベントによってリセットされます。垂直 (ライン) カウンタは、(VCxCTL 内の VRST ビットで選択されている) 垂直イベントによってリセットされます。フィールド 2 のキャプチャは、HCOUNT = VCXSTART、VCOUNT = VCYSTART でかつ、フィールド 2 のキャプチャがイネーブルの場合に開始されます。

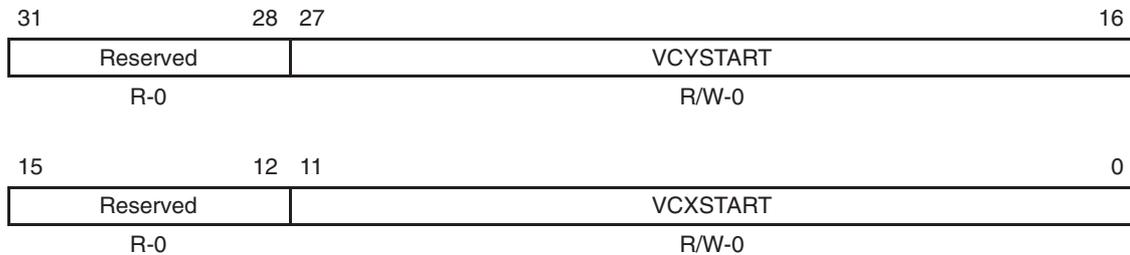
Raw データ・モードまたは TSI モードでは、キャプチャ・サイズは、フィールド 1 のスタート・レジスタおよびストップ・レジスタで完全に定義されるため、これらのレジスタは使用されません。

3.13.6 ビデオ・キャプチャ・チャンネル x フィールド 2 ストップ・レジスタ (VCASTOP2、VCBSTOP2)

ビデオ・キャプチャ・チャンネル x フィールド 2 ストップ・レジスタ (VCASTOP2、VCBSTOP2) は、フィールド 2 でキャプチャされるイメージの終了を定義します。VCxSTOP2 を図 3-34 (3-66 ページ) に示し、表 3-19 で説明します。

Raw データ・モードまたは TSI モードでは、キャプチャ・サイズは、フィールド 1 のスタート・レジスタおよびストップ・レジスタで完全に定義されるため、これらのレジスタは使用されません。

図 3-33. ビデオ・キャプチャ・チャンネル x フィールド 2 スタート・レジスタ (VCASTRT2、VCBSTRT2)



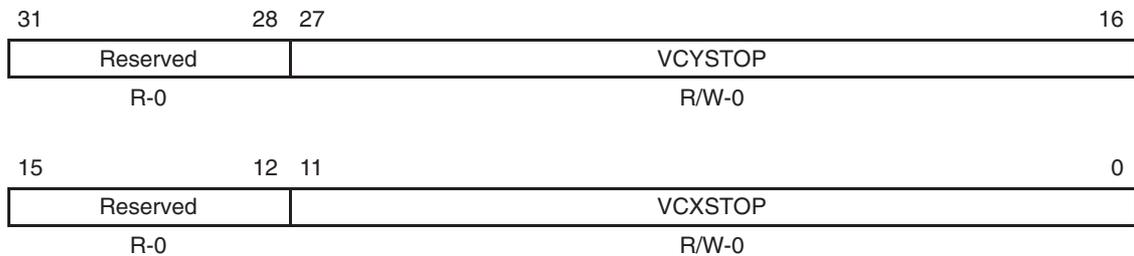
凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-18. ビデオ・キャプチャ・チャンネル x フィールド 2 スタート・レジスタ (VCxSTRT2) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
27-16	VCYSTART	OF (値) DEFAULT	0 ~ FFFh 0	ラインの開始番号。	未使用。	未使用。
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
11-0	VCXSTART	OF (値) DEFAULT	0 ~ FFFh 0	ピクセルの開始番号。値は偶数でなければなりません (LSB は、0 (ゼロ) として処理されます)。	未使用。	未使用。

[†] CSL を使用して実装する場合、表記 VP_VCxSTRT2_field_symval を使用してください。

図 3-34. ビデオ・キャプチャ・チャンネル x フィールド 2 ストップ・レジスタ (VCASTOP2、VCBSTOP2)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-19. ビデオ・キャプチャ・チャンネル x フィールド 2 ストップ・レジスタ (VCxSTOP2) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
27-16	VCYSTOP	OF (値)	0 ~ FFFh	最後にキャプチャされたライン。	未使用。	未使用。
		DEFAULT	0			
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
11-0	VCXSTOP	OF (値)	0 ~ FFFh	最後にキャプチャされたピクセル (VCXSTOP - 1)。値は偶数でなければなりません (LSB は、0 (ゼロ) として処理されます)。	未使用。	未使用。
		DEFAULT	0			

† CSL を使用して実装する場合、表記 VP_VCxSTOP2_field_symval を使用してください。

3.13.7 ビデオ・キャプチャ・チャンネル x パーティカル・インタラプト・レジスタ (VCAVINT、VCBVINT)

ビデオ・キャプチャ・チャンネル x パーティカル・インタラプト・レジスタ (VCAVINT、VCBVINT) は、各フィールドの垂直割り込みの生成を制御します。VC x VINT を図 3-35 に示し、表 3-20 で説明します。

BT.656 または Y/C モードでは、フィールドの指定されたラインの完了時に (VCOUNT = VINT n のときのラインの最後で) 割り込みが生成されます。これにより、ソフトウェアでフレームまたはフィールドへ同期させることができます。VIF1 および VIF2 ビットを使用して、この割り込みが 1 つのフィールドまたは両方のフィールドで発生するように (また、どちらのフィールドでも発生しないように) プログラムすることができます。また、VINT n ビットは、VC x STAT 内の FSYNC ビットがクリアされるタイミングを決定します。FSCL2 が 0 (ゼロ) の場合、VCOUNT = VINT1 になると、フィールド 1 の FSYNC ビットがクリアされます。FSCL2 が 1 の場合、VCOUNT = VINT2 になると、フィールド 2 の FSYNC ビットがクリアされます。

図 3-35. ビデオ・キャプチャ・チャンネル x パーティカル・インタラプト・レジスタ (VCAVINT、VCBVINT)

31	30	29	28	27	16
VIF2	FSCL2	Reserved			VINT2
R/W-0	R/W-0	R-0			R/W-0
15	14	12	11	0	
VIF1	Reserved			VINT1	
R/W-0	R-0			R/W-0	

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。- n = リセット後の値。

表 3-20. ビデオ・キャプチャ・チャンネル x パーティカル・インタラプト・レジスタ (VCxVINT) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31	VIF2	OF (値)		フィールド 2 VINT セット・イネーブル・ビット。		
		DEFAULT DISABLE	0	フィールド 2 VINT はディスエーブル。	未使用。	未使用。
		ENABLE	1	フィールド 2 VINT はイネーブル。	未使用。	未使用。
30	FSCL2	OF (値)		フィールド 2 FSYNC ビット・クリア・イネーブル・ビット。		
		DEFAULT NONE	0	FSYNC ビットはクリアされません。	未使用。	未使用。
		FIELD2	1	フィールド 1 の代わりに、フィールド 2 FSYNC ビットがクリアされます。	未使用。	未使用。
29-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
27-16	VINT2	OF (値)	0 ~ FFFh	VIF2 ビットがセットされている場合に垂直割り込みが発生したライン。	未使用。	未使用。
		DEFAULT	0			
15	VIF1	OF (値)		フィールド 1 VINT セット・イネーブル・ビット。		
		DEFAULT DISABLE	0	フィールド 1 VINT はディスエーブル。	未使用。	未使用。
		ENABLE	1	フィールド 1 VINT はイネーブル。	未使用。	未使用。
14-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
11-0	VINT1	OF (値)	0 ~ FFFh	VIF1 ビットがセットされている場合に垂直割り込みが発生するライン。	未使用。	未使用。
		DEFAULT	0			

† CSL を使用して実装する場合、表記 VP_VCxVINT_field_symval を使用してください。

3.13.8 ビデオ・キャプチャ・チャンネル x スレッシュホールド・レジスタ (VCATHRLD、VCBTHRLD)

ビデオ・キャプチャ・チャンネル x スレッシュホールド・レジスタ (VCATHRLD、VCBTHRLD) は、DMA 要求が送信されるタイミングを決定します。VC x THRLD を図 3-36 に示し、表 3-21 で説明します。

VCTHRLD1 ビットは、キャプチャ DMA イベントが生成されるタイミングを決定します。スレッシュホールドに達すると、前のイベントのサービスが開始される (FIFO の最初の読み取りが DMA によって発生するまで) まで、その後の DMA イベントの生成はディスエーブルされます。

BT.656 および Y/C モードでは、キャプチャされた 2 ピクセルごとに、Y FIFO の 2 つの輝度値と、(Cb および Cr FIFO から 1 つずつ) 2 つの色差値が表示されます。データ・サイズおよびパッキング・モードに応じて、FIFO 内の値それぞれは、バイト (8 ビット BT.656 または Y/C)、ハーフワード (10 ビット BT.656 または Y/C)、またはサブワード (高密度パック 10 ビット BT.656 または Y/C) になります。そのため、VCTHRLD1 のダブルワード数は、8 ビット・モードでは 8 ピクセル、10 ビット・モードでは 4 ピクセル、高密度パック 10 ビット・モードでは 6 ピクセルを表します。Cb および Cr FIFO のスレッシュホールドは、VCTHRLD1 の $\frac{1}{2}$ で表されるため、VCTHRLD1 の有効な値には、いくつかの制限があります (2.3.3 項を参照)。

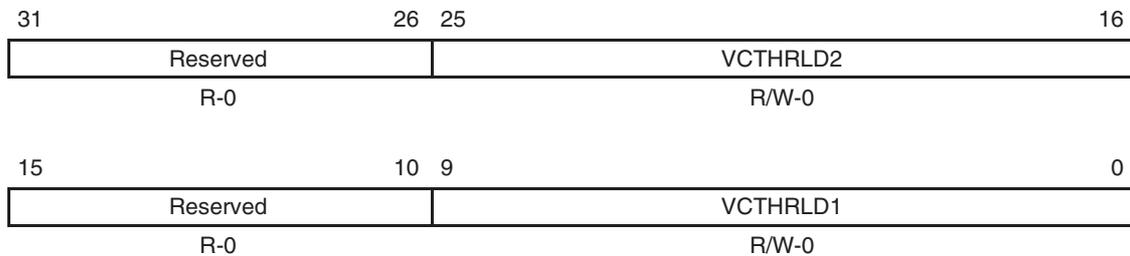
Raw データ・モードでは、データ・サイズおよびパッキング・モードに応じて、各データ・サンプルは、バイト (8 ビット Raw モード)、ハーフワード (10 ビットまたは 16 ビット Raw モード)、サブワード (高密度パック 10 ビット Raw モード)、ワード (20 ビット Raw モード) のいずれかとなります。そのため、VCTHRLD1 のダブルワード数は、それぞれ、8 サンプル、4 サンプル、6 サンプル、2 サンプルを表します。

TSI モードでは、VCTHRLD1 は、FIFO 内の 8 サンプルのグループの数を表します。

VCTHRLD2 ビットは VCTHRLD1 と同様に機能しますが、フィールド 2 のキャプチャ時に使用されます。このビットは、何らかの理由で、フィールド 1 の DMA サイズと異なるサイズをフィールド 2 の DMA サイズに使用する場合にのみ使用します (たとえば、フィールド 1 とフィールド 2 で、キャプチャするライン長が異なる場合など)。VT2EN がセットされていない場合、両方のフィールドで VCTHRLD1 の値が使用されます。

VCTHRLD n は、FIFO に書き込まれるデータに適用されることに注意してください。8 ビット BT.656 または Y/C モードの場合、選択されているすべてのフィルタの出力が適用対象になります。

図 3-36. ビデオ・キャプチャ・チャンネル x スレッシュホールド・レジスタ (VCATHRLD、VCBTHRLD)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-21. ビデオ・キャプチャ・チャンネル x スレッシュホールド・レジスタ (VCxTHRLD) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31-26	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
25-16	VCTHRLD2	OF (値)	0 ~ 3FFh	DMA イベントの生成に必要なフィールド 2 のダブルワード数。	未使用。	未使用。
		DEFAULT	0			
15-10	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
9-0	VCTHRLD1	OF (値)	0 ~ 3FFh	DMA イベントの生成に必要なフィールド 1 のダブルワード数。	DMA イベントの生成に必要な Raw データのダブルワード数。	DMA イベントの生成に必要なダブルワード数。
		DEFAULT	0			

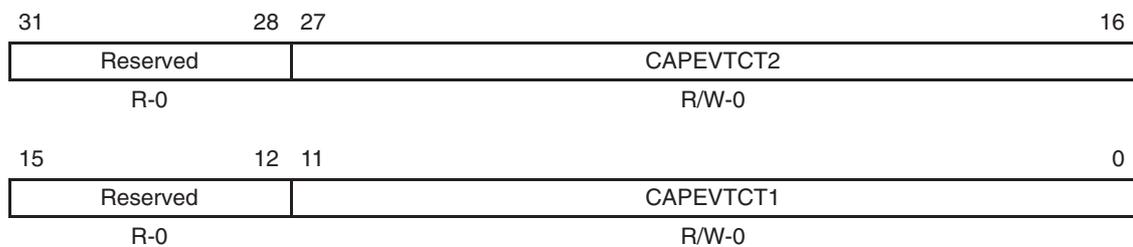
† CSL を使用して実装する場合、表記 VP_VCxTHRLD_VCTHRLDn_symval を使用してください。

3.13.9 ビデオ・キャプチャ・チャンネルxイベント・カウント・レジスタ (VCAEVTCT、VCBEVTCT)

ビデオ・キャプチャ・チャンネルxイベント・カウント・レジスタ (VCAEVTCT、VCBEVTCT) は、それぞれのキャプチャ・フィールドで生成される DMA イベントの数を使用してプログラムされます。VCxEVTCT を図 3-37 に示し、表 3-22 で説明します。

イベント・カウンタは、これまでに生成されたイベント数を調べ、イベント生成時および出力されるデータ・カウンタで使用するスレッシュホールド値 (VCxTHRLD 内の VCTHRLD1 または VCTHRLD2) を示します。CAPEVTCT n のイベント数が生成されると、DMA ロジックによって他のスレッシュホールド値に切り換えられます。2.3.1 項を参照してください。

図 3-37. ビデオ・キャプチャ・チャンネルxイベント・カウント・レジスタ (VCAEVTCT、VCBEVTCT)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-22. ビデオ・キャプチャ・チャンネルxイベント・カウント・レジスタ (VCxEVTCT) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
27-16	CAPEVTCT2	OF (値)	0 ~ FFFh	フィールド 2 のキャプチャで生成される DMA イベント・セット (YEVT、CbEVT、CrEVT) の数。	未使用。	未使用。
		DEFAULT	0			
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
11-0	CAPEVTCT1	OF (値)	0 ~ FFFh	フィールド 1 のキャプチャで生成される DMA イベント・セット (YEVT、CbEVT、CrEVT) の数。	未使用。	未使用。
		DEFAULT	0			

† CSL を使用して実装する場合、表記 VP_VCxEVTCT_CAPEVTCT n _symval を使用してください。

3.13.10 ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL)

ビデオ・キャプチャは、ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) によって制御されます。このレジスタを図 3-38 に示し、表 3-23 で説明します。

図 3-38. ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL)

31	30	29					24
RSTCH	BLKCAP	Reserved					
R/WS-0	R/W-1	R-0					
							23
Reserved		21	20	19	18	17	16
R-0		FINV	Reserved		VRST	HRST	
		R/W-0	R-0		R/W-1	R/W-0	
							15
15	14	13	12	11	10	9	8
VCEN	PK10B		LFDE	SFDE	RESMPL	Reserved	SCALE
R/W-0	R/W-0		R/W-0	R/W-0	R/W-0	R-0	R/W-0
							7
7	6	5	4	3	2	1	0
CON	FRAME	CF2	CF1	Reserved		CMODE	
R/W-0	R/W-0	R/W-1	R/W-1	R-0		R/W-0	

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。WS = 1 を書き込むとリセットし、0 (ゼロ) を書き込んでも影響なし。-n = リセット後の値。

表 3-23. ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) フィールドの説明

ビット	フィールド†	symval †	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
31	RSTCH	OF (値)		リセット・チャンネル・ビット。1 を書き込むと、ビットがリセットされます。0 を書き込んでも、影響はありません。		
		DEFAULT NONE	0	影響なし。		
		RESET	1	以降の DMA イベントの生成をブロックし、保留されている DMA が完了したときに FIFO のフラッシュを実行して、チャンネルをリセットします。また、VCEN ビットをクリアします。すべてのチャンネルのレジスタに、それぞれの初期値がセットされます。チャンネルのリセット後、RSTCH は自動的にクリアされず。		

† CSL を使用して実装する場合、表記 VP_VCBCTL_field_symval を使用してください。

‡ これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-23. ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明			
				BT.656 または Y/C モード	Raw データ・モード	TSI モード	
30	BLKCAP	OF (値)		ブロック・キャプチャ・イベント・ビット。BLKCAP は、現在プログラム可能なレジスタの値に影響を与えることなく、キャプチャ FIFO リセットとして機能します。 VCBSTAT 内の F1C、F2C および FRMC の各ステータス・ビットは更新されません。また、フィールドまたはフレームの完了割り込み、垂直割り込みも生成されません。 BLKCAP をクリアしても、このビットがクリアされたフィールド・キャプチャ時の DMA イベントはイネーブルされません。 BLKCAP がセットされてからクリアされる時は毎回、ソフトウェアは、BLKCAP のクリア動作の一部として、フィールドおよびフレームのステータス・ビット (F1C、F2C、FRMC) をクリアする必要があります。			
			CLEAR	0	このビットがクリアされるビデオ・フレームに続くビデオ・フレーム内の DMA イベントをイネーブルします (キャプチャ・ロジックは、BLKCAP のクリア後、次のフレームの開始に同期する必要があります)。		
			DEFAULT BLOCK	1	DMA イベントをブロックして、キャプチャ・チャンネルの FIFO をフラッシュします。		
29-21	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。			
20	FINV	OF (値)		検出フィールド反転ビット。			
			DEFAULT FIELD1	0	0 が検出された場合は、フィールド 1 です。	未使用。	未使用。
			FIELD2	1	1 が検出された場合は、フィールド 2 です。	未使用。	未使用。
19-18	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。			
17	VRST	OF (値)		VCOUNT リセット方式ビット。			
			VIEAV	0	垂直ブランキングの開始 (1 番目の V=1 の EAV または VCTL1 アクティブ・エッジ)。	未使用。	未使用。
			DEFAULT V0EAV	1	垂直ブランキングの終了 (1 番目の V=0 の EAV または VCTL1 インアクティブ・エッジ)。	未使用。	未使用。

[†] CSL を使用して実装する場合、表記 VP_VCBCTL_field_symval を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-23. ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
16	HRST	OF (値)		HCOUNT リセット方式ビット。		
		DEFAULT EAV	0	EAV または VCTL0 アクティブ・エッジ。	未使用。	未使用。
		SAV	1	SAV または VCTL0 インアクティブ・エッジ。	未使用。	未使用。
15	VCEN	OF (値)		ビデオ・キャプチャ・イネーブル・ビット。VCEN=0 のときのみ、VCBCTL 内の他のビット (RSTCH および BLKCAP の各ビットを除く) が変更される場合があります。		
		DEFAULT DISABLE	0	ビデオ・キャプチャはディスエーブル。		
		ENABLE	1	ビデオ・キャプチャはイネーブル。		
14-13	PK10B	OF (値)	0~3h	10 ビット・パッキング・フォーマット選択ビット。		
		DEFAULT ZERO	0	ゼロ拡張	ゼロ拡張	未使用。
		SIGN	1h	符号拡張	符号拡張	未使用。
		DENSEPK	2h	高密度バック (ゼロ拡張)	高密度バック (ゼロ拡張)	未使用。
		-	3h	予約	予約	未使用。
12	LFDE	OF (値)		ロング・フィールド検出イネーブル・ビット。		
		DEFAULT DISABLE	0	ロング・フィールドの検出はディスエーブル。	未使用。	未使用。
		ENABLE	1	ロング・フィールドの検出はイネーブル。	未使用。	未使用。

[†] CSL を使用して実装する場合、表記 `VP_VCBCTL_field_symval` を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-23. ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
11	SFDE	OF (値)		ショート・フィールド検出イネーブル・ビット。		
		DEFAULT DISABLE	0	ショート・フィールドの検出はディスエーブル。	未使用。	未使用。
		ENABLE	1	ショート・フィールドの検出はイネーブル。	未使用。	未使用。
10	RESMPL	OF (値)		色差リサンプリングのイネーブル・ビット。		
		DEFAULT DISABLE	0	色差リサンプリングはディスエーブル。	未使用。	未使用。
		ENABLE	1	色差は、色差用のバッファに保存される前に、4:2:2 一致型から 4:2:0 分散型に水平方向成分のみリサンプリングされます。	未使用。	未使用。
9	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
8	SCALE	OF (値)		スケーリング選択ビット。		
		DEFAULT NONE	0	スケーリングしない。	未使用。	未使用。
		HALF	1	½ スケーリング	未使用。	未使用。
7	CON [‡]	OF (値)		連続キャプチャ・イネーブル・ビット。		
		DEFAULT DISABLE	0	連続キャプチャはディスエーブル。		
		ENABLE	1	連続キャプチャはイネーブル。		

[†] CSL を使用して実装する場合、表記 `VP_VCBCTL_field_symval` を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

表 3-23. ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明		
				BT.656 または Y/C モード	Raw データ・モード	TSI モード
6	FRAME [‡]	OF (値)		フレーム (データ) キャプチャ・ビット。		
		DEFAULT NONE	0	フレームをキャプチャしません。	シングル・データ・ブロックをキャプチャしません。	シングル・パケットをキャプチャしません。
		FRMCAP	1	フレームをキャプチャします。	シングル・データ・ブロックをキャプチャします。	シングル・パケットをキャプチャします。
5	CF2 [‡]	OF (値)		フィールド 2 キャプチャ・ビット。		
		NONE	0	フィールド 2 をキャプチャしません。	未使用。	未使用。
		DEFAULT FLDCAP	1	フィールド 2 をキャプチャします。	未使用。	未使用。
4	CF1 [‡]	OF (値)		フィールド 1 キャプチャ・ビット。		
		NONE	0	フィールド 1 をキャプチャしません。	未使用。	未使用。
		DEFAULT FLDCAP	1	フィールド 1 をキャプチャします。	未使用。	未使用。
3-2	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。		
1-0	CMODE	OF (値)	0 ~ 3h	キャプチャ・モード選択ビット。		
		DEFAULT BT656B	0	8 ビット BT.656 モードをイネーブルします。	未使用。	
		BT656D	1h	10 ビット BT.656 モードをイネーブルします。	未使用。	
		RAWB	2h	8 ビット Raw データ・モードをイネーブルします。	未使用。	
		RAWD	3h	10 ビット Raw データ・モードをイネーブルします。	未使用。	

[†] CSL を使用して実装する場合、表記 `VP_VCBCTL_field_symval` を使用してください。

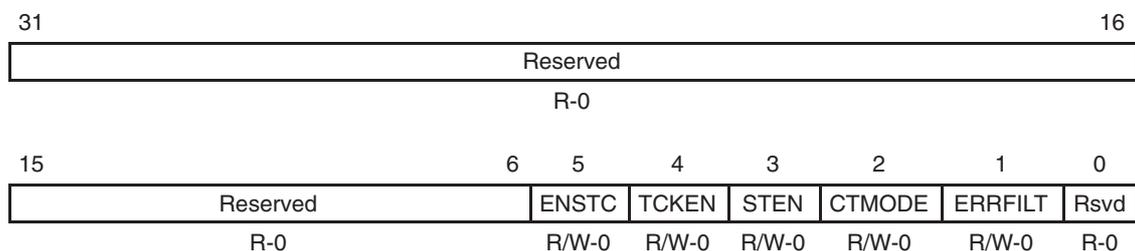
[‡] これらのビットを完全にエンコードする場合には、表 3-6、表 3-11、および表 3-12 を参照してください。

3.13.11 TSI キャプチャ・コントロール・レジスタ (TSICTL)

トランスポート・ストリーム・インターフェイス・キャプチャ・コントロール・レジスタ (TSICTL) は、TSI キャプチャ動作を制御します。TSICTL を図 3-39 に示し、表 3-24 で説明します。

ERRFILT、STEN および TCKEN の各ビットは、常時、書き込むことができます。カウンタの動作を安定させるため、システム・タイム・カウンタがホールドしていない限り (ENSTC=0)、CTMODE ビットへの書き込みはディスエーブルされています。

図 3-39. TSI キャプチャ・コントロール・レジスタ (TSICTL)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-24. TSI キャプチャ・コントロール・レジスタ (TSICTL) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656、Y/C または Raw データ・モード	TSI モード
31-6	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
5	ENSTC	OF (値)		システム・タイム・クロック・イネーブル・ビット。	
		DEFAULT HALTED	0	未使用。	システム・タイム・クロック入力はディスエーブル (電力を節約するため)。システム・タイム・クロック・カウンタおよびティック・カウンタは、インクリメントされません。
		CLKED	1	未使用。	システム・タイム入力はイネーブル。システム・タイム・クロック・カウンタおよびティック・カウンタは、STCLK によってインクリメントされます。
4	TCKEN	OF (値)		ティック・カウンタ割り込みイネーブル・ビット。	
		DEFAULT DISABLE	0	未使用。	TICK ビットのセットはディスエーブル。
		SET	1	未使用。	ティック・カウンタに達すると毎回、VPIS 内の TICK ビットがセットされます。

[†] CSL を使用して実装する場合、表記 VP_TSICTL_field_symval を使用してください。

表 3-24. TSI キャプチャ・コントロール・レジスタ (TSICTL) フィールドの説明 (続き)

ビット	フィールド†	symval †	値	説明	
				BT.656、Y/C または Raw データ・モード	TSI モード
3	STEN	OF (値)		システム・タイム・クロック割り込みイネーブル・ビット。	
		DEFAULT DISABLE	0	未使用。	STC ビットのセットはディスエーブル。
		SET	1	未使用。	有効な STC の比較が VPIS 内の STC ビットにセットされます。
2	CTMODE	OF (値)		カウンタ・モード選択ビット。	
		DEFAULT 90KHZ	0	未使用。	システム・タイム・カウンタの 33 ビットの PCR 部は、90 kHz でインクリメントされます (そのとき PCRE が 299 から 0 に繰り返し戻ってきます (ロールオーバー))。
		STCLK	1	未使用。	システム・タイム・カウンタの 33 ビットの PCR 部は、STCLK 入力によってインクリメントされます。
1	ERRFILT	OF (値)		エラー・フィルタリング・イネーブル・ビット。	
		DEFAULT ACCEPT	0	未使用。	エラーのあるパケットを受信すると、パケットの最後に挿入されているタイムスタンプ内の PERR ビットがセットされます。
		REJECT	1	未使用。	エラーのあるパケットは、フィルタで除去されます (FIFO 内には受信されません)。
0	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	

† CSL を使用して実装する場合、表記 VP_TSICTL_field_symval を使用してください。

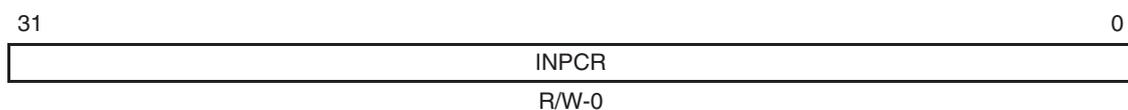
3.13.12 TSI クロック・イニシャリゼーション LSB レジスタ (TSICKINITL)

トランスポート・ストリーム・インターフェイス・クロック・イニシャリゼーション LSB レジスタ (TSICKINITL) は、ハードウェア・カウンタを初期化して、システム・タイム・クロックと同期させる場合に使用します。TSICKINITL を図 3-40 に示し、表 3-25 で説明します。

DSP は、プログラム・クロック・リファレンス (PCR) および PCR の拡張値が含まれている最初の packets を受信すると、PCR の 32 ビット (LSB) を TSICKINITL に書き込みます。これにより、カウンタはシステム・タイム・クロックに初期化されます。また、PCR フィールドに切れ目が検出された場合は常に、TSICKINITL は DSP によって更新される必要があります。

確実に同期を行い、誤った比較が検出されないようにするために、ソフトウェアは、TSICKINITL へ書き込みを行う前に、システム・タイム・クロック割り込みをディスエーブル (TSICTL 内の STEN ビットをクリア) する必要があります。ソフトウェアで TSICKINITL または TSICKINITM のいずれかへ書き込みを行うと、システム・タイム・カウンタのビットはすべて初期化されます。

図 3-40. TSI クロック・イニシャリゼーション LSB レジスタ (TSICKINITL)



凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-25. TSI クロック・イニシャリゼーション LSB レジスタ (TSICKINITL) フィールドの説明

				説明	
ビット	フィールド	symval [†]	値	BT.656、Y/C または Raw データ・モード	TSI モード
31-0	INPCR	OF (値)	0 ~ FFFFFFFh	未使用。	システム・タイム・クロックの 32 ビット (LSB) を初期化します。
		DEFAULT	0		

[†] CSL を使用して実装する場合、表記 VP_TSICKINITL_INPCR_symval を使用してください。

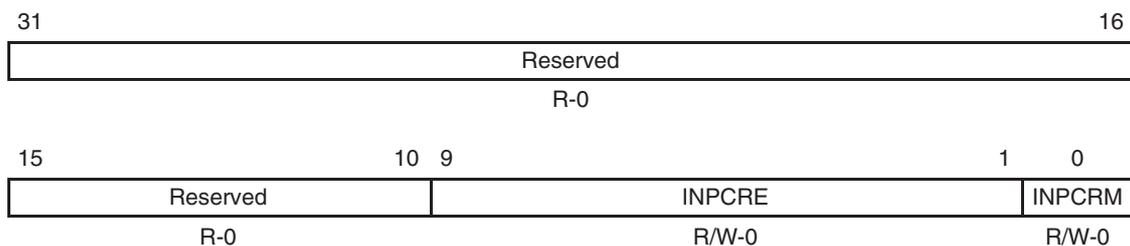
3.13.13 TSI クロック・イニシャリゼーション MSB レジスタ (TSICKINITM)

トランスポート・ストリーム・インターフェイス・クロック・イニシャリゼーション MSB レジスタ (TSICKINITM) は、ハードウェア・カウンタを初期化して、システム・タイム・クロックと同期させる場合に使用します。TSICKINITM を図 3-41 に示し、表 3-26 で説明します。

DSP は、プログラム・クロック・リファレンス (PCR) のヘッダが含まれている最初のパケットを受信すると、PCR の最上位ビット (MSB) および 9 ビットの PCR 拡張部を TSICKINITM に書き込みます。これにより、カウンタはシステム・タイム・クロックに初期化されます。また、PCR フィールドに切れ目が検出される時は毎回、TSICKINITM は DSP によって更新される必要があります。

確実に同期を行い、誤った比較が検出されないようにするために、ソフトウェアは、TSICKINITM へ書き込みを行う前に、システム・タイム・クロック割り込みをディスエーブル (TSICTL 内の STEN ビットをクリア) する必要があります。ソフトウェアで TSICKINITL または TSICKINITM のいずれかへ書き込みを行うと、システム・タイム・カウンタのビットはすべて初期化されます。

図 3-41. TSI クロック・イニシャリゼーション MSB レジスタ (TSICKINITM)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-26. TSI クロック・イニシャリゼーション MSB レジスタ (TSICKINITM) フィールドの説明

ビット	フィールド†	symval †	値	説明	
				BT.656、Y/C または Raw データ・モード	TSI モード
31-10	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
9-1	INPCRE	OF (値)	0 ~ 1Fh	未使用。	拡張部のシステム・タイム・クロックを初期化します。
		DEFAULT	0		
0	INPCRM	OF (値)	0 ~ 1	未使用。	システム・タイム・クロックの最上位ビット (MSB) を初期化します。
		DEFAULT	0		

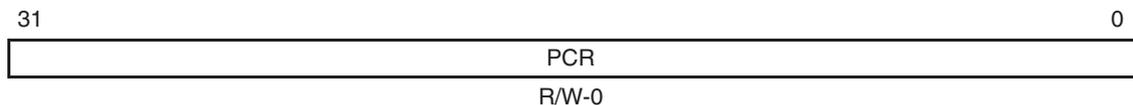
† CSL を使用して実装する場合、表記 VP_TSICKINITM_field_symval を使用してください。

3.13.14 TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL)

トランスポート・ストリーム・インターフェイス・システム・タイム・クロック LSB レジスタ (TSISTCLKL) には、プログラム・クロック・リファレンス (PCR) の 32 ビット (LSB) が含まれています。システム・タイム・クロックの値を取得するには、TSISTCLKL および TSISTCLKM を読み出します。TSISTCLKL を図 3-42 に示し、表 3-27 で説明します。

TSISTCLKL は、常に、90 kHz のレートでカウントを行う PCR ベース部の LSB 32 ビットの現在の値を表します。システム・タイム・クロック・カウンタはカウントを継続しているため、DSP は正しい値を確認するために、1 行につき TSISTCLKL を 2 回読み出すことが必要になる場合もあります。

図 3-42. TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL)



凡例： R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-27. TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL) フィールドの説明

ビット	フィールド	symval [†]	値	説明	
				BT.656、Y/C または Raw データ・モード	TSI モード
31-0	PCR	OF (値)	0 ~ FFFFFFFh	未使用。	プログラム・クロック・リファレンスの 32 ビット (LSB) が含まれています。
		DEFAULT	0		

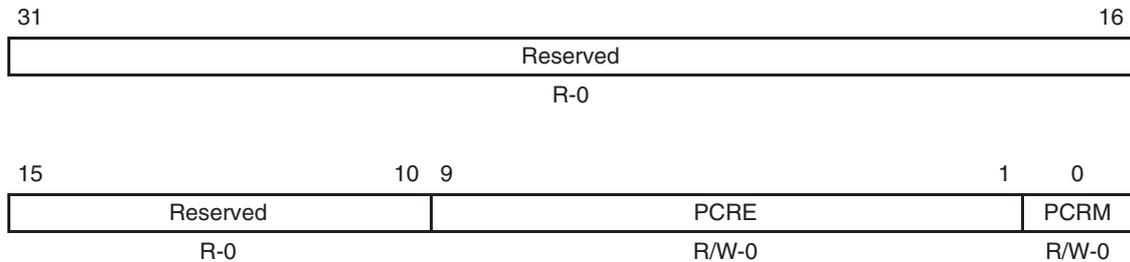
[†] CSL を使用して実装する場合、表記 VP_TSISTCLKL_PCR_symval を使用してください。

3.13.15 TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM)

トランスポート・ストリーム・インターフェイス・システム・タイム・クロック MSB レジスタ (TSISTCLKM) には、プログラム・クロック・リファレンス (PCR) の最上位ビット (MSB) と PCR 拡張部の 9 ビットが含まれています。システム・タイム・クロックの値を取得するには、TSISTCLKM および TSISTCLKL を読み出します。TSISTCLKM を図 3-43 に示し、表 3-28 で説明します。

PCRE 値は、27 MHz のレートで変更されるため、DSP での読み取りにおける信頼性はそれほど高くありません。通常、PCRM ビットは、10.5 μHz のレートで (26 時間ごとに) 変更されます。

図 3-43. TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-28. TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM) フィールドの説明

ビット	フィールド†	symval †	値	説明	
				BT.656、Y/C または Raw データ・モード	TSI モード
31-10	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
9-1	PCRE	OF (値) DEFAULT	0 ~ 1FFh 0	未使用。	プログラム・クロック・リファレンスの拡張部が含まれています。
0	PCRM	OF (値) DEFAULT	0 ~ 1 0	未使用。	プログラム・クロック・リファレンスの最上位ビット (MSB) が含まれています。

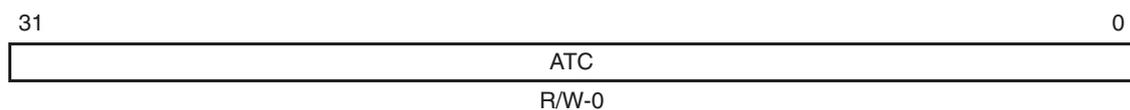
† CSL を使用して実装する場合、表記 VP_TSISTCLKM_field_symval を使用してください。

3.13.16 TSI システム・タイム・クロック・コンペア LSB レジスタ (TSISITCMPL)

トランスポート・ストリーム・インターフェイス・システム・タイム・クロック・コンペア LSB レジスタ (TSISITCMPL) は、STC に基づいたある絶対時間で割り込みを生成するために使用します。TSISITCMPL は、絶対時間比較 (ATC) の 32 ビット (LSB) を保持しています。TSISITCMPL および TSISITCMPM 内の値が、STC のハードウェア・カウンタに保持されている時間のマスクされていないビットに一致し、かつ、TSICTL 内の STEN ビット がセットされるときは毎回、VPIS 内の STC ビットがセットされます。TSISITCMPL を図 3-44 に示し、表 3-29 で説明します。

レジスタのビット変更によって生じる不正確な比較を防止するために、ソフトウェアは、TSISITCMPL へ書き込みを行う前に、システム・タイム・クロック割り込みをディスエーブル (TSICTL 内の STEN ビットをクリア) する必要があります。

図 3-44. TSI システム・タイム・クロック・コンペア LSB レジスタ (TSISITCMPL)



凡例： R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-29. TSI システム・タイム・クロック・コンペア LSB レジスタ (TSISITCMPL) フィールドの説明

				説明	
ビット	フィールド	symval †	値	BT.656、Y/C または Raw データ・モード	TSI モード
31-0	ATC	OF (値)	0 ~ FFFFFFFh	未使用。	絶対時間比較の 32 ビット (LSB) が含まれています。
		DEFAULT	0		

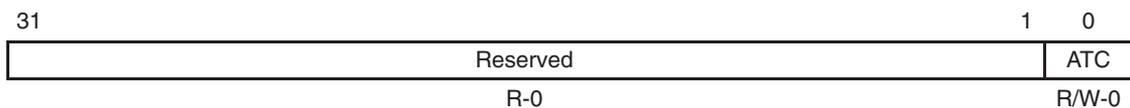
† CSL を使用して実装する場合、表記 VP_TSISITCMPL_ATC_symval を使用してください。

3.13.17 TSI システム・タイム・クロック・コンペア MSB レジスタ (TSISTCMPM)

トランスポート・ストリーム・インターフェイス・システム・タイム・クロック・コンペア MSB レジスタ (TSISTCMPM) は、STC に基づいたある絶対時間で割り込みを生成するために使用します。TSISTCMPM は、絶対時間比較 (ATC) の最上位ビット (MSB) を保持しています。TSISTCMPM および TSISTCMPL 内の値が、STC のハードウェア・カウンタに保持されている時間のマスクされていないビットに一致し、かつ、TSICTL 内の STEN ビットがセットされる時は毎回、VPIS 内の STC ビットがセットされます。TSISTCMPM を図 3-45 に示し、表 3-30 で説明します。

レジスタのビット変更によって生じる不正確な比較を防止するために、ソフトウェアは、TSISTCMPM への書き込みを行う前に、システム・タイム・クロック割り込みをディスエーブル (TSICTL 内の STEN ビットをクリア) する必要があります。

図 3-45. TSI システム・タイム・クロック・コンペア MSB レジスタ (TSISTCMPM)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-30. TSI システム・タイム・クロック・コンペア MSB レジスタ (TSISTCMPM) フィールドの説明

ビット	フィールド	symval †	値	説明	
				BT.656、Y/C または Raw データ・モード	TSI モード
31-1	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
0	ATC	OF (値) DEFAULT	0 ~ 1 0	未使用。	絶対時間比較の最上位ビット (MSB) が含まれています。

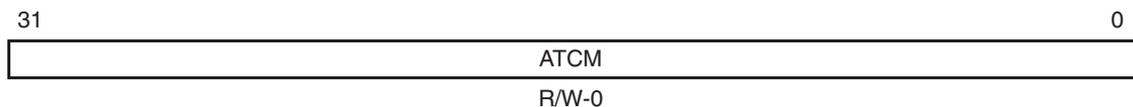
† CSL を使用して実装する場合、表記 VP_TSISTCMPM_ATC_symval を使用してください。

3.13.18 TSI システム・タイム・クロック・コンペア・マスク LSB レジスタ (TSISTMSKL)

トランスポート・ストリーム・インターフェイス・システム・タイム・クロック・コンペア・マスク LSB レジスタ (TSISTMSKL) は、絶対時間比較マスク (ATCM) の 32 ビット (LSB) を保持しています。この値は、ATC と絶対時間のシステム・タイム・クロックを比較するときに、TSISTMSKM とともに使用してビットをマスクします。比較時に、1 にセットされているビットは、対応する ATC のビットをマスクします。TSISTMSKL を図 3-46 に示し、表 3-31 で説明します。

レジスタのビット変更によって生じる不正確な比較を防止するために、ソフトウェアは、TSISTMSKL への書き込みを行う前に、システム・タイム・クロック割り込みをディスエーブル (TSICTL 内の STEN ビットをクリア) する必要があります。

図 3-46. TSI システム・タイム・クロック・コンペア・マスク LSB レジスタ (TSISTMSKL)



凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-31. TSI システム・タイム・クロック・コンペア・マスク LSB レジスタ (TSISTMSKL) フィールドの説明

		説明			
ビット	フィールド	symval [†]	値	BT.656、Y/C または Raw データ・モード	TSI モード
31-0	ATCM	OF (値)	0 ~ FFFFFFFFh	未使用。	絶対時間比較マスクの 32 ビット (LSB) が含まれています。
		DEFAULT	0		

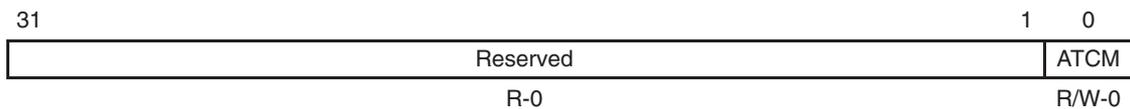
[†] CSL を使用して実装する場合、表記 VP_TSISTMSKL_ATCM_symval を使用してください。

3.13.19 TSI システム・タイム・クロック・コンペア・マスク MSB レジスタ (TSISTMSKM)

トランスポート・ストリーム・インターフェイス・システム・タイム・クロック・コンペア・マスク MSB レジスタ (TSISTMSKM) は、絶対時間比較マスク (ATCM) の上位ビット (MSB) を保持しています。この値は、ATC と絶対時間のシステム・タイム・クロックを比較するときに、TSISTMSKL とともに使用してビットをマスクします。比較時に、1 にセットされているビットは、対応する ATC のビットをマスクします。TSISTMSKM を図 3-47 に示し、表 3-32 で説明します。

レジスタのビット変更によって生じる不正確な比較を防止するために、ソフトウェアは、TSISTMSKM への書き込みを行う前に、システム・タイム・クロック割り込みをディスエーブル (TSICTL 内の STEN ビットをクリア) する必要があります。

図 3-47. TSI システム・タイム・クロック・コンペア・マスク MSB レジスタ (TSISTMSKM)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-32. TSI システム・タイム・クロック・コンペア・マスク MSB レジスタ (TSISTMSKM) フィールドの説明

ビット	フィールド	symval †	値	説明	
				BT.656、Y/C または Raw データ・モード	TSI モード
31-1	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
0	ATCM	OF (値)	0 ~ 1	未使用。	絶対時間比較マスクの最上位ビット (MSB) が含まれています。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_TSISTMSKM_ATCM_symval を使用してください。

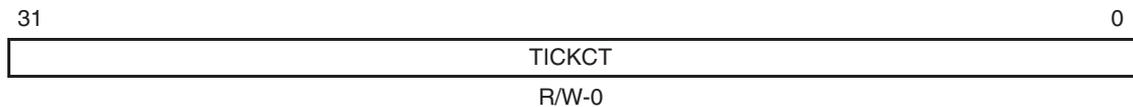
3.13.20 TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS)

トランスポート・ストリーム・インターフェイス・システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS) は、27 MHz のシステム・タイム・クロックのティックが一定数経過後に、割り込みを生成するために使用します。TICKCT 値に X がセットされ、かつ TSICTL 内の TCKEN ビットがセットされると、STCLK サイクルが $X+1$ になるたびに VPIS 内の TICK ビットがセットされます。ティック割り込みカウンタおよび比較ロジック機能は、PCR のロジックとは分離されているため、TSICTL 内の CTMODE ビットの値に関係なく、常に STCLK サイクルがカウントされることに注意してください。TSITICKS を図 3-48 に示し、表 3-33 で説明します。

TSITICKS への書き込みを行うと、ティック・カウンタは 0 (ゼロ) にリセットされます。ティック・カウンタが TICKCT の値に達するときは毎回、VPIS 内の TICK ビットがセットされ、カウンタは 0 (ゼロ) にリセットされます。

レジスタのビット変更によって生じる不正確な比較を防止するために、ソフトウェアは、TSITICKS への書き込みを行う前に、ティック・カウント割り込みをディセーブル (TSICTL 内の TCKEN ビットをクリア) する必要があります。

図 3-48. TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS)



凡例： R/W = 読み取り / 書き込み。-n = リセット後の値。

表 3-33. TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS) フィールドの説明

				説明	
ビット	フィールド	symval [†]	値	BT.656、Y/C または Raw データ・モード	TSI モード
31-0	TICKCT	OF (値)	0 ~ FFFFFFFh	未使用。	ティック・カウント割り込みを生成するために必要な 27MHz のシステム・タイム・クロックのティック数が含まれていません。
		DEFAULT	0		

[†] CSL を使用して実装する場合、表記 VP_TSITICKS_TICKCT_symval を使用してください。

3.14 ビデオ・キャプチャ FIFO レジスタ

キャプチャ FIFO のマッピング・レジスタを表 3-34 に示します。これらのレジスタを使用すると、キャプチャ FIFO へ読み取りアクセスできます。これらの疑似レジスタは、高速なアクセスを実現するために、コンフィグレーション・レジスタ空間よりむしろ、DSP メモリ空間にマップされるべきです。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。ビデオ・キャプチャ FIFO のマッピング・レジスタの機能を表 3-35 に示します。

表 3-34. ビデオ・キャプチャ FIFO レジスタ

オフセット・アドレス [†]	略称	レジスタ名
00h	YSRCA	Y FIFO ソース・レジスタ A
08h	CBSRCA	Cb FIFO ソース・レジスタ A
10h	CRSRCA	Cr FIFO ソース・レジスタ A
00h	YSRCB	Y FIFO ソース・レジスタ B
08h	CBSRCB	Cb FIFO ソース・レジスタ B
10h	CRSRCB	Cr FIFO ソース・レジスタ B

[†] レジスタの絶対アドレスは、デバイス/ポート固有のもので、そのアドレスは FIFO のベース・アドレス+オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

表 3-35. ビデオ・キャプチャ FIFO レジスタの機能

レジスタ	キャプチャ・モード		
	BT.656 または Y/C	Raw データ	TSI
YSRCx	Y キャプチャ・バッファを DSP メモリにマップします。	データ・キャプチャ・バッファを DSP メモリにマップします。	データ・キャプチャ・バッファを DSP メモリにマップします。
CBSRCx	Cb キャプチャ・バッファを DSP メモリにマップします。	未使用。	未使用。
CRSRCx	Cr キャプチャ・バッファを DSP メモリにマップします。	未使用。	未使用。

BT.656 または Y/C キャプチャ・モードでは、YSRCx、CBSRCx、CRSRCx の各メモリマップド・レジスタを使用して、3 つの DMA は、Y、Cb、Cr の各キャプチャ FIFO から DSP メモリにデータを転送します。DMA 転送は、YEVT、CbEVT、CrEVT の各イベントによって、それぞれトリガされます。

Raw キャプチャ・モードでは、YSRCx メモリマップド・レジスタを使用して、1 つの DMA チャンネルが、Y キャプチャ FIFO から DSP メモリにデータを転送します。DMA 転送は、YEVT イベントによってトリガされます。

ビデオ・ポートは、FIFO 内で受信したデータを 64 ビット・ワードにパックするため、DMA は、常に YSRCx、CBSRCx、および CRSRCx からメモリに 64 ビット幅のデータを転送する必要があります。

ビデオ・ディスプレイ・ポート

ビデオ・ポート・ペリフェラルは、ビデオ・キャプチャ・ポート、ビデオ・ディスプレイ・ポート、トランスポート・ストリーム・インターフェイス (TSI) キャプチャ・ポートのいずれかとして機能します。この章では、ビデオ・ディスプレイ・ポートについて説明します。

注：

ビデオ・ポートの機能セットは、C6000 デバイス間で異なる場合があります。サポートされている機能のリストについては、各デバイスのデータシートを参照してください。

項目	ページ
4.1 ビデオ・ディスプレイ・モードの選択	4-2
4.2 BT.656 ビデオ・ディスプレイ・モード	4-10
4.3 Y/C ビデオ・ディスプレイ・モード	4-17
4.4 ビデオ出力のフィルタリング	4-22
4.5 補助データの表示	4-26
4.6 Raw データ・ディスプレイ・モード	4-27
4.7 ビデオ・ディスプレイ・フィールドおよびフレーム動作	4-32
4.8 ディスプレイ・ライン境界の状態	4-35
4.9 ディスプレイ・タイミングの例	4-37
4.10 BT.656 または Y/C モードでのビデオ・ディスプレイ	4-49
4.11 Raw データ・モードでのビデオ・ディスプレイ	4-51
4.12 ビデオ・ディスプレイ・レジスタ	4-55
4.13 ビデオ・ディスプレイ・レジスタの推奨値	4-100
4.14 ビデオ・ディスプレイ FIFO レジスタ	4-102

4.1 ビデオ・ディスプレイ・モードの選択

ビデオ・ディスプレイ・モジュールは、表 4-1 に示されている 3 つのモードのいずれかで動作します。MODE ビットは、ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) 内にあります。Y/C および 16/20 ビット Raw ディスプレイ・モードは、ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) 内の DCDIS ビットがゼロクリアされた場合にのみ選択されます。

表 4-1. ビデオ・ディスプレイ・モードの選択

DMODE ビット	モード	説明
000	8 ビット ITU-R BT.656 ディスプレイ	デジタル・ビデオ出力は、ITU-R BT.656 フォーマットでマルチプレクスされる 8 ビットの解像度をもつ YCbCr 4:2:2 です。
001	10 ビット ITU-R BT.656 ディスプレイ	デジタル・ビデオ出力は、ITU-R BT.656 フォーマットでマルチプレクスされる 10 ビットの解像度をもつ YCbCr 4:2:2 です。
010	8 ビット Raw ディスプレイ	8 ビット・データ出力
011	10 ビット Raw ディスプレイ	10 ビット・データ出力
100	8 ビット Y/C ディスプレイ	デジタル・ビデオは、8 ビットの解像度をもつ YCbCr 4:2:2 で出力されます。Y とマルチプレクスされた Cb/Cr が並列に出力されます。
101	10 ビット Y/C ディスプレイ	デジタル・ビデオは、10 ビットの解像度をもつ YCbCr 4:2:2 で出力されます。Y とマルチプレクスされた Cb/Cr が並列に出力されます。
110	16 ビット Raw ディスプレイ	16 ビット・データ出力
111	20 ビット Raw ディスプレイ	20 ビット・データ出力

4.1.1 イメージ・タイミング

ディスプレイ・デバイスは、垂直リトレース・タイミングを制御することでインタレース・イメージを生成します。ビデオ・ディスプレイ・モジュールは、ディスプレイ・イメージを生成するために使用されたデータ・ストリームを送り出します。フィールド情報とライン情報をもつ NTSC 互換インタレース・イメージを図 4-1 に示します。プログレッシブ・スキャン・イメージ (SMPTE 296M 互換) を図 4-2 に示します。

アクティブ・ビデオ領域は、ディスプレイ上に表示可能なピクセルを表します。アクティブ・ビデオ領域は、水平ブランキング期間および垂直ブランキング期間後に開始されます。ビデオ・ディスプレイ・モジュールが出力するイメージ領域は、アクティブ領域の一部になります。フレーム、アクティブ領域、イメージ領域の関係は、インタレース・ビデオについては図 4-3 で、またプログレッシブ・ビデオについては図 4-4 で示されます。ビデオ・ディスプレイ・モジュールは、フレーム、フレーム内のアクティブ・ビデオ領域、またアクティブ・ビデオ領域内のイメージに対するタイミングを生成します。

図 4-1. NTSC 互換インタレース・ディスプレイ

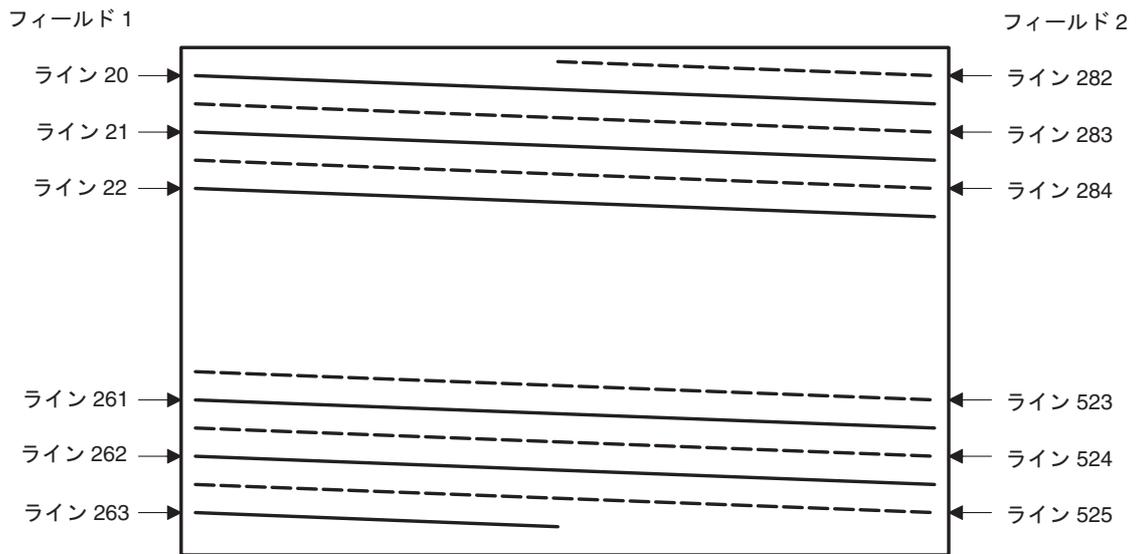


図 4-2. SMPTE 296M 互換プログレッシブ・スキャン・ディスプレイ

フィールド 1

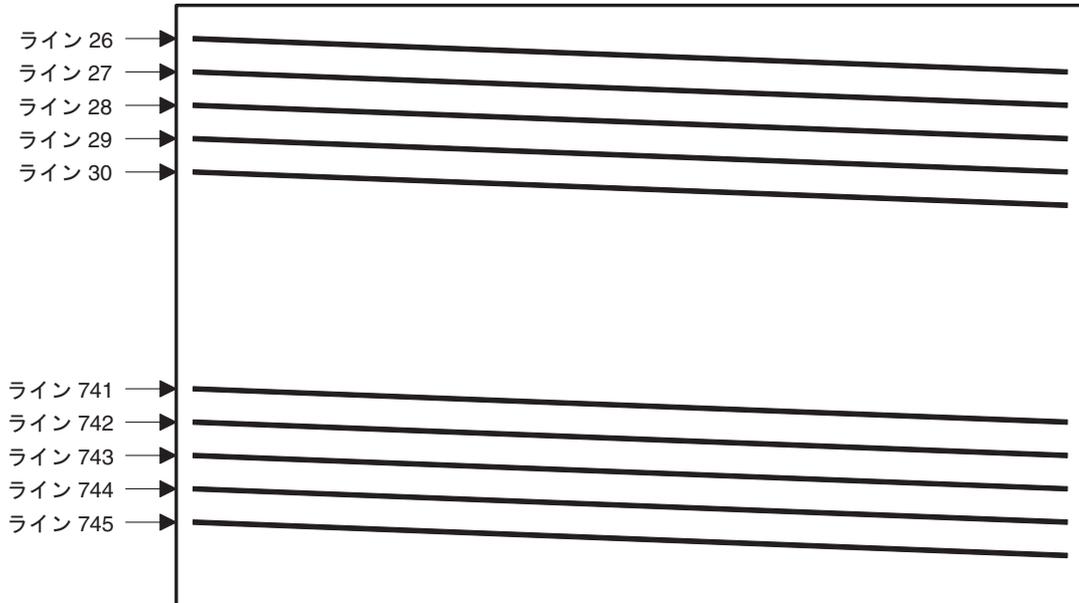


図 4-3. インタレース・ブランキング期間およびビデオ領域

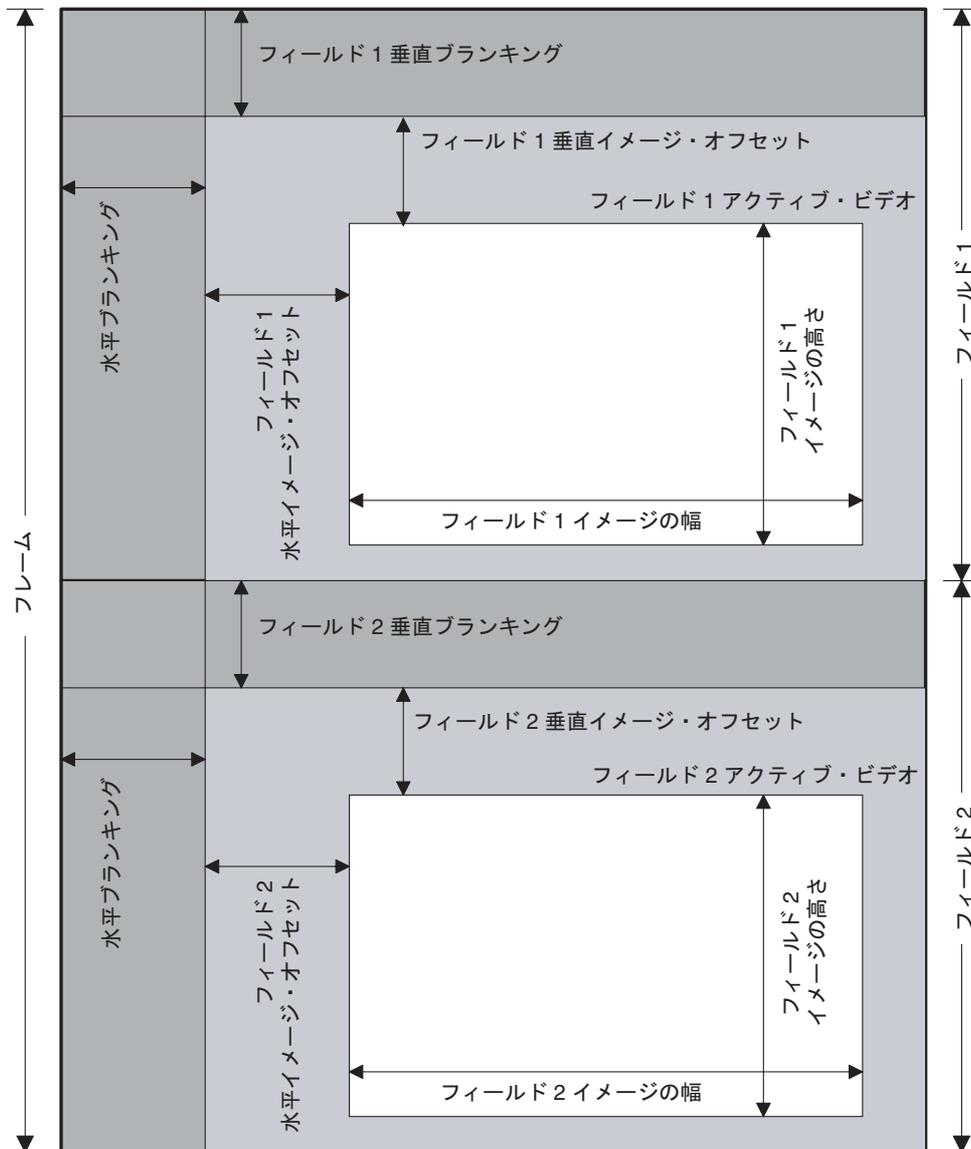
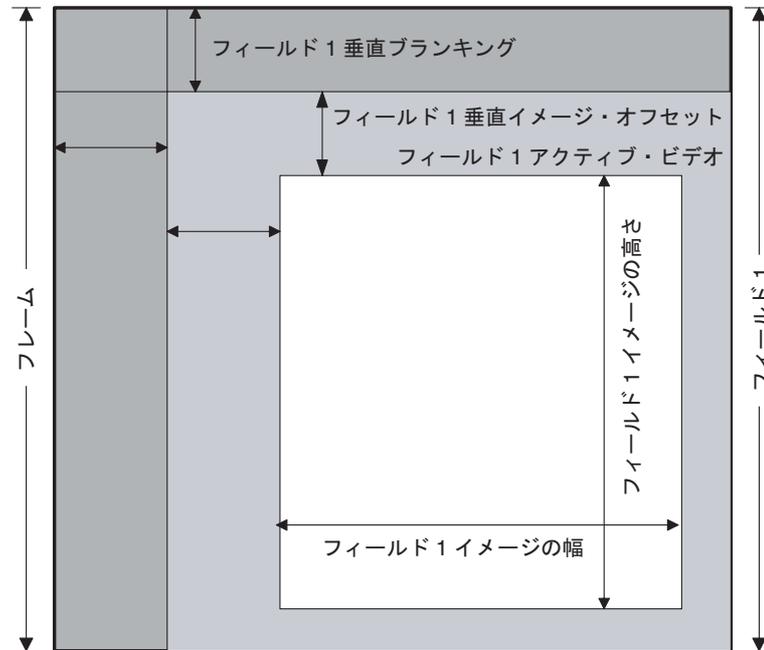


図 4-4. プログレッシブ・ブランキング期間およびビデオ領域



4.1.2 ビデオ・ディスプレイ・カウンタ

イメージ・タイミングを生成するために、ビデオ・ディスプレイ・モジュールは次の5つのカウンタを使用します。

- フレーム・ライン・カウンタ (FLCOUNT)
- フレーム・ピクセル・カウンタ (FPCOUNT)
- イメージ・ライン・カウンタ (ILCOUNT)
- イメージ・ピクセル・カウンタ (IPCOUNT)
- ビデオ・クロック・カウンタ (VCCOUNT)

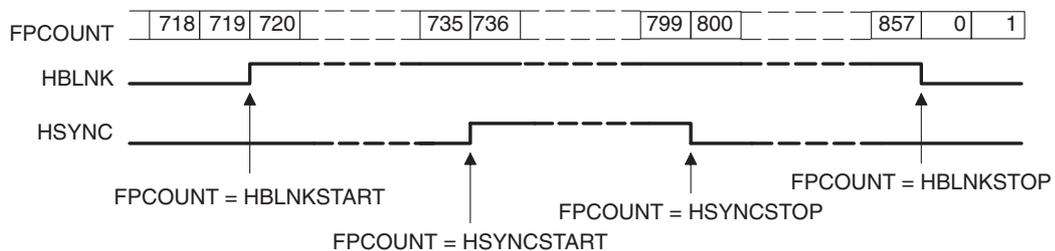
フレーム・ライン・カウンタ (FLCOUNT) は、垂直ブランキング期間を含むフレームあたりの合計ライン数をカウントします。フレーム・ピクセル・カウンタ (FPCOUNT) は、水平ブランキング期間を含むラインあたりの合計ピクセル数をカウントします。FLCOUNT は、最初のフィールドの垂直ブランキング期間の先頭からカウントを開始します。FPCOUNT は、各ラインの水平ブランキング期間の最後からカウントを開始します。この2つのカウンタはビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ) で定めたストップ値に到達すると、リセットされます。

イメージ・ライン・カウンタ (ILCOUNT) とイメージ・ピクセル・カウンタ (IPCOUNT) は、フィールド内で表示できるイメージを調べます。ILCOUNT は、各フィールド内の最初のディスプレイ・イメージ・ラインからカウントを開始します。IPCOUNT は、各ライン上の最初に表示されるイメージ・ピクセルからカウントを開始します。この 2 つのカウンタが、ビデオ・ディスプレイ・フィールド n イメージ・サイズ・レジスタ (VDIMGSZ n) で定めたイメージの高さとイメージの幅に到達すると、カウントを停止します。

ビデオ・クロック・カウンタ (VCCOUNT) は、VCLKIN のクロックをカウントして、ビデオ・ディスプレイ・モードによって決定される FPCOUNT と IPCOUNT をインクリメントするタイミングを決定します。Y/C モードでは、FPCOUNT および IPCOUNT は、VCLKIN 立ち上がりエッジで毎回インクリメントします。BT.656 モードでは、FPCOUNT および IPCOUNT は、VCLKIN 立ち上がりエッジで 1 回おきにインクリメントします。Raw モードでは、FPCOUNT および IPCOUNT は、ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD) 内の INCPIX ビットでプログラムした、1 ~ 16 の VCLKIN サイクルごとにインクリメントします。

FPCOUNT および FLCOUNT は、さまざまな値と比較され、各種制御信号をいつアサートするか、またいつネゲートするか決定します。12 ビットの FPCOUNT を使用して、各スキャン・ラインに合わせて水平同期情報と水平ブランキング情報をどの時点でイネーブるし、どの時点でディスエーブるするか決定します。FPCOUNT のステータスは、ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT) の VDXPOS ビット内に反映されます。図 4-5 に、水平ブランキング信号と水平同期信号がどのようにトリガされるのかを示します (HBLNK および HSYNC は、アクティブ High を示しています)。

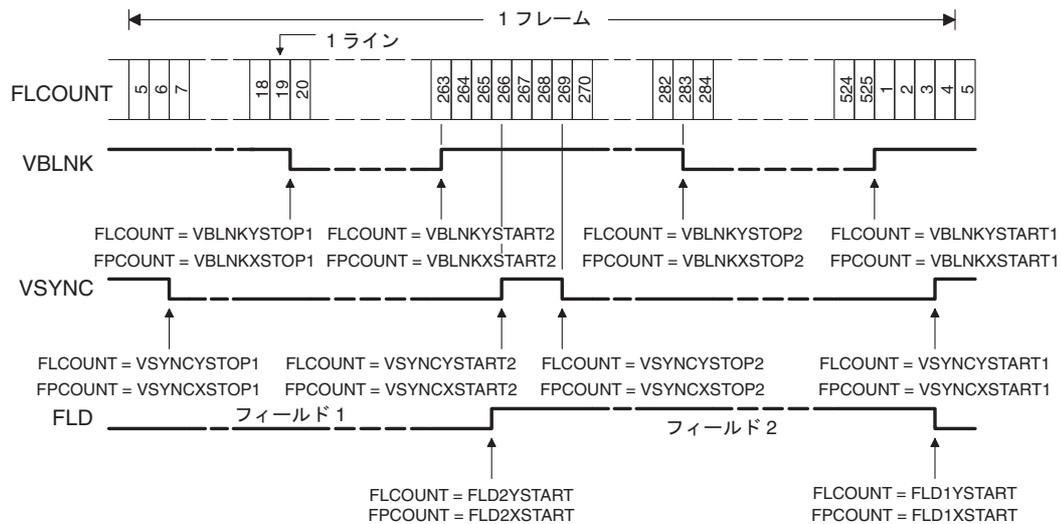
図 4-5. 水平ブランキングと水平同期のタイミング



12 ビットの FLCOUNT は、どのスキャン・ラインが生成されているのかをカウントします。VDFRMSZ で定められているカウントに到達すると、FLCOUNT は 1 にリセットされます (BT.656 動作の場合、FRMHIGHT は 525 (525/60 動作)、または 625 (625/60 動作) のいずれかにセットされることとなります)。FLCOUNT のステータスは、VDSTAT の VDYPOS ビットに反映されます。図 4-6 に、垂直ブランキング信号、垂直同期信号、フィールド ID 信号がどのようにトリガされるのかを示します (VBLNK および VSYNC は、アクティブ High として示されます)。

VBLNK、VSYNC、FLD等の信号は、(適切なレジスタのXSTARTビットおよびXSTOPビットで規定される)ビデオ・ラインに沿った任意の場所で遷移することがあることに注意してください。この例では、VBLNKはスキャン・ラインVBLNKYSTART2 = 263 (565/60動作)上の水平カウントVBLNKXSTART2 = 429から開始します。

図 4-6. 垂直ブランキング、垂直同期、偶数 / 奇数フレームの信号のタイミング



4.1.3 同期信号の生成

ビデオ・ディスプレイ・モジュールは、内部と外部の両方で使用する場合に備えて、多数の制御信号を生成する必要があります。4.1.2 項に見られるように、HSYNC、HBLNK、VSYNC、VBLNK、FLDの各信号が、ピクセル・カウンタやライン・カウンタおよび比較レジスタから直接生成されます。他にも各種の信号が、外部制御で使用するために間接的に生成されています。

コンポジット・ブランキング (CBLNK) 信号は、HBLNK と VBLNK 信号の論理 OR をとることで生成されます。また、コンポジット同期 (CSYNC) 信号は、HSYNC と VSYNC 信号の論理 OR をとることで生成されます (これは、VSYNC 中のセレーション・パルスおよび垂直フロント期間中およびバック・ポーチ期間中のイコライゼーション・パルスを含む必要がある、正しいアナログ CSYNC 信号ではありません)。そして最終的に、アクティブ・ビデオ (AVID) 信号が生成されます。AVID は、アクティブ・ビデオ・データがいつ出力されているかを示す、CBLNK の反転信号です。

8 個の同期信号のうち最大 3 つの信号が、ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) により選択されたように、VCTL0、VCTL1、VCTL2 上に出力されます。各信号は、ビデオ・ポート・コントロール・レジスタ (VPCTL) 内の VCTnP ビットによって選択されたように反転か非反転の形式で出力されます。

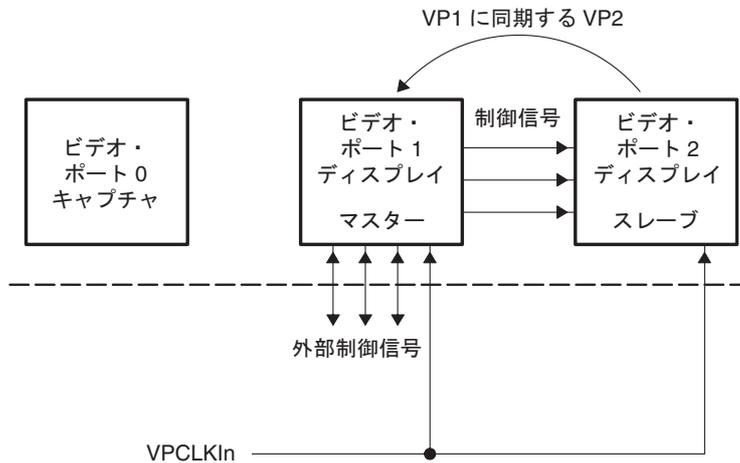
4.1.4 外部同期動作

ビデオ・ディスプレイ・モジュールは、外部同期信号を使用して、外部ビデオ・ソースと同期することができます。VCTL0 は、外部水平同期信号の入力として設定できます。外部 HSYNC がアサートされる時、FPCOUNT には HRLD 値がロードされ、VCCOUNT には CRLD 値がロードされます。VCTL1 は、外部垂直同期信号の入力として設定できます。外部 VSYNC がフィールド 1 の間にアサートされる時、FLCOUNT には VRLD 値がロードされます。フィールドの決定は、外部 FLD 入力として VCTL2 を使用して、または VSYNC および HSYNC の入力を使用してフィールド検出ロジックによって行われます。

4.1.5 ポート同期動作

ビデオ・ディスプレイ・モジュールは、デバイス上の別のビデオ・ポートにあるビデオ・ディスプレイ・モジュールと同期することができます。このモードは、24 ビットまたは 30 ビットの RGB データ（たとえば、デュアルチャネルの同期 8 ビット Raw モードで動作しているビデオ・ポート 0 上の R の 8 ビットと G の 8 ビット、VP0 と同期する VP1 を使用した 8 ビット Raw モードで動作しているビデオ・ポート 1 上の B の 8 ビット）の出力をイネーブルするために提供されます。スレーブ・ポート VP(x) には、マスター・ポート VP(x-1) と同じ VCLKIN が必要です。したがって、VCLKIN は VP(x-1)CLK0 および VP(x)CLK0 をドライブする必要があります。スレーブ・ポートには、マスター・ポートと同じようにプログラムされているレジスタ値が必要となります。マスター・ポートは、同期を維持するようにスレーブ・ポートのカウンタをリセットするのに必要な制御信号を供給しています。外部制御信号 VP(x-1)CTL[0..2] は、マスター・ポートによって生成され、受信されます。3 つのポート・デバイスの例を図 4-7 に示します。

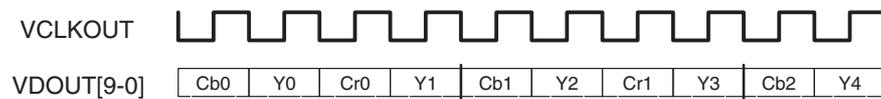
図 4-7. ビデオ・ディスプレイ・モジュール同期チェーン



4.2 BT.656 ビデオ・ディスプレイ・モード

BT.656 ビデオ・ディスプレイ・モードは、単一データ・ストリームにマルチプレクスされる 8 ビットまたは 10 ビット 4:2:2 一致型輝度データと色差データを出力します。ピクセルは、2 つの輝度サンプルと 2 つの色差サンプルから構成されているそれぞれのペアと 2 つ 1 組で出力されます。色差サンプルは、ペアの最初の輝度ピクセルと関連付けられています。出力ピクセルは、シーケンス CbYCrY 内の VCLKOUT の立ち上がりエッジ上で有効となります (図 4-8 を参照)。

図 4-8. BT.656 の出力シーケンス



4.2.1 ディスプレイ・タイミング・リファレンス・コード

エンド・オブ・アクティブ・ビデオ (EAV) コードとスタート・オブ・アクティブ・ビデオ (SAV) コードは、各ビデオ・ラインの先頭で発行されます。EAV および SAV コードは、固定フォーマットです。フォーマットを表 3-2 (3-4 ページ) に示します。EAV および SAV コードは、水平ブランキング期間の終了と開始をそれぞれ規定していて、現在のフィールド番号と垂直ブランキング期間も示します。SAV および EAV コードには、有効なコードを保証するために、4 ビットの保護フィールドがあります。ビデオ・ディスプレイ・モジュールは、SAV および EAV コードの一部として、これらの保護ビットを生成します。表 3-3 (3-5 ページ) に、有効な SAV および EAV コードとその保護ビットの可能な組み合わせを示します。ビデオ・ディスプレイ・パイプラインは、BT.656 仕様に従って、SAV および EAV 同期コードを生成し、それらを出力ビデオ・ストリームに挿入します。

BT.656 ラインのタイミングを図 4-9 と図 4-10 に示します。各ラインは、EAV コード、ブランキング期間、SAV コードで始まり、その後アクティブ・ビデオのラインが続きます。EAV コードは、直前のラインにあるアクティブ・ビデオ信号の最後を示し、SAV コードは現行ラインのアクティブ・ビデオ信号の先頭を示します。

図 4-9. 525/60 BT.656 水平ブランキング・タイミング

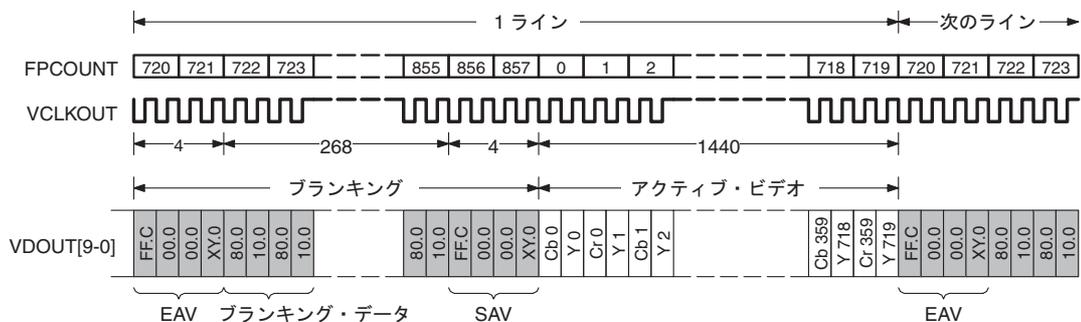
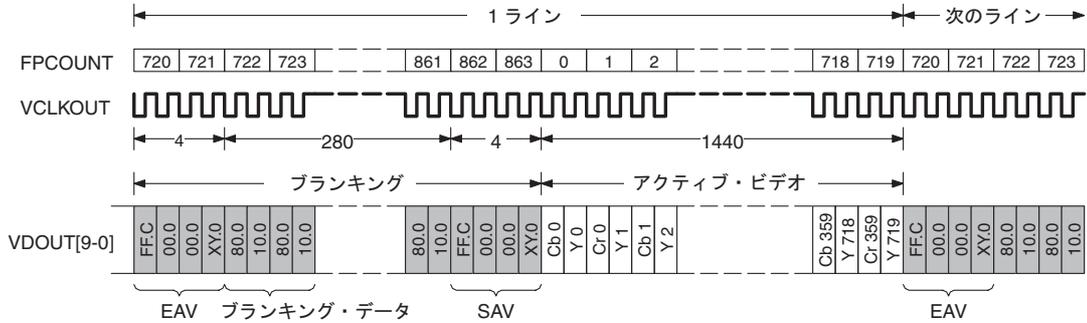


図 4-10. 625/50 BT.656 水平ブランキング・タイミング



SAV および EAV コードは、3 バイトのプリアンブル FFh、00h、00h によって識別されま
す。無効な同期コードの偶然的な生成を防ぐために、ビデオ・ポートが出力するビデオ・
データ内ではこの組み合わせを回避しなければなりません。この可能性を回避するた
めに、ビデオ・ディスプレイ・モジュールは、ビデオ・データをクリップするプログラム
可能な最大値と最小値を備えています。

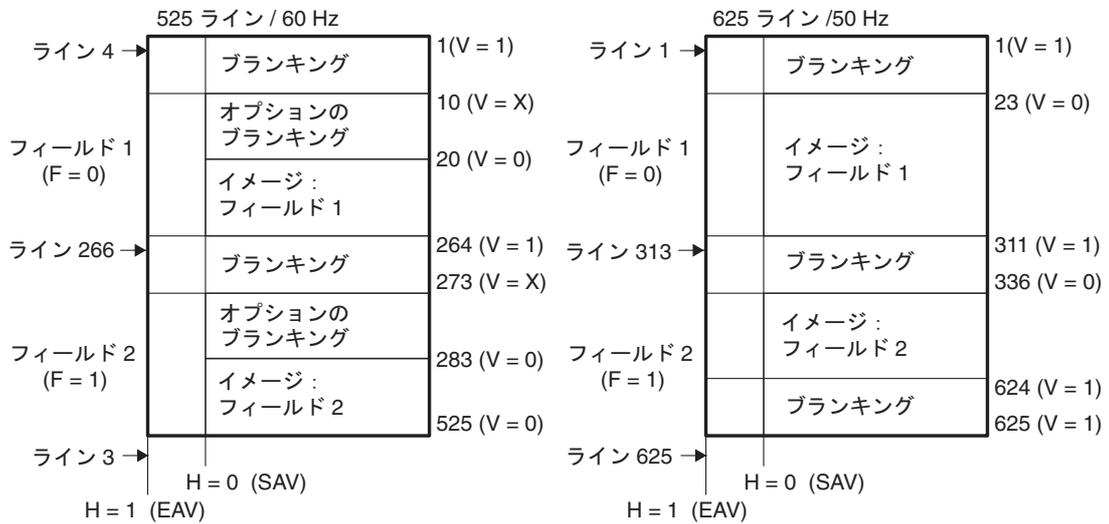
別々のライン上にある H、V、F の標準値を表 4-2 および図 4-11 に示します。

F および V は、EAV シーケンスでの変更のみが許可されています。EAV および SAV シー
ケンスは、デジタル水平ブランキング期間の最初の 4 ワードと最後の 4 ワードをそれぞ
れ使用する必要があります。FPCOUNT = HBLNKSTART のとき、EAV コードが挿入され
ます。FPCOUNT = HBLNKSTOP のとき、SAV コードが挿入されます。

表 4-2. BT.656 フレーム・タイミング

ライン番号		F	V	説明
625/50	525/60			
624-625	1-3	1	1	フィールド 1 の垂直ブランキング。EAV/SAV コードは フィールド 2 を示します。
1-22	4-19	0	1	フィールド 1 の垂直ブランキング。EAV/SAV コードを フィールド 1 に変更。
23-310	20-263	0	0	アクティブ・ビデオ、フィールド 1。
311-312	264-265	0	1	フィールド 2 の垂直ブランキング。EAV/SAV コードは フィールド 1 を示します。
313-335	266-282	1	1	フィールド 2 の垂直ブランキング。EAV/SAV コードを フィールド 2 に変更。
336-623	283-525	1	0	アクティブ・ビデオ、フィールド 2。

図 4-11. デジタル垂直 F および V 遷移



ライン番号	F	V	H (EAV)	H (SAV)
1-3	1	1	1	0
4-19	0	1	1	0
20-263	0	0	1	0
264-265	0	1	1	0
266-282	1	1	1	0
283-525	1	0	1	0

ライン番号	F	V	H (EAV)	H (SAV)
1-22	0	1	1	0
23-310	0	0	1	0
311-312	0	0	1	0
313-335	1	1	1	0
336-623	1	0	1	0
624-625	1	1	1	0

4.2.2 ブランキング・コード

各ライン上の EAV から SAV コード間の時間は、水平ブランキング期間を表します。この時間内に、ビデオ・ポートはデジタル・ビデオ・ブランキング値を出力します。これらの値は、輝度 (Y) サンプルで 10.0h、色差 (Cb/Cr) サンプルで 80.0h となります。これらの値は、(V=1 のときの SAV から EAV 間の) 垂直ブランキング期間のアクティブ・ライン中でも出力されます。さらに、VDCTL レジスタの DVEN ビットがゼロクリアされると、ディスプレイ・イメージではないアクティブ・ビデオ・ライン部分にブランキング値が出力されます。

4.2.3 BT.656 イメージ・ディスプレイ

BT.656 ディスプレイ・モードの場合、FIFO バッファは、3つのセクションに分割されます。1つの FIFO は、2560 バイトで、Y の出力サンプルを保存するために使用されます。他の2つの FIFO は、それぞれ 1280 バイトで、Cb および Cr サンプルの保存専用です。各 FIFO には、関連付けられているメモリマップ・ロケーション YDST、CBDST、CRDST があります。疑似レジスタは、書き込み専用で、FIFO に出力データを保存するために DMA が使用します。出力 CbYCrY データ・ストリームを生成するために、ビデオ・ディスプレイ・モジュールは、3つの FIFO からのデータをマルチプレクスします。

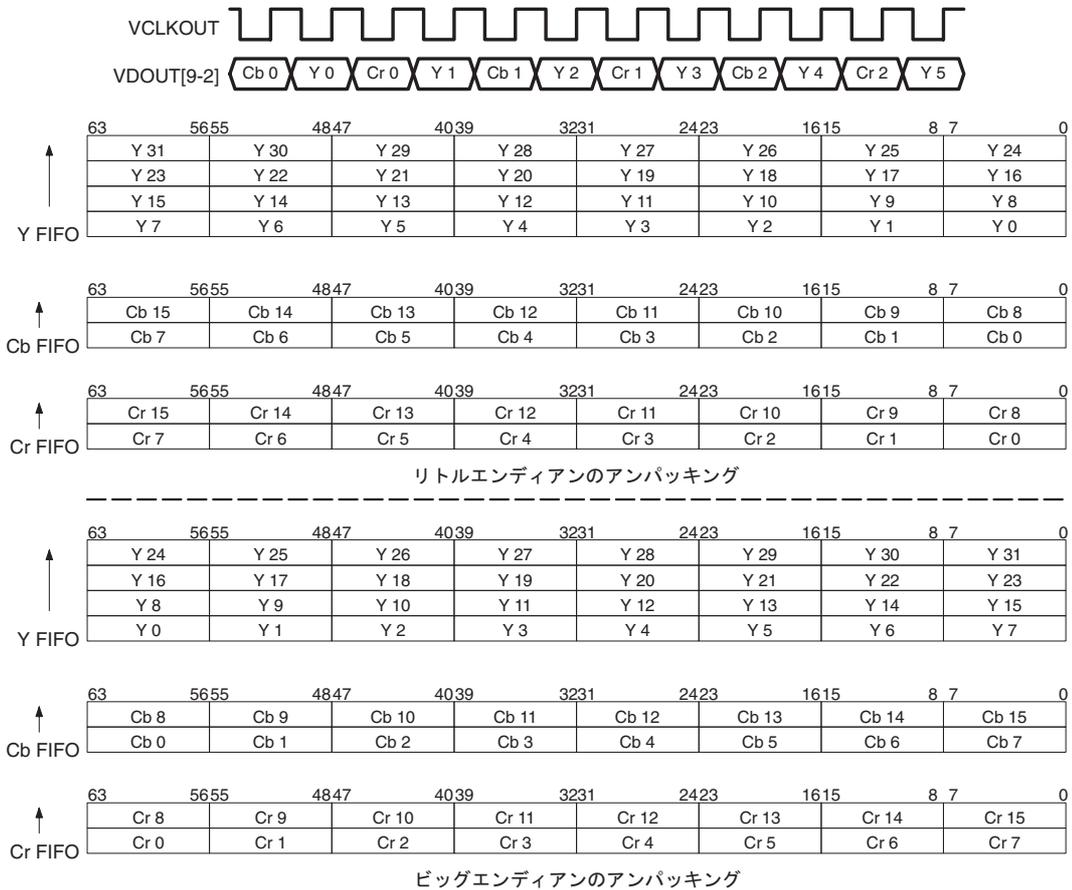
ビデオ・ディスプレイがイネーブルされていると、ビデオ・ディスプレイ・モジュールは YEVT、CbEVT、CrEVT の各イベントを使用して、データがディスプレイ FIFO に置かれている必要があることを DMA コントローラに通知します。イベントを生成するために必要なピクセル数は、VDTHRLD (VDTHRLD は偶数でなければなりません) レジスタの VDTHRLD ビットによってセットされます。ディスプレイ・バッファが VDTHRLD のピクセル数よりも少ない数値を保持していて、DEVTCT カウンタが終了していないときに、ビデオ・ディスプレイ・モジュールは、イベント信号を生成します。YEVT が生成されると、転送先アドレスとして Y FIFO デスティネーション・レジスタ (YDST) の内容を使用して、DMA は DSP メモリから Y バッファにデータを転送します。CbEVT が生成されると、転送先アドレスとして Cb FIFO デスティネーション・レジスタ (CBDST) の内容を使用して、DMA は DSP メモリから Cb バッファにデータを転送します。CrEVT が生成されると、転送先アドレスとして Cr FIFO デスティネーション・レジスタ (CRDST) の内容を使用して、DMA は DSP メモリから Cr バッファにデータを転送します。Y バッファの DMA 転送サイズは、Cb または Cr バッファの DMA 転送サイズの 2 倍です。

4.2.4 BT.656 FIFO のアンパッキング

ディスプレイ・データは 64 ビット・ワードで FIFO に常にパックされ、ビデオ・ディスプレイ・データ・パイプラインに送られる前にアンパックされる必要があります。アンパックとバイト順序は、ディスプレイ・データ・サイズおよびデバイスのエンディアン・モードに依存しています。リトルエンディアン動作（デフォルト）の場合、データは右から左にアンパックされます。ビッグエンディアンの場合、データは左から右にアンパックされます。

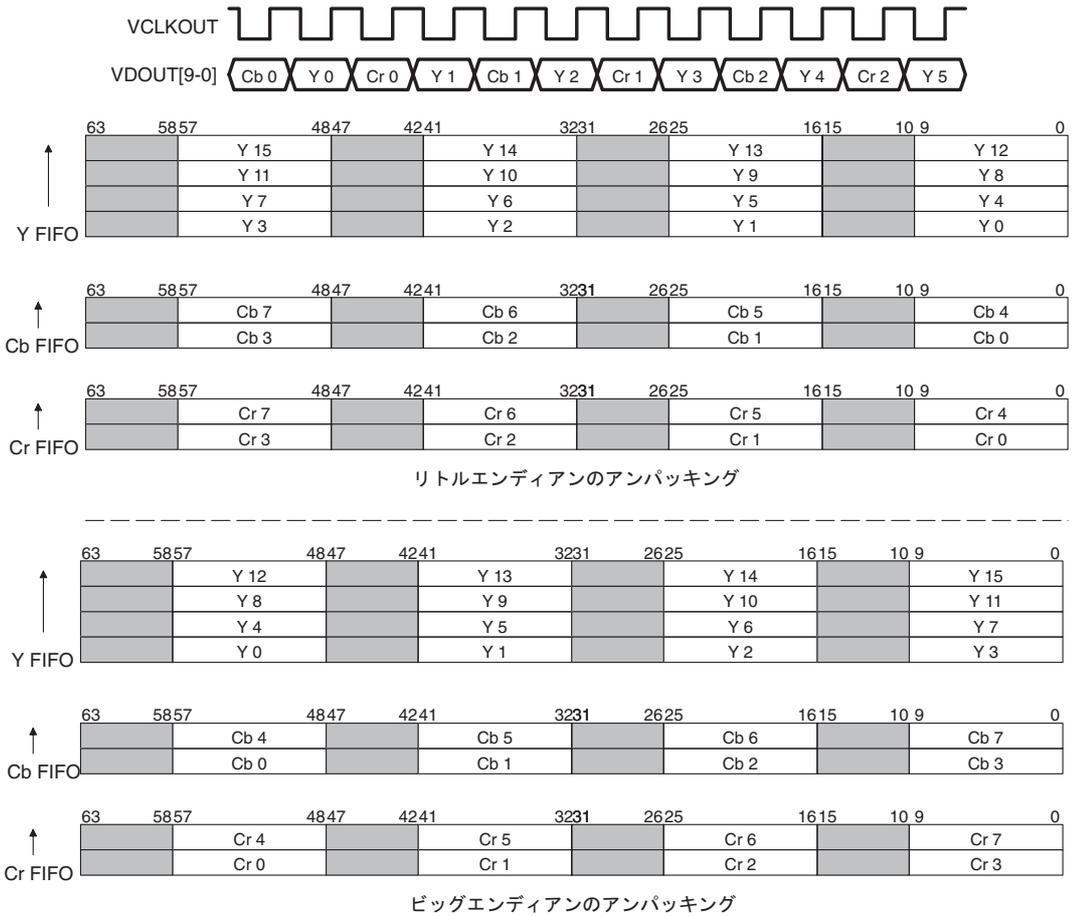
8 ビット BT.656 モードは、3 つの FIFO を使用してカラー・セパレーションを行います。4 つのサンプルが各ワードからアンパックされます（図 4-12 を参照）。

図 4-12. 8 ビット BT.656 FIFO のアンパッキング



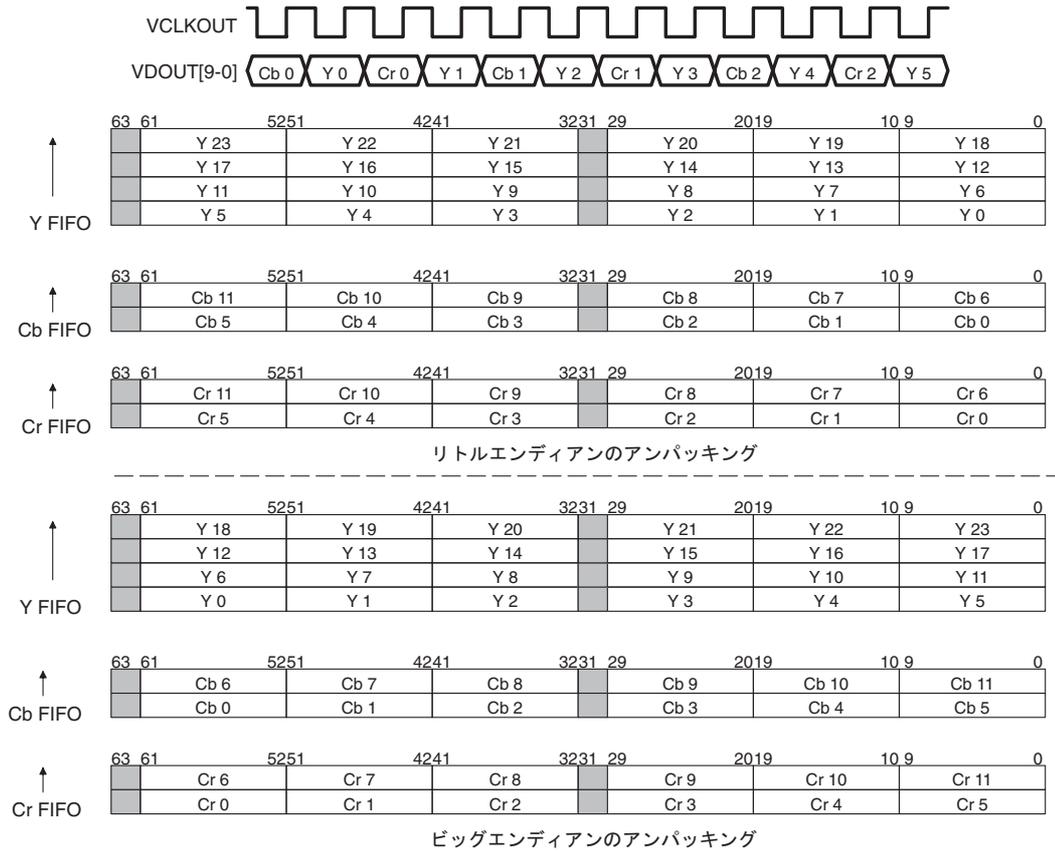
10 ビット BT.656 動作の場合、2つのサンプルが各ワードからアンパックされます (図 4-13 を参照)。

図 4-13. 10 ビット BT.656 FIFO のアンパッキング



10ビット BT.656 高密度パック・モードでは、3つのサンプルが FIFO 内の各ワードからアンパックされます (図 4-14 を参照)。

図 4-14. BT.656 高密度 FIFO のアンパッキング



4.3 Y/C ビデオ・ディスプレイ・モード

Y/C ディスプレイ・モードは、BT.656 ディスプレイ・モードによく似ていますが、別々の輝度および色差データ・ストリーム上に 8 ビットまたは 10 ビット・データを出力します。一方のデータ・ストリームには Y サンプルが含まれ、もう一方のストリームには 1 つおきの輝度サンプルと同じ位置の、マルチプレクスされた Cb および Cr サンプルが含まれています。Y サンプルは Y FIFO から読み出され、Cb および Cr サンプルは Cb および Cr FIFO から読み出されます。そして色差出力上で結合されます。サンプルのアンパックと順番は、サンプルのサイズ (8 ビットまたは 10 ビット) およびデバイスのエンディアン・モードで決定されます。

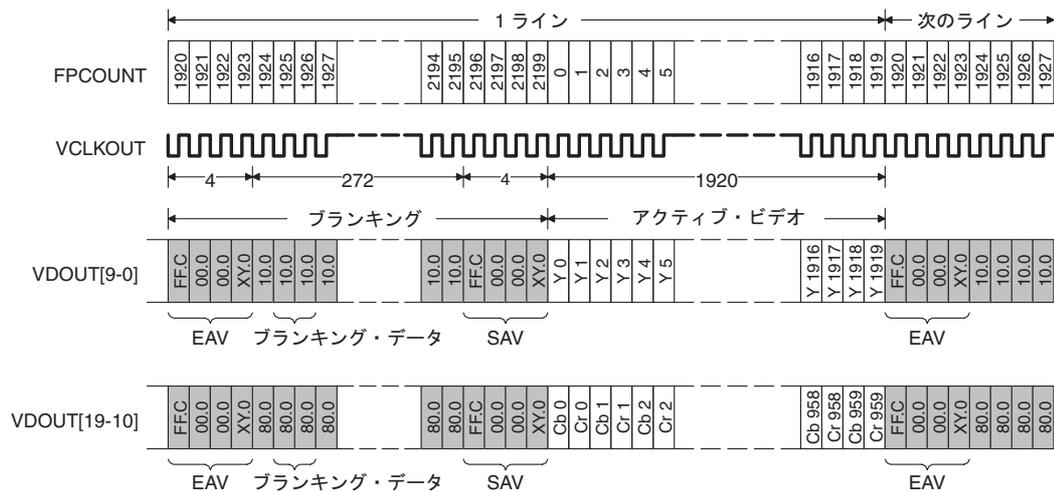
Y/C ディスプレイ・モードでは、EAV および SAV コードが組み込まれた BT.1120、SMPTE260、SMPTE296 などの HDTV 標準出力が生成可能です。また、別々の制御信号を出力することもできます。

データ出力に 16 または 20 ビットが使用されるため、Y/C 出力モードには、ビデオ・ポート・データ・バスの上位と下位の両方が必要です。VPCTL レジスタの DCHDIS ビットがセットされていると、Y/C モードは選択できません。

4.3.1 Y/C ディスプレイ・タイミング・リファレンス・コード

EAV および SAV が組み込まれたタイミング・コードは、BT.656 モードで出力されるタイミング・コードとまったく同一のため、タイミングも同様の方法で制御されます。ただし、Y/C モードでは、コードは Y のデータ・ストリームと C のデータ・ストリーム (VDOUT[9-0] と VDOUT[19-10]) の両方に出力する必要があります。BT.1120 ライン・タイミングの例を図 4-15 に示します。

図 4-15. Y/C 水平ブランキング・タイミング (BT.1120 60I)



4.3.2 Y/C ブランキング・コード

各ライン上の EAV から SAV コード間の時間は、水平ブランキング期間を表します。この時間内に、ビデオ・ポートはデジタル・ビデオ・ブランキング値を出力します。これらの値は、輝度 (Y) サンプルで 10.0h、色差 (Cb/Cr) サンプルで 80.0h となります。これらの値は VBI データで置き換えられない限り、(V = 1 のときの SAV と EAV 間の) 垂直ブランキングのアクティブ・ライン中でも出力されます。さらに、VDCTL レジスタの DVEN ビットが 0 (ゼロ) になると、ディスプレイ・イメージではないアクティブ・ビデオ・ラインの部分にブランキング値が出力されます。

4.3.3 Y/C イメージ・ディスプレイ

Y/C ディスプレイ・モードがサポートしている規格の多くは、インタレース・スキャン・フォーマットおよびプログレッシブ・スキャン・フォーマットの両方を規定しています。インタレース・ディスプレイの場合、ディスプレイ制御は BT.656 モードとまったく同じようにプログラムされます。プログレッシブ・スキャン・フォーマットの場合、フレーム・サイズは信号フィールドのサイズにプログラムされて、フィールド 1 のみが使用されます。

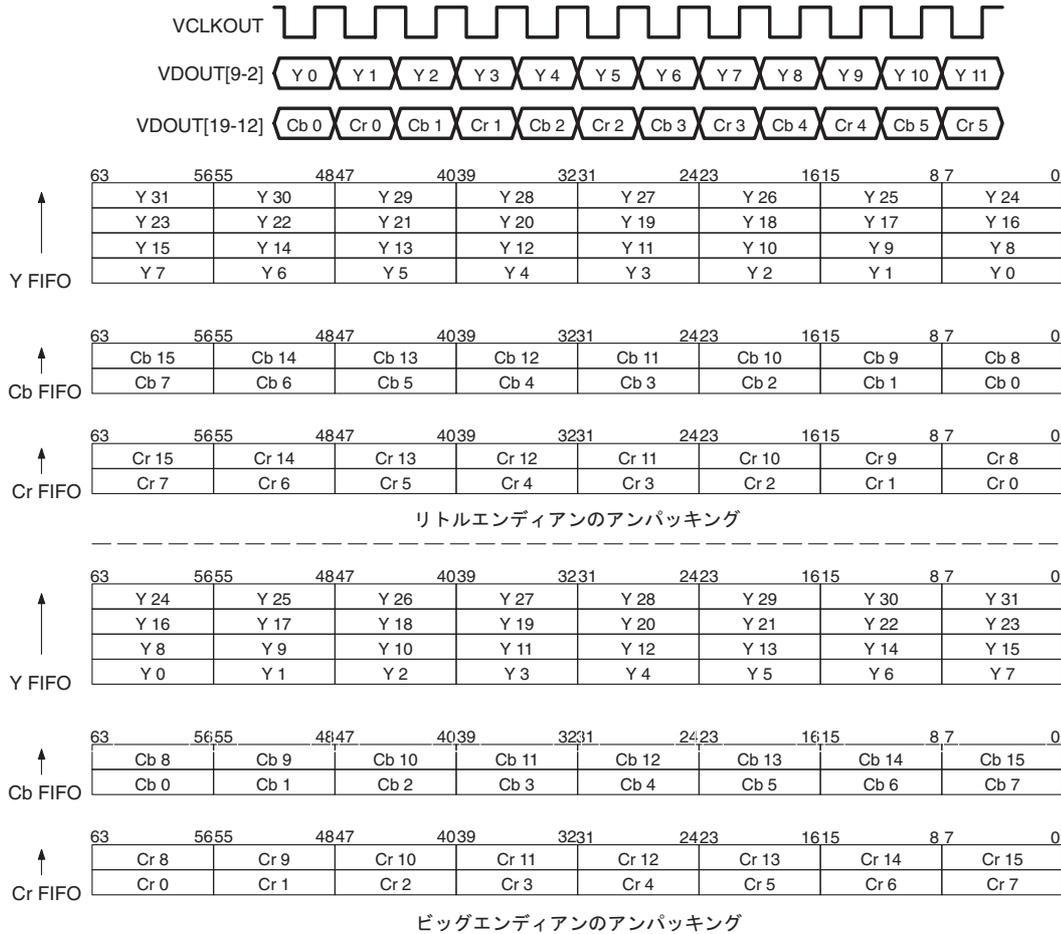
Y/C ディスプレイ・モードは、BT.656 ディスプレイ・モードと同じ FIFO 構成を使用し、同様の方法で DMA イベントを生成します。

4.3.4 Y/C FIFO のアンパック

ディスプレイ・データは FIFO に 64 ビット・ワードで常にパックされ、ディスプレイ・データ・パイプラインに送られる前にアンパックされる必要があります。アンパックとバイト順序は、ディスプレイ・データ・サイズおよびデバイスのエンディアン・モードに依存しています。リトルエンディアン動作 (デフォルト) の場合、データは右から左にアンパックされます。ビッグエンディアンの場合、データは左から右にアンパックされます。

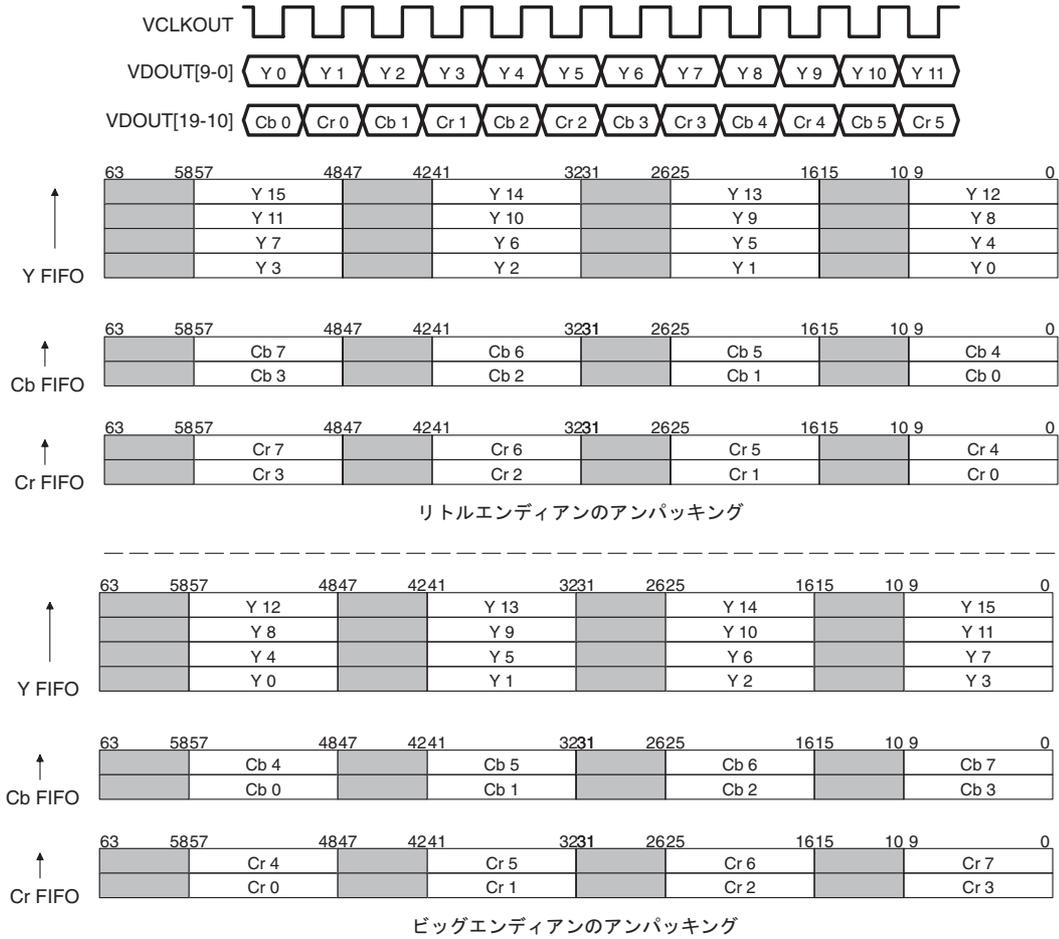
8 ビット Y/C モードは、3つの FIFO を使用してカラー・セパレーションを行います。4つのサンプルが各ワードからアンパックされます (図 4-16 を参照)。

図 4-16. 8 ビット Y/C FIFO のアンパッキング



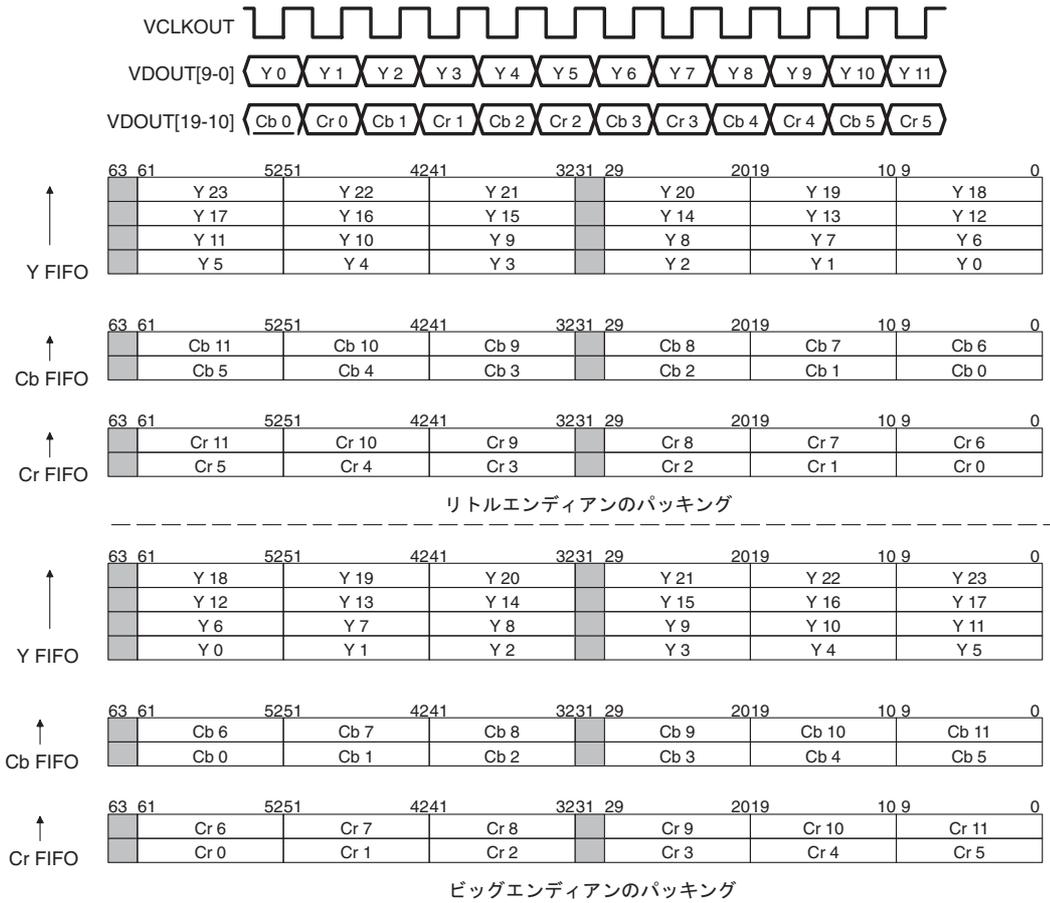
10 ビット動作の場合、2つのサンプルが各 FIFO ワードからアンパックされます。これを図 4-17 に示します。

図 4-17. 10 ビット Y/C FIFO のアンパッキング



10 ビット Y/C 高密度パック・モードでは、3つのサンプルが FIFO 内の各ワードからアンパックされます (図 4-18 を参照)。

図 4-18. 10 ビット Y/C 高密度 FIFO のアンパッキング



4.4 ビデオ出力のフィルタリング

ビデオ出力フィルタは、出力される 8 ビット BT.656 または 8 ビット Y/C データ上でハードウェアによる単純なスケーリングとリサンプリングを行います。ハードウェアのフィルタリングは、10 ビットまたは Raw データ・ディスプレイ・モード時にディスエーブルされます。

4.4.1 出力フィルタ・モード

出力フィルタは、フィルタリングなし、2×スケーリング、色差リサンプリング、および色差リサンプリング付き 2×スケーリングの 4 つの動作モードを持っています。フィルタ動作は、VDCTL レジスタの DMODE、SCALE、RESMPL の各ビットで決定されます。

表 4-3 に、出力フィルタ・モードの選択を示します。8 ビット BT.656 または Y/C ディスプレイの動作が選択されるとき (DMODE = x00)、スケーリングは SCALE ビットをセットすることで選択され、色差リサンプリングは RESMPL ビットをセットすることで選択されます。8 ビット BT.656 または Y/C ディスプレイを選択しない (DMODE ≠ x00) 場合、フィルタリングはディスエーブルされます。

表 4-3. 出力フィルタ・モードの選択

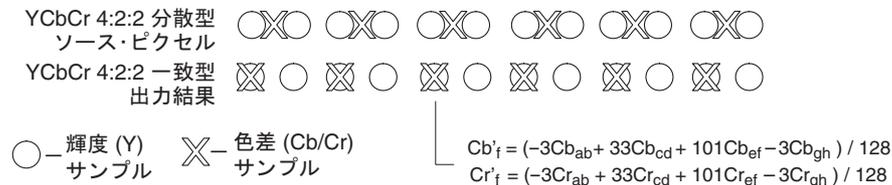
VDCTL ビット			フィルタ動作
DMODE	RESMPL	SCALE	
x00	0	0	フィルタリングなし
x00	0	1	2×スケーリング
x00	1	0	色差リサンプリング (フル・スケール)
x00	1	1	2×スケーリング (色差リサンプリング付き)
x01	x	x	フィルタリングなし
x10	x	x	フィルタリングなし
x11	x	x	フィルタリングなし

4.4.2 色差リサンプリングの動作

色差リサンプリングは、入力分散型色差サンプルに基づき、出力輝度サンプルに対応するサンプル・ポイントで色差値を計算します。このフィルタは、分散型 YCbCr 4:2:2 フォーマットから一致型 YCbCr 4:2:2 フォーマットに変換を行います。YCbCr 4:2:0 から分散型 YCbCr 4:2:2 への変換の垂直部分は、ソフトウェアで行う必要があります。

色差リサンプリング・フィルタは、すぐ近くの分散型 Cb と Cr サンプルに基づき、輝度サンプル・ポイントと一致する Cb と Cr を意味する値を計算します。その結果値は、出力される前に、01h ~ FEh にクランプされます。色差リサンプリングを図 4-19 に示します。

図 4-19. 色差リサンプリング



4.4.3 スケーリングの動作

2x スケーリング・モードは、出力輝度データと色差データの水平解像度を 2 倍にするために使用されます。これにより、処理された CIF 解像度イメージをフル・サイズで出力することができます。垂直スケーリングは、ソフトウェアで行う必要があります。一致型ソースのスケーリングを図 4-20 に示します。分散型ソースのスケーリングを図 4-21 に示します。

一致型ソースの場合、ソース輝度ピクセルは各偶数ピクセルに対して変更されずに出力されます (図 4-20 の a、b、c など)。奇数の輝度ピクセル (a'、b'、c') は、4 タップ・フィルタを使用して近くのソース (偶数) ピクセルから生成されます。色差ソース・ピクセルは、1 つおきの偶数ピクセル (a、c、e など) に対して変更されずに出力されます。他の偶数出力ピクセル (b、d、f など) 色差値は、4 タップ・フィルタを使用して近くのソース色差ピクセルから生成されます。

分散型ソースの場合、輝度は一致型の場合と同様に出力されます。色差出力は、出力ピクセルが最も近くにあるソース色差ピクセルに基づき、2 つの異なる係数セットのいずれかをもつ 4 タップ・フィルタを使用して生成されます。

入力スケーリングは、2x に制限されているので、BT.656 幅のフル出力は CIF ソース・イメージからは得られないことに注意してください。換算されたイメージの水平位置は、HOFFSET を使用して調整可能です。

図 4-20. 2x 一致型スケーリング

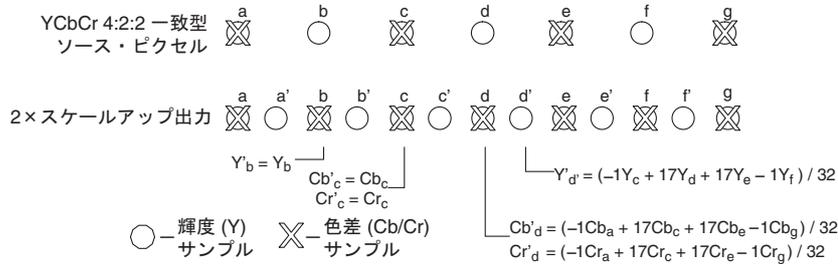
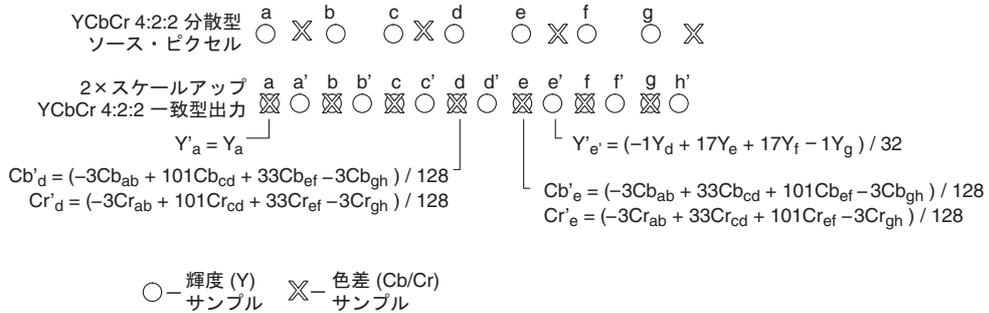


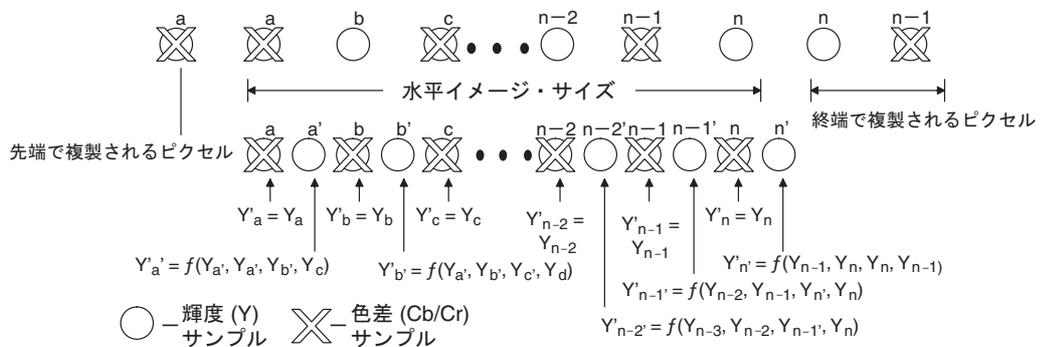
図 4-21. 2x 分散型スケーリング



4.4.4 エッジ・ピクセルの複製

4 タップ・フィルタが出力上に使用されるので、各ライン上の最初のピクセルと最後の 2 つのピクセルは、ミラーリングされなければなりません。フィルタが輝度フィルタ (2x 一致型) のためにミラーリングしたピクセルを使用する方法の例を図 4-22 に示します。

図 4-22. 出力エッジ・ピクセルの複製



一致型出力への2×分散型の場合の輝度エッジと色差エッジの例をそれぞれ図4-23および図4-24に示します。

図 4-23. 輝度エッジの複製

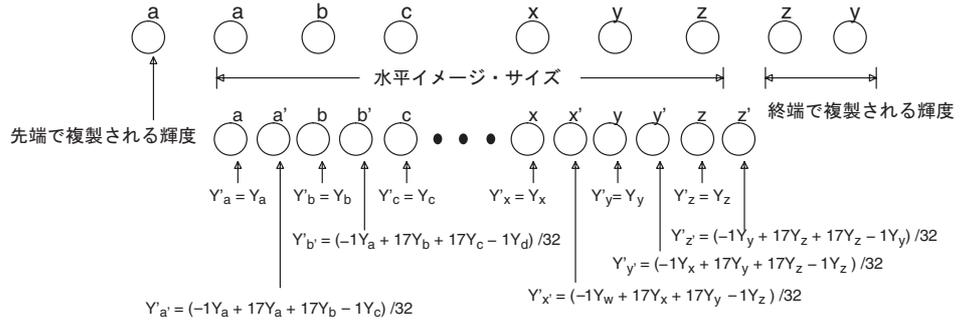
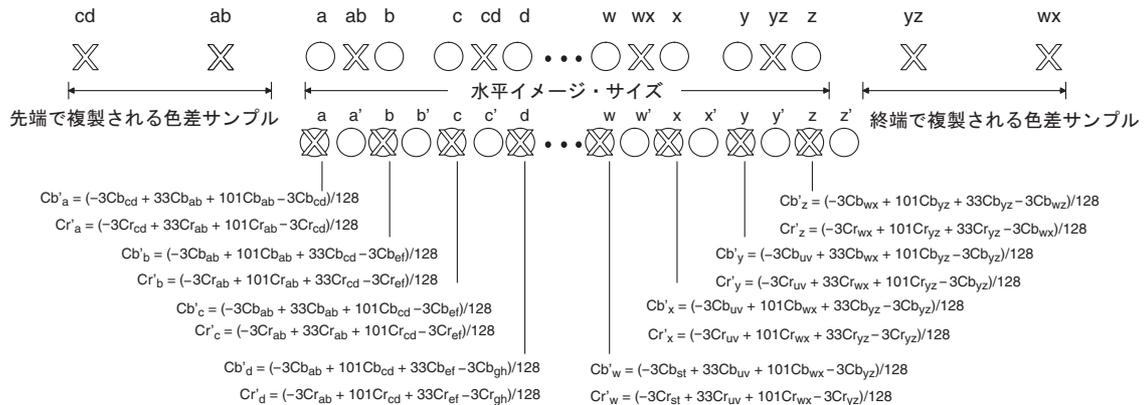


図 4-24. 分散型色差エッジの複製



4.5 補助データの表示

この項で、補助データの表示について説明します。水平補助 (HANC) または垂直補助 (VANC) データ、あるいは垂直ブランキング期間、データの表示に対して、特別な規定はありません。

4.5.1 水平補助 (HANC) データの表示

SAV コードの前に `IMGHSIZEn` が発生するようにプログラムすることにより、HANC データは通常のビデオ・ディスプレイ・メカニズムを使用して表示できます。補助データ・ヘッダを含む HANC データは、FIFO 内の YCbCr 分割されたデータの一部でなければなりません。VCTHRLD 値と DMA サイズは、追加サンプルを理解できるようにプログラムする必要があります。HANC データの表示が含まれる場合、データが破損しないように、スケーリングおよび色差リサンプリングをディスエーブルする必要があります。

4.5.2 垂直補助 (VANC) データの表示

VANC (または VBI) データは、通常、文字放送や字幕などの機能に使用されます。VBI データの表示には、特別な規定はありません。必要な VBI データの最初のライン上で、アクティブ・ビデオの最初のラインの前に `IMGVOFF` が発生するようにプログラムすることにより、VBI データは、通常のディスプレイ・メカニズムを使用して表示することができます。VBI データは、YCbCr 分割しなければならないことに注意してください。VBI データの表示を必要とするとき、またはデータがフィルタ機能で破損してしまわないように、スケーリングおよび色差サンプリングをディスエーブルする必要があります。

4.6 Raw データ・ディスプレイ・モード

Raw データ・ディスプレイ・モードは、RAMDAC または他の D/A タイプのデバイスにデータを実出力することを想定しています。これは、一般的に RGB フォーマットのデータです。タイミング情報は、出力データ・ストリームに挿入されません。その代わりに、タイミングを示すために、選択可能な制御信号が出力されます。Raw データ・ディスプレイには、同期デュアル・チャンネル・オプションが含まれます。これにより、チャンネル B は、チャンネル A と同じクロックと制御信号を使用して、別々のデータ・ストリームを実出力することができます。このモードは、24 ビットから 30 ビットの RGB 出力を必要とするシステムの 2 台目のビデオ・ポートとして使用するとき役に立ちます。

Raw データ・モードは、出力データを保存するために 5120 バイトの単一 FIFO を使用します。DMA が Y FIFO デスティネーション・レジスタ A (YDSTA) に書き込むことにより、FIFO にデータが実入力されます。DMA は、YEVTA イベントを使用して呼び出されます。(RSYNC ビットがセットされる) Raw 同期モードでは、FIFO は 2560 バイトのチャンネル A バッファとチャンネル B バッファに分割されます。Y FIFO デスティネーション・レジスタ B (YDSTB) を転送先として使用する DMA により、チャンネル B FIFO にデータが実入力されます。チャンネル A タイミング・コントロールを使用して、YEVTA および YEVTB イベントの両方が生成されます。

4.6.1 Raw モード RGB 出力のサポート

Raw データ・ディスプレイ・モードには、特別なピクセル・カウント機能があり、これによって FPCOUNT インクリメント・レートをセットすることができます。INCPIX サンプルが実送出されているときのみ、FPCOUNT はインクリメントされます。このオプションにより、連続した RGB サンプルを実送出するときに、ディスプレイ・ピクセルの正しいトラックを調べることができます (この場合、INCPIX が 3 にセットされ、単一ピクセルが 3 つの実出力サンプルで表されていることを示します)。

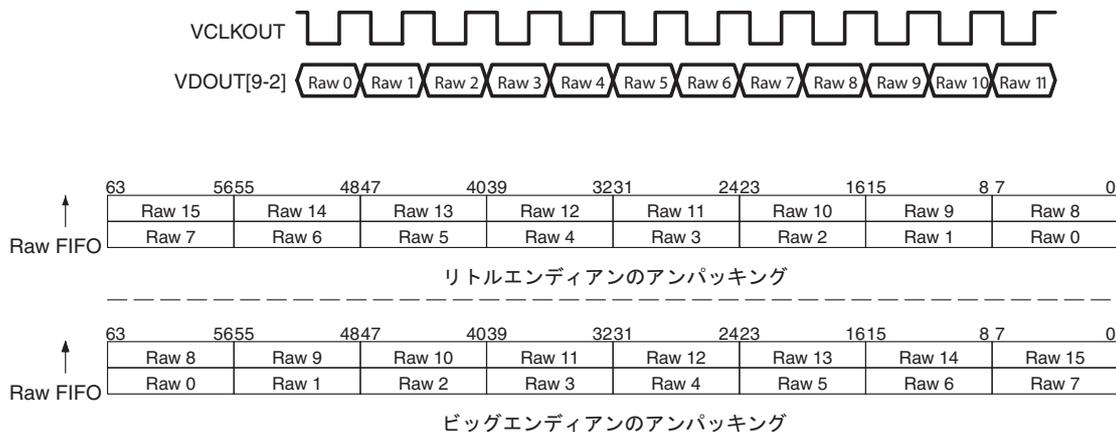
また、実出力される連続した RGB サンプルは、特別な FIFO アンパッキング・モードでもサポートされます。8 ビット Raw 3/4 アンパッキングが選択される (VDCTL レジスタの RGBX ビット) とき、3 つの実出力バイトが各ワードから選択され、4 番目のバイトは無視されます。これにより、ビデオ・ポートはメモリ内で 24 ビット RGB (または RGB α) としてフォーマットされているデータを実出力できます。

4.6.2 Raw データ FIFO のアンパッキング

ディスプレイ・データは FIFO に 64 ビット・ワードで常にパックされ、ディスプレイ・データ・パイプラインに送られる前にアンパックされる必要があります。アンパックとバイト順序は、ディスプレイ・データ・サイズおよびデバイスのエンディアン・モードに依存しています。リトルエンディアン動作（デフォルト）の場合、データは右から左にアンパックされます。ビッグエンディアンの場合、データは左から右にアンパックされます。

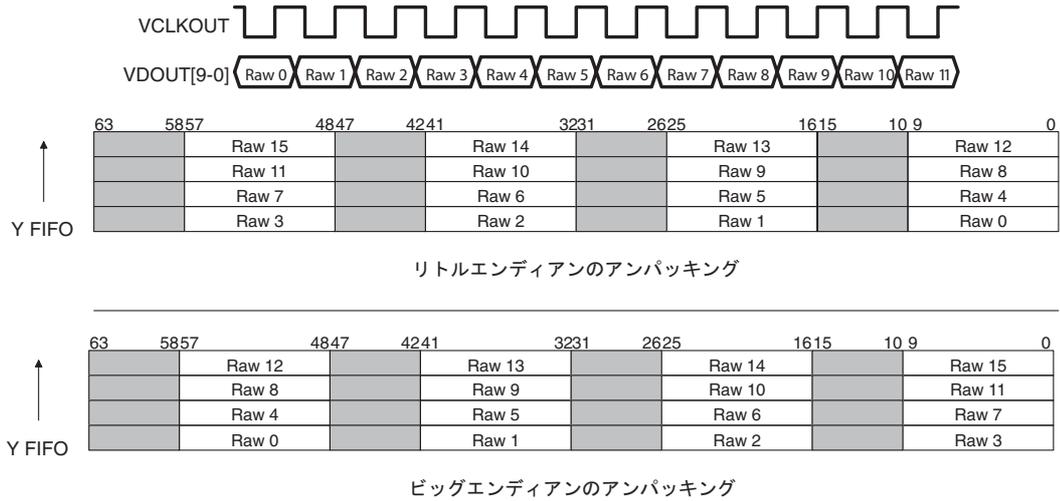
8 ビット Raw モードは、単一データ FIFO を使用します。4 つのサンプルが各ワードからアンパックされます（図 4-25 を参照）。

図 4-25. 8 ビット Raw FIFO のアンパッキング



10 ビット動作の場合、2つのサンプルが各 FIFO ワードからアンパックされます。これを図 4-26 に示します。

図 4-26. 10 ビット Raw FIFO のアンパッキング



10 ビット Raw 高密度パック・モードでは、3つのサンプルが FIFO 内の各ワードからアンパックされます (図 4-27 を参照)。

図 4-27. 10 ビット Raw 高密度 FIFO のアンパッキング

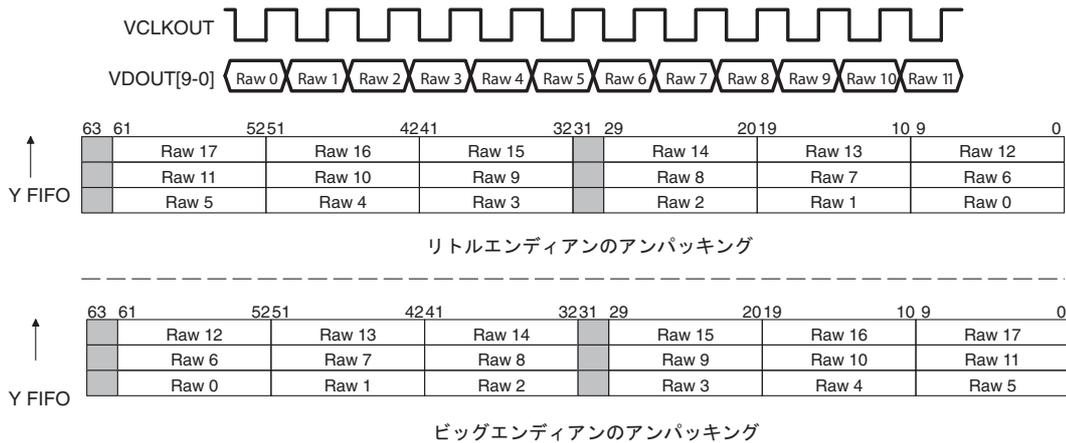
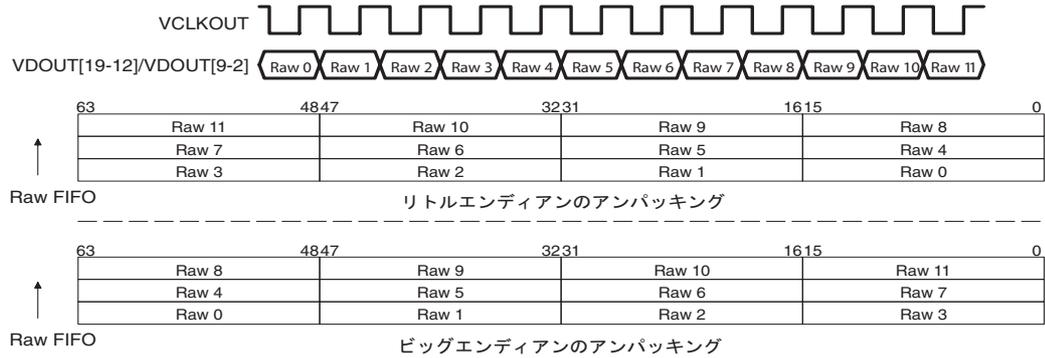


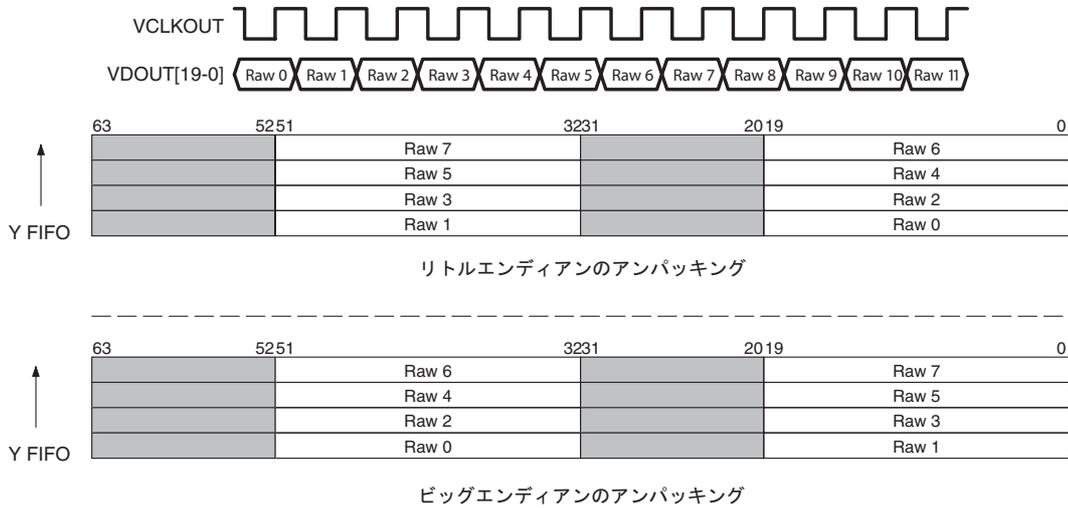
図 4-28 に、16 ビット Raw モードを示します。2つのサンプルが、FIFO の各ワードからアンパックされます。

図 4-28 16 ビット Raw FIFO のアンパッキング



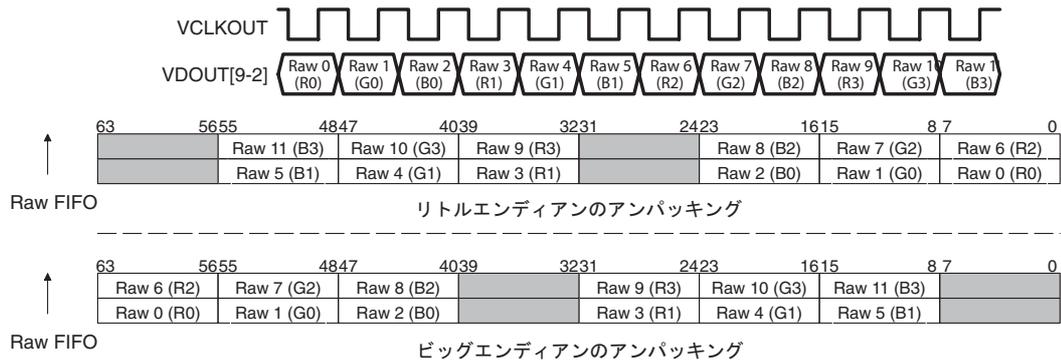
20 ビット Raw フォーマットの FIFO アンパッキングを図 4-29 に示します。1つのサンプルが、FIFO の各ワードからアンパックされます。

図 4-29. 20 ビット Raw FIFO のアンパッキング



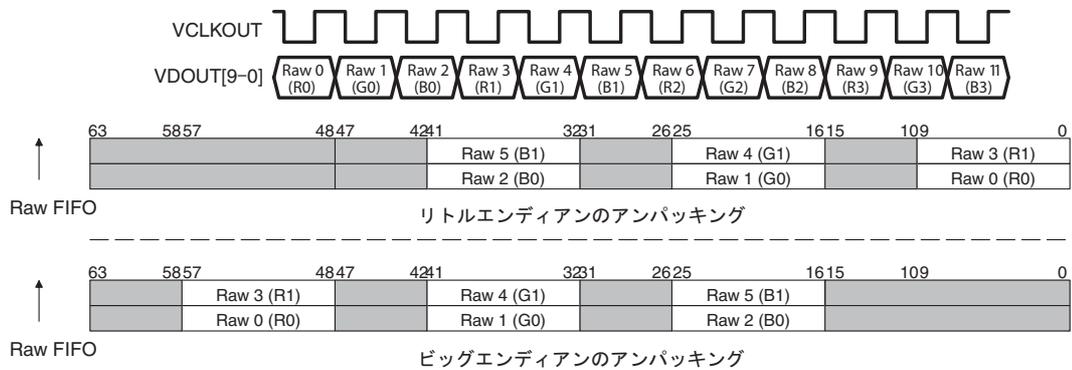
8 ビット Raw ¾ モードでは、3つのサンプルが FIFO からアンパックされ、他のバイトは無視されます。これを図 4-30 に示します。

図 4-30. 8 ビット Raw ¾ FIFO のアンパッキング



10 ビット Raw ¾ モードでは、3つのサンプルが FIFO の各ダブルワードからアンパックされ、他のハーフワードは無視されます。これを図 4-31 に示します。

図 4-31. 10 ビット Raw ¾ FIFO のアンパッキング



4.7 ビデオ・ディスプレイ・フィールドおよびフレーム動作

ビデオ・ソースとして、ビデオ・ポートは常にデータのフレーム全体を出力し、連続的なビデオ制御信号を送信します。DMA 構成により異なりますが、ビデオ・ポート・レジスタまたは DMA パラメータを更新できるように、ビデオ・ポートは基準フィールドまたは基準フレーム上で DSP に割り込みを発生させることが必要な場合があります。これを行うために、ビデオ・ポートは表示プロセスに対してプログラム可能な制御を行います。

4.7.1 ディスプレイによる判断と通知

各種ディスプレイのシナリオ、DMA 構成、および処理フローに対応するために、ビデオ・ポートはフレキシブルなディスプレイと DSP 通知システムを使用します。これは、VDCTL レジスタの CON、FRAME、DF1、DF2 の各ビットを使用してプログラムされます。

CON ビットは、複数のフィールドまたはフレームの表示を制御します。CON=1 のとき、連続ディスプレイがイネーブルされ、(VDEN ビットがセットされるということを想定して) DSP が介入することなく、ビデオ・ポートは出力フィールドを表示します。ディスプレイ FIFO の処理は、メモリ内の単一ディスプレイ・バッファまたはサーキュラー・バッファ機能をもつ DMA 構成に依存します。CON=0 のとき、連続ディスプレイはディスエーブルされ、他のディスプレイ制御ビット (FRAME、CD1、CD2) の状態によって決定される各フィールドの表示に基づき、ビデオ・ポートは VDSTAT レジスタのフィールドまたはフレーム・ディスプレイ完了ビット (F1D、F2D、FRMD) をセットします。ディスプレイ完了ビットがセットされると、プロセッサは割り当てられたタイム・フレーム内で DMA パラメータを適切に更新する必要があります。そうしないと、後続のフィールドまたはフレームは無効なデータを出力する場合があります。このような場合、ビデオ・ポートは引き続き DMA 要求を生成しますが、DMA パラメータを更新していないので、不正なデータがビデオ・ポートに送られていることを示す DCNA (ディスプレイ完了否定応答) 割り込みが発行されます。

フィールドまたはフレームが表示用にイネーブルされていないとき、DMA イベントは該当フィールドまたはフレームには送られません。それでも、ビデオ・ポートはフィールド用にすべてのタイミングを生成しますが、ディスプレイ・イメージ・ウィンドウの間にディスプレイ FIFO からのデータではなく、デフォルト・データ値を出力します。

CON、FRAME、DF1、DF2 の各ビットは、表 4-4 に示すようにディスプレイ動作をエンコードします。

表 4-4. ディスプレイ動作

VDCTL ビット				動作
CON	FRAME	DF2	DF1	
0	0	0	0	予約
0	0	0	1	フィールド 1 の非連続ディスプレイ。フィールド 1 のみを表示します。FID がフィールド 1 の表示後にセットされ、その結果、DCMPx がセットされます。FID ビットは DSP によってクリアされる必要があります。そうしないと、DCNA 割り込みが発生します (DSP には、次のフィールド 1 が始まる前に FID をクリアするフィールド 2 全体の時間があります)。また、シングル・プログレッシブ・フレーム・ディスプレイ (内部タイミング・コードのみ) に使用することもできます (DSP には、次のフレームが始まる前に FID をクリアする垂直ブランキング期間があります)。
0	0	1	0	フィールド 2 の非連続ディスプレイ。フィールド 2 のみを表示します。F2D がフィールド 2 の表示後にセットされ、その結果、DCMPx がセットされます。F2D ビットは DSP によってクリアされる必要があります。そうしないと、DCNA 割り込みが発生します (DSP には、次のフィールド 2 が始まる前に F2D をクリアするフィールド 1 全体の時間があります)。
0	0	1	1	フィールド 1 およびフィールド 2 の非連続ディスプレイ。2つのフィールドを表示します。F1D がフィールド 1 の表示後にセットされ、その結果、DCMPx がセットされます。次のフィールド 1 が表示される前に、F1D ビットが DSP によってクリアされる必要があります。そうしないと DCNA 割り込みが発生します (DSP には、次のフィールド 1 が始まる前に F1D をクリアするためのフィールド 2 全体の時間があります)。F2D がフィールド 2 の表示後にセットされ、その結果、さらに DCMPx がセットされます。次のフィールド 2 が表示される前に、F2D ビットが DSP によってクリアされる必要があります。そうしないと、DCNA 割り込みが発生します (DSP には、次のフィールド 2 が始まる前に F2D をクリアするフィールド 1 全体の時間があります)。
0	1	0	0	フレームの非連続ディスプレイ。2つのフィールドを表示します。FRMD がフィールド 2 の表示後にセットされ、その結果、DCMPx がセットされます。FRMD ビットがクリアされない限り、次のフレームが完了すると、DCNA 割り込みが発生します (DSP には、FRMD をクリアする次のフレーム全体の時間があります)。
0	1	0	1	プログレッシブ・フレームの非連続ディスプレイ。フィールド 1 を表示します。FRMD がフィールド 1 の表示後にセットされ、その結果、DCMPx がセットされます。FRMD ビットがクリアされない限り、次のフレームが完了すると、DCNA 割り込みが発生します (DSP には、FRMD をクリアする次のフレーム全体の時間があります)。外部制御信号が使用される場合、それらはプログレッシブ・フォーマットに従う必要があります。
0	1	1	0	予約
0	1	1	1	シングル・フレーム・ディスプレイ。2つのフィールドを表示します。FRMD がフィールド 2 表示後にセットされ、その結果、DCMPx がセットされます。FRMD ビットがクリアされない限り、DCNA 割り込みが発生します (DSP には、FRMD をクリアするフィールド 2 からフィールド 1 への垂直ブランキング期間があります)。
1	0	0	0	予約

表 4-4. ディスプレイ動作 (続き)

VDCTL ビット				動作
CON	FRAME	DF2	DF1	
1	0	0	1	フィールド 1 の連続ディスプレイ。フィールド 1 のみを表示します。FID がフィールド 1 の表示後にセットされ、その結果、DCMPx がセットされます (DCMPx 割り込みをディスエーブルできます)。FID のステートに関係なく、DCNA 割り込みは発生しません。
1	0	1	0	フィールド 2 の連続ディスプレイ。フィールド 2 のみを表示します。FID がフィールド 2 の表示後にセットされ、その結果、DCMPx がセットされます (DCMPx 割り込みをディスエーブルできます)。F2D のステートに関係なく、DCNA 割り込みは発生しません。
1	0	1	1	予約
1	1	0	0	フレームの連続ディスプレイ。2つのフィールドを表示します。FRMD がフィールド 2 の表示後にセットされ、その結果、DCMPx がセットされます (DCMPx 割り込みをディスエーブルできます)。FRMD のステートに関係なく、DCNA 割り込みは発生しません
1	1	0	1	プログレッシブ・フレームの連続ディスプレイ。フィールド 1 を表示します。FRMD がフィールド 1 の表示後にセットされ、その結果、DCMPx がセットされます (DCMPx 割り込みをディスエーブルできます)。FRMD のステートに関係なく、DCNA 割り込みは発生しません (FID ビットではなく FRMD ビットが使用されるという点を除き、連続フィールド 1 ディスプレイ・モードとまったく同じように機能します)。外部制御信号が使用される場合、それらはプログレッシブ・フォーマットに従う必要があります。
1	1	1	0	予約
1	1	1	1	予約

4.7.2 ビデオ・ディスプレイ・イベントの生成

ディスプレイ FIFO は、ビデオ・ポート DMA イベントによって要求された時に、DMA を使用して埋められます。VDTHRLD 値は、FIFO が別の DMA データ・ブロックを受け取るスペースが十分にあるかどうかのレベルを示します。DMA のサイズにより異なりますが、FIFO は VDTHRLD に到達する前に複数の転送を行うためのスペースを持っている場合があります。スレッシュホールドに到達して、FIFO が再度 VDTHRLD レベル以下に下がるとすぐ、別の DMA イベントが生成されます。

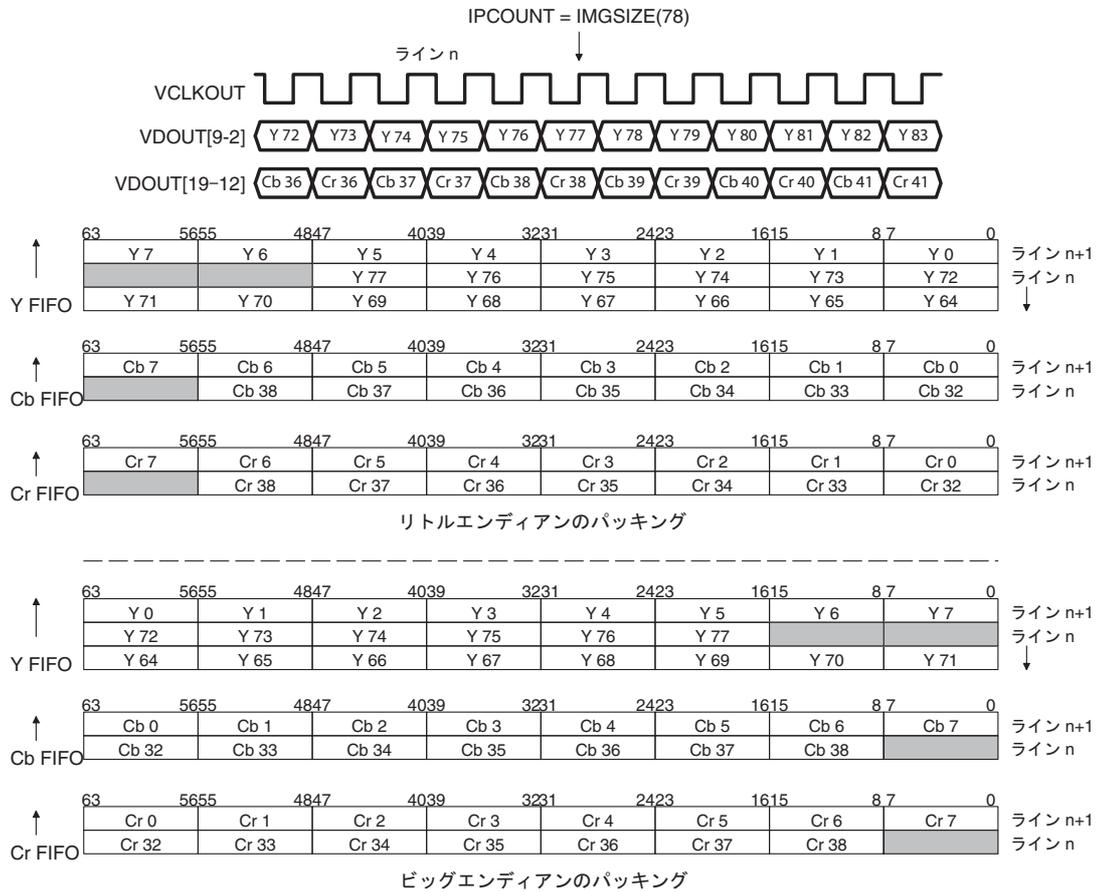
データをまとめたフィールド全体が FIFO に送られると、ビデオ・ポートは DSP が DMA を変更できるようにするために、イベントの生成を中断する必要があることもあります。ディスプレイがまだ完全ではない (FIFO は VDTHRLD 以下に下がってから空になる) 場合があるので、ディスプレイ・イベント・カウンタ (DEVTCT) が要求された Y EVT イベント数を調査するために用意されています。カウンタには、ディスプレイ・フィールドに必要なイベント数がロードされ、イベントが要求されるたびに毎回デクリメントされます。カウンタが 0 (ゼロ) に到達すると、それ以降のディスプレイ・イベントは禁止されます。次のフィールドの先頭で、DEVTCT はリロードされ、ディスプレイ・イベントは再度イネーブルされます。

4.8 ディスプレイ・ライン境界の状態

DMA 転送を単純化するために、FIFO ダブルワードには複数のディスプレイ・ラインからのデータは含まれません。これは、FIFO の読み出しが行われるのは、8 バイトが毎回出力されているときか、ライン完了状態 (IPCOUNT = IMGHSIZE) が発生するときのいずれかでなければならないということです。このように、各ディスプレイ・ラインはダブルワード境界上で始まり、非ダブルワード長のラインは最後に切り詰められます。これを図 4-32 に示します。

図 4-32 (8 ビット Y/C モード) では、ライン長はダブルワードではありません。IPCOUNT = IMGHSIZE 状態が発生するとき、FIFO のダブルワードの他のバイトは無視され、出力はデフォルト出力値 (または、アクティブ・ビデオ・ラインの最後に到達している場合にはブランキングが続く EAV コード) に切り替わります。次のディスプレイ・ラインが、次の FIFO ラインのバイト 0 (ゼロ) から始まります。この動作はすべてのディスプレイ・モードに対して言うことができます。

図 4-32. ディスプレイ・ライン境界の例



4.9 ディスプレイ・タイミングの例

次に、各種動作モードのディスプレイ出力の例を示します。

4.9.1 インタレース BT.656 タイミングの例

ここでは、MPEG をデコードすることによって生成される、704 × 480 インタレース出力イメージを BT.656 でディスプレイ出力する例を示します。

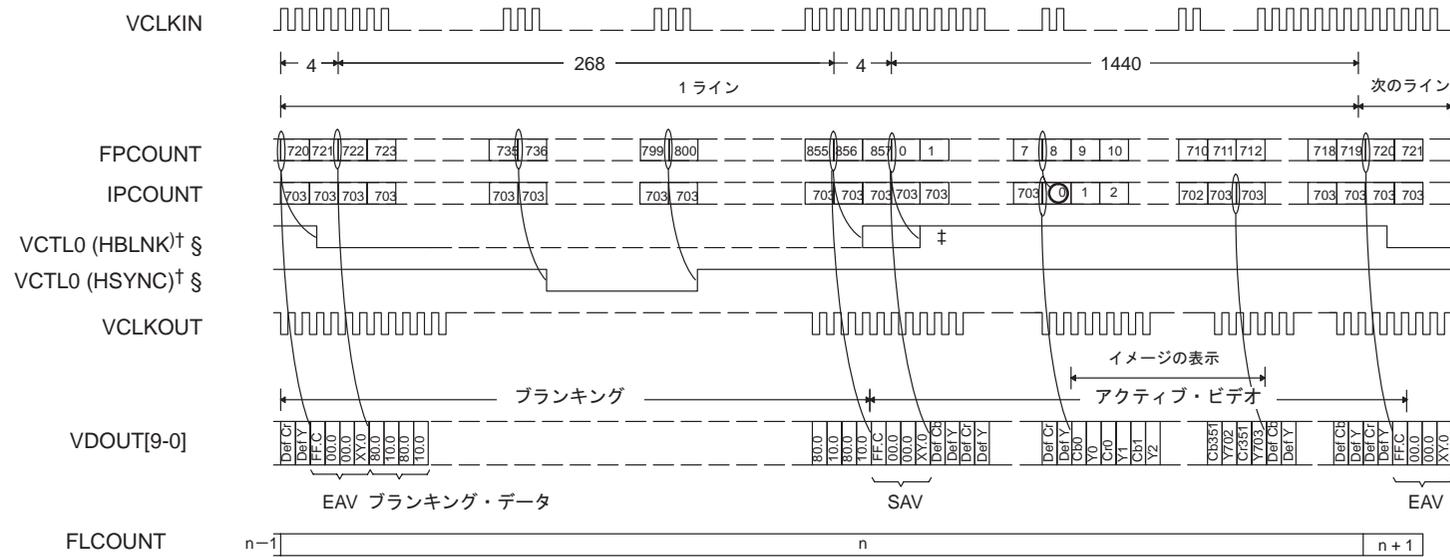
水平出力タイミングを図 4-33 に示します。この図は、内部カウンタの変化と外部ピンの出力の間に 2 つの VCLK パイプライン・ディレイがあることを想定しています。実際のディレイは、ディスプレイ・モードで整合性をもっている範囲内では、長くなることも、短くなることもあります。BT.656 アクティブ・ラインは、幅 720 ピクセルです。図 4-33 に、結果的に 8 ピクセルの IMGHOFF_x となる、画面の中央に置かれる 704 ピクセル・イメージ・ウィンドウを示します。

HBLNK および HSYNC 信号は、アクティブ Low 動作の場合に出力されることを示します。2 つの信号のうち一方のみが実際に外部から使用できることに注意してください。HBLNK のインアクティブ・エッジは、SAV の開始と一致したサンプル 856 上、または HBDLA ビットがセットされている場合にはサンプル 0 上 (SAV の後) で発生します。本来の BT.656 動作では、HBLNK も HSYNC も使用されません。

IPCOUNT は、4.1.2 項に記述されている内容に従って動作します。IPCOUNT は、最初に表示されるピクセル (FPCOUNT = IMGHOFF_x) で 0 (ゼロ) にリセットされ、最後に表示されるピクセル (IPCOUNT = IMGHSIZE_x) でカウントを停止します。非表示期間中の動作は必須ではなく、次に FPCOUNT = IMGHOFF_x となる時点までカウントし続けることや、IMGHSIZE_x の直後、または FPCOUNT がリセットされるときにすぐにリセットすることが可能です。

VDOUT は、出力データと EAV、ブランキング・データ、SAV、デフォルト・データ、FIFO データ間の切り換えを示します。デフォルト出力をイネーブルするために、VDCTL レジスタの DVEN ビットがセットされていることを想定しています。

図 4-33. BT.656 インタレース・ディスプレイの水平タイミングの例



FRMWIDTH = 858 IMGHOFF1 = 8 HSYNCSTART = 736
 HBLNKSTART = 720 IMGHSIZE1 = 704 HSYNCSTOP = 800
 HBLNKSTOP = 856 IMGHOFF2 = 8
 IMGHSIZE2 = 704

† VPCTL 内の VCT0P ビットが、1 にセットされる (アクティブ Low 出力) と仮定。VDCTL 内の VCTL0S ビットが 00 にセットされると HSYNC 出力、VDCTL 内の VCTL0S ビットが 01 にセットされると HBLNK 出力。

‡ VDHBLNK 内の HBDLA ビットが 1 にセットされると HBLNK 動作。

§ この図では、内部カウンタと出力信号の間に 2 つの VCLK パイプライン・ディレイがあると仮定。

BT.656 のインタレース垂直出力タイミングを図 4-34 に示します。BT.656 アクティブ・フィールド 1 は高さ 244 ラインで、アクティブ・フィールド 2 は高さ 243 ラインです。この例では、画面の中央に置かれる 480 ラインのイメージ・ウィンドウを示します。これにより、結果的に $IMGVOFF_n$ が 3 ラインになり、また余分なアクティブ・ラインがあるためにフィールド 1 の最後がデータのないラインになります。

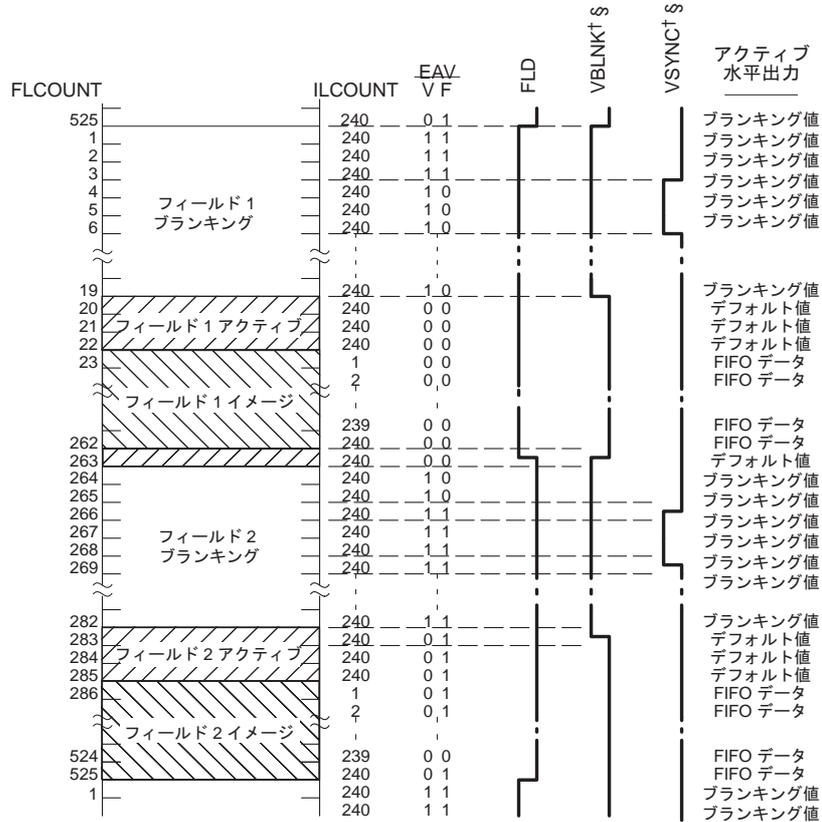
VBLNK および VSYNC 信号は、アクティブ Low 動作の出力がされることを示します。2 つの信号のうち 1 つだけが実際に外部から使用できることに注意してください。フィールド 1 の VBLNK および VSYNC エッジが、アクティブ・ラインの最後で発生します。これにより XSTART/XSTOP 値が 720 (ブランキング・スタート) にセットされます。フィールド 2 の場合、VBLNK および VSYNC エッジがアクティブな水平ラインの途中で発生します。これにより、XSTART/XSTOP 値は 360 にセットされます。アナログからみれば、垂直ブランキングは、デジタル・ブランキングの前にハーフラインを開始するので、VBITSET2 が 264 にプログラムされているにもかかわらず、(360 にセットされる VBLNKXSTART2 とともに) VBLNKYSTART2 が 263 にセットされます。本来の BT.656 動作では、VBLNK も VSYNC も使用されません。

FLD 出力は、各アナログ・フィールドの先頭 (垂直ブランキングの先頭) で遷移するためにセットアップされます。ライン 4 と 266 上で EAV[F] が遷移するので、これは FBITCLR を 4 に、FBITSET を 266 に、FLD1YSTART を 1 に、FLD2YSTART を 263 にプログラムする必要があります。FLD2XSTRT は 360 であるので、フィールド・インジケータの出力がラインの途中で変わります。

ILCOUNT は、4.1.2 項に記述されている内容に従って動作します。ILCOUNT は、最初に表示されるライン ($FLCOUNT = VBLNKYSTOP_x + IMGVOFF_x$) で 1 にリセットされ、最後に表示されるピクセル ($IPCOUNT = IMGVSIZE_x$) でカウントを停止します。非表示期間中の動作は必須ではなく、次に $FLCOUNT = VBLNKYSTOP_x + IMGVOFF_x$ となる時点までカウントし続けることや、 $IMGVSIZE_x$ の直後、または FLCOUNT がリセットされるときにすぐにリセットすることが可能です。

アクティブな水平出力の列は、水平ラインのアクティブな部分における出力データを示します。デフォルト出力をイネーブルするために、VDCTL レジスタの DVEN ビットがセットされていることを想定しています。

図 4-34. BT.656 インタレース・ディスプレイの垂直タイミングの例



IMGVOFF1 = 3 VBLNKXSTART1 = 720 VSYNCXSTART1 = 720 FLD1XSTART = 720
 IMGVSIZE1 = 240 VBLNKYSTART1 = 1 VSYNCYSTART1 = 4 FLD1YSTART = 1
 IMGVOFF2 = 3 VBLNKXSTOP1 = 720 VSYNCXSTOP1 = 720 FLD2XSTART = 360
 IMGVSIZE2 = 240 VBLNKYSTOP1 = 20 VSYNCYSTOP1 = 7 FLD2YSTART = 263
 FRMHEIGHT = 525 VBLNKXSTART2 = 360 VSYNCXSTART2 = 360
 VBITSET1 = 1 VBLNKYSTART2 = 263 VSYNCYSTART2 = 266 FBITSET = 266
 VBITCLR1 = 20 VBLNKXSTOP2 = 360 VSYNCXSTOP2 = 360 FBITCLR = 4
 VBITSET2 = 264 VBLNKYSTOP2 = 283 VSYNCYSTOP2 = 269
 VBITCLR2 = 283

† VPCTL 内の VCTL1P ビットが、1 にセットされる (アクティブ Low 出力) と仮定。VDCTL 内の VCTL1S ビットが 00 にセットされると VSYNC 出力、VDCTL 内の VCTL1S ビットが 01 にセットされると VBLNK 出力。
 § VDCTL 内の DVEN ビットが 1 にセットされる場合。それ以外の場合は、ブランキング値が出力されません。

4.9.2 インタレース Raw ディスプレイの例

ここでは、同じ 704 × 480 インタレース・イメージの Raw モードでのディスプレイ出力の例を示します。

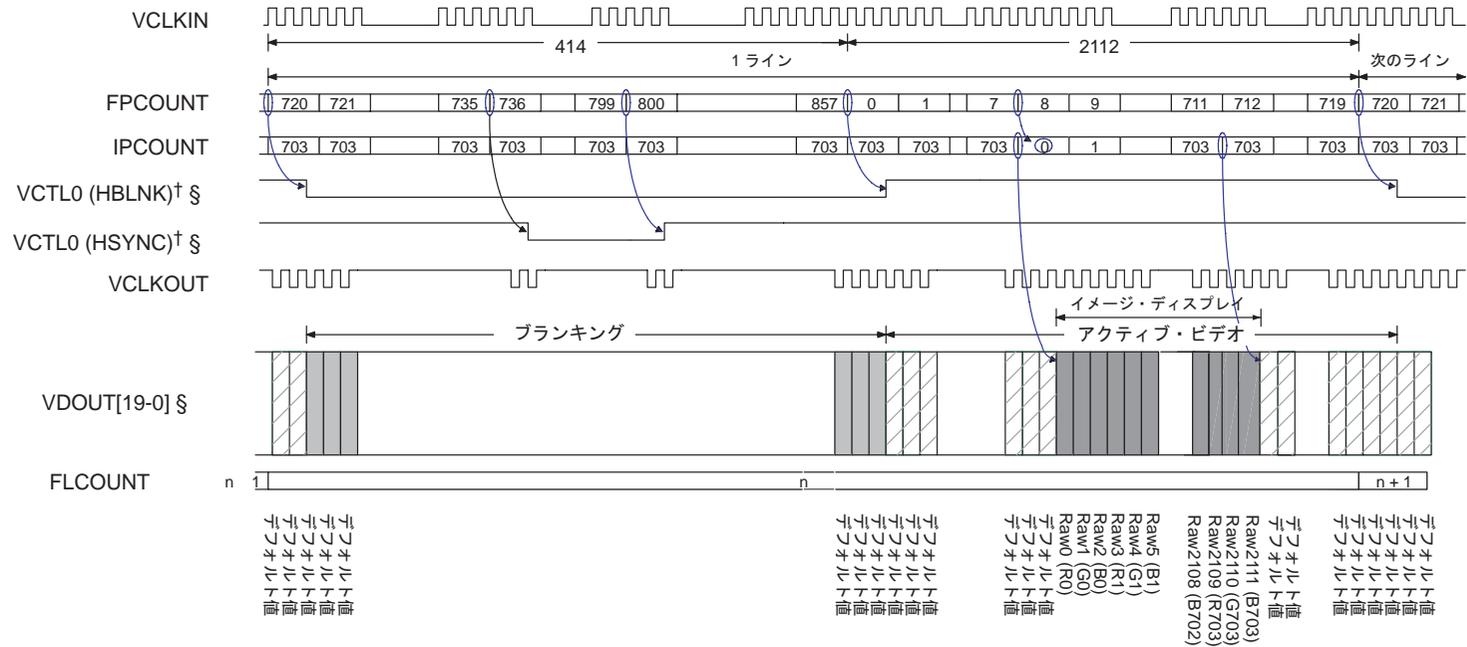
水平出力タイミングを図 4-35 に示します。この図は、内部カウンタの変化と外部ピンの出力の間に 2 つの VCLK パイプライン・ディレイがあることを想定しています。実際のディレイは、ディスプレイ・モードで整合性をもっている範囲内では、長くなることも、短くなることもあります。アクティブ・ラインは、幅 720 ピクセルです。図 4-35 に、結果的に 8 ピクセルの IMGHOFF_x となる、画面の中央に置かれる 704 ピクセル・イメージ・ウィンドウを示します。

HBLNK および HSYNC 信号は、アクティブ Low 動作の場合に出力されることを示します。2 つの信号のうち一方のみが実際に外部から使用できることに注意してください。HBLNK のインアクティブ・エッジは、サンプル 0 上で発生します。

IPCOUNT は、4.1.2 項に記述されている内容に従って動作します。IPCOUNT は、最初に表示されるピクセル (FPCOUNT = IMGHOFF_x) で 0 (ゼロ) にリセットされ、最後に表示されるピクセル (IPCOUNT = IMGHSIZE_x) でカウントを停止します。IPCOUNT および FPCOUNT カウンタは両方とも、VDTHRLD レジスタの INCPPIX ビットに値 3 をプログラムすることで、VCLKIN 立ち上がりエッジ 3 回ごとにインクリメントします。

VDOUT は出力データと、デフォルト・データ、FIFO データ間の切り換えを示します。各ピクセル・カウントあたり、3 つの値が、VDOUT 上に順に出力されます。非表示イメージのアクティブ・ビデオ領域とブランキングの両方の間に、デフォルト値が出力されることに注意してください。

図 4-35. Raw インタレース・ディスプレイの水平タイミングの例



FRMWIDTH = 858 IMGHOFF1 = 8 HSYNCSTART = 736
 HBLNKSTART = 720 IMGHSIZE1 = 704 HSYNCSTOP = 800
 HBLNKSTOP = 0 IMGHOFF2 = 8
 IMGHSIZE2 = 704 INCPPIX = 3

† VPCTL 内の VCT0P ビットが、1 にセットされる (アクティブ Low 出力) と仮定。VDCTL 内の VCTL0S ビットが 00 にセットされると HSYNC 出力、VDCTL 内の VCTL0S ビットが 01 にセットされると HBLNK 出力。

§ この図では、内部カウンタと出力信号の間に 2 つの VCLK パイプライン・ディレイがあると仮定。

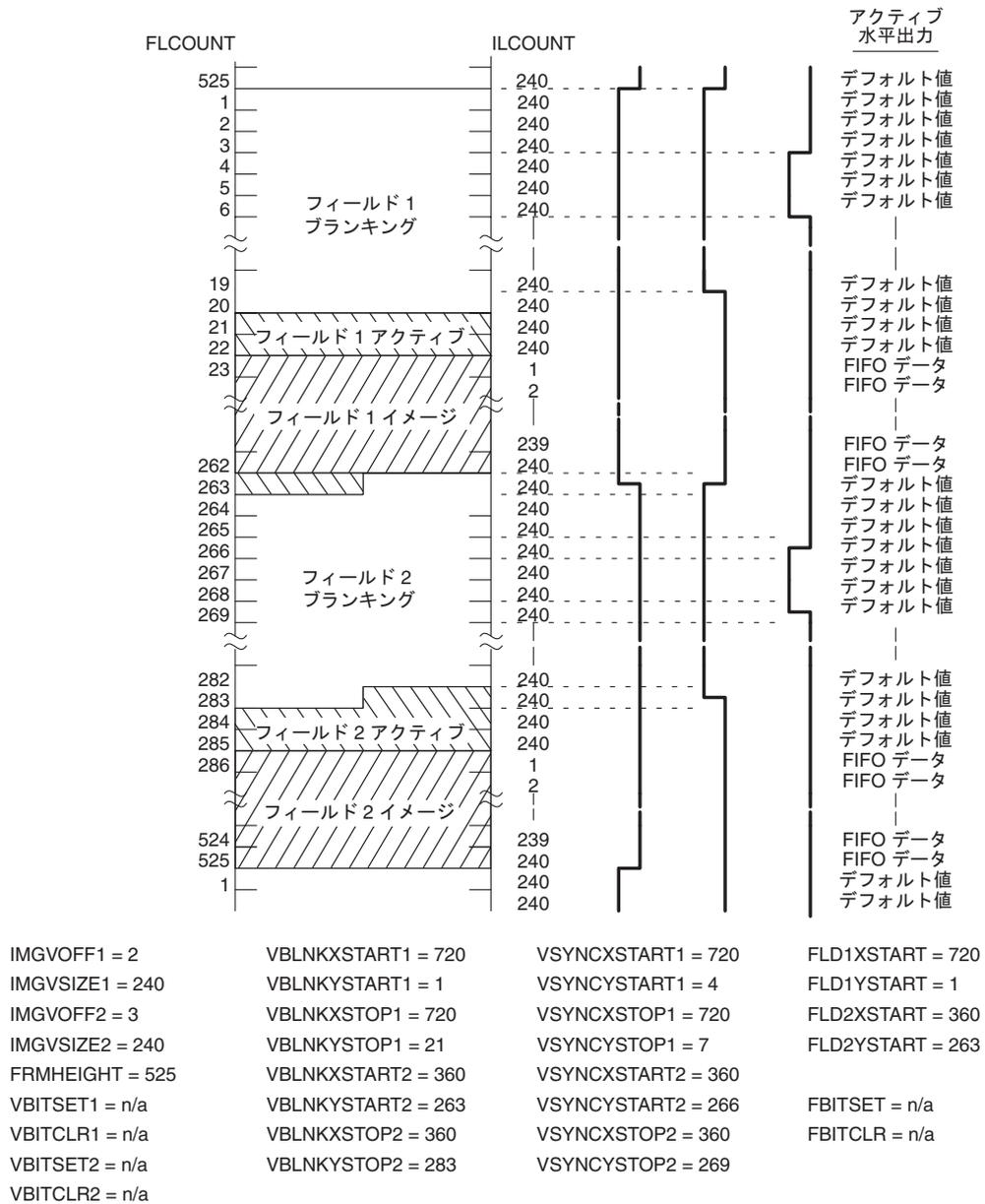
Raw モードの垂直出力タイミングを図 4-36 に示します。この例では、同じ 480 ラインのウィンドウを出力しています。Raw ディスプレイ・モードでは、通常、モニターへの出力はノンインタレースということに注意してください。この例では、より複雑なインタレースの場合を示しています。アクティブ・フィールド 1 は高さ 242.5 ラインで、アクティブ・フィールド 2 は高さ 242.5 ラインとなっています。この例では、画面の中央に置かれる 480 ラインのイメージ・ウィンドウを示します。この結果、IMGVOFF1 は 2 ライン、IMGVOFF2 は 3 ラインになります。また、整数のライン長でないため、フィールド 1 の最後とフィールド 2 の先頭はデータの入っていないハーフラインになります。

VBLNK および VSYNC 信号は、アクティブ Low 動作の場合に出力されることを示します。2 つの信号のうち一方のみが実際に外部から使用できることに注意してください。フィールド 1 の VBLNK および VSYNC エッジは、アクティブ・ラインの最後で発生します。これにより XSTART/XSTOP 値が 720 (ブランキング・スタート) にセットされます。フィールド 2 の場合、VBLNK および VSYNC エッジはアクティブ水平ラインの中間で発生します。これにより、XSTART/XSTOP 値は 360 にセットされます。

FLD 出力は、各アナログ・フィールドの先頭 (垂直ブランキングの先頭) で遷移するためにセットアップされます。Raw モードでは EAV[F] ビットがないので、FLD1YSTRT は 1 にセットされ、また FLD2YSTRT が 263 にセットされ、FBITCLR および FBITSET は無視されます。FLD2XSTRT は 360 であるので、フィールド・インジケータの出力がラインの途中で変わることに注意してください。

アクティブな水平出力の列は、水平ラインのアクティブな部分における出力データを示します。Raw モードでは、ブランキング・データの値はないので、すべての非イメージ・ウィンドウ・ラインのアクティブ部分では、デフォルト値が出力されます。

図 4-36. Raw インタレース・ディスプレイの垂直タイミングの例



† VPCTL 内の VCTL1P ビットが、1 にセットされる (アクティブ Low 出力) と仮定。VDCTL 内の VCTL1S ビットが 00 にセットされると VSYNC 出力、VDCTL 内の VCTL1S ビットが 01 にセットされると VBLNK 出力。

4.9.3 Y/C プログレッシブ・ディスプレイの例

ここでは、プログレッシブ・ディスプレイ動作の例を示します。出力フォーマットは、1280 × 720/60 システムの場合、SMPTE 296M-2001 仕様に従います。これは、1264 × 716 のプログレッシブ出力イメージの例です。

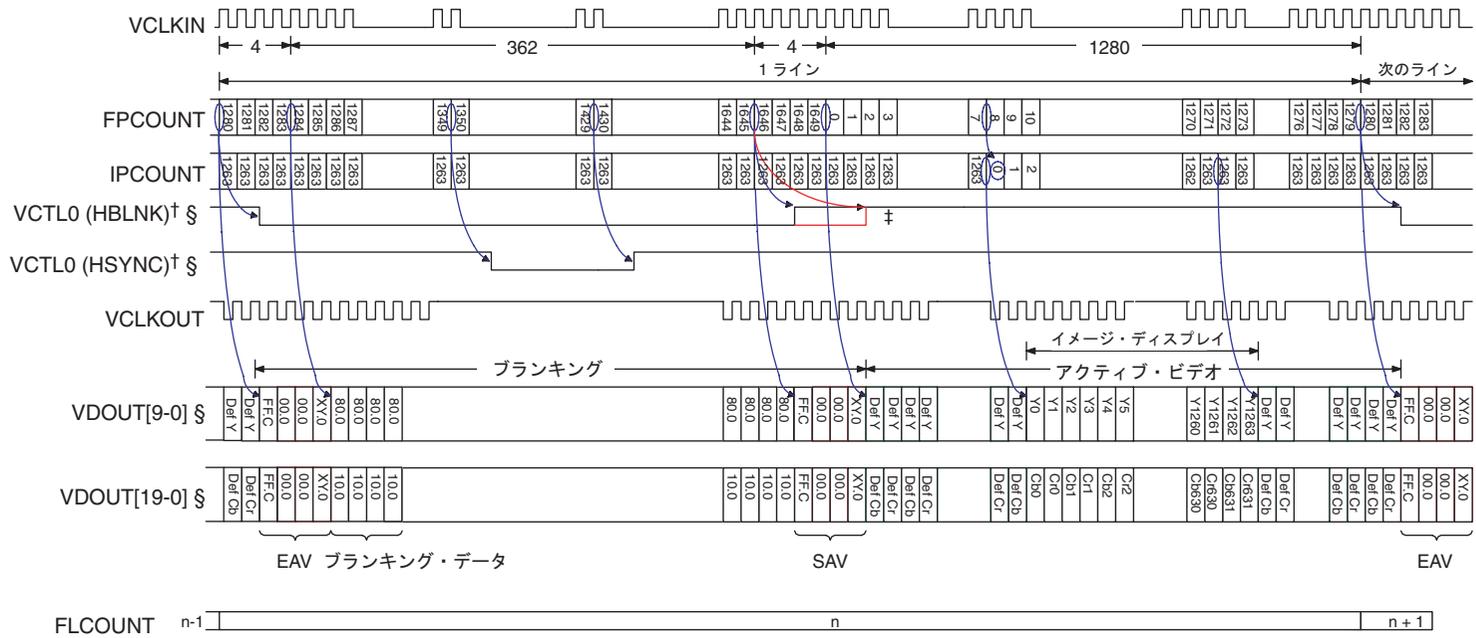
水平出力タイミングを図 4-37 に示します。この図は、内部カウンタの変化と外部ピンの出力の間に 2 つの VCLK パイプライン・ディレイがあることを想定しています。実際のディレイは、ディスプレイ・モードで整合性をもっている範囲内では、長くなることも、短くなることもあります。SMPTE 296M 60 Hz のアクティブ・ラインは、幅 1650 ピクセルです。図 4-37 に、結果的に 8 ピクセルの IMGHOFF_x となる、画面の中央に置かれる 1264 ピクセル・イメージ・ウィンドウを示します。

HBLNK および HSYNC 信号は、アクティブ Low 動作の場合に出力されることを示します。2 つの信号のうち一方のみが実際に外部から使用できることに注意してください。HBLNK のインアクティブ・エッジは、SAV の開始と一致したサンプル 1646 上または HBDLA ビットがセットされている場合にはサンプル 0 (SAV 後) 上で発生します。本来の SMPTE 296M 動作では、HBLNK も HSYNC も使用されません。

IPCOUNT は、4.1.2 項に記述されている内容に従って動作します。IPCOUNT は、最初に表示されるピクセル (FPCOUNT = IMGHOFF_x) で 0 (ゼロ) にリセットされ、最後に表示されるピクセル (IPCOUNT = IMGHSIZE_x) でカウントを停止します。非表示期間中の動作は必須ではなく、次に FPCOUNT = IMGHOFF_x となる時点までカウントし続けることや、IMGHSIZE_x の直後、または FPCOUNT がリセットされるときにすぐにリセットすることが可能です。

VDOUT は、出力データと EAV、ブランキング・データ、SAV、デフォルト・データ、FIFO データ間の切り換えを示します。デフォルト出力をイネーブルするために、VDCTL レジスタの DVEN ビットがセットされていることを想定しています。

図 4-37. Y/C プログレッシブ・ディスプレイの水平タイミングの例



FRMWIDTH = 1650 IMGHOFF1 = 8 HSYNCSTART = 1350
 HBLNKSTART = 1280 IMGHSIZE1 = 1264 HSYNCSTOP = 1430
 HBLNKSTOP = 1646 IMGHOFF2 = n/a
 IMGHSIZE2 = n/a

† VPCTL 内の VCTL0P ビットが、1 にセットされる (アクティブ Low 出力) と仮定。VDCTL 内の VCTL0S ビットが 00 にセットされると HSYNC 出力、VDCTL 内の VCTL0S ビットが 01 にセットされると HBLNK 出力。

‡ VDHLNK 内の HBDLA ビットが 1 にセットされると HBLNK 動作。

§ この図では、内部カウンタと出力信号の間に 2 つの VCLK パイプライン・ディレイがあると仮定。

垂直出力タイミングを図 4-38 に示します。SMPTE 296M には、高さ 720 ラインのシングル・アクティブ・フィールド 1 があります。この例では、3 ラインの $IMGV\text{OFF}_n$ を持つ 716 ラインのイメージ・ウィンドウを示します。また、フィールドの最後はデータの無いラインになります。

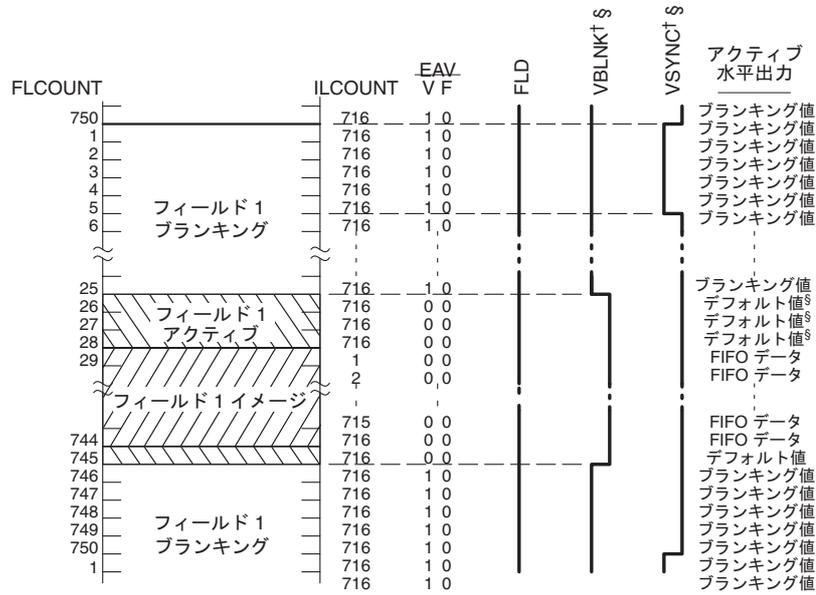
VBLNK および VSYNC 信号は、アクティブ Low 動作の出力がされることを示します。2 つの信号のうち 1 つだけが実際に外部から使用できることに注意してください。VBLNK および VSYNC エッジが、アクティブ・ラインの最後で発生します。これにより XSTART/XSTOP 値が 1280 (ブランキング・スタート) にセットされます。フィールド 2 垂直タイミング・スタートおよびストップ・レジスタは、750 より大きな値にプログラムされます。FLCOUNT がこの値に到達することはないので、余分な VBLNK または VSYNC の遷移は発生しません。本来の SMPTE 296M 動作では、VBLNK も VSYNC も使用されません。

FLD 出力は、各フレームの先頭で Low にセットアップされます。FLD2YSTART 値に FLCOUNT が到達することはないので、FLD 出力は常に Low のままです。

ILCOUNT は、4.1.2 項に記述されている内容に従って動作します。ILCOUNT は、最初に表示されるライン ($FLCOUNT = VBLNK\text{YSTOP}_x + IMGV\text{OFF}_n$) で 1 にリセットされ、最後に表示されるピクセル ($IPCOUNT = IMGV\text{SIZE}_x$) でカウントを停止します。非表示期間中の動作は必須ではなく、次に $FLCOUNT = VBLNK\text{YSTOP}_x + IMGV\text{OFF}_x$ となる時点までカウントし続けることや、 $IMGV\text{SIZE}_n$ の直後、または FLCOUNT がリセットされるときにすぐにリセットすることが可能です。

アクティブな水平出力の列は、水平ラインのアクティブな部分における出力データを示します。デフォルト出力をイネーブルするために、VDCTL 内の DVEN ビットがセットされていることを想定しています。

図 4-38. Y/C プログレッシブ・ディスプレイの垂直タイミングの例



IMGVOFF1 = 3	VBLNKXSTART1 = 1280	VSYNCXSTART1 = 1280	FLD1XSTART = n/a
IMGVSIZE1 = 716	VBLNKYSTART1 = 746	VSYNCYSTART1 = 1	FLD1YSTART = 1
IMGVOFF2 = n/a	VBLNKXSTOP1 = 1280	VSYNCXSTOP1 = 1280	FLD2XSTART = n/a
IMGVSIZE2 = n/a	VBLNKYSTOP1 = 26	VSYNCYSTOP1 = 6	FLD2YSTART = > 750
FRMHEIGHT = 750	VBLNKXSTART2 = n/a	VSYNCXSTART2 = n/a	
VBITSET1 = 746	VBLNKYSTART2 = > 750	VSYNCYSTART2 = > 750	FBITSET = 1
VBITCLR1 = 26	VBLNKXSTOP2 = n/a	VSYNCXSTOP2 = n/a	FBITCLR = > 750
VBITSET2 = n/a	VBLNKYSTOP2 = > 750	VSYNCYSTOP2 = > 750	
VBITCLR2 = n/a			

† VPCTL 内の VCT1P ビットが、1 にセットされる (アクティブ Low 出力) と仮定。VDCTL 内の VCTL1S ビットが 00 にセットされると VSYNC 出力、VDCTL 内の VCTL1S ビットが 01 にセットされると VBLNK 出力。
 § VDCTL 内の DVEN ビットが 1 にセットされる場合。それ以外の場合は、ブランキング値が出力されます。

4.10 BT.656 または Y/C モードでのビデオ・ディスプレイ

BT.656 または Y/C フォーマットでビデオを表示するためには、次の手順が必要です。

- 1) VDFRMSZ にフレーム・サイズをセットします。フレームあたりのライン数 (FRMHIGHT) およびラインあたりのピクセル数 (FRMWIDTH) をセットします。
- 2) VDHBLNK に水平ブランキングをセットします。水平ブランキングが始まるフレーム・ピクセル・カウンタ (HBLNKSTART) の値および水平ブランキングが停止するピクセル・ロケーション (HBLNKSTOP) を指定します。
- 3) VDVBIT1 にフィールド 1 の V ビット・タイミングをセットします。V ビットがセットされるライン (VBITSET1) および V ビットがクリアされるライン (VBITCLR1) を指定します。
- 4) 外部 VBLNK 信号が必要な場合、VDVBLKS1 にフィールド 1 の VBLNK の開始をセットします。VBLNK がフィールド 1 でアクティブになるピクセルのフレーム・ライン (VBLNKYSTART1) およびフレーム・ピクセル・カウンタ (VBLNKXSTART1) の値を指定します。フィールド 1 の VBLNK の最後を VDVBLKE1 にセットします。VBLNK がフィールド 1 でインアクティブになるピクセルのフレーム・ライン (VBLNKYSTOP1) およびフレーム・ピクセル・カウンタ (VBLNKXSTOP1) の値を指定します。
- 5) VDVBIT2 にフィールド 2 の V ビット・タイミングをセットします。V ビットがセットされるライン (VBITSET2) および V ビットがクリアされるライン (VBITCLR2) を指定します。
- 6) 外部 VBLNK 信号が必要な場合、VDVBLKS2 にフィールド 2 の VBLNK の開始をセットします。VBLNK がフィールド 2 でアクティブになるピクセルのフレーム・ライン (VBLNKYSTART2) およびフレーム・ピクセル・カウンタ (VBLNKXSTART2) の値を指定します。VDVBLKE2 にフィールド 2 の VBLNK の最後をセットします。VBLNK がフィールド 2 でインアクティブになるピクセルのフレーム・ライン (VBLNKYSTOP2) およびフレーム・ピクセル・カウンタ (VBLNKXSTOP2) の値を指定します。
- 7) VDIMGSZn をセットします。HSIZE および VSIZE のビットをセットすることで、表示されるイメージのサイズを調整します。
- 8) VDIMOFF をセットします。(HOFFSET および VOFFSET をセットすることで) アクティブ・ビデオ領域内で表示されるイメージのオフセットを調整します。
- 9) VDFBIT 内の F ビット・タイミングをセットします。F ビットがクリアされるライン (FBITCLR) および F ビットがセットされるライン (FBITSET) を指定します。
- 10) 外部 FLD 出力が必要な場合、ビデオ・ディスプレイ・フィールド 1 のタイミングをセットします。FLD がインアクティブになるラインとピクセルを指定します (VDFLDT1)。ビデオ・ディスプレイ・フィールド 2 のタイミングをセットします。FLD がアクティブになるラインとピクセルを指定します (VDFLDT2)。
- 11) VDCLIP をセットします。ビデオ・クリッピングのデフォルト値は、下位にクリップする場合は 16、Y 値を上位にクリップする場合は 235、Cb 値および Cr 値を上位にクリップする場合は 240 です。

- 12) DSP メモリ内の Y バッファから YDSTA (メモリマップ Y ディスプレイ FIFO) へデータを転送するために DMA を設定します。転送は、YEVT によってトリガーされます。
- 13) DSP メモリ内の Cb バッファから CBDST (メモリマップ Cb ディスプレイ FIFO) へデータを転送するために DMA を設定します。転送は、CbEVT によってトリガーされます。転送サイズは、Y の転送サイズの 1/2 にセットする必要があります。
- 14) DSP メモリ内の Cr バッファから CRDST (メモリマップ Cr ディスプレイ FIFO) へデータを転送するために DMA を設定します。転送は、CrEVT によってトリガーされます。転送サイズは、Y の転送サイズの 1/2 にセットする必要があります。
- 15) VDDISPEVT 内の DISPEVT1 および DISPEVT2 ビットをセットします。イベントのカウントは、Y の DMA あたりの合計ダブルワードによって分割される、フィールドあたりの合計ダブルワードです。
- 16) 必要に応じて、アンダーラン (DUND) およびディスプレイ完了 (DCMP) 割り込みをイネーブルするために VPIE へ書き込みます。
- 17) ディスプレイ FIFO スレッシュホールドをセットするために VDTHRLD へ書き込みます (VDTHRLD ビット)。
- 18) 次のことを行うために、VDCTL へ書き込みます。
 - ディスプレイ・モードをセットする (BT.656 出力の場合 DMODE = 00x、Y/C 出力の場合 DMODE = 10x)。
 - 目的のフィールド/フレーム動作をセットする (CON、FRAME、DF1、DF2 ビット)。
 - 制御出力 (VCTL0S、VCTL1S、VCTL2S ビット) または外部同期入力 (HXS、VXS、FXS ビット) を選択する。
 - 8 ビット・モードでは必要に応じて、スケーリングをイネーブルする (SCALE、RESMPL ビット)。
 - 必要に応じて、10 ビット・アンパッキング・モード (DPK ビット) を選択する。
 - ディスプレイをイネーブルするために、VDEN ビットをセットする。
- 19) 2 フレーム・タイム以上待機して、ディスプレイ・カウンタおよび制御信号が正常に同期できるようにします。
- 20) BLKDIS ビットをクリアするために、VDCTL へ書き込みます。
- 21) BLKDIS = 0 後に、ディスプレイは最初のフレームの先頭でイネーブルされ、最初に選択されるフィールドから始まります。VDTHRLD および DEVTCT カウンタによってトリガーされる際に、DMA イベントが生成されます。選択されたフィールドが表示される (FLCOUNT = FRMHEIGHT かつ FPCOUNT = FRMWIDTH) とき、適切な F1D、F2D、または FRMD ビットがセットされ、その結果、VPIS 内の DCMP ビットがセットされます。これにより、DCMP ビットが VPIE でイネーブルされていると、DSP 割り込みが生成されます。

- 22) 連続ディスプレイがイネーブルされていると、ビデオ・ポートは次のフィールドまたはフレームから再度表示を開始します。フィールド 1 およびフィールド 2 またはフレームの非連続ディスプレイがイネーブルされていると、次のフィールドまたはフレームが表示されます。その間に、DSP は、適切な完了ステータス・ビットをクリアしなければならないと、そうしないと DCNA 割り込みが発生し、不正確なデータが出力される場合があります。

4.11 Raw データ・モードでのビデオ・ディスプレイ

Raw データ・モードでビデオを表示するためには、次の手順が必要です。

- 1) 目的のビデオ・ポートがペリフェラル・コンフィギュレーション・レジスタ (PERCFG) からイネーブルされていることを確認します。PERCFG を正しく設定する方法については、各デバイスのデータ・マニュアルを参照してください。
- 2) ビデオ・ペリフェラル・コントロール・レジスタ (PCR) 内の PEREN ビットをセットします。
- 3) VDFRMSZ レジスタにフレーム・サイズをセットします。フレームあたりのライン数 (FRMHIGHT) およびラインあたりのピクセル数 (FRMWIDTH) をセットします。
- 4) VDHBLNK レジスタに水平ブランキングをセットします。水平ブランキングが始まるフレーム・ピクセル・カウンタ (HBLNKSTART) の値および水平ブランキングが停止するピクセル・ロケーション (HBLNKSTOP) を指定します。
- 5) VDVBLKS1 レジスタにフィールド 1 の垂直ブランキングの開始をセットします。垂直ブランキングがフィールド 1 で開始するピクセルのフレーム・ライン (VBLNKYSTART1) およびフレーム・ピクセル・カウンタ (VBLNKXSTART1) の値を指定します。
- 6) VDVBLKE1 レジスタにフィールド 1 の垂直ブランキングの終了をセットします。垂直ブランキングがフィールド 1 で終了するピクセルのフレーム・ライン (VBLNKYSTOP1) およびフレーム・ピクセル・カウンタ (VBLNKXSTOP1) の値を指定します。
- 7) VDIMGSZ_n をセットします。HSIZE および VSIZE のビットをセットすることで、表示されるイメージのサイズを調整します。
- 8) VDIMOFF をセットします。(HOFFSET および VOFFSET をセットすることで) アクティブ・ビデオ領域内に表示されるイメージのオフセットを調整します。
- 9) VDVBLKS2 レジスタにフィールド 2 の垂直ブランキングの開始をセットします。垂直ブランキングがフィールド 2 で開始するピクセルのフレーム・ライン (VBLNKYSTART2) およびフレーム・ピクセル・カウンタ (VBLNKXSTART2) の値を指定します。
- 10) VDVBLKE2 レジスタにフィールド 2 の垂直ブランキングの終了をセットします。垂直ブランキングがフィールド 2 で終了するピクセルのフレーム・ライン (VBLNKYSTOP2) およびフレーム・ピクセル・カウンタ (VBLNKXSTOP2) の値を指定します。
- 11) VDVSYNS1 レジスタにフィールド 1 の垂直同期信号の開始をセットします。垂直同期がフィールド 1 で開始するピクセルのフレーム・ライン (VSYNCYSTART1) およびフレーム・ピクセル・カウンタ (VSYNXCSTART1) の値を指定します。

- 12) VDVSUNE1 レジスタにフィールド 1 の垂直同期信号の終了をセットします。垂直同期信号がフィールド 1 で終了するピクセルのフレーム・ライン (VSYNCYSTOP1) およびフレーム・ピクセル・カウンタ (VSYNCXSTOP1) の値を指定します。
- 13) VDVSUNE2 レジスタにフィールド 2 の垂直同期信号の開始をセットします。垂直同期信号がフィールド 2 で開始するピクセルのフレーム・ライン (VSYNCYSTART2) およびフレーム・ピクセル・カウンタ (VSYNCXSTART2) の値を指定します。
- 14) VDVSUNE2 レジスタにフィールド 2 の垂直同期信号の終了をセットします。垂直同期信号がフィールド 2 で終了するピクセルのフレーム・ライン (VSYNCYSTOP2) およびフレーム・ピクセル・カウンタ (VSYNCXSTOP2) の値を指定します。
- 15) VDHSYNC レジスタに水平同期信号をセットします。HSYNC がアサートされるピクセルのフレーム・ピクセル・カウンタ (HSYNCYSTART) の値およびフレーム・ピクセル・クロック内の HSYNC パルスの幅 (HSYNCSTOP) を指定します。
- 16) ビデオ・ディスプレイ・フィールド 1 のタイミングをセットします。VDFLDT1 レジスタにフィールド 1 の最初のラインとピクセルを指定します。
- 17) ビデオ・ディスプレイ・フィールド 2 のタイミングをセットします。VDFLDT2 レジスタにフィールド 2 の最初のラインとピクセルを指定します。
- 18) DSP メモリ内のテーブルから YDSTA (メモリマップ・ディスプレイ FIFO) ヘッダを転送するために DMA を設定します。転送は、YEVT によってトリガーされます。
- 19) VDDISPEVT レジスタの DISPEVT1 および DISPEVT2 ビットをセットします。イベント・カウントは、Y DMA あたりの合計ダブルワードによって分割される、フィールドあたりの合計ダブルワードです。
- 20) ディスプレイ FIFO スレッシュホールド (VDTHRLD ビット) および FPCOUNT インクリメント・レート (INCPPIX ビット) をセットするために VDTHRLD へ書き込みます。
- 21) 次のことを行うために、VDCTL へ書き込みます。
 - ディスプレイ・モードをセットする (8/10 ビット出力の場合 DMODE = 01x、16/20 ビット出力の場合 DMODE = 11x)。
 - 目的のフィールド/フレーム動作をセットする (CON、FRAME、DF1、DF2 ビット)。
 - 制御信号の出力 (VCTL0S、VCTL1S、VCTL2S ビット) または外部同期信号の入力 (HXS、VXS、FXS ビット) をセットする。
 - 必要に応じて、10 ビットのアンパッキング・モード (DPK ビット) を選択する。
 - ディスプレイをイネーブルするために、VDEN ビットをセットする。
- 22) 2 フレーム・タイム以上待機して、ディスプレイ・カウンタおよび制御信号が正常に同期できるようにします。
 - VPIC では、ディスプレイ完了 (DCMP) 割り込みをポーリングします。
 - DCMP をクリアするために、書き込みを行います。
 - 再度、DCMP をポーリングします。
 - DCMP を再度クリアするために、書き込みを行います。

- 23) BLKDIS ビットをクリアするために、VDCTL へ書き込みます。
- 24) 必要に応じて、アンダーラン (DUND) およびディスプレイ完了 (DCMP) 割り込みをイネーブルするために VPIE へ書き込みます。
- 25) BLKDIS = 0 後に、ディスプレイは最初のフレームの先頭でイネーブルされ、最初に選択されるフィールドで始まります。VDTHRLD および DEVTCT カウンタによってトリガーされる際に、DMA イベントが生成されます。選択されたフィールドが表示される (FLCOUNT = FRMHEIGHT かつ FPCOUNT = FRMWIDTH) とき、適切な F1D、F2D、または FRMD ビットがセットされ、その結果、VPIS 内の DCMP ビットがセットされます。これにより、DCMP ビットが VPIE でイネーブルされていると、DSP 割り込みが生成されます。
- 26) 連続ディスプレイがイネーブルされていると、ビデオ・ポートは次のフィールドまたはフレームの先頭から再度表示を開始します。非連続のフィールド 1 およびフィールド 2 またはフレーム・ディスプレイがイネーブルされていると、次のフィールドまたはフレームが表示されます。その間に、DSP は、適切な完了ステータス・ビットをクリアしなければならず、そうしないと DCNA 割り込みが発生し、不正確なデータが出力される場合があります。

4.11.1 ディスプレイ FIFO のアンダーラン状態の処理

ペンディング中の DMA 要求が時間内にデータをロードできなかったため、アクティブ・ディスプレイ・ラインの間に、ディスプレイ FIFO が空になっていると、FIFO アンダーランが発生します。FIFO アンダーラン状態になると、VPIS 内の DUND ビットがセットされます。アンダーラン割り込みがイネーブルされている (VPIE 内の DUND ビットがセットされる) と、FIFO アンダーランが発生している状態により DSP への割り込みが開始されます。

ビデオ・ディスプレイは、一般的に連続的なリアルタイム出力なので、FIFO アンダーランが発生してもデータ出力はホールドしません (デフォルト・ブランキング値を出力することは、古いデータ値を出力してしまうのと同じくらいディスプレイにおいて破滅的な行為です)。代わって、FIFO のリード・ポインタは続けて先へ進み、(古い) データが FIFO から連続して出力されます。これは、ペンディング中の DMA がほんのわずかに遅れても、データ転送は FIFO をリード・ポインタに追いつかせるチャンスがあり、正確なデータ出力が再開できるということを意味します。ペンディング中の DMA が出力データのスレッシホールド内に処理を完了しないと、DMA 要求シーケンスは壊れてしまい、残りのディスプレイ・フィールドも破壊されてしまいます。

アンダーラン割り込みルーチンでは VDCTL 内の BLKDIS ビットをセットし、さらに DMA チャンネルを再設定する必要があります。BLKDIS ビットをセットすると、チャンネル・ディスプレイ FIFO がフラッシュされ、チャンネル DMA イベントは DMA コントローラに到達しません。現在のフレーム転送が失敗するので、次のフレーム・ディスプレイのために、DMA を正しく再設定する必要があります。フレーム・ラインおよびフレーム・ピクセル・カウンタはカウントし続けます。ピンから見れば、ビデオ・ディスプレイ・モジュールは、通常のように機能し続けているように見えます (SAV/EAV コードが BT.656 または Y/C モードで生成され、デフォルト・データ値が送出されます)。BLKDIS ビットは、DMA イベントを再度イネーブルするためにクリアされる必要があります。BLKDIS ビットをクリアしても、ビットがクリアされているフレームの間は、DMA イベントをイネーブルしません。このビットをゼロクリアすると、このビットがクリアされるフレームに続くフレーム内の DMA イベントをイネーブルします。

4.12 ビデオ・ディスプレイ・レジスタ

ビデオ・ディスプレイ動作モードをコントロールするレジスタを表 4-5 に示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

表 4-5. ビデオ・ディスプレイ・コントロール・レジスタ

オフセット・アドレス [†]	略称	レジスタ名	参照先
200h	VDSTAT	ビデオ・ディスプレイ・ステータス・レジスタ	4.12.1
204h	VDCTL	ビデオ・ディスプレイ・コントロール・レジスタ	4.12.2
208h	VDFRMSZ	ビデオ・ディスプレイ・フレーム・サイズ・レジスタ	4.12.3
20Ch	VDHBLNK	ビデオ・ディスプレイ・水平・ブランキング・レジスタ	4.12.4
210h	VDVBLKS1	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ	4.12.5
214h	VDVBLKE1	ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ	4.12.6
218h	VDVBLKS2	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ	4.12.7
21Ch	VDVBLKE2	ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ	4.12.8
220h	VDIMGOFF1	ビデオ・ディスプレイ・フィールド 1 イメージ・オフセット・レジスタ	4.12.9
224h	VDIMGSZ1	ビデオ・ディスプレイ・フィールド 1 イメージ・サイズ・レジスタ	4.12.10
228h	VDIMGOFF2	ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ	4.12.11
22Ch	VDIMGSZ2	ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ	4.12.12
230h	VDFLDT1	ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ	4.12.13
234h	VDFLDT2	ビデオ・ディスプレイ・フィールド 2 タイミング・レジスタ	4.12.14
238h	VDTHRLD	ビデオ・ディスプレイ・スレッシュホールド・レジスタ	4.12.15
23Ch	VDHSYNC	ビデオ・ディスプレイ・水平・シンクロナイゼーション・レジスタ	4.12.16
240h	VDVSYNS1	ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジスタ	4.12.17
244h	VDVSYNE1	ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ	4.12.18
248h	VDVSYNS2	ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ	4.12.19
24Ch	VDVSYNE2	ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ	4.12.20
250h	VDRELOAD	ビデオ・ディスプレイ・カウンタ・リロード・レジスタ	4.12.21

[†] レジスタの絶対アドレスは、デバイス/ポート固有のもので、そのアドレスはベース・アドレス+オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

表 4-5. ビデオ・ディスプレイ・コントロール・レジスタ (続き)

オフセット・アドレス†	略称	レジスタ名	参照先
254h	VDDISPEVT	ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ	4.12.22
258h	VDCLIP	ビデオ・ディスプレイ・クリッピング・レジスタ	4.12.23
25Ch	VDDEFVAL	ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ	4.12.24
260h	VDVINT	ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ	4.12.25
264h	VDFBIT	ビデオ・ディスプレイ・フィールド・ビット・レジスタ	4.12.26
268h	VDVBIT1	ビデオ・ディスプレイ・フィールド1 パーティカル・ブランキング・ビット・レジスタ	4.12.27
26Ch	VDVBIT2	ビデオ・ディスプレイ・フィールド2 パーティカル・ブランキング・ビット・レジスタ	4.12.28

†レジスタの絶対アドレスは、デバイス/ポート固有のもので、そのアドレスはベース・アドレス+オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

4.12.1 ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT)

ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT) は、ビデオ・ポートの現在のディスプレイ状態を示します。VDSTATを図 4-39 に示し、表 4-6 で説明します。

VDXPOS および VDYPOS ビットは、最も最近表示されたピクセルの座標を調べます。F1D、F2D、FRMD の各ビットは、フィールドまたはフレームの完了を示します。また、選択したフレーム動作によって、DCNA 割り込みが生成されないようにするために、DSP はそのビットをクリアする必要がある場合があります。適切なフィールドから最後のピクセルが出力パッドに送出される時、F1D、F2D、FRMD の各ビットがセットされます。

図 4-39. ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT)

31	30	29	28	27	16
Rsvd	FRMD	F2D	F1D	VDYPOS	
R-0	R/WC-0	R/WC-0	R/WC-0	R-0	
15	14	13	12	11	0
Reserved		VBLNK	VDFLD	VDXPOS	
R-0		R-0	R-0	R-0	

凡例: R = 読み取り専用。WC = 1 を書き込むとクリア、0 (ゼロ) を書き込んでも影響ありません。-n = リセット後の値。

表 4-6. ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT) フィールドの説明

ビット	フィールド†	symval †	値	説明
31	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
30	FRMD	OF (値)		フレーム・ディスプレイ・ビット。1を書き込むとビットをクリア。0 (ゼロ) を書き込んでも影響ありません。
		DEFAULT NONE	0	フレーム全体は表示されていません。
		DISPLAYED CLEAR	1	フレーム全体が表示されています。
29	F2D	OF (値)		フィールド2ディスプレイ・ビット。1を書き込むとビットをクリア。0 (ゼロ) を書き込んでも影響ありません。
		DEFAULT NONE	0	フィールド2は表示されていません。
		DISPLAYED CLEAR	1	フィールド2が表示されています。
28	F1D	OF (値)		フィールド1ディスプレイ・ビット。1を書き込むとビットをクリア。0 (ゼロ) を書き込んでも影響ありません。
		DEFAULT NONE	0	フィールド1は表示されていません。
		DISPLAYED CLEAR	1	フィールド1が表示されています。
27-16	VDYPOS	OF (値)	0 ~ FFFh	現在のフレーム・ライン・カウンタ (FLCOUNT) 値。モジュールによって表示されている現在のフィールド内の現在のラインのインデックス。
		DEFAULT	0	
15-14	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。

† CSL を使用して実装する場合、表記 VD_VDSTAT_field_symval を使用してください。

表 4-6. ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
13	VBLNK	OF (値)		垂直ブランキング・ビット。
		DEFAULT EMPTY	0	ビデオ・ディスプレイは、垂直ブランキング期間にはありません。
		NOTEMPTY	1	ビデオ・ディスプレイは、垂直ブランキング期間にあります。
12	VDFLD	OF (値)		VDFLD ビットは、現在表示されているフィールドを示します。VDFLD ビットは、次のフィールドの垂直ブランキング期間の先頭で更新されます。
		DEFAULT FIELD1ACT	0	フィールド 1 がアクティブ。
		FIELD2ACT	1	フィールド 2 がアクティブ。
11-0	VDXPOS	OF (値)	0 ~ FFFh	現在のフレーム・ピクセル・カウンタ (FPCOUNT) 値。最も最近出力されたピクセル・レベルのインデックス。
		DEFAULT	0	

[†] CSL を使用して実装する場合、表記 VD_VDSTAT_field_symval を使用してください。

4.12.2 ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL)

ビデオ・ディスプレイは、ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) によって制御されます。VDCTLを図 4-40 に示し、表 4-7 で説明します。

ビデオ・ディスプレイ・モードの場合、VXS ビットが 1 にセットされ、かつ FXS ビットがゼロクリアされる時、フィールドの検出が自動的にイネーブルされます。ビデオ・ポートがピン上の入力を要求するので、FXS ビットが 1 にセットされていないことを確認してください。

図 4-40. ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL)

31	30	29	28	27				24
RSTCH	BLKDIS	Reserved	PVPSYN	Reserved				
R/WS-0	R/W-1	R-0	R/W-0	R-0				
23	22	21	20	19	18	17	16	
FXS	VXS	HXS	VCTL2S	VCTL1S		VCTL0S		
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0		
15	14	13	12	11	10	9	8	
VDEN	DPK	RGBX	RSYNC	DVEN	RESMPL	Reserved	SCALE	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0	
7	6	5	4	3	2	0		
CON	FRAME	DF2	DF1	Reserved	DMODE			
R/W-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0			

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。WS = 1 を書き込むとリセット、0 (ゼロ) を書き込んでも影響ありません。-n = リセット後の値。

表 4-7 ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31	RSTCH	OF (値)		リセット・チャンネル・ビット。1 を書き込むとビットをリセットします。0 (ゼロ) を書き込んでも影響ありません。	
		DEFAULT	0	影響なし。	
		NONE			
		RESET	1	ビデオ・ディスプレイ・モジュールをリセットし、そのレジスタを初期値にセットします。また、VDEN ビットをクリアします。ソフトウェア・リセット完了後、ビデオ・ディスプレイ・モジュールは自動的に RSTCH をクリアします。	
30	BLKDIS	OF (値)		ブロック・ディスプレイ・イベント・ビット。BLKDIS は現在のプログラム可能なレジスタ値に影響を与えることなく、ディスプレイ FIFO のリセットとして機能します。 ビデオ・ディスプレイ・モジュールは引き続き通常どおり機能します。カウンタがカウントし、制御出力が生成され、EAV/SAV コードが BT.656 および Y/C モード用に生成され、デフォルト・データまたはブランキング・データがアクティブ・ディスプレイ期間中に出力されます。イベントが発生しないので、ディスプレイ FIFO へ転送されるデータはありません。フィールドまたはフレームが完了しても、VDSTAT 内の F1D、F2D、FRMD ビットは、まだセットされたままです。	
		CLEAR	0	BLKDIS ビットがクリアされるフィールド内では、このビットをクリアしても DMA イベントをイネーブルしません。このビットがクリアされたフレーム後にくる次のフレームの先頭で、DMA イベントはイネーブルされます。これにより、DMA は常に適切なフィールドと同期します。	
		DEFAULT BLOCK	1	DMA イベントがブロックされ、ディスプレイ FIFO がフラッシュされます。	
29	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
28	PVPSYN	OF (値)		直前のビデオ・ポート同期イネーブル・ビット。	
		DEFAULT DISABLE	0		
		ENABLE	1	出力タイミングは前のビデオ・ポートにロックされます (VP2 は、VP1 にロックされ、VP1 は VP0 にロックされます。図 4-7 (4-9 ページ) を参照)。	
27-24	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	

[†] CSL を使用して実装する場合、表記 VP_VDCTL_field_symval を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 4-4 を参照してください。

表 4-7 ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
23	FXS	OF (値)		フィールド外部同期イネーブル・ビット。	
		DEFAULT OUTPUT	0	VCTL2 は出力です。	
		FSINPUT	1	VCTL2 は外部フィールド同期入力です。	
22	VXS	OF (値)		垂直外部同期イネーブル・ビット。	
		DEFAULT OUTPUT	0	VCTL1 は出力です。	
		VSINPUT	1	VCTL1 は外部垂直同期入力です。	
21	HXS	OF (値)		水平外部同期イネーブル・ビット。	
		DEFAULT OUTPUT	0	VCTL0 は出力です。	
		HSINPUT	1	VCTL0 は外部水平同期入力です。	
20	VCTL2S	OF (値)		VCTL2 出力選択ビット。	
		DEFAULT CBLNK	0	出力は CBLNK。	
		FLD	1	出力は FLD。	
19-18	VCTL1S	OF (値)	0-3h	VCTL1 出力選択ビット。	
		DEFAULT VSYNC	0	出力は VSYNC。	
		VBLNK	1h	出力は VBLNK。	
		CSYNC	2h	出力は CSYNC。	
		FLD	3h	出力は FLD。	

[†] CSL を使用して実装する場合、表記 `VP_VDCTL_field_symval` を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 4-4 を参照してください。

表 4-7 ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
17-16	VCTL0S	OF (値)	0 ~ 3h	VCTL0 出力選択ビット。	
		DEFAULT	0	出力は HSYNC。	
		HYSYNC			
		HBLNK	1h	出力は HBLNK。	
		AVID	2h	出力は AVID。	
		FLD	3h	出力は FLD。	
15	VDEN	OF (値)		ビデオ・ディスプレイ・イネーブル・ビット。VDCTL 内の他のビット (ただし、RSTCH および BLKDIS ビットは除く) は、VDEN = 0 のときにのみ変更される場合があります。	
		DEFAULT DISABLE	0	ビデオ・ディスプレイはディスエーブル。	
		ENABLE	1	ビデオ・ディスプレイはイネーブル。	
14	DPK	OF (値)		10 ビット・パッキング・フォーマット選択ビット。	
		DEFAULT N10UNPK	0	ノーマル 10 ビット・アンパッキング。	
		D10UNPK	1	高密度 10 ビット・アンパッキング	
13	RGBX	OF (値)		RGB 抽出イネーブル・ビット。	
		DEFAULT DISABLE	0	未使用。	3/4 FIFO アンパックを行います。
		ENABLE	1	未使用。	
12	RSYNC	OF (値)		2 番目の同期 Raw データ・チャンネル・イネーブル・ビット。	
		DEFAULT DISABLE	0	未使用。	2 番目の同期 Raw データ・チャンネルはディスエーブル。
		ENABLE	1	未使用。	2 番目の同期 Raw データ・チャンネルはイネーブル。

[†] CSL を使用して実装する場合、表記 VP_VDCTL_field_symval を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 4-4 を参照してください。

表 4-7 ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
11	DVEN	OF (値)		デフォルト値イネーブル・ビット。	
		DEFAULT BLANKING	0	非ソース・アクティブ・ピクセル中にブランキング値が出力されます。	未使用。
		DV	1	非ソース・アクティブ・ピクセル中にデフォルト値が出力されます。	未使用。
10	RESMPL	OF (値)		色差しサンプリング・イネーブル・ビット。	
		DEFAULT DISABLE	0	色差しサンプリングはディスエーブル。	未使用。
		ENABLE	1	色差は、出力前に 4:2:0 分散型から 4:2:2 一致型へ水平方向成分のみサンプリングされます。	未使用。
9	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
8	SCALE	OF (値)		スケーリング選択ビット。	
		DEFAULT NONE	0	スケーリングなし。	未使用。
		X2	1	2x スケーリング	未使用。
7	CON [‡]	OF (値)		連続ディスプレイ・イネーブル・ビット。	
		DEFAULT DISABLE	0	連続ディスプレイはディスエーブル。	
		ENABLE	1	連続ディスプレイはイネーブル。	
6	FRAME [‡]	OF (値)		ディスプレイ・フレーム・ビット。	
		DEFAULT NONE	0	フレームを表示しません。	
		FRMDIS	1	フレームを表示します。	

[†] CSL を使用して実装する場合、表記 VP_VDCTL_field_symval を使用してください。

[‡] これらのビットを完全にエンコードする場合には、表 4-4 を参照してください。

表 4-7 ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
5	DF2 [‡]	OF (値)		フィールド 2 ディスプレイ・ビット。	
		DEFAULT	0	フィールド 2 を表示しません。	
		NONE			
		FLDDIS	1	フィールド 2 を表示します。	
4	DF1 [‡]	OF (値)		フィールド 1 ディスプレイ・ビット。	
		DEFAULT	0	フィールド 1 を表示しません。	
		NONE			
		FLDDIS	1	フィールド 1 を表示します。	
3	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
2-0	DMODE	OF (値)	0 ~ 7h	ディスプレイ・モード選択ビット。	
		DEFAULT	0	8 ビット BT.656 モードをイネーブルします。	
		BT656B			
		BT656D	1h	10 ビット BT.656 モードをイネーブルします。	
		RAWB	2h	8 ビット Raw データ・モードをイネーブルします。	
		RAWD	3h	10 ビット Raw データ・モードをイネーブルします。	
		YC16	4h	8 ビット Y/C モードをイネーブルします。	
		YC20	5h	10 ビット Y/C モードをイネーブルします。	
		RAW16	6h	16 ビット Raw データ・モードをイネーブルします。	
RAW20	7h	20 ビット Raw データ・モードをイネーブルします。			

[†] CSL を使用して実装する場合、表記 `VP_VDCTL_field_symval` を使用してください。

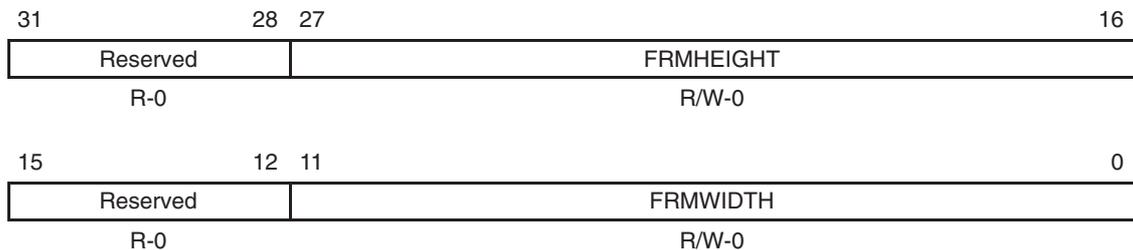
[‡] これらのビットを完全にエンコードする場合には、表 4-4 を参照してください。

4.12.3 ビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ)

ビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ) は、フレーム・ライン・カウンタ (FLCOUNT) およびフレーム・ピクセル・カウンタ (FPCOUNT) の終了値をセットすることでディスプレイ・チャンネルのフレーム・サイズをセットします。VDFRMSZ を図 4-41 に示し、表 4-8 で説明します。

FPCOUNT は 0 から始まり、リスタートする前に FRMWIDTH - 1 までカウントします。FLCOUNT は 1 から始まり、リスタートする前に FRMHEIGHT までカウントします。

図 4-41. ビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-8. ビデオ・ディスプレイ・フレーム・サイズ・レジスタ (VDFRMSZ) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	FRMHEIGHT	OF (値)	0 ~ FFFh	フレームあたりのライン合計数を定義します。この数値は、フレーム・ライン・カウンタ (FLCOUNT) の終了値です。 BT.656 動作では、FRMHEIGHT は 525 (525/60 動作) または 625 (625/50 動作) にセットされます。
		DEFAULT	0	
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	FRMWIDTH	OF (値)	0 ~ FFFh	ブランキングを含むラインあたりのピクセル数の合計を定義します。この数値は、フレーム・ピクセル・カウンタの終了値に 1 を加えた値です。 BT.656 動作では、FRMWIDTH は一般的に 858 または 864 です。
		DEFAULT	0	

[†] CSL を使用して実装する場合、表記 VP_VDFRMSZ_field_symval を使用してください。

4.12.4 ビデオ・ディスプレイ・ホリゾンタル・ブランキング・レジスタ (VDHBLNK)

ビデオ・ディスプレイ・ホリゾンタル・ブランキング・レジスタ (VDHBLNK) は、ディスプレイ水平ブランキングを制御します。VDHBLNK を図 4-42 に示し、表 4-9 で説明します。

フレーム・ピクセル・カウンタ (FPCOUNT) が HBLNKSTART と等しくなると毎回、HBLNK がアサートされます。また HBLNKSTART は、EAV コードが BT.656 および Y/C 出力のどの部分に挿入されるか決定します。

FPCOUNT = HBLNKSTOP になると毎回、HBLNK 信号がディアサートされます (この様子を図 4-5 (4-7 ページ) に示します)。BT.656 および Y/C モードでは、HBLNKSTOP は SAV コード挿入ポイントおよび HBLNK ディアサーション・ポイントを決定します。HBLNK インアクティブ・エッジは、オプションで HBDLA ビットを使用して 4 ピクセル・クロックだけ遅延させることができます。

4.12.5 ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1)

ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1) は、フィールド 1 内の垂直ブランキングの開始を制御します。VDVBLKS1 を図 4-43 (4-68 ページ) に示し、表 4-10 で説明します。

Raw データ・モードでは、フレーム・ライン・カウンタ (FLCOUNT) が VBLNKYSTART1 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VBLNKXSTART1 と等しくなると毎回、VBLNK がアサートされます (この様子を図 4-6 (4-8 ページ) に示します)。

BT.656 および Y/C モードでは、FLCOUNT = VBLNKYSTART1 かつ FPCOUNT = VBLNKXSTART1 になると毎回、VBLNK がアサートされます。この VBLNK 出力制御信号は、タイミング・コントロール・コードと完全に独立して関係がありません。フィールド 1 の EAV/SAV コード内の V ビットは、VDVBIT1 レジスタで制御されます。

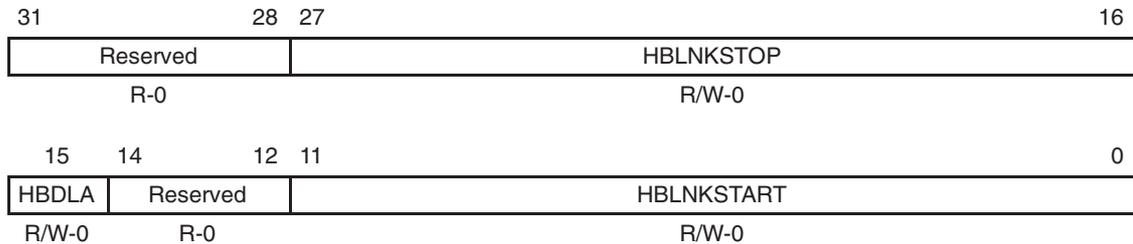
4.12.6 ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1)

ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1) は、フィールド 1 内の垂直ブランキングの終了を制御します。VDVBLKE1 を図 4-44 (4-69 ページ) に示し、表 4-11 で説明します。

Raw データ・モードでは、フレーム・ライン・カウンタ (FLCOUNT) が VBLNKYSTOP1 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VBLNKXSTOP1 と等しくなると毎回、VBLNK がディアサートされます (この様子を図 4-6 (4-8 ページ) に示します)。

BT.656 および Y/C モードでは、FLCOUNT = VBLNKYSTART1 かつ FPCOUNT = VBLNKXSTART1 になると毎回、VBLNK がディアサートされます。この VBLNK 出力制御は、タイミング・コントロール・コードと完全に独立して関係がありません。フィールド 1 の EAV/SAV コード内の V ビットは、VDVBIT1 レジスタで制御されます。

図 4-42. ビデオ・ディスプレイ・水平・ブランキング・レジスタ (VDHBLNK)



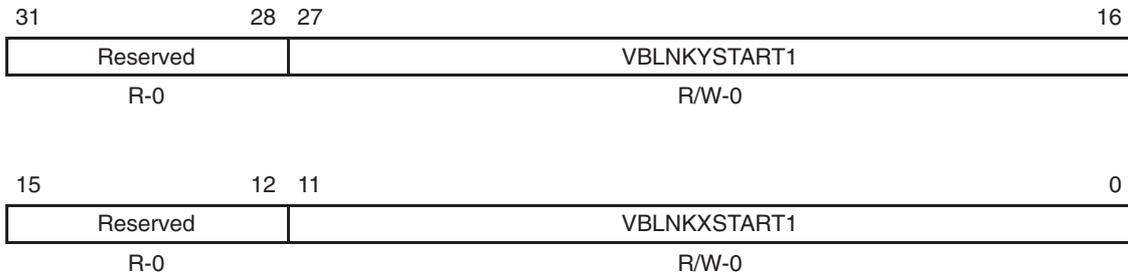
凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-9. ビデオ・ディスプレイ・水平・ブランキング・レジスタ (VDHBLNK) フィールドの説明

ビット	フィールド†	symval †	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	HBLNKSTOP	OF (値)	0 ~ FFFh	ライン内部の SAV コードのロケーションおよび HBLNK インアクティブ・エッジ。HBLNK インアクティブ・エッジは、オプションで 4 VCLK だけ遅延する場合があります。	ライン内部のブランキング・ビデオ領域 (HBLNK インアクティブ) の終了ピクセル (FPCOUNT)。
		DEFAULT	0		
15	HBDLA	OF (値)		水平ブランキング遅延イネーブル・ビット。	
		DEFAULT	0	水平ブランキング遅延はディスエーブル。	未使用。
		NONE			
		DELAY	1	HBLNK インアクティブ・エッジは、4 VCLK だけ遅延します。	未使用。
14-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	HBLNKSTART	OF (値)	0 ~ FFFh	ライン内部の EAV コードのロケーションおよび HBLNK アクティブ・エッジ。	ライン内部のブランキング・ビデオ領域 (HBLNK アクティブ) の開始ピクセル (FPCOUNT)。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDHBLNK_field_symval を使用してください。

図 4-43. ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1)



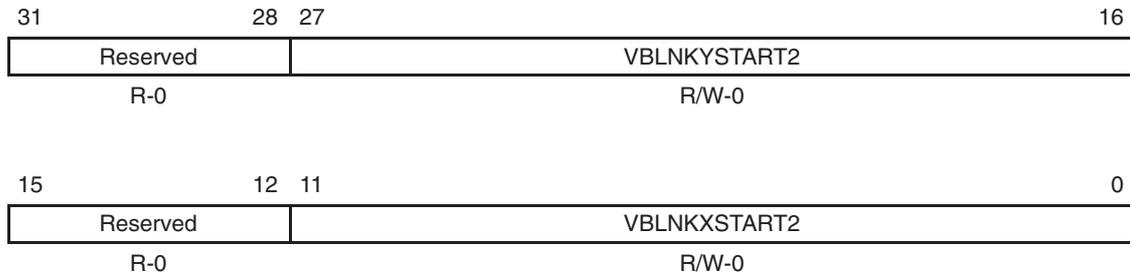
凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-10. ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1) フィールドの説明

ビット	フィールド†	symval †	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	VBLNKYSTART1	OF (値)	0 ~ FFFh	フィールド 1 に対して、VBLNK アクティブ・エッジが発生する (FLCOUNT 内の) ラインを指定します。EAV/SAV V ビットの動作には影響を与えません。	フィールド 1 に対して、垂直ブランキングが (VBLNK アクティブ・エッジを) 開始する (FLCOUNT 内の) ラインを指定します。
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	VBLNKXSTART1	OF (値)	0 ~ FFFh	フィールド 1 に対して、VBLNK アクティブ・エッジが発生する (FPCOUNT 内の) ピクセルを指定します。	フィールド 1 に対して、垂直ブランキングが (VBLNK アクティブ・エッジを) 開始する (FPCOUNT 内の) ピクセルを指定します。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDVBLKS1_field_symval を使用してください。

図 4-44. ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-11. ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	VBLNKYSTOP1	OF (値)	0 ~ FFFh	フィールド 1 に対して、VBLNK インアクティブ・エッジが発生する (FLCOUNT 内の) ラインを指定します。EAV/SAV の V ビットの動作には影響を与えません。	フィールド 1 に対して、垂直ブランキングが (VBLNK インアクティブ・エッジを) 終了する (FLCOUNT 内の) ラインを指定します。
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	VBLNKXSTOP1	OF (値)	0 ~ FFFh	フィールド 1 に対して、VBLNK インアクティブ・エッジが発生する (FPCOUNT 内の) ピクセルを指定します。	フィールド 1 に対して、垂直ブランキングが (VBLNK インアクティブ・エッジを) 終了する (FLCOUNT 内の) ピクセルを指定します。
		DEFAULT	0		

[†] CSL を使用して実装する場合、表記 VP_VDVBLKE1_field_symval を使用してください。

4.12.7 ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2)

ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2) は、フィールド 2 内の垂直ブランキングの開始点を制御します。VDVBLKS2 を図 4-45 に示し、表 4-12 で説明します。

Raw データ・モードでは、フレーム・ライン・カウンタ (FLCOUNT) が VBLNKYSTART2 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VBLNKXSTART2 と等しくなると毎回、VBLNK がアサートされます (この様子を図 4-6 (4-8 ページ) に示します)。

BT.656 および Y/C モードでは、FLCOUNT = VBLNKYSTART2 かつ FPCOUNT = VBLNKXSTART2 となると毎回、VBLNK がアサートされます。この VBLNK 出力制御信号は、タイミング・コントロール・コードと完全に独立して関係がありません。フィールド 2 の EAV/SAV コード内の V ビットは、VDVBIT2 レジスタで制御されます。

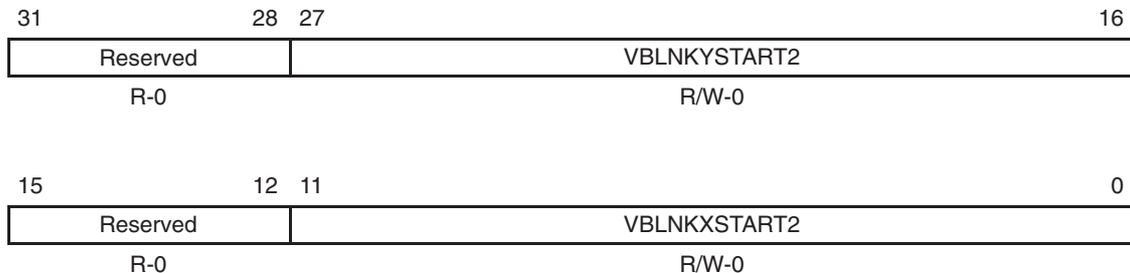
4.12.8 ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2)

ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2) は、フィールド 2 内の垂直ブランキングの終了を制御します。VDVBLKE2 を図 4-46 (4-72 ページ) に示し、表 4-13 で説明します。

Raw データ・モードでは、フレーム・ライン・カウンタ (FLCOUNT) が VBLNKYSTOP1 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VBLNKXSTOP1 と等しくなると毎回、VBLNK がデアサートされます (この様子を図 4-6 (4-8 ページ) に示します)。

BT.656 および Y/C モードでは、FLCOUNT = VBLNKYSTART1 かつ FPCOUNT = VBLNKXSTART1 になると毎回、VBLNK がデアサートされます。この VBLNK 出力制御は、タイミング・コントロール・コードと完全に独立して関係がありません。フィールド 2 の EAV/SAV コード内の V ビットは、VDVBIT2 レジスタで制御されます。

図 4-45. ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2)



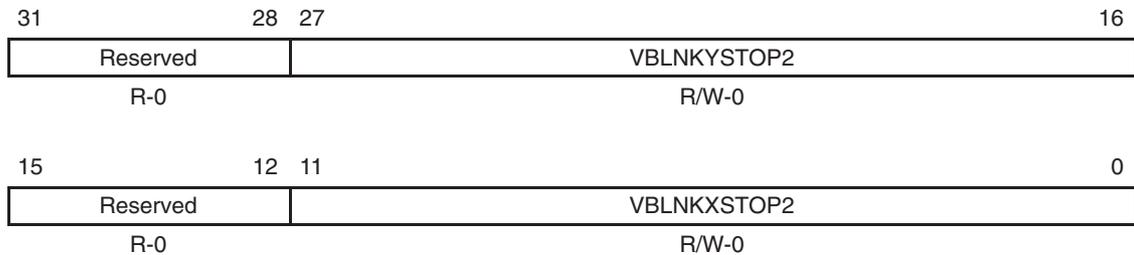
凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-12. ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2) フィールドの説明

ビット	フィールド†	symval †	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	VBLNKYSTART2	OF (値)	0 ~ FFFh	フィールド 2 に対して、VBLNK アクティブ・エッジが発生する (FLCOUNT 内の) ラインを指定します。EAV/SAV V ビットの動作には影響を与えません。	フィールド 2 に対して、垂直ブランキングが (VBLNK アクティブ・エッジを) 開始する (FLCOUNT 内の) ラインを指定します。
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	VBLNKXSTART2	OF (値)	0 ~ FFFh	フィールド 2 に対して、VBLNK アクティブ・エッジが発生する (FPCOUNT 内の) ピクセルを指定します。	フィールド 2 に対して、垂直ブランキングが (VBLNK アクティブ・エッジを) 開始する (FPCOUNT 内の) ピクセルを指定します。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDVBLKS2_field_symval を使用してください。

図 4-46. ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-13. ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2) フィールドの説明

				説明	
ビット	フィールド†	symval †	値	BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	VBLNKYSTOP2	OF (値)	0 ~ FFFh	フィールド 2 に対して、VBLNK インアクティブ・エッジが発生する (FLCOUNT 内の) ラインを指定します。EAV/SAV の V ビットの動作には影響を与えません。	フィールド 2 に対して、垂直ブランキングが (VBLNK インアクティブ・エッジを) 終了する (FLCOUNT 内の) ラインを指定します。
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	VBLNKXSTOP2	OF (値)	0 ~ FFFh	フィールド 2 に対して、VBLNK インアクティブ・エッジが発生する (FPCOUNT 内の) ピクセルを指定します。	フィールド 2 に対して、垂直ブランキングが (VBLNK インアクティブ・エッジを) 終了する (FLCOUNT 内の) ピクセルを指定します。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDVBLKE2_field_symval を使用してください。

4.12.9 ビデオ・ディスプレイ・フィールド1 イメージ・オフセット・レジスタ (VDIMGOFF1)

ビデオ・ディスプレイ・フィールド1 イメージ・オフセット・レジスタ (VDIMGOFF1) は、フィールド1 イメージ・オフセットを規定し、アクティブ・ディスプレイの開始と関係がある、表示されるイメージの開始位置を指定します。VDIMGOFF1 を図 4-47 に示し、表 4-14 で説明します。

イメージ・ライン・カウンタ (ILCOUNT) は、最初のイメージ・ライン上で (FLCOUNT = VBLNKYSTOP1 + IMGVOFF1 のとき) 1 にリセットされます。NV ビットがセットされている場合、FLCOUNT = VBLNKYSTOP1 - IMGVOFF1 であるとき、ILCOUNT は 1 にリセットされます。ディスプレイ・イメージ・ピクセルはフィールド1 の ILCOUNT = 1 となるラインで出力が開始されます。デフォルトの出力値またはランキング値が、ILCOUNT = 1 より前にあるアクティブ・ライン中に出力されます。負のオフセットの場合、IMGVOFF1 は VBLNKYSTOP1 より大きくしてはいけません。フィールド1 のアクティブ・イメージは、フィールド2 のアクティブ・イメージに重なってはいけません。

イメージ・ピクセル・カウンタ (IPCOUNT) は、アクティブ・ライン・イメージの先頭で 0 (ゼロ) にリセットされます。ILCOUNT = 1 となると、FIFO からのイメージ・ピクセルが、FPCOUNT = IMGHOFF1 であるときに開始するフィールド1 内の各ライン上に出力されます。NH ビットがセットされている場合、FPCOUNT = FRMWIDTH - IMGHOFF1 であるときに、IPCOUNT がリセットされます。デフォルトの出力値またはランキング値が、IMGHOFF1 より前にあるアクティブ・ピクセル中に出力されます。

図 4-47. ビデオ・ディスプレイ・フィールド1 イメージ・オフセット・レジスタ (VDIMGOFF1)

31	30	28	27	16
NV	Reserved		IMGVOFF1	
R/W-0	R-0		R/W-0	
15	14	12	11	0
NH	Reserved		IMGHOFF1	
R/W-0	R-0		R/W-0	

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-14. ビデオ・ディスプレイ・フィールド 1 イメージ・オフセット・レジスタ (VDIMGOFF1) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31	NV	OF (値)		負の垂直イメージ・オフセット・イネーブル・ビット。	
		DEFAULT	0		未使用。
		NONE			
		NEGOFF	1	ディスプレイ・イメージ・ウィンドウは、フィールド 1 の最初のアクティブ・ラインの前から開始します (VBI データ出力に使用)。	未使用。
30-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	IMGVOFF1	OF (値)	0 ~ FFh	フィールド 1 の最初のアクティブ・ラインからのディスプレイ・イメージの垂直オフセットをライン単位で指定します。	
		DEFAULT	0		
15	NH	OF (値)		負の水平イメージ・オフセット。	
		DEFAULT	0		未使用。
		NONE			
		NEGOFF	1	ディスプレイ・イメージ・ウィンドウは、アクティブ・ビデオが始まる前から開始します (HANC データ出力に使用)。	未使用。
14-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	IMGHOFF1	OF (値)	0 ~ FFh	フィールド 1 内のアクティブ・ビデオの各ラインの先頭からのディスプレイ・イメージの水平オフセットをピクセル単位で指定します。この値は、偶数でなければなりません (LSB は 0 (ゼロ) として処理されます)。	フィールド 1 内のアクティブ・ビデオの各ラインの先頭からのディスプレイ・イメージの水平オフセットをピクセル単位で指定します。
		DEFAULT	0		

[†] CSL を使用して実装する場合、表記 VP_VDIMGOFF1_field_symval を使用してください。

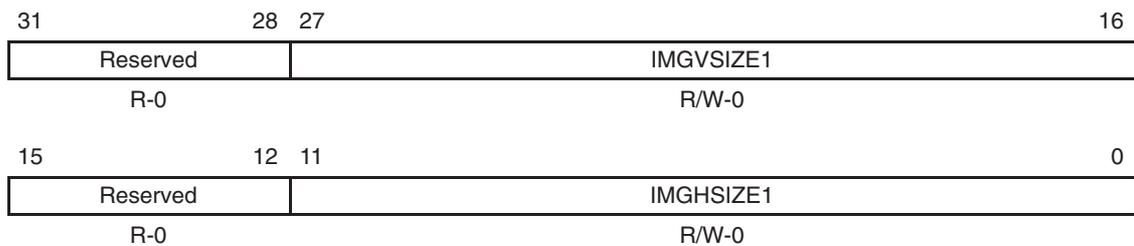
4.12.10 ビデオ・ディスプレイ・フィールド1 イメージ・サイズ・レジスタ (VDIMGSZ1)

ビデオ・ディスプレイ・フィールド1 イメージ・サイズ・レジスタ (VDIMGSZ1) は、フィールド1 のイメージ領域を規定し、アクティブ・ディスプレイ内に表示されるイメージのサイズを指定します。VDIMGSZ1 を図 4-48 に示し、表 4-15 で説明します。

イメージ・ピクセル・カウンタ (IPCOUNT) は、各ディスプレイ・イメージ上でディスプレイ・イメージのピクセル出力をカウントします。ディスプレイ・イメージのピクセル出力は、IPCOUNT = IMGHSIZE1 のときに停止します。デフォルトの出力値またはブランキング値が、残りのアクティブ・ラインに出力されます。

イメージ・ライン・カウンタ (ILCOUNT) は、表示されたイメージ・ラインをカウントします。ディスプレイ・イメージの出力は、ILCOUNT = IMGVSIZE1 のときに停止します。デフォルトの出力値またはブランキング値が、残りのアクティブ・フィールドに出力されます。

図 4-48. ビデオ・ディスプレイ・フィールド1 イメージ・サイズ・レジスタ (VDIMGSZ1)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-15. ビデオ・ディスプレイ・フィールド1 イメージ・サイズ・レジスタ (VDIMGSZ1) フィールドの説明

				説明	
ビット	フィールド [†]	symval [†]	値	BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	IMGVSIZE1	OF (値) DEFAULT	0 ~ FFFh 0	ディスプレイ・イメージの高さをライン単位で指定します。	
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	IMGHSIZE1	OF (値) DEFAULT	0 ~ FFFh 0	ディスプレイ・イメージの幅をピクセル単位で指定します。この数値は、偶数でなければなりません (LSB は 0 (ゼロ) として処理されます)。	ディスプレイ・イメージの幅をピクセル単位で指定します。

[†] CSL を使用して実装する場合、表記 VP_VDIMGSZ1_field_symval を使用してください。

4.12.11 ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2)

ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2) は、フィールド 2 イメージ・オフセットを規定し、アクティブ・ディスプレイの開始と関係がある、表示されるイメージの開始位置を指定します。VDIMGOFF2 を図 4-49 に示し、表 4-16 で説明します。

イメージ・ライン・カウンタ (ILCOUNT) は、 $(FLCOUNT = VBLNKYSTOP2 + IMGVOFF2)$ のとき 最初のイメージ・ライン上で 1 にリセットされます。NV ビットがセットされている場合、 $FLCOUNT = VBLNKYSTOP2 - IMGVOFF2$ であるとき、ILCOUNT は 1 にリセットされます。ディスプレイ・イメージ・ピクセルはフィールド 2 の ILCOUNT = 1 となるラインで出力が開始されます。デフォルトの出力値またはランキング値が、ILCOUNT = 1 より前にあるアクティブ・ライン中に出力されます。負のオフセットの場合、IMGVOFF2 は VBLNKYSTOP2 より大きくしてはいけません。フィールド 2 のアクティブ・イメージは、フィールド 1 のアクティブ・イメージに重なってはいけません。

イメージ・ピクセル・カウンタ (IPCOUNT) は、アクティブ・ライン・イメージの先頭で 0 (ゼロ) にリセットされます。ILCOUNT = 1 となると、FIFO からのイメージ・ピクセルが、 $FPCOUNT = IMGHOFF2$ であるときに開始するフィールド 2 内の各ライン上に出力されます。NH ビットがセットされている場合、 $FPCOUNT = FRMWIDTH - IMGHOFF2$ であるときに、IPCOUNT がリセットされます。デフォルトの出力値またはランキング値が、IMGHOFF2 より前にあるアクティブ・ピクセル中に出力されます。

図 4-49. ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2)

31	30	28	27	16
NV	Reserved		IMGVOFF2	
R/W-0	R-0	R/W-0		
15	14	12	11	0
NH	Reserved		IMGHOFF2	
R/W-0	R-0	R/W-0		

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-16. ビデオ・ディスプレイ・フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31	NV	OF (値)		負の垂直イメージ・オフセット・イネーブル・ビット。	
		DEFAULT	0		未使用。
		NONE			
		NEGOFF	1	ディスプレイ・イメージ・ウィンドウは、フィールド 2 の最初のアクティブ・ラインの前から開始します (VBI データ出力に使用)。	未使用。
30-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	IMGVOFF2	OF (値)	0 ~ FFFh	フィールド 2 の最初のアクティブ・ラインからのディスプレイ・イメージの垂直オフセットをライン単位で指定します。	
		DEFAULT	0		
15	NH	OF (値)		負の水平イメージ・オフセット。	
		DEFAULT	0		未使用。
		NONE			
		NEGOFF	1	ディスプレイ・イメージ・ウィンドウは、アクティブ・ビデオが始まる前から開始します (HANC データ出力に使用)。	未使用。
14-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	IMGHOFF2	OF (値)	0 ~ FFFh	フィールド 2 内のアクティブ・ビデオの各ラインの先頭からのディスプレイ・イメージの水平オフセットをピクセル単位で指定します。この値は、偶数でなければなりません (LSB は 0 (ゼロ) として処理されます)。	フィールド 2 内のアクティブ・ビデオの各ラインの先頭からのディスプレイ・イメージの水平オフセットをピクセル単位で指定します。
		DEFAULT	0		

[†] CSL を使用して実装する場合、表記 `VP_VDIMGOFF2_field_symval` を使用してください。

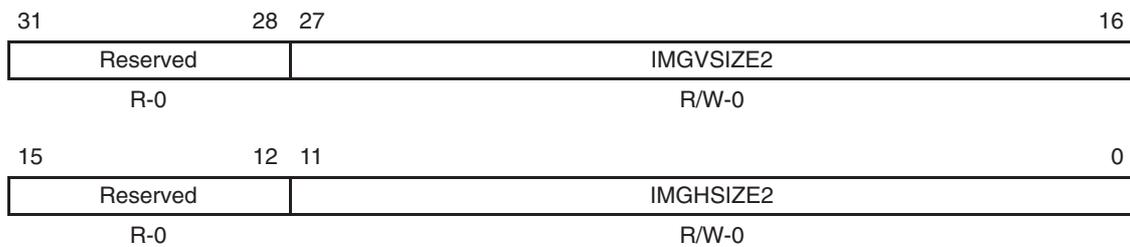
4.12.12 ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2)

ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2) は、フィールド 2 のイメージ領域を規定し、アクティブ・ディスプレイ内に表示されるイメージのサイズを指定します。VDIMGSZ2 を図 4-50 に示し、表 4-17 で説明します。

イメージ・ピクセル・カウンタ (IPCOUNT) は、各ディスプレイ・イメージ上でディスプレイ・イメージのピクセル出力をカウントします。ディスプレイ・イメージのピクセル出力は、 $IPCOUNT = IMGHSIZE2$ のときに停止します。デフォルトの出力値またはブランキング値が、残りのアクティブ・ラインに出力されます。

イメージ・ライン・カウンタ (ILCOUNT) は、表示されたイメージ・ラインをカウントします。ディスプレイ・イメージの出力は、 $ILCOUNT = IMGVSIZE2$ のときに停止します。デフォルトの出力値またはブランキング値が、残りのアクティブ・フィールドに出力されます。

図 4-50. ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-17. ビデオ・ディスプレイ・フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2) フィールドの説明

				説明	
ビット	フィールド [†]	symval [†]	値	BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	IMGVSIZE2	OF (値)	0 ~ FFFh	ディスプレイ・イメージの高さをライン単位で指定します。	
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	IMGHSIZE2	OF (値)	0 ~ FFFh	ディスプレイ・イメージの幅をピクセル単位で指定します。この数値は、偶数でなければなりません (LSB は 0 (ゼロ) として処理されます)。	ディスプレイ・イメージの幅をピクセル単位で指定します。
		DEFAULT	0		

[†] CSL を使用して実装する場合、表記 VP_VDIMGSZ2_field_symval を使用してください。

4.12.13 ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ (VDFLDT1)

ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ (VDFLDT1) は、フィールド ID 信号のタイミングをセットします。VDFLDT1 を図 4-51 に示し、表 4-18 で説明します。

Raw データ・モードでは、フレーム・ライン・カウンタ (FLCOUNT) が FLD1YSTART と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が FLD1XSTART と等しくなると毎回、フィールド 1 ディスプレイを示すために FLD 信号がディアサートされます (この様子を図 4-6 (4-8 ページ) に示します)。

BT.656 および Y/C モードでは、FLCOUNT = FLD1YSTART かつ FPCOUNT = FLD1XSTART であるときは毎回、フィールド 1 ディスプレイを示すために FLD 信号がディアサートされます。この FLD 出力は、タイミング・コントロール・コードと完全に独立して関係がありません。EAV/SAV コード内の F ビットは、VDFBIT レジスタによって制御されます。

図 4-51. ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ (VDFLDT1)

31	28 27	16
Reserved	FLD1YSTART	
R-0	R/W-0	
15	12 11	0
Reserved	FLD1XSTART	
R-0	R/W-0	

凡例: R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-18. ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ (VDFLDT1) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	FLD1YSTART	OF (値)	0 ~ FFFh	フィールド 1 の先頭ライン (FLD がディアサートされるライン) を指定します。
		DEFAULT	0	
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	FLD1XSTART	OF (値)	0 ~ FFFh	FLD 出力がディアサートされるフィールド 1 の先頭ライン上のピクセルを指定します。
		DEFAULT	0	

[†] CSL を使用して実装する場合、表記 VP_VDFLDT1_field_symval を使用してください。

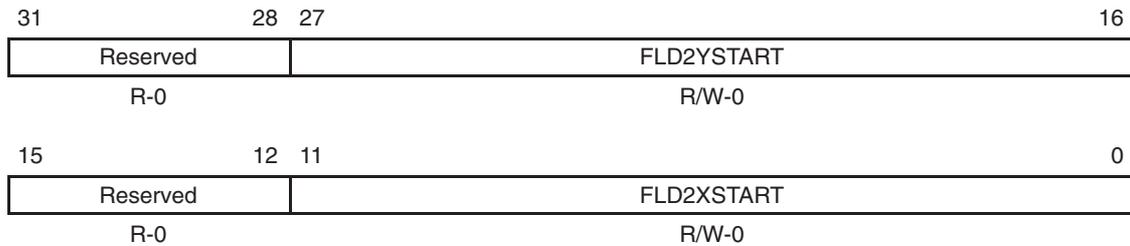
4.12.14 ビデオ・ディスプレイ・フィールド 2 タイミング・レジスタ (VDFLDT2)

ビデオ・ディスプレイ・フィールド 2 タイミング・レジスタ (VDFLDT2) は、フィールド ID 信号のタイミングをセットします。VDFLDT2 を図 4-52 に示し、表 4-19 で説明します。

Raw データ・モードでは、フレーム・ライン・カウンタ (FLCOUNT) が FLD2YSTART と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が FLD2XSTART と等しくなると毎回、FLD 信号がアサートされます (この様子を図 4-6 (4-8 ページ) に示します)。

BT.656 および Y/C モードでは、FLCOUNT = FLD2YSTART かつ FPCOUNT = FLD2XSTART であるときは毎回、フィールド 2 ディスプレイを示すために FLD 信号がアサートされます。この FLD 出力は、タイミング・コントロール・コードと完全に独立していて関係がありません。EAV/SAV コード内の F ビットは、VDFBIT レジスタによって制御されます。

図 4-52. ビデオ・ディスプレイ・フィールド 2 タイミング・レジスタ (VDFLDT2)



凡例: R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-19. ビデオ・ディスプレイ・フィールド 2 タイミング・レジスタ (VDFLDT2) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	FLD2YSTART	OF (値)	0 ~ FFFh	フィールド 2 の先頭ライン (FLD がアサートされるライン) を指定します。
		DEFAULT	0	
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	FLD2XSTART	OF (値)	0 ~ FFFh	FLD 出力がアサートされるフィールド 2 の先頭ライン上のピクセルを指定します。
		DEFAULT	0	

[†] CSL を使用して実装する場合、表記 VP_VDFLDT2_field_symval を使用してください。

4.12.15 ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD)

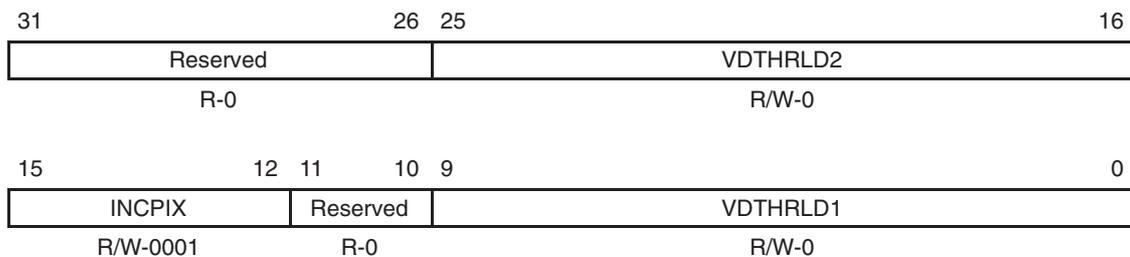
ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD) は、ディスプレイ FIFO スレッシュホールドをセットして、より多くディスプレイ・データをロードするタイミングを決定します。VDTHRLD を図 4-53 に示し、表 4-20 で説明します。

VDTHRLD n ビットは、適切な DMA イベントが生成される前に、ディスプレイ FIFO 内で使用できるスペースを決定します。Y FIFO は直接 VDTHRLD n 値を使用します。Cb および Cr 値は、ダブルワードで切り上げされて VDTHRLD n の 1/2 ((VDTHRLD n + VTHRLD n mod 2) の 1/2) を使用します。DMA の転送サイズは、各 FIFO で使用される値より小さくなければなりません。一般に、VDTHRLD n はダブルワード境界に切り上げられる水平ラインの長さにセットされます。非線形長スレッシュホールドの場合、表示データのアンパック・メカニズムは、どんな VDTHRLD n 値が有効かという一定の制約を設定します (2.3.3 項を参照)。

VDTHRLD2 ビットは VDTHRLD1 とまったく同じように動作しますが、フィールド 2 のキャプチャ中に使用されます。フィールド 2 の DMA サイズがフィールド 1 の DMA サイズと異なっている必要がある場合にのみ、このビットは使用されます (たとえば、フィールド 1 およびフィールド 2 内でディスプレイ・ライン長が異なる場合)。

Raw ディスプレイ・モードでは、INCPPIX ビットはフレーム・ピクセル・カウンタ (FPCOUNT) がインクリメントされるタイミングを決定します。たとえば、各出力値がディスプレイ・ピクセルの R、G、B のいずれかの部分を表している場合、INCPPIX ビットは 3h にセットされ、ピクセル・カウンタは出力クロック 3 回ごとにのみインクリメントされます。INCPPIX 値 0h は、0 (ゼロ) ではなくカウント 16 を表します。

図 4-53. ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-20. ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD) フィールドの説明

				説明	
ビット	フィールド†	symval†	値	BT.656 および Y/C モード	Raw データ・モード
31-26	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
25-16	VDTHRLD2	OF (値)	0 ~ 3FFh	フィールド 2 のスレッシュホールド。Y のディスプレイ FIFO に少なくとも VDTHRLD ダブルワードのスペースがあるときは、新たに Y の DMA イベントが生成されます。Cb または Cr のディスプレイ FIFO に少なくとも VDTHRLD ダブルワードの 1/2 のスペースがあるときは、新たに Cb または Cr の DMA イベントが生成されます。	フィールド 2 のスレッシュホールド。Y のディスプレイ FIFO に少なくとも VDTHRLD ダブルワードのスペースがあるときは、新たに Y の DMA イベントが生成されます。
		DEFAULT	0		
15-12	INCPPIX	OF (値)	0 ~ Fh	未使用。	FPCOUNT は INCPPIX 出力クロックごとにインクリメントされます。
		DEFAULT	1		
11-10	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
9-0	VDTHRLD1	OF (値)	0 ~ 3FFh	フィールド 1 のスレッシュホールド。Y のディスプレイ FIFO に少なくとも VDTHRLD ダブルワードのスペースがあるときは、新たに Y の DMA イベントが生成されます。Cb または Cr のディスプレイ FIFO に少なくとも VDTHRLD ダブルワードの 1/2 のスペースがあるときは、新たに Cb または Cr の DMA イベントが生成されます。	フィールド 1 のスレッシュホールド。Y のディスプレイ FIFO に少なくとも VDTHRLD ダブルワードのスペースがあるときは、新たに Y の DMA イベントが生成されます。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDTHRLD_field_symval を使用してください。

4.12.16 ビデオ・ディスプレイ・ホリゾンタル・シンクロナイゼーション・レジスタ (VDHSYNC)

ビデオ・ディスプレイ・ホリゾンタル・シンクロナイゼーション・レジスタ (VDHSYNC) は、水平同期信号のタイミングを制御します。VDHSYNC を図 4-54 に示し、表 4-21 で説明します。

水平同期の生成を図 4-5 (4-7 ページ) に示します。フレーム・ピクセル・カウンタ (FPCOUNT) が HSYNCSTART と等しいときは毎回、水平同期パルスの開始を示すために HSYNC 信号はアサートされます。FPCOUNT = HSYNCSTOP であるときは毎回、水平同期パルスの終了を示すために HSYNC 信号がディアサートされます。

図 4-54. ビデオ・ディスプレイ・ホリゾンタル・シンクロナイゼーション・レジスタ (VDHSYNC)

31	28 27	16
Reserved	HSYNCSTOP	
R-0	R/W-0	
15	12 11	0
Reserved	HSYNCSTART	
R-0	R/W-0	

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-21. ビデオ・ディスプレイ・ホリゾンタル・シンクロナイゼーション・レジスタ (VDHSYNC) フィールドの説明

ビット	フィールド†	symval †	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	HSYNCSTOP	OF (値) DEFAULT	0 ~ FFFh 0	HSYNC がディアサートされるピクセルを指定します。
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	HSYNCSTART	OF (値) DEFAULT	0 ~ FFFh 0	HSYNC がアサートされるピクセルを指定します。

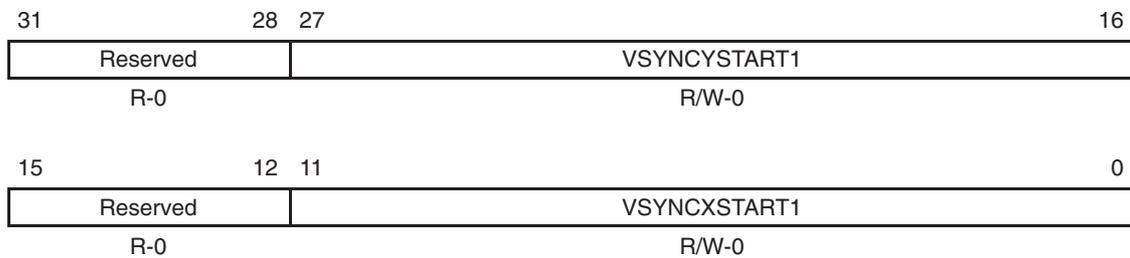
† CSL を使用して実装する場合、表記 VP_VDHSYNC_field_symval を使用してください。

4.12.17 ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS1)

ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS1) は、フィールド 1 内の垂直同期の開始を制御します。VDVSYNS1 を図 4-55 に示し、表 4-22 で説明します。

垂直同期の生成を図 4-6(4-8 ページ)に示します。フレーム・ライン・カウンタ (FLCOUNT) が VSYNCYSTART1 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VSYNCXSTART1 と等しくなると毎回、VSYNC 信号がアサートされます。

図 4-55. ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS1)



凡例: R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-22. ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS1) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	VSYNCYSTART1	OF (値)	0 ~ FFFh	フィールド 1 に対して、VSYNC がアサートされるラインを指定します。
		DEFAULT	0	
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	VSYNCXSTART1	OF (値)	0 ~ FFFh	フィールド 1 内で、VSYNC がアサートされるピクセルを指定します。
		DEFAULT	0	

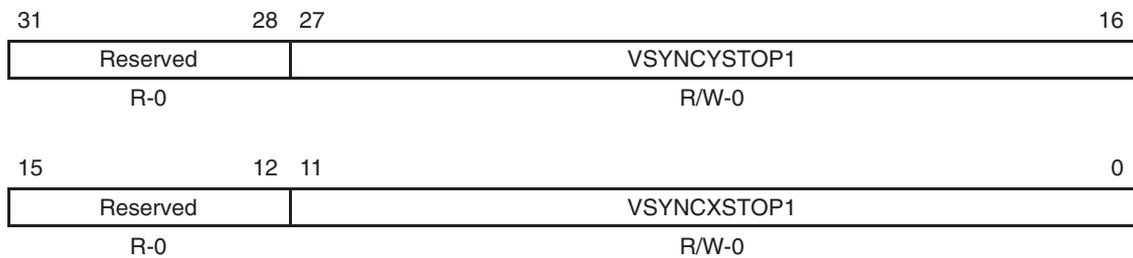
[†] CSL を使用して実装する場合、表記 VP_VDVSYNS1_field_symval を使用してください。

4.12.18 ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE1)

ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE1) は、フィールド 1 内の垂直同期の終了を制御します。VDVSYNE1 を図 4-56 に示し、表 4-23 で説明します。

垂直同期の生成を図 4-6(4-8 ページ)に示します。フレーム・ライン・カウンタ (FLCOUNT) が VSYNCSTOP1 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VSYNCXSTOP1 と等しくなると毎回、VSYNC 信号がディアサートされます。

図 4-56. ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE1)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-23. ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE1) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	VSYNCYSTOP1	OF (値)	0 ~ FFFh	フィールド 1 に対して、VSYNC がディアサートされるラインを指定します。
		DEFAULT	0	
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	VSYNCXSTOP1	OF (値)	0 ~ FFFh	フィールド 1 内で、VSYNC がディアサートされるピクセルを指定します。
		DEFAULT	0	

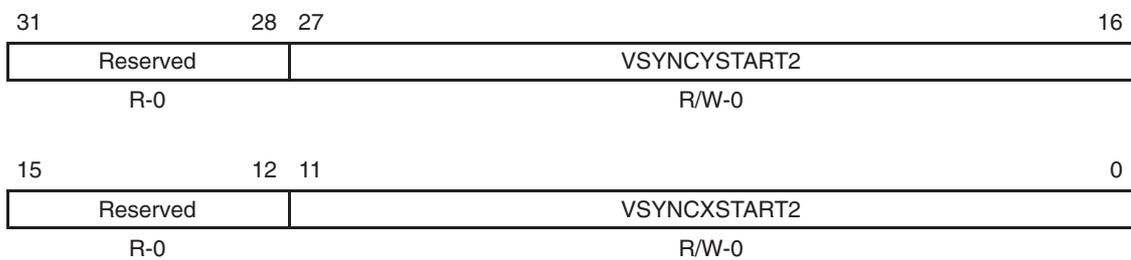
[†] CSL を使用して実装する場合、表記 VP_VDVSYNE1_field_symval を使用してください。

4.12.19 ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS2)

ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS2) は、フィールド 2 内の垂直同期の開始を制御します。VDVSYNS2 を図 4-57 に示し、表 4-24 で説明します。

垂直同期の生成を図 4-6(4-8 ページ)に示します。フレーム・ライン・カウンタ (FLCOUNT) が VSYNCYSTART2 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VSYNCXSTART2 と等しくなると毎回、VSYNC 信号がアサートされます。

図 4-57. ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS2)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-24. ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS2) フィールドの説明

ビット	フィールド†	symval †	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	VSYNCYSTART2	OF (値)	0 ~ FFFh	フィールド 2 に対して、VSYNC がアサートされるラインを指定します。
		DEFAULT	0	
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	VSYNCXSTART2	OF (値)	0 ~ FFFh	フィールド 2 内で、VSYNC がアサートされるピクセルを指定します。
		DEFAULT	0	

† CSL を使用して実装する場合、表記 VP_VDVSYNS2_field_symval を使用してください。

4.12.20 ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE2)

ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE2) は、フィールド 2 内の垂直同期の終了を制御します。VDVSYNE2 を図 4-58 に示し、表 4-25 で説明します。

垂直同期の生成を図 4-6 (4-8 ページ) に示します。フレーム・ライン・カウンタ (FLCOUNT) が VSYNCSTOP2 と等しくなり、かつフレーム・ピクセル・カウンタ (FPCOUNT) が VSYNCXSTOP2 と等しくなると毎回、VSYNC 信号がディアサートされます。

図 4-58. ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE2)

31	28 27	16
Reserved	VSYNCYSTOP2	
R-0	R/W-0	
15	12 11	0
Reserved	VSYNCXSTOP2	
R-0	R/W-0	

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-25. ビデオ・ディスプレイ・フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE2)

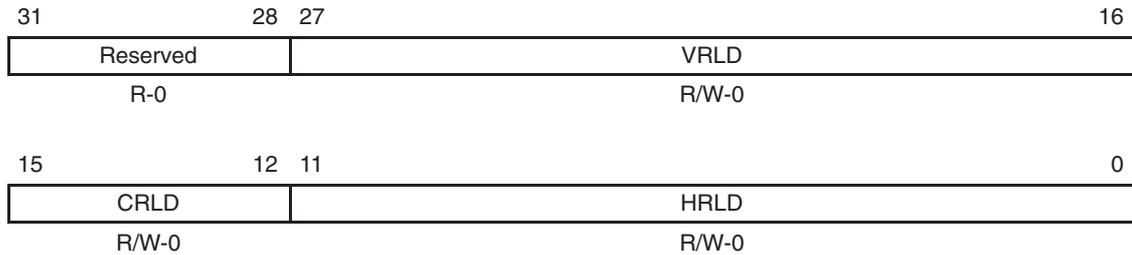
ビット	フィールド†	symval†	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	VSYNCYSTOP2	OF (値)	0 ~ FFh DEFAULT 0	フィールド 2 に対して、VSYNC がディアサートされるラインを指定します。
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	VSYNCXSTOP2	OF (値)	0 ~ FFh DEFAULT 0	フィールド 2 内で、VSYNC がディアサートされるピクセルを指定します。

† CSL を使用して実装する場合、表記 `VP_VDVSYNE2_field_symval` を使用してください。

4.12.21 ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD)

外部からの水平または垂直同期を使用するとき、外部同期が起動されている場合には、ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD) は、カウンタにロードされる値を決定します。VDRELOAD を図 4-59 に示し、表 4-26 で説明します。

図 4-59. ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-26. ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	VRLD	OF (値)	0 ~ FFFh	外部 VSYNC が発生したとき、フレーム・ライン・カウンタ (FLCOUNT) にロードされる値。
		DEFAULT	0	
15-12	CRLD	OF (値)	0 ~ Fh	外部 HSYNC が発生したとき、ビデオ・クロック・カウンタ (VCCOUNT) にロードされる値。
		DEFAULT	0	
11-0	HRLD	OF (値)	0 ~ FFFh	外部 HSYNC が発生したとき、フレーム・ピクセル・カウンタ (FPCOUNT) にロードされる値。
		DEFAULT	0	

[†] CSL を使用して実装する場合、表記 VP_VDRELOAD_field_symval を使用してください。

4.12.22 ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT)

ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT) は、ディスプレイ・フィールド1およびフィールド2で生成される DMA イベントの数でプログラムされます。VDDISPEVTを図4-60で示し、表4-27で説明します。

図 4-60. ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT)

31	28 27	16
Reserved	DISPEVT2	
R-0	R/W-0	
15	12 11	0
Reserved	DISPEVT1	
R-0	R/W-0	

凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-27. ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT) フィールドの説明

				説明	
ビット	フィールド†	symval †	値	BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	DISPEVT2	OF (値)	0 ~ FFFh	フィールド2の出力に対して生成される DMA イベント・セット (YEVT、CbEVT、CrEVT) の数を指定します。	フィールド2の出力に対して生成される DMA イベント (YEVT) の数を指定します。
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	DISPEVT1	OF (値)	0 ~ FFFh	フィールド1の出力に対して生成される DMA イベント・セット (YEVT、CbEVT、CrEVT) の数を指定します。	フィールド1の出力に対して生成される DMA イベント (YEVT) の数を指定します。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDDISPEVT_DISPEVTn_symval を使用してください。

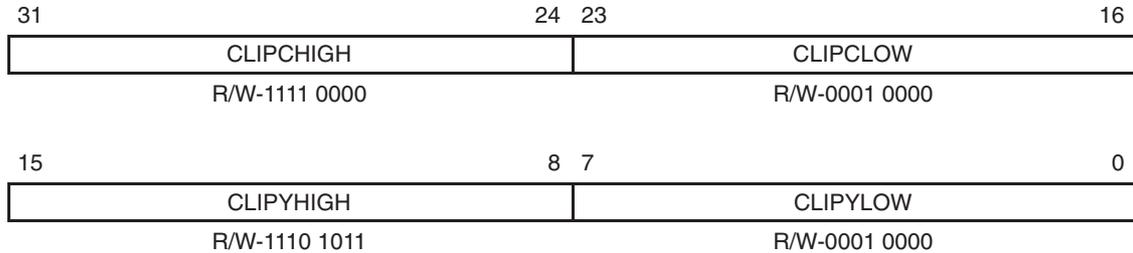
4.12.23 ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP)

ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP) を図 4-61 に示し、表 4-28 で説明します。

BT.656 および Y/C モードでのビデオ・ディスプレイ・モジュールは、プログラム可能なクリッピングを行います。クリッピングは、ビデオ・パイプラインの最後のステップで行われます。アクティブ・ビデオ領域内部の $VDIMGSZ_n$ および $VDIMGOFF_n$ が指定するイメージ領域上でのみクリッピングは適用されます (ブランキング値はクリッピングされません)。

VDCLIP を使用すると、出力値を指定値内に固定することができます。デフォルト値は、輝度の場合、BT.601 が指定するピーク時の黒レベルは 16、ピーク時の白レベルは 235 で、色差の場合、最大の量子化レベルは 16 ~ 240 です。10 ビット動作では、クリッピングは下位 2 ビットがクリアされた上位 8 ビットの値に適用されます (たとえば、FF.8h の Y 値が EB.0h にクリップされ、0F.4h の Y 値が 10.0h にクリップされます)。

図 4-61. ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP)



凡例： R/W = 読み取り / 書き込み。 -n = リセット後の値。

表 4-28. ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-24	CLIPCHIGH	OF (値)	0 ~ FFh	CLIPCHIGH より大きな Cb または Cr 値は、強制的に CLIPCHIGH 値になります。	未使用。
		DEFAULT	F0h		
23-16	CLIPCLOW	OF (値)	0 ~ FFh	CLIPCLOW より小さな Cb または Cr 値は、強制的に CLIPCLOW 値になります。	未使用。
		DEFAULT	10h		
15-8	CLIPYHIGH	OF (値)	0 ~ FFh	CLIPCHIGH より大きな Y 値は、強制的に CLIPCHIGH 値になります。	未使用。
		DEFAULT	EBh		
7-0	CLIPYLOW	OF (値)	0 ~ FFh	CLIPYLOW より小さな Y 値は、強制的に CLIPYLOW 値になります。	未使用。
		DEFAULT	10h		

[†] CSL を使用して実装する場合、表記 VP_VDCLIP_field_symval を使用してください。

4.12.24 ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL)

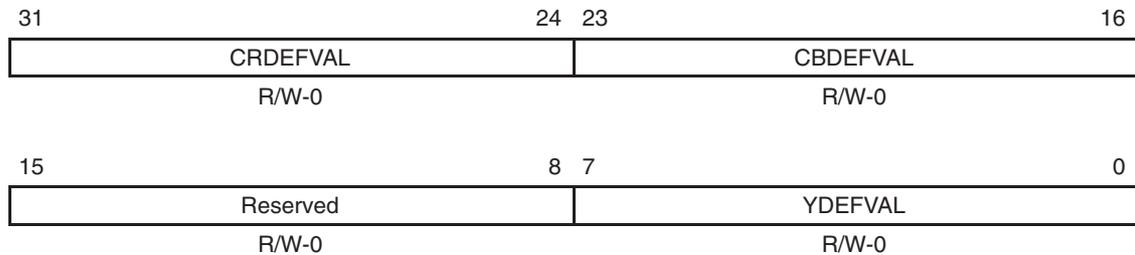
ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL) は、ディスプレイ・イメージ部分ではない、アクティブ・ビデオ・ウィンドウの部分の間に出力されるデフォルト値を規定します。VDDEFVAL については、BT.656 および Y/C モードの場合を図 4-62 に示し、Raw データ・モードの場合を図 4-63 に示し、表 4-29 で説明します。

アクティブ・ビデオの非イメージ・ディスプレイ・ウィンドウ部分の間、デフォルト値が出力されます。これは、垂直方向が $ILCOUNT = 0$ から $ILCOUNT = IMGVOFF_n$ の間にあり、水平方向が $IPCOUNT = 0$ から $IPCOUNT = IMGHOFF_n$ の間にある範囲です。BT.656 モードでは、CBDEFVAL、YDEFVAL、CRDEFVAL は標準の CbYCrY 規則で出力上にマルチプレクスされます。Y/C モードでは、YDEFVAL が $VDOOUT[9-0]$ バス上に出力され、CBDEFVAL および CRDEFVAL が $VDOOUT[19-10]$ バス上にマルチプレクスされます。すべての場合で、デフォルト値がバスの上位 8 ビット ([9-2] または [19-12]) 上に出力され、下位 2 ビット ([1-0] または [11-10]) は 0 (ゼロ) になります。

Raw データ・モードでは、DEFVAL の下位 8、10、16、20 ビットのいずれかが、バス幅に応じて出力されます。また、Raw データ・モードでは、水平および垂直ブランキング期間中にデフォルト値が出力されます。

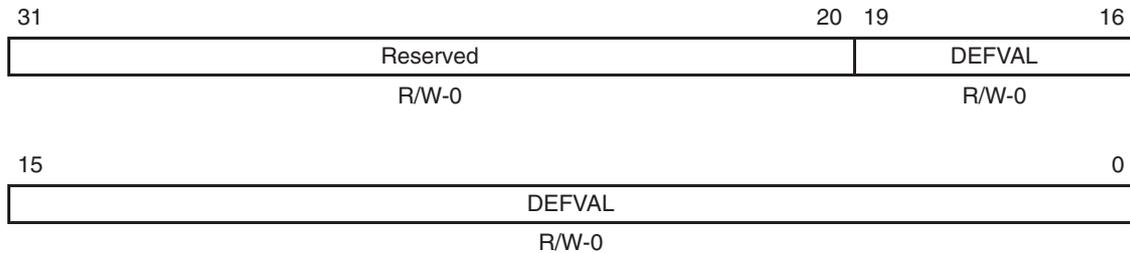
また、VDCTL 内の BLKDIS ビットがセットされ、かつ FIFO が空のとき、アクティブ・ビデオ範囲全体にわたってデフォルト値が出力されます。

図 4-62. ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL)



凡例： R/W = 読み取り / 書き込み。-n = リセット後の値。

図 4-63. ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL) - Raw データ・モード



凡例： R/W = 読み取り / 書き込み。 -n = リセット後の値。

表 4-29. ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL) フィールドの説明

				説明	
ビット	フィールド†	symval †	値	BT.656 および Y/C モード	Raw データ・モード
31-24	CRDEFVAL	OF (値)	0-FFh	デフォルトの Cr 表示値の上位 8 ビットを指定します。	未使用。
		DEFAULT	0		
31-20‡	Reserved	-	0	未使用。	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
19-0‡	DEFVAL	OF (値)	0 ~ FFFFh	未使用。	デフォルトの Raw データ表示値を指定します。
		DEFAULT	0		
23-16	CBDEFVAL	OF (値)	0-FFh	デフォルトの Cb 表示値の上位 8 ビットを指定します。	未使用。
		DEFAULT	0		
15-8	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	未使用。
7-0	YDEFVAL	OF (値)	0 ~ FFh	デフォルトの Y 表示値の上位 8 ビットを指定します。	未使用。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDDEFVAL_field_symval を使用してください。

‡ Raw データ・モードのみ。

4.12.25 ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ (VDVINT)

ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ (VDVINT) は、フィールド 1 およびフィールド 2 内の垂直割り込みの生成を制御します。VDVINT を図 4-64 に示し、表 4-30 で説明します。

割り込みは、フィールド内の指定ラインが完了したとき ($FLCOUNT = VINT_n$ のとき) に生成できます。これにより、ソフトウェアで自身をフレームまたはフィールドに同期させることができます。VIF1 または VIF2 ビットを使用して、いずれか一方または両方のフィールドで割り込みを発生させるか、または両方のフィールドでも割り込みを発生しないようにプログラムできます。

4.12.26 ビデオ・ディスプレイ・フィールド・ビット・レジスタ (VDFBIT)

ビデオ・ディスプレイ・フィールド・ビット・レジスタ (VDFBIT) は、EAV および SAV タイミング・コントロール・コード内の F ビット値を制御します。VDFBIT を図 4-65 (4-96 ページ) に示し、表 4-31 で説明します。

FBITCLR および FBITSET ビットは、EAV および SAV タイミング・コントロール・コード内の F ビット値を制御します。フレーム・ライン・カウンタ (FLCOUNT) が FBITCLR と等しくなると毎回、ライン開始時に EAV コード内の F ビットは (フィールド 1 の表示を示す) 0 にクリアされます。F ビットが (フィールド 2 の表示を示す) 1 に変化する $FLCOUNT = FBITSET$ のときのラインの先頭の EAV までの後続のすべての EAV/SAV コードに対して、F ビットは 0 のままです。F ビット動作は、FLD 制御信号とは完全に無関係です。

インタレース動作の場合、FBITCLR および FBITSET は、F ビットが同時に変化するか、または V ビットが 1 から 0 へ遷移して多少時間が経過してから変化するよう一般的にプログラムされています (VDVBIT_n 内の VBITCLR1 および VBITCLR2 によって決定されます)。プログレッシブ・スキャン動作の場合、フィールド 2 出力は発生しないので、 $FLCOUNT = FBITSET$ 状態が発生することなく、かつ F ビットは常に 0 (ゼロ) となるように、FBITSET は FRMHEIGHT よりも大きな値にプログラムする必要があります。

図 4-64. ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ (VDVINT)

31	30	28	27	16
VIF2	Reserved			VINT2
R/W-0	R-0			R/W-0
15	14	12	11	0
VIF1	Reserved			VINT1
R/W-0	R-0			R/W-0

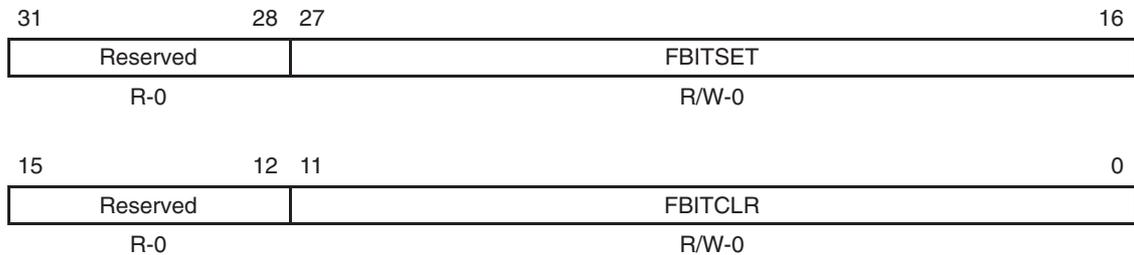
凡例: R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-30. ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ (VDVINT) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31	VIF2	OF (値)		フィールド 2 内の垂直割り込み (VINT) イネーブル・ビット。
		DEFAULT DISABLE	0	フィールド 2 内の垂直割り込み (VINT) はディスエーブル。
		ENABLE	1	フィールド 2 内の垂直割り込み (VINT) はイネーブル。
30-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
27-16	VINT2	OF (値)	0 ~ FFFh	VIF2 ビットがセットされている場合に、垂直割り込み (VINT) が発生するライン。
		DEFAULT	0	
15	VIF1	OF (値)		フィールド 1 内の垂直割り込み (VINT) イネーブル・ビット。
		DEFAULT DISABLE	0	フィールド 1 内の垂直割り込み (VINT) はディスエーブル。
		ENABLE	1	フィールド 1 内の垂直割り込み (VINT) はイネーブル。
14-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
11-0	VINT1	OF (値)	0 ~ FFFh	VIF1 ビットがセットされている場合に、垂直割り込み (VINT) が発生するライン。
		DEFAULT	0	

[†] CSL を使用して実装する場合、表記 `VP_VDVINT_field_symval` を使用してください。

図 4-65. ビデオ・ディスプレイ・フィールド・ビット・レジスタ (VDFBIT)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-31. ビデオ・ディスプレイ・フィールド・ビット・レジスタ (VDFBIT) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	FBITSET	OF (値)	0 ~ FFFh	フィールド 2 の表示を示す F=1 の EAV を持つ最初のラインを指定します。	未使用。
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	FBITCLR	OF (値)	0 ~ FFFh	フィールド 1 の表示を示す F=0 の EAV を持つ最初のラインを指定します。	未使用。
		DEFAULT	0		

[†] CSL を使用して実装する場合、表記 VP_VDFBIT_field_symval を使用してください。

4.12.27 ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・ビット・レジスタ (VDVBIT1)

ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・ビット・レジスタ (VDVBIT1) は、フィールド 1 の EAV および SAV タイミング・コントロール・コード内の V ビット値を制御します。VDVBIT1 を図 4-66 に示し、表 4-32 で説明します。

VBITSET1 および VBITCLR1 ビットは、EAV および SAV タイミング・コントロール・コード内の V ビット値を制御します。フレーム・ライン・カウンタ (FLCOUNT) が VBITSET1 と等しくなると毎回、ライン開始時点で EAV コード内の V ビットは 1 にセットされます (フィールド 1 のデジタル垂直ブランキングの開始を示す)。V ビットが 0 に変化する (フィールド 1 のデジタル・アクティブ・ディスプレイの開始を示す) FLCOUNT = VBITSET1 のときのライン開始時点で、EAV までのすべての EAV/SAV コードに対して、V ビットは 1 のままです。V ビット動作は、VBLNK 制御信号とは完全に無関係です。

VBITSET1 および VBITCLR1 ビットは、フィールド 1 垂直ブランキングが行われている間 FLCOUNT が 1 にセットされるようにプログラムする必要があります。FLCOUNT = 1 のとき、ハードウェアのみがフィールド 1 EDMA イベントの生成を開始します。

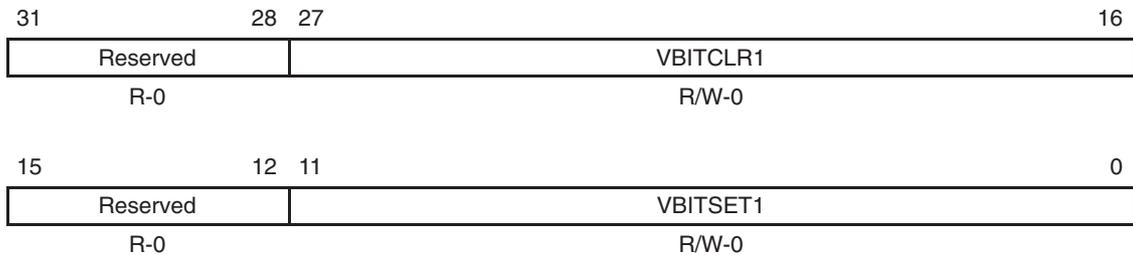
4.12.28 ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・ビット・レジスタ (VDVBIT2)

ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・ビット・レジスタ (VDVBIT2) は、フィールド 2 の EAV および SAV のタイミング・コントロール・コード内の V ビット値を制御します。VDVBIT2 を図 4-67 (4-99 ページ) に示し、表 4-33 で説明します。

VBITSET2 および VBITCLR2 ビットは、EAV および SAV タイミング・コントロール・コード内の V ビット値を制御します。フレーム・ライン・カウンタ (FLCOUNT) が VBITSET2 と等しくなると毎回、ライン開始時点で EAV コード内の V ビットは (フィールド 2 のデジタル垂直ブランキングの開始を示す) 1 にセットされます。V ビットが (フィールド 2 のデジタル・アクティブ・ディスプレイの開始を示す) 0 に変化する FLCOUNT = VBITCLR2 のときのラインの先頭の EAV までのすべての EAV/SAV コードに対して、V ビットは 1 のままです。V ビット動作は、VBLNK 制御信号とは完全に無関係です。

正しいインタレース動作の場合、VBITSET2 および VBITCLR2 が規定する範囲は VBITSET1 および VBITCLR1 が規定する範囲と重なってはいけません。プログレッシブ・スキャン動作の場合、VBITSET2 および VBITCLR2 は FRMHEIGHT より大きな値にプログラムする必要があります。

図 4-66. ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・ビット・レジスタ (VDVBIT1)



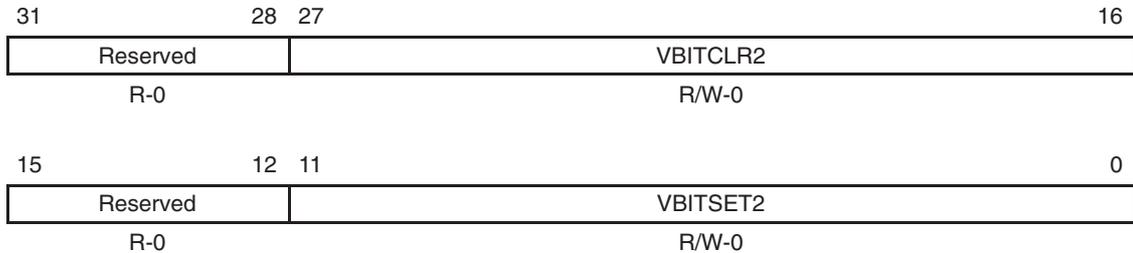
凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-32. ビデオ・ディスプレイ・フィールド 1 パーティカル・ブランキング・ビット・レジスタ (VDVBIT1) フィールドの説明

ビット	フィールド†	symval †	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	VBITCLR1	OF (値)	0 ~ FFFh	フィールド 1 のアクティブ・ディスプレイの開始を示す V=0 の EAV を持つ最初のラインを指定します。	未使用。
		DEFAULT	0		
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	VBITSET1	OF (値)	0 ~ FFFh	フィールド 1 の垂直ブランキングの開始を示す V=1 の EAV を持つ最初のラインを指定します。	未使用。
		DEFAULT	0		

† CSL を使用して実装する場合、表記 VP_VDVBIT1_field_symval を使用してください。

図 4-67. ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・ビット・レジスタ (VDVBIT2)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-33. ビデオ・ディスプレイ・フィールド 2 パーティカル・ブランキング・ビット・レジスタ (VDVBIT2) フィールドの説明

ビット	フィールド†	symval†	値	説明	
				BT.656 および Y/C モード	Raw データ・モード
31-28	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
27-16	VBITCLR2	OF (値) DEFAULT	0 ~ FFFh 0	フィールド 2 のアクティブ・ディスプレイの開始を示す V=0 の EAV を持つ最初のラインを指定します。	未使用。
15-12	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
11-0	VBITSET2	OF (値) DEFAULT	0 ~ FFFh 0	フィールド 2 の垂直ブランキングの開始を示す V=1 の EAV を持つ最初のラインを指定します。	未使用。

† CSL を使用して実装する場合、表記 VP_VDVBIT2_field_symval を使用してください。

4.13 ビデオ・ディスプレイ・レジスタの推奨値

BT.656 出力の場合のビデオ・ディスプレイ・レジスタのサンプル推奨値（10 進数）を表 4-34 に示します。

表 4-34. ビデオ・ディスプレイ・レジスタの推奨値

レジスタ	フィールド	525/60 値	625/50 値
VDFRMSZ	FRMWIDTH	858	864
	FRMHEIGHT	525	625
VDHBLNK	HBLNKSTART	720	720
	HBLNKSTOP	856	862
VDVBLKS1	VBLNKXSTART1	720 [†]	720 [†]
	VBLNKYSTART1	1 [†]	624 [†]
VDVBLKE1	VBLNKXSTOP1	720 [†]	720 [†]
	VBLNKYSTOP1	20 [†]	23 [†]
VDVBLKS2	VBLNKXSTART2	360 [†]	360 [†]
	VBLNKYSTART2	263 [†]	311 [†]
VDVBLKE2	VBLNKXSTOP2	360 [†]	360 [†]
	VBLNKYSTOP2	283 [†]	336 [†]
VDFLDT1	FLD1XSTART	720 [†]	720 [†]
	FLD1YSTART	1 [†]	1 [†]
VDFLDT2	FLD2XSTART	360 [†]	360 [†]
	FLD2YSTART	263 [†]	313 [†]
VDHSYNC	HSYNCSTART	736	732
	HSYNCSTOP	800	782
VDVSYNS1	VSINXSTART1	720 [†]	720 [†]
	VSINCYSTART1	4 [†]	1 [†]
VDVSYNE1	VSINXSTOP1	720 [†]	360 [†]
	VSINCYSTOP1	7 [†]	3 [†]

[†] 外部制御信号を使う場合にのみ、プログラムが必要です。

表 4-34. ビデオ・ディスプレイ・レジスタの推奨値（続き）

レジスタ	フィールド	525/60 値	625/50 値
VDVSYNS2	VSYNXSTART2	360 [†]	360 [†]
	VSYNCYSTART2	266 [†]	313 [†]
VDVSYNE2	VSYNXSTOP2	360 [†]	720 [†]
	VSYNCYSTOP2	269 [†]	316 [†]
VDFBIT	FBITCLR	4	1
	FBITSET	266	313
VDVBIT1	VBITSET1	1	624
	VBITCLR1	20	23
VDVBIT2	VBITSET2	264	311
	VBITCLR2	283	336

[†] 外部制御信号を使う場合にのみ、プログラムが必要です。

4.14 ビデオ・ディスプレイ FIFO レジスタ

ビデオ・ディスプレイ FIFO レジスタを表 4-35 に示します。これらのレジスタは、DMA によるディスプレイ FIFO への書き込みアクセスを提供します。高速アクセスを可能にするために、これらの疑似レジスタは、設定レジスタ空間ではなく、DSP メモリ空間にマップされる必要があります。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

ビデオ・ディスプレイ FIFO マッピング・レジスタの機能を表 4-36 に示します。

表 4-35. ビデオ・ディスプレイ FIFO レジスタ

オフセット・アドレス [†]	略称	レジスタ名
20h	YDSTA	Y FIFO デスティネーション・レジスタ A
28h	CBDST	Cb FIFO デスティネーション・レジスタ
30h	CRDST	Cr FIFO デスティネーション・レジスタ
20h	YDSTB	Y FIFO デスティネーション・レジスタ B

[†] レジスタの絶対アドレスは、デバイス / ポート固有のもので、そのアドレスはベース・アドレス + オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

表 4-36. ビデオ・ディスプレイ FIFO レジスタの機能

レジスタ	ディスプレイ・モード	
	BT.656 または Y/C	Raw データ
YDSTx	Y ディスプレイ FIFO を DSP メモリへマップします。	データ・ディスプレイ・バッファを DSP メモリへマップします。
CBDST	Cb ディスプレイ FIFO を DSP メモリへマップします。	未使用。
CRDST	Cr ディスプレイ FIFO を DSP メモリへマップします。	未使用。

BT.656 または Y/C ディスプレイ・モードでは、3 つの DMA がメモリマップド・レジスタ YDSTx、CBDST、CRDST を使用して、DSP メモリから Y、Cb、Cr の各ディスプレイ FIFO へデータを転送します。DMA 転送は、YEVT、CbEVT、CrEVT の各イベントがそれぞれトリガーになります。

Raw ディスプレイ・モードでは、1 つの DMA チャンネルがメモリマップド・レジスタ YDSTx を使用して、DSP メモリから Y ディスプレイ FIFO へデータを転送します。DMA 転送は、YEVT イベントがトリガーになります。

ビデオ・ディスプレイ FIFO レジスタは、書き込み専用ロケーションです。これらのアドレスを読み出しても、任意の値が返され、ディスプレイ FIFO のステータスには影響を与えません。

汎用 I/O 動作

ビデオ・ディスプレイまたはビデオ・キャプチャのいずれにも使用されない信号は、汎用入出力 (GPIO) 信号として使用できます。

項目	ページ
5.1 GPIO レジスタ	5-2

5.1 GPIO レジスタ

GPIO レジスタ・セットには、ペリフェラル・アイデンティフィケーション・レジスタおよびエミュレーション・コントロール・レジスタなど必要なレジスタが含まれています。GPIO レジスタを表 5-1 に示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

表 5-1. ビデオ・ポート・レジスタ

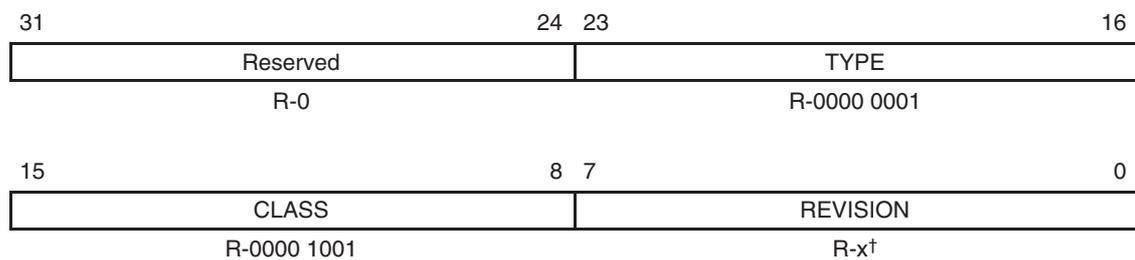
オフセット・アドレス†	略称	レジスタ名	参照先
00h	VPPID	ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ	5.1.1
04h	PCR	ビデオ・ポート・ペリフェラル・コントロール・レジスタ	5.1.2
20h	PFUNC	ビデオ・ポート・ピン・ファンクション・レジスタ	5.1.3
24h	PDIR	ビデオ・ポート・ピン・ディレクション・レジスタ	5.1.5
28h	PDIN	ビデオ・ポート・ピン・データ・インプット・レジスタ	5.1.6
2Ch	PDOUT	ビデオ・ポート・ピン・データ・アウトプット・レジスタ	5.1.7
30h	PDSET	ビデオ・ポート・ピン・データ・セット・レジスタ	5.1.8
34h	PDCLR	ビデオ・ポート・ピン・データ・クリア・レジスタ	5.1.8
38h	PIEN	ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ	5.1.9
3Ch	PIPOL	ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ	5.1.10
40h	PISTAT	ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ	5.1.11
44h	PICLR	ビデオ・ポート・ピン・インタラプト・クリア・レジスタ	5.1.12

† レジスタの絶対アドレスは、デバイス/ポート固有のもので、そのアドレスはベース・アドレス+オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

5.1.1 ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ (VPPID)

ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ (VPPID) は、読み取り専用レジスタで、ペリフェラルの情報を保管するために使用されます。VPPID を図 5-1 に示し、表 5-2 で説明します。

図 5-1. ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ (VPPID)



凡例： R = 読み取り専用。-n = リセット後の値。

† このフィールドのデフォルト値については、各デバイスのデータシートを参照してください。

表 5-2. ビデオ・ポート・ペリフェラル・アイデンティフィケーション・レジスタ (VPPID) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-24	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
23-16	TYPE	OF (値)		ペリフェラルのタイプを識別します。
		DEFAULT	01h	ビデオ・ポート。
15-8	CLASS	OF (値)		ペリフェラルのクラスを特定します。
		DEFAULT	09h	ビデオ。
7-0	REVISION	OF (値)		ペリフェラルのバージョンを識別します。
			x	値については、各デバイスのデータシートを参照してください。

† CSL を使用して実装する場合、表記 `VP_VPPID_field_symval` を使用してください。

5.1.2 ビデオ・ポート・ペリフェラル・コントロール・レジスタ (PCR)

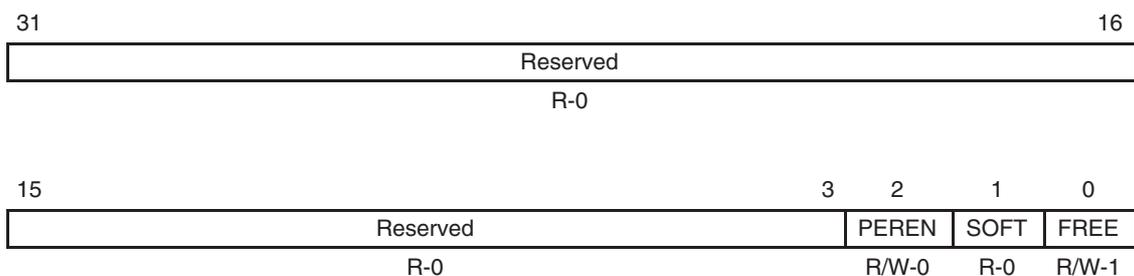
ビデオ・ポート・ペリフェラル・コントロール・レジスタ (PCR) は、エミュレーション時の動作を決定します。ビデオ・ポート・ペリフェラル・コントロール・レジスタを図 5-2 に示し、表 5-3 で説明します。

通常の動作では、エミュレーション・サスペンド時にポートがホールドされることはありません。これにより、表示されるイメージは、サスペンド時に見ることができます。ただし、非連続モードでは DMA が CPU の介入を必要とする（とともに、CPU がエミュレーション・サスペンド時にホールドする）ため、これは連続キャプチャ/ディスプレイ・モードのいずれかが選択されている場合にのみ動作します。

FREE = 0 のとき、エミュレーション・サスペンドが発生する可能性があります。クロックとカウンタは、外部デバイスとの同期を保持するために引き続き動作します。ビデオ・ポートは、DMA イベント生成をホールドさせるフィールド境界まで待ちます。そのため、再開時にビデオ・ポートは再開前の時点から再度イベント生成を開始することができます。サスペンド終了後、ビデオ・ポートは発生する正確なフィールド境界を待ち、その後再度 DMA イベントをイネーブルします。DMA ポインタは、キャプチャ/ディスプレイが再開前の時点から再開する正確なロケーションにあります。エミュレーション・サスペンド動作は、BLKCAP または BLKDISP 動作に似ています。その違いは、BLKCAP および BLKDISP 動作は、フィールド完了時ではなくただちに有効になるということと、この 2 つの動作がクリアされる前に DMA メカニズムをリセットするのがプログラマ次第であるということです。

ビデオ・キャプチャ側には、独立したエミュレーション・サスペンド・メカニズムはありません。フィールドとフレームの動作（表 3-6 (3-18 ページ) を参照）は、エミュレーション・サスペンドとして使用できます。

図 5-2. ビデオ・ポート・ペリフェラル・コントロール・レジスタ (PCR)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 5-3. ビデオ・ポート・ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-3	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
2	PEREN	OF (値)		ペリフェラル・イネーブル・ビット。
		DEFAULT DISABLE	0	ビデオ・ポートはディスエーブルです。ポート・クロック (VCLK0、VCLK1、STCLK) 入力は、電力を消費しないようにするためにゲートオフされます。ビデオ・ポートへの DMA アクセスはまだ応答しますが、不定のリード・データが返され、ライト・データは破棄されます。
		ENABLE	1	ビデオ・ポートはイネーブルです。
1	SOFT	OF (値)		SOFT ビット・イネーブル・モード・ビット。このビットを FREE ビットとともに使用して、エミュレーション・サスペンド中のビデオ・ポート・クロックのステートを決定します。FREE=1 の場合、このビットは影響を受けません。
		DEFAULT STOP	0	現在のフィールドは、エミュレーション・サスペンド時に完了します。完了後、新規の DMA イベントは生成されません。ポート・クロックおよびカウンタは、同期を保持するために引き続き動作します。割り込みは生成されません。ポートがディスプレイ・モードの場合、ビデオ・コントローラ信号が引き続き出力され、デフォルトのデータ値がアクティブ・ビデオ・ウィンドウ中に出力されます。
		COMP	1	このペリフェラルでは規定されていません。ビットは0 (ゼロ) にハードワイヤされています。
0	FREE	OF (値)		FREE ランニング・イネーブル・モード・ビット。このビットを SOFT ビットとともに使用して、エミュレーション・サスペンド中のビデオ・ポートのステートを決定します。
		SOFT	0	FREE ランニング・モードはディスエーブル。エミュレーション・サスペンド中、SOFT ビットがビデオ・ポートの動作を決定します。
		DEFAULT	1	FREE ランニング・モードはイネーブル。ビデオ・ポートは、エミュレーション・サスペンド信号を無視し、引き続き通常どおり機能します。

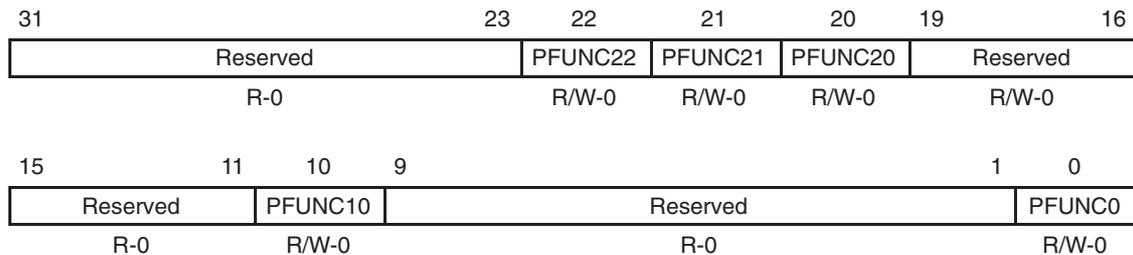
[†] CSL を使用して実装する場合、表記 VP_PCR_field_symval を使用してください。

5.1.3 ビデオ・ポート・ピン・ファンクション・レジスタ (PFUNC)

ビデオ・ポート・ピン・ファンクション・レジスタ (PFUNC) は、GPIO としてビデオ・ポート・ピンを選択します。PFUNC を図 5-3 に示し、表 5-4 で説明します。各ビットは、1 つのピンまたはピンのセットのいずれかを制御します。ビットを 1 にセットすると、ビットにマップするピンを GPIO としてイネーブルすることができます。キャプチャまたはディスプレイ動作の一部として使用されるピンに対して GPIO 機能を使用してはいけません。別のペリフェラルが使用するマルチプレクスされているピンの場合、PFUNC ビットは影響を受けません。

VDATA ピンは、2 つの機能グループ VDATA[9-0] および VDATA[19-10] に分類されます。このため、データ・バスの上位と下位は、機能ピンまたは GPIO ピンのいずれかとして設定される必要があります。単一の BT.656 または Raw 8/10 ビット・モードの場合、VDATA の上位 10 ピン (VDATA[19-10]) は、GPIO として使用することができます。ビデオ・ポートがディスエーブルの場合、すべてのピンは GPIO として使用することができます。

図 5-3. ビデオ・ポート・ピン・ファンクション・レジスタ (PFUNC)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 5-4. ビデオ・ポート・ピン・ファンクション・レジスタ (PFUNC) フィールドの説明

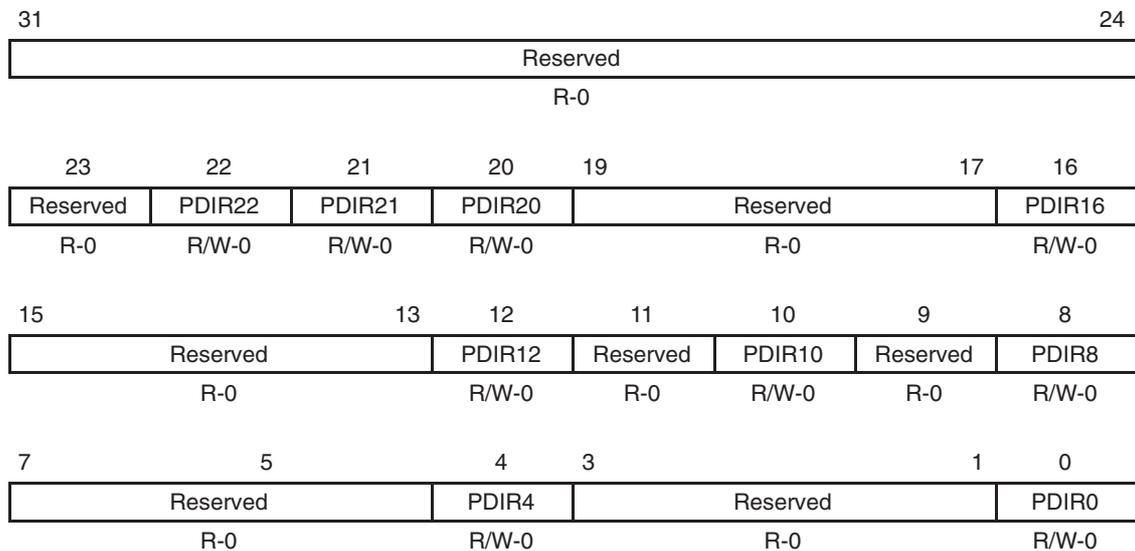
ビット	フィールド†	symval†	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PFUNC22	OF (値)		PFUNC22 ビットは、VCTL2 ピンが GPIO として機能するか決定します。
		DEFAULT NORMAL	0	ピンは普通に機能します。
		VCTL2	1	ピンは、GPIO ピンとして機能します。
21	PFUNC21	OF (値)		PFUNC21 ビットは、VCTL1 ピンが GPIO として機能するか決定します。
		DEFAULT NORMAL	0	ピンは普通に機能します。
		VCTL1	1	ピンは、GPIO ピンとして機能します。
20	PFUNC20	OF (値)		PFUNC20 ビットは、VCTL0 ピンが GPIO として機能するか決定します。
		DEFAULT NORMAL	0	ピンは普通に機能します。
		VCTL0	1	ピンは、GPIO ピンとして機能します。
19-11	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
10	PFUNC10	OF (値)		PFUNC10 ビットは、VDATA[19-10] ピンが GPIO として機能するか決定します。
		DEFAULT NORMAL	0	ピンは普通に機能します。
		VDATA10TO19	1	ピンは、GPIO ピンとして機能します。
9-1	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
0	PFUNC0	OF (値)		PFUNC0 ビットは、VDATA[9-0] ピンが GPIO として機能するか決定します。
		DEFAULT NORMAL	0	ピンは普通に機能します。
		VDATA0TO9	1	ピンは、GPIO ピンとして機能します。

† CSL を使用して実装する場合、表記 VP_PFUNC_field_symval を使用してください。

5.1.4 ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR)

ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR) を図 5-4 に示し、表 5-5 で説明します。PDIR は、PFUNC によって GPIO にセットされるビデオ・ポート内の I/O ピンの方向を制御します。ビットが 1 にセットされると、対応するピンまたはピン・グループは出力として動作します。ビットがゼロクリアされると、ピンまたはピン・グループは入力として機能します。PDIR の設定は、対応する PFUNC ビットがセットされていないピンには影響を与えません。

図 5-4. ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 5-5. ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PDIR22	OF (値)		PDIR22 ビットは、VCTL2 ピンの方向を制御します。
		DEFAULT VCTL2IN	0	ピンは入力として機能します。
		VCTL2OUT	1	ピンは出力として機能します。
21	PDIR21	OF (値)		PDIR21 ビットは、VCTL1 ピンの方向を制御します。
		DEFAULT VCTL1IN	0	ピンは入力として機能します。
		VCTL1OUT	1	ピンは出力として機能します。
20	PDIR20	OF (値)		PDIR20 ビットは、VCTL0 ピンの方向を制御します。
		DEFAULT VCTL0IN	0	ピンは入力として機能します。
		VCTL0OUT	1	ピンは出力として機能します。
19-17	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
16	PDIR16	OF (値)		PDIR16 ビットは、VDATA[19-16] ピンの方向を制御します。
		DEFAULT VDATA16TO19IN	0	ピンは入力として機能します。
		VDATA16TO19OUT	1	ピンは出力として機能します。
15-13	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
12	PDIR12	OF (値)		PDIR12 ビットは、VDATA[15-12] ピンの方向を制御します。
		DEFAULT VDATA12TO15IN	0	ピンは入力として機能します。
		VDATA12TO15OUT	1	ピンは出力として機能します。

[†] CSL を使用して実装する場合、表記 `VP_PDIR_field_symval` を使用してください。

表 5-5. ビデオ・ポート・ピン・ディレクション・レジスタ (PDIR) フィールドの説明 (続き)

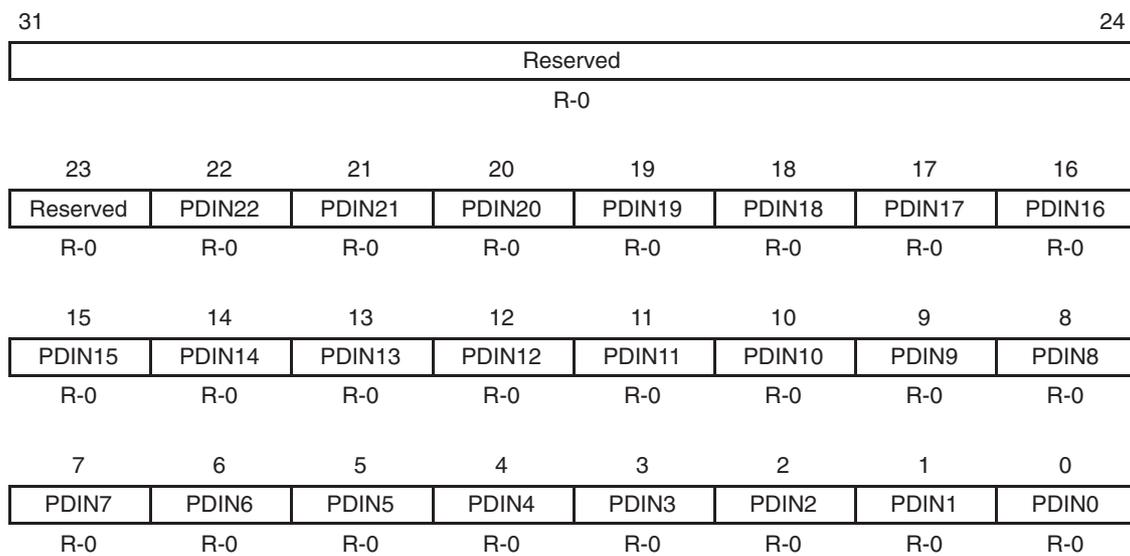
ビット	フィールド [†]	symval [†]	値	説明
11	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
10	PDIR10	OF (値)		PDIR10 ビットは、VDATA[11-10] ピンの方向を制御します。
		DEFAULT VDATA10TO11IN	0	ピンは入力として機能します。
		VDATA10TO11OUT	1	ピンは出力として機能します。
9	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
8	PDIR8	OF (値)		PDIR8 ビットは、VDATA[9-8] ピンの方向を制御します。
		DEFAULT VDATA8TO9IN	0	ピンは入力として機能します。
		VDATA8TO9OUT	1	ピンは出力として機能します。
7-5	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
4	PDIR4	OF (値)		PDIR4 ビットは、VDATA[7-4] ピンの方向を制御します。
		DEFAULT VDATA4TO7IN	0	ピンは入力として機能します。
		VDATA4TO7OUT	1	ピンは出力として機能します。
3-1	Reserved	-	0	予約。この予約ビット・ロケーションは常に0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
0	PDIR0	OF (値)		PDIR0 ビットは、VDATA[3-0] ピンの方向を制御します。
		DEFAULT VDATA0TO3IN	0	ピンは入力として機能します。
		VDATA0TO3OUT	1	ピンは出力として機能します。

[†] CSL を使用して実装する場合、表記 VP_PDIR_field_symval を使用してください。

5.1.5 ビデオ・ポート・ピン・データ・インプット・レジスタ (PDIN)

読み取り専用のビデオ・ポート・ピン・データ・インプット・レジスタ (PDIN) を図 5-5 に示し、表 5-6 で説明します。PDIN は、ビデオ・ポート・ピンの状態を示します。PDIN をリードすると、対応する PFUNC または PDIR ビットの状態に関係なく、PDIN は (適切な同期を使用して) ピンの入力バッファから値を返します。

図 5-5. ビデオ・ポート・ピン・データ・インプット・レジスタ (PDIN)



凡例： R = 読み取り専用。-n = リセット後の値。

表 5-6. ビデオ・ポート・ピン・データ・インプット・レジスタ (PDIN) フィールドの説明

ビット	フィールド†	symval †	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PDIN22	OF (値)		PDIN22 ビットは、VCTL2 ピンのレベルを返します。
		DEFAULT VCTL2LO	0	ピンは Low。
		VCTL2HI	1	ピンは High。
21	PDIN21	OF (値)		PDIN21 ビットは、VCTL1 ピンのレベルを返します。
		DEFAULT VCTL1LO	0	ピンは Low。
		VCTL1HI	1	ピンは High。
20	PDIN20	OF (値)		PDIN20 ビットは、VCTL0 ピンのレベルを返します。
		DEFAULT VCTL0LO	0	ピンは Low。
		VCTL0HI	1	ピンは High。
19-0	PDIN[19-0]	OF (値)		PDIN[19-0] ビットは、対応する VDATA[n] ピンのレベルを返します。
		DEFAULT VDATA _n LO	0	ピン <i>n</i> は Low。
		VDATA _n HI	1	ピン <i>n</i> は High。

† CSL を使用して実装する場合、表記 VP_PDIN_PDIN_n_symval を使用してください。

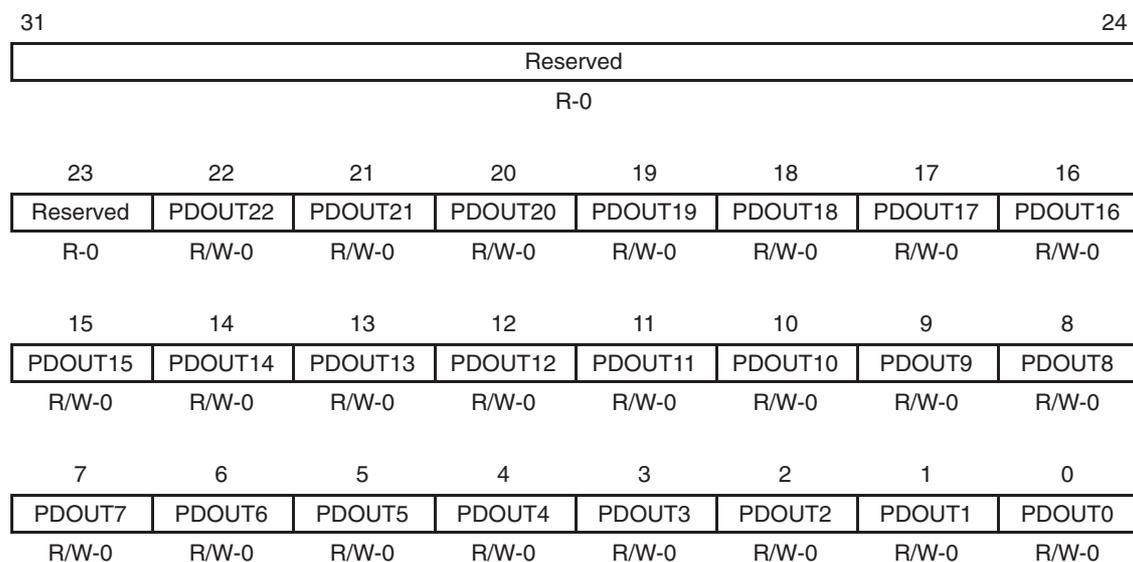
5.1.6 ビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOUT)

ビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOUT) を図 5-6 に示し、図 5-7 で説明します。ピンが出力として設定されている場合、PDOUT のビットは、対応する GPIO ピン上でドライブされる値を決定します。書き込んでも GPIO 出力として設定されていないピンには影響を与えません。このレジスタに直接書き込むことで、PDOUT 内のビットは、セットされるかクリアされます。PDOUT を読み取ると、(入力として設定されている) ピンの値ではなくレジスタの値を返します。PDOUT 内のビットをセットする他の方法は、PDSET の対応するビットに 1 を書き込むことです。PDOUT 内のビットをクリアする他の方法は、PDCLR の対応するビットに 1 を書き込むことです。

PDOUT 内のビットを設定するには、次のような方法があります。

- PDSET : PDSET 内のビットに 1 を書き込むと、PDOUT 内の対応するビットを 1 にセットします。0 (ゼロ) を書き込んでも影響はなく、PDOUT 内のビットは変更されません。
- PDCLR : PDCLR 内のビットに 1 を書き込むと、PDOUT 内の対応するビットを 0 (ゼロ) にクリアします。0 (ゼロ) を書き込んでも影響はなく、PDOUT 内のビットは変更されません。

図 5-6. ビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOUT)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 5-7. ビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOOUT) フィールドの説明

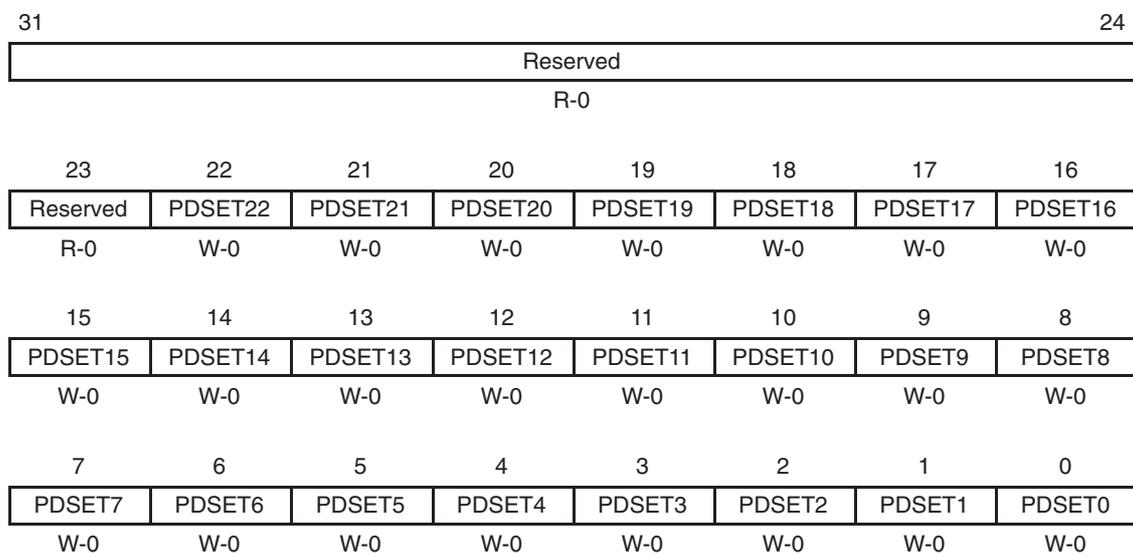
ビット	フィールド [†]	symval [†]	値	説明	
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
22	PDOOUT22	OF (値)		GPIO が出力として設定されている場合のみ、PDOOUT22 ビットは、VCTL2 ピンをドライブします。データを読み取ると、PDOOUT22 内のビット値を返しますが、ピンからの入力は返しません。データを書き込むと、PDOOUT22 ビットに書き込みます。	
			DEFAULT VCTL2LO	0	ピンは Low にドライブされます。
			VCTL2HI	1	ピンは High にドライブされます。
21	PDOOUT21	OF (値)		GPIO が出力として設定されている場合のみ、PDOOUT21 ビットは、VCTL1 ピンをドライブします。データを読み取ると、PDOOUT21 内のビット値を返しますが、ピンからの入力には返しません。データを書き込むと、PDOOUT21 ビットに書き込みます。	
			DEFAULT VCTL1LO	0	ピンは Low にドライブされます。
			VCTL1HI	1	ピンは High にドライブされます。
20	PDOOUT20	OF (値)		GPIO が出力として設定されている場合のみ、PDOOUT20 ビットは、VCTL0 をドライブします。データを読み取ると、PDOOUT20 内のビット値を返しますが、ピンからの入力には返しません。データを書き込むと、PDOOUT20 ビットに書き込みます。	
			DEFAULT VCTL0LO	0	ピンは Low にドライブされます。
			VCTL0HI	1	ピンは High にドライブされます。
19-0	PDOOUT[19-0]	OF (値)		GPIO が出力として設定されている場合のみ、対応する PDOOUT[19-0] ビットは、VDATA[19-0] ピンをドライブします。データを読み取ると、PDOOUT[n] 内のビット値を返しますが、ピンからの入力には返しません。データを書き込むと、PDOOUT[n] ビットに書き込みます。	
			DEFAULT VDATANLO	0	ピン <i>n</i> は Low にドライブされます。
			VDATANHI	1	ピン <i>n</i> は High にドライブされます。

[†] CSL を使用して実装する場合、表記 VP_PDOOUT_PDOOUTn_symval を使用してください。

5.1.7 ビデオ・ポート・ピン・データ・セット・レジスタ (PDSET)

ビデオ・ポート・ピン・データ・セット・レジスタ (PDSET) を図 5-7 に示し、表 5-8 で説明します。PDSET は、書き込み専用のビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOUT) のエイリアスで、GPIO 出力を High にドライブする別の手段を提供します。PDSET のビットに 1 を書き込むと、PDOUT 内の対応するビットをセットします。0 (ゼロ) を書き込んで影響はありません。レジスタを読み取ると、すべて 0 を返します。

図 5-7. ビデオ・ポート・ピン・データ・セット・レジスタ (PDSET)



凡例： R = 読み取り専用。W = 書き込み専用。-n = リセット後の値。

表 5-8. ビデオ・ポート・ピン・データ・セット・レジスタ (PDSET) フィールドの説明

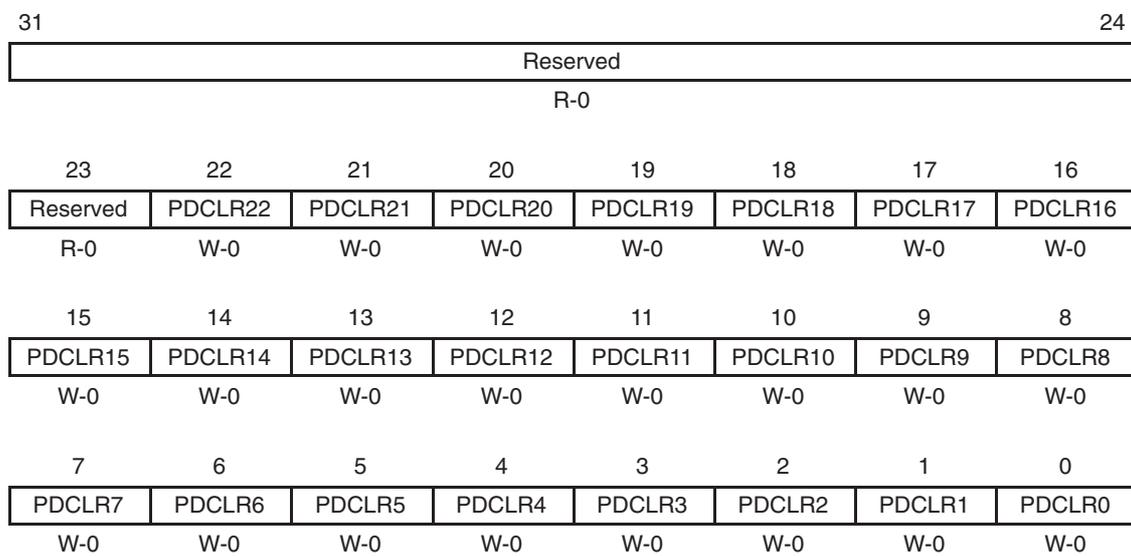
ビット	フィールド [†]	<i>symval</i> [†]	値	説明	
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。	
22	PDSET22	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT22 ビットが High にセットされます。	
			DEFAULT NONE	0	影響なし。
			VCTL2HI	1	PDOUT22 (VCTL2) ビットを 1 にセットします。
21	PDSET21	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT21 ビットが High にセットされます。	
			DEFAULT NONE	0	影響なし。
			VCTL1HI	1	PDOUT21 (VCTL1) ビットを 1 にセットします。
20	PDSET20	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT20 ビットが High にセットされます。	
			DEFAULT NONE	0	影響なし。
			VCTL0HI	1	PDOUT20 (VCTL0) ビットを 1 にセットします。
19-0	PDSET[19-0]	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT[19-0] ビットが High にセットされます。	
			DEFAULT NONE	0	影響なし。
			VDATA _n HI	1	PDOUT[<i>n</i>] (VDATA[<i>n</i>]) ビットを 1 にセットします。

[†] CSL を使用して実装する場合、表記 VP_PDSET_PDSET_n*symval* を使用してください。

5.1.8 ビデオ・ポート・ピン・データ・クリア・レジスタ (PDCLR)

ビデオ・ポート・ピン・データ・クリア・レジスタ (PDCLR) を図 5-8 に示し、表 5-9 で説明します。PDCLR は、書き込み専用のビデオ・ポート・ピン・データ・アウトプット・レジスタ (PDOUT) のエイリアスで、GPIO 出力を High にドライブする別の手段を提供します。PDCLR のビットに 1 を書き込むと、PDOUT 内の対応するビットをクリアします。0 (ゼロ) を書き込んでも影響はありません。レジスタを読み取ると、すべて 0 を返します。

図 5-8. ビデオ・ポート・ピン・データ・クリア・レジスタ (PDCLR)



凡例： R = 読み取り専用。W = 書き込み専用。-n = リセット後の値。

表 5-9. ビデオ・ポート・ピン・データ・クリア・レジスタ (PDCLR) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PDCLR22	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT22 ビットが Low にクリアされます。
		DEFAULT NONE	0	影響なし。
		VCTL2CLR	1	PDOUT22 (VCTL2) ビットをゼロクリアします。
21	PDCLR21	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT21 ビットが Low にクリアされます。
		DEFAULT NONE	0	影響なし。
		VCTL1CLR	1	PDOUT21 (VCTL1) ビットをゼロクリアします。
20	PDCLR20	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT20 ビットが Low にクリアされます。
		DEFAULT NONE	0	影響なし。
		VCTL0CLR	1	PDOUT20 (VCTL0) ビットをゼロクリアします。
19-0	PDCLR[19-0]	OF (値)		同じポートで制御される他の I/O ピンに影響を与えることなく PDOUT[19-0] ビットが Low にクリアされま す。
		DEFAULT NONE	0	影響なし。
		VDATA n CLR	1	PDOUT[n] (VDATA[n]) ビットをゼロクリアします。

[†] CSL を使用して実装する場合、表記 VP_PDCLR_PDCLR n _symval を使用してください。

5.1.9 ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ (PIEN)

ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ (PIEN) を図 5-9 に示し、表 5-10 で説明します。GPIO を使用して、DSP 割り込みまたは DMA イベントを生成することができます。PIEN は、割り込みを生成するために使用するピンを選択します。PIEN 内の対応するビットがセットされるピンだけが、対応する PISTAT ビットをセットする要因となります。

PIEN 内の対応するビットがセットされ、そのピンが PFUNC で GPIO に設定され、そのピンが PDIR で入力に設定される場合、割り込みは GPIO ピン上でイネーブルされます。

図 5-9. ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ (PIEN)

31								24
Reserved								
R-0								
23	22	21	20	19	18	17	16	
Reserved	PIEN22	PIEN21	PIEN20	PIEN19	PIEN18	PIEN17	PIEN16	
R-0	W-0							
15	14	13	12	11	10	9	8	
PIEN15	PIEN14	PIEN13	PIEN12	PIEN11	PIEN10	PIEN9	PIEN8	
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	
7	6	5	4	3	2	1	0	
PIEN7	PIEN6	PIEN5	PIEN4	PIEN3	PIEN2	PIEN1	PIEN0	
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	

凡例： R = 読み取り専用。W = 書き込み専用。-n = リセット後の値。

表 5-10. ビデオ・ポート・ピン・インタラプト・イネーブル・レジスタ (PIEN) フィールドの説明

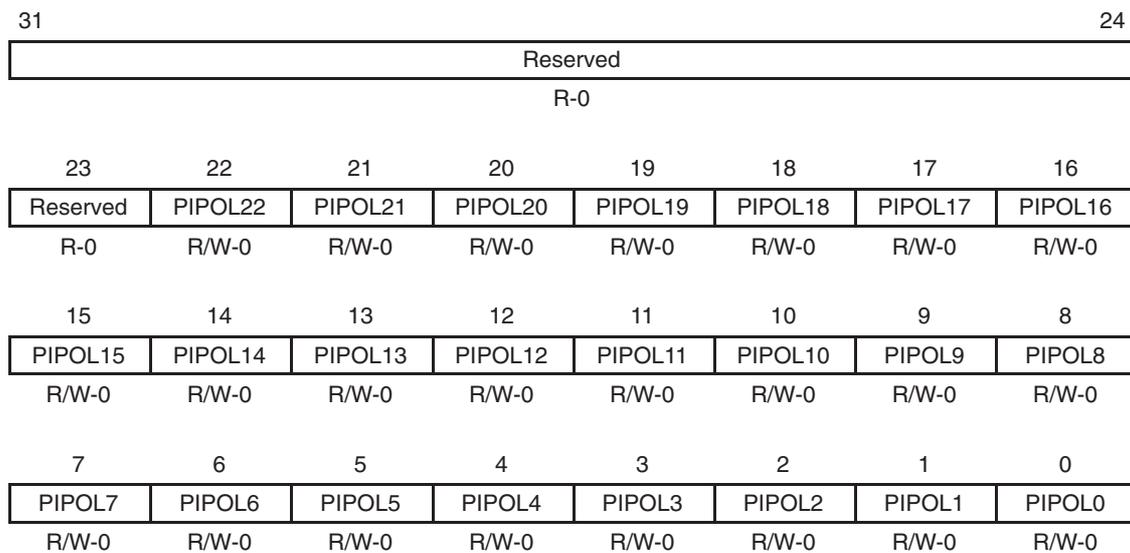
ビット	フィールド [†]	symval [†]	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PIEN22	OF (値)		PIEN22 ビットは、VCTL2 ピン上の割り込みをイネーブルします。
		DEFAULT VCTL2LO	0	割り込みはディスエーブル。
		VCTL2HI	1	ピンは割り込みをイネーブルします。
21	PIEN21	OF (値)		PIEN21 ビットは、VCTL1 ピン上の割り込みをイネーブルします。
		DEFAULT VCTL1LO	0	割り込みはディスエーブル。
		VCTL1HI	1	ピンは割り込みをイネーブルします。
20	PIEN20	OF (値)		PIEN20 ビットは、VCTL0 ピン上の割り込みをイネーブルします。
		DEFAULT VCTL0LO	0	割り込みはディスエーブル。
		VCTL0HI	1	ピンは割り込みをイネーブルします。
19-0	PIEN[19-0]	OF (値)		PIEN[19-0] ビットは、対応する VDATA[n] ピン上の割り込みをイネーブルします。
		DEFAULT VDATA _n LO	0	割り込みはディスエーブル。
		VDATA _n HI	1	ピン <i>n</i> は割り込みをイネーブルします。

[†] CSL を使用して実装する場合、表記 VP_PIEN_PIEN_n_symval を使用してください。

5.1.10 ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ (PIPOL)

ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ (PIPOL) を図 5-10 に示し、表 5-11 で説明します。PIPOL は、割り込みを生成する GPIO ピンの信号極性を決定します。

図 5-10. ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ (PIPOL)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 5-11. ビデオ・ポート・ピン・インタラプト・ポラリティ・レジスタ (PIPOL) フィールドの説明

ビット	フィールド [†]	<i>symval</i> [†]	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PIPOL22	OF (値)		PIPOL22 ビットは、割り込みを生成する VCTL2 ピンの信号極性を決定します。
		DEFAULT VCTL2ACTHI	0	割り込みは、VCTL2 ピン上での Low から High への遷移によって起こります。
		VCTL2ACTLO	1	割り込みは、VCTL2 ピン上での High から Low への遷移によって起こります。
21	PIPOL21	OF (値)		PIPOL21 ビットは、割り込みを生成する VCTL1 ピンの信号極性を決定します。
		DEFAULT VCTL1ACTHI	0	割り込みは、VCTL1 ピン上での Low から High への遷移によって起こります。
		VCTL1ACTLO	1	割り込みは、VCTL1 ピン上での High から Low への遷移によって起こります。
20	PIPOL20	OF (値)		PIPOL20 ビットは、割り込みを生成する VCTL0 ピンの信号極性を決定します。
		DEFAULT VCTL0ACTHI	0	割り込みは、VCTL0 ピン上での Low から High への遷移によって起こります。
		VCTL0ACTLO	1	割り込みは、VCTL0 ピン上での High から Low への遷移によって起こります。
19-0	PIPOL[19-0]	OF (値)		PIPOL[19-0] ビットは、割り込みを生成する、対応する VDATA[n] ピンの信号極性を決定します。
		DEFAULT VDATA n ACTHI	0	割り込みは、VDATA[n] ピン上での Low から High への遷移によって起こります。
		VDATA n ACTLO	1	割り込みは、VDATA[n] ピン上での High から Low への遷移によって起こります。

[†] CSL を使用して実装する場合、表記 VP_PIPOL_PIPOL n _symval を使用してください。

5.1.11 ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT)

ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT) を図 5-11 に示し、表 5-12 で説明します。PISTAT は読み取り専用のレジスタで、保留されている割り込みがある GPIO ピンを示します。

PISTAT 内のビットがセットされるのは、対応する GPIO ピンが割り込みとして設定され (PIEN 内の対応するビットがセットされ、PFUNC でピンが GPIO に設定され、PDIR でピンが入力として設定される)、(対応する PIPOL ビットで選択されるように) 適切な遷移がピン上で行われる場合です。PISTAT ビットが 1 にセットされるたびに、VPIS 内の GPIO ビットがセットされます。PISTAT ビットをクリアするには、PICLR 内の対応するビットに 1 を書き込みます。0 (ゼロ) を書き込んで影響はありません。すべての PISTAT ビットをクリアしても、VPIS 内の GPIO ビットはクリアされません。GPIO ビットを明示的にクリアする必要があります。GPIO ビットをクリアしても PISTAT 内のビットのいずれかがまだセットされていると、GPIO ビットは再度セットされます。

図 5-11. ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT)

31								24
Reserved								
R-0								
23	22	21	20	19	18	17	16	
Reserved	PISTAT22	PISTAT21	PISTAT20	PISTAT19	PISTAT18	PISTAT17	PISTAT16	
R-0								
15	14	13	12	11	10	9	8	
PISTAT15	PISTAT14	PISTAT13	PISTAT12	PISTAT11	PISTAT10	PISTAT9	PISTAT8	
R-0								
7	6	5	4	3	2	1	0	
PISTAT7	PISTAT6	PISTAT5	PISTAT4	PISTAT3	PISTAT2	PISTAT1	PISTAT0	
R-0								

凡例： R = 読み取り専用。-n = リセット後の値。

表 5-12. ビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT) フィールドの説明

ビット	フィールド [†]	<i>symval</i> [†]	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PISTAT22	OF (値)		PISTAT22 ビットは、VCTL2 ピン上で保留されている割り込みがあるかどうかを示します。
		DEFAULT NONE	0	VCTL2 ピン上で保留されている割り込みなし。
		VCTL2INT	1	VCTL2 ピン上で保留されている割り込みがあります。
21	PISTAT21	OF (値)		PISTAT21 ビットは、VCTL1 ピン上で保留されている割り込みがあるかどうかを示します。
		DEFAULT NONE	0	VCTL1 ピン上で保留されている割り込みなし。
		VCTL1INT	1	VCTL1 ピン上で保留されている割り込みがあります。
20	PISTAT20	OF (値)		PISTAT20 ビットは、VCTL0 ピン上で保留されている割り込みがあるかどうかを示します。
		DEFAULT NONE	0	VCTL0 ピン上で保留されている割り込みなし。
		VCTL0INT	1	VCTL0 ピン上で保留されている割り込みがあります。
19-0	PISTAT[19-0]	OF (値)		PISTAT[19-0] ビットは、対応する VDATA[n] ピン上で保留されている割り込みがあるかどうかを示します。
		DEFAULT NONE	0	VDATA[n] ピン上で保留されている割り込みなし。
		VDATA n INT	1	VDATA[n] ピン上で保留されている割り込みがあります。

[†] CSL を使用して実装する場合、表記 VP_PISTAT_PISTAT n _symval を使用してください。

5.1.12 ビデオ・ポート・ピン・インタラプト・クリア・レジスタ (PICLR)

ビデオ・ポート・ピン・インタラプト・クリア・レジスタ (PICLR) を図 5-12 に示し、表 5-13 で説明します。PICLR は、書き込み専用のビデオ・ポート・ピン・インタラプト・ステータス・レジスタ (PISTAT) のエイリアスです。PICLR のビットに 1 を書き込むと、PISTAT 内の対応するビットをクリアします。0 (ゼロ) を書き込んでも影響はありません。レジスタを読み取ると、すべて 0 を返します。

図 5-12. ビデオ・ポート・ピン・インタラプト・クリア・レジスタ (PICLR)

31								24
Reserved								
R-0								
23	22	21	20	19	18	17	16	
Reserved	PICLR22	PICLR21	PICLR20	PICLR19	PICLR18	PICLR17	PICLR16	
R-0	W-0							
15	14	13	12	11	10	9	8	
PICLR15	PICLR14	PICLR13	PICLR12	PICLR11	PICLR10	PICLR9	PICLR8	
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	
7	6	5	4	3	2	1	0	
PICLR7	PICLR6	PICLR5	PICLR4	PICLR3	PICLR2	PICLR1	PICLR0	
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	

凡例： R = 読み取り専用。W = 書き込み専用。-n = リセット後の値。

表 5-13. ビデオ・ポート・ピン・インタラプト・クリア・レジスタ (PICLR) フィールドの説明

ビット	フィールド†	symval †	値	説明
31-23	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
22	PICLR22	OF (値)		PISTAT22 ビットが Low にクリアされます。
		DEFAULT NONE	0	影響なし。
		VCTL2CLR	1	PISTAT22 (VCTL2) ビットをゼロクリアします。
21	PICLR21	OF (値)		PISTAT21 ビットが Low にクリアされます。
		DEFAULT NONE	0	影響なし。
		VCTL1CLR	1	PISTAT21 (VCTL1) ビットをゼロクリアします。
20	PICLR20	OF (値)		PISTAT20 ビットが Low にクリアされます。
		DEFAULT NONE	0	影響なし。
		VCTL0CLR	1	PISTAT20 (VCTL0) ビットをゼロクリアします。
19-0	PICLR[19-0]	OF (値)		PISTAT[19-0] ビットが Low にクリアされます。
		DEFAULT NONE	0	影響なし。
		VDATA _n CLR	1	PISTAT[<i>n</i>] (VDATA[<i>n</i>]) ビットをゼロクリアします。

† CSL を使用して実装する場合、表記 VP_PICLR_PICLR_n_symval を使用してください。

VCXO 補間制御ポート

この章では、VCXO 補間制御 (VIC) ポートの概要について説明します。

項目	ページ
6.1 概要	6-2
6.2 インターフェイス.....	6-3
6.3 動作詳細.....	6-3
6.4 VIC ポートのイネーブル.....	6-5
6.5 VIC ポート・レジスタ.....	6-5

6.1 概要

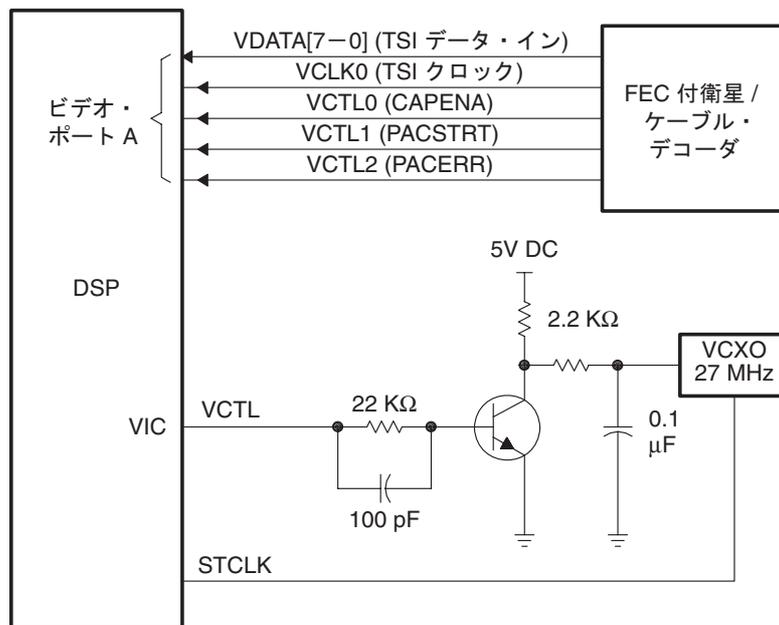
VCXO 補間制御 (VIC) ポートは、9 ビットから最大 16 ビットまでの解像度をもつ単一ビットの VCXO 補間制御を提供します。補間周波数は、必要な解像度によって異なります。

ビデオ・ポートをトランスポート・ストリーム・インターフェイス (TSI) モードで使用すると、MPEG トランスポート・ストリーム用にシステム・クロック VCXO を制御するために VIC ポートが使用されます (図 6-1)。

VIC ポートは、次の機能をサポートします。

- 単一ビットの VCXO 補間制御
- 9 ~ 16 ビットのプログラム可能な精度

図 6-1. TSI システム・ブロック図



6.2 インターフェイス

VIC ポートのピン・リストを表 6-1 に示します (ピンは 3.3V I/O です)。

表 6-1. VIC ポート・インターフェイス信号

VIC ポート信号	方向	説明
VCTL	出力	VCXO 制御
STCLK	入力	システム・タイム・クロック

6.3 動作詳細

リアルタイムのデジタル・データ配信システムでは、同期を取るということは、データのデコードおよびデータの表示に関して重要な点です。これは、MPEG トランスポート・パケットでは選択されたデータ・パケットの適合フィールド内のタイミング情報を送信することで、解決されます。これは、受信システム内でのタイミング比較に関する参照としての機能を果たします。27 MHz クロックのサンプルであるプログラム・クロック・リファレンス (PCR) ヘッダを図 6-2 に示します。これはビット・ストリーム内で送信され、トランスポート・デコーダでビット・ストリームからフィールドの読み取りを完了するまでにかかる予想時間を示します。サンプルは、42 ビット・フィールドで、そのうちの 9 ビットは 27 MHz で 0 ~ 299 の範囲の値を取り、他の 33 ビット・フィールドは、9 ビット・フィールドの値が 299 に到達したら毎回 1 つずつインクリメントされます。送信データ・パケットはサーバのシステム・クロックで同期します。

図 6-2. プログラム・クロック・リファレンス (PCR) のヘッダ・フォーマット

47	15 14	9 8	0
PCR	Reserved	PCR extension	

VIC ポートと協調動作するビデオ・ポートは、ハードウェアとソフトウェアを組み合わせたソリューションを使用して、トランスポート・システム・タイム・クロック (STC) をビット・ストリーム内で送信されるクロック・リファレンスと同期を取ります。

ビデオ・ポートは、システム・タイムをカウントするハードウェア・カウンタを保持します。カウンタは、外部 VCXO によってドライブされるシステム・タイム・クロック (STCLK) 入力によってドライブされ、VIC ポートで制御されます。

パケットを受け取ると、ビデオ・ポートはカウンタのスナップショットをキャプチャします。ソフトウェアでは、このタイムスタンプを使用して、サーバ・クロックからのシステム・タイム・クロックの偏差を決定し、VIC ポートの VCTL 出力をドライブして同期を取ります。

PCR を持つパケットを受け取ると、そのパケットのタイムスタンプがソフトウェア内の PCR 値と比較されます。PLL が、STCLK とシステム・タイム・クロックの同期を取るためにソフトウェアによって実装されます。DSP はこのアルゴリズムからの出力を使用して、VIC インพุット・レジスタ (VICIN) を更新します。このレジスタは、システム・タイム・クロック VCXO を制御する VCTL 出力を順番にドライブします。

f が入ってくるビット・ストリーム内の PCR の周波数である場合、VCTL 出力の補間レート R を式 6-1 に示します。ここで、 k はプログラマが指定する精度 β によって決まります。

式 6-1. 補間レートと入力周波数の関係

$$R = kf$$

式 6-2 では、 k と精度 β の関係を示します。

式 6-2. 精度に対する周波数逡倍の関係

$$k > \sqrt[3]{(\pi^2(2^\beta - 1)^2)/3}$$

表 6-2 では、 f を 40 kHz に固定し、 β を変化させたときの k および R の値を示します。適切な補間周波数が決定されると、クロック分周比をセットできます。

表 6-2. 補間レートの値の例

β	k	R
9	96.0	3.8 MHz
10	151.0	6.0 MHz
11	240.0	9.6 MHz
12	381.0	15.2 MHz
13	605.0	24.2 MHz
14	960.0	38.4 MHz
15	1523.0	60.9 MHz
16	2418.0	96.7 MHz

6.4 VIC ポートのイネーブル

次の手順に従って、VIC ポートをイネーブルしてください。

- 1) VIC コントロール・レジスタ (VICCTL) 内の GO ビットをゼロクリアします。
- 2) VICCTL 内の PRECISION ビットを必要な精度にセットします。
- 3) 精度および補間周波数に基づき、VIC クロック・デバイダ・レジスタ (VICDIV) のビットを適切な値にセットします。
- 4) VICCTL 内の GO ビットを 1 にセットします
- 5) VIC インプット・レジスタ (VICIN) は、新規入力コードが補間用に入手可能になると毎回書き込まれます。必要な回数だけ、手順 3) を繰り返します。

6.5 VIC ポート・レジスタ

VIC ポート・レジスタを表 6-3 に示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

表 6-3. VIC ポート・レジスタ

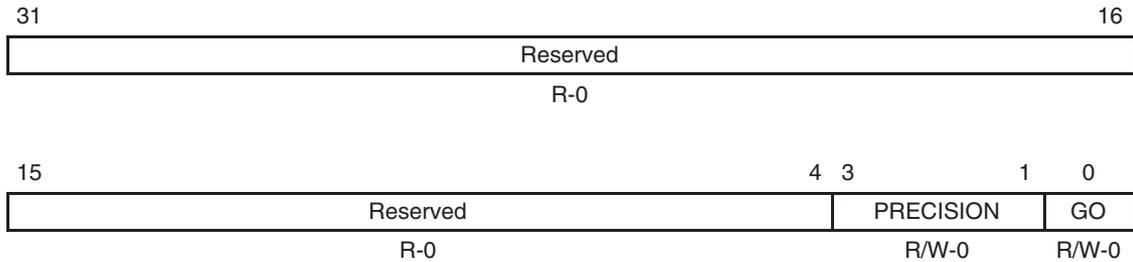
オフセット・アドレス [†]	略称	レジスタ名	参照先
00h	VICCTL	VIC コントロール・レジスタ	6.5.1
04h	VICIN	VIC インプット・レジスタ	6.5.2
08h	VICDIV	VIC クロック・デバイダ・レジスタ	6.5.3

[†] レジスタの絶対アドレスは、デバイス固有のもので、そのアドレスはベース・アドレス + オフセット・アドレスに等しくなります。レジスタのアドレスを確認するには、各デバイスのデータシートを参照してください。

6.5.1 VIC コントロール・レジスタ (VICCTL)

VIC コントロール・レジスタ (VICCTL) を図 6-3 に示し、表 6-4 で説明します。

図 6-3. VIC コントロール・レジスタ (VICCTL)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 6-4. VIC コントロール・レジスタ (VICCTL) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-4	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
3-1	PRECISION	OF (値)	0 ~ 7h	PRECISION ビットは、補間の解像度を決定します。PRECISION ビットは、GO ビットがゼロクリアされたときのみ書き込み可能です。GO ビットが 1 にセットされていると、PRECISION ビットへ書き込んでもビットを変更しません。
		DEFAULT 16BITS	0	16 ビット
		15BITS	1h	15 ビット
		14BITS	2h	14 ビット
		13BITS	3h	13 ビット
		12BITS	4h	12 ビット
		11BITS	5h	11 ビット
		10BITS	6h	10 ビット
		9BITS	7h	9 ビット

[†] CSL を使用して実装する場合、表記 VIC_VICCTL_field_symval を使用してください。

表 6-4. VIC コントロール・レジスタ (VICCTL) フィールドの説明 (続き)

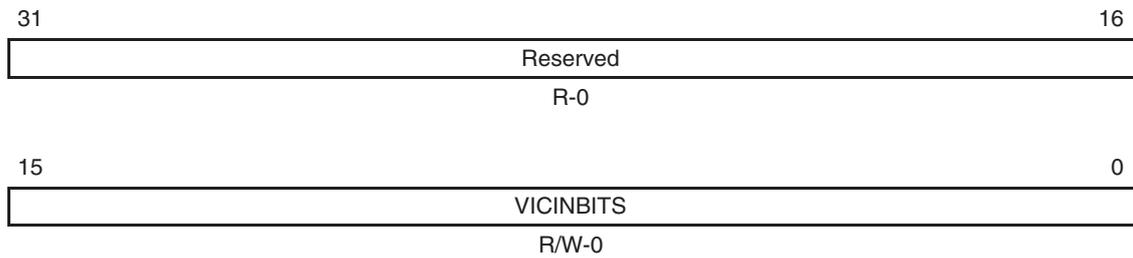
ビット	フィールド [†]	symval [†]	値	説明
0	GO	OF (値)		GO ビットは、常に書き込み可能。
		DEFAULT 0	0	VIC ポートの動作に影響を与えることなく、VICDIV および VICCTL レジスタには、書き込み可能です。VIC ポート内のすべてのロジックは、リセット状態に保持され、VCTL 出力ライン上に 0 が出力されます。GO を 1 にセットすると同様に、VICCTL ビットへの書き込みは、単一書き込み動作状態で許可されます。VICCTL ビットが変更され、GO ビットがセットされたら VICCTL および VICDIV レジスタへの変更は禁止です。
		1	1	VICDIV および VICCTL (ただし、GO ビットを除く) レジスタには、書き込み禁止です。GO ビットがセットされているときに、VICDIV または VICCTL レジスタへ書き込みを行っても、これらのレジスタの値は変更されません。GO ビットをゼロクリアし、他の VICCTL ビットの値を変更する書き込みを行うと、他の VICCTL ビットが変更されず、GO = 0 になります。VIC ポートは、この状態では通常の動作モード状態です。

[†] CSL を使用して実装する場合、表記 VIC_VICCTL_field_symval を使用してください。

6.5.2 VIC インプット・レジスタ (VICIN)

DSP は、VCXO 補間制御用入力ビットを VIC インプット・レジスタ (VICIN) に書き込みます。DSP は VICIN の更新頻度を決めます。VIC コントロール・レジスタ (VICCTL) 内の GO ビットが 1 にセットされているときにのみ、DSP は VICIN に書き込み可能です。VIC モジュールは、16 未満の精度をもつ値に対して VICIN の MSB を使用します。VICIN を図 6-4 に示し、表 6-5 で説明します。

図 6-4. VIC インプット・レジスタ (VICIN)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 6-5. VIC インプット・レジスタ (VICIN) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-16	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
15-0	VICINBITS	OF (値)	0 ~ FFFFh	DSP は、VCXO 補間制御用入力ビットを VIC インプット・レジスタ (VICIN) へ書き込みます。
		DEFAULT	0	

[†] CSL を使用して実装する場合、表記 VIC_VICIN_VICINBITS_*symval* を使用してください。

6.5.3 VIC クロック・デバイダ・レジスタ (VICDIV)

VIC クロック・デバイダ・レジスタ (VICDIV) は、VIC 補間周波数のクロック分周比を規定します。VIC 補間周波数は、モジュール・クロックを分周することで取得されます。VICDIV へ書き込まれた分周値は、次のように計算されます。

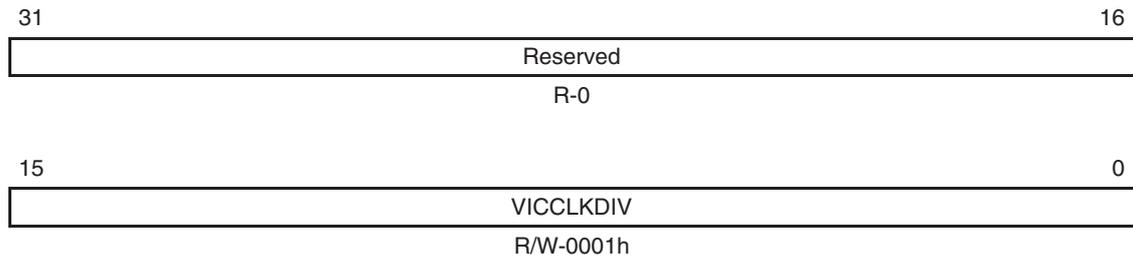
$$\text{Divider} = \text{Round}[\text{DCLK}/R]$$

ここで、*DCLK* は CPU クロックの 1/2 で、*R* は必要な補間周波数です。補間周波数は、精度 β によって決まります。

VICDIV のデフォルト値は、0001h です。0000h は不正な値です。0000h がこのレジスタに書き込まれるときは、VIC モジュールは値 0001h を使用します。

VICCTL 内の GO ビットがゼロクリアされるときにのみ、DSP は VICDIV に書き込み可能です。GO ビットが 1 にセットされているとき書き込みを行っても、VICDIV ビットは変更されません。VICDIV を図 6-5 に示し、表 6-6 で説明します。

図 6-5. VIC クロック・デバイダ・レジスタ (VICDIV)



凡例： R = 読み取り専用。R/W = 読み取り / 書き込み。-n = リセット後の値。

表 6-6. VIC クロック・デバイダ・レジスタ (VICDIV) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-16	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) として読み出されます。このフィールドにどの値を書き込んでも影響ありません。
15-0	VICCLKDIV	OF (値)	0 ~ FFFFh	VIC クロック・デバイダ・ビットは、VIC 補間周波数のクロック分周比を定義します。
		DEFAULT	1h	

[†] CSL を使用して実装する場合、表記 VIC_VICDIV_VICCLKDIV_symval を使用してください。

改訂履歴

表 A-1 に、このマニュアルに対して前回の改訂以降に行われた変更点を示します。

表 A-1. マニュアル改訂履歴

ページ	追加 / 変更 / 削除
1-13	表 1-1 の最初に現れる VCLK1 を VCLK0 に変更。
3-47	手順 5 を 3.11 節に追加。それ以降の手順の番号を振り直し。
3-47	3.11 節の手順 6 にあった 4 番目の項目「必要に応じて Raw データ同期 (RDS) のイネーブル」を削除。
4-9	4.1.5 節の段落を変更。
4-9	図 4-7 を変更。
4-51	4.11 節に手順 1 と手順 2 を追加。それ以降の手順の番号を振り直し。
4-51	4.11 節に手順 7 と手順 8 を追加。
4-52	4.11 節の手順 22 に項目を追加。
4-53	4.11 節の手順 16 を手順 23 の後に移動。
5-2	表 5-1 のレジスタ名を変更。



ビデオ・ポート設定例

この付録では、参考例を使って各種モードでのビデオ・ポートの設定方法について説明します。この付録に記述されているすべての例は、ビデオ・ポート・チップ・サポート・ライブラリ（CSL）を使用しています。

項目	ページ
B.1 例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ	B-2
B.2 例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ	B-10

B.1 例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

この例では、ビデオ・ポートのチャンネル A を 525/60 フォーマットの 8 ビット BT.656 非連続フレーム・キャプチャに設定する方法について説明します。525/60 フォーマットの詳細については、ITU-R BT.656 およびビデオ・ポートの仕様（図 4-11、4-33、4-34 および表 4-36）を参照してください。

```

/*****
/* Capture parameter definitions based on 525/60 format */
/*****
#define VCA_HBLNK_SIZE    138 /* (858-720),horizontal blanking          */
    /* (EAV/SAV inclusive)                                          */
#define VCA_VBLNK1_SIZE  19  /* (20-1),v.blanking for field1    */
#define VCA_VBLNK2_SIZE  19  /* (283-264),v.blanking for field2  */
#define VCA_IMG_HSIZE1    720 /* field1 horizontal image size    */
#define VCA_IMG_VSIZE1    244 /* (263-20+1), fld1 vertical image size */
#define VCA_IMG_HSIZE2    720 /* field2 horizontal image size    */
#define VCA_IMG_VSIZE2    243 /* (525-283+1), fld2 vertical image size */
/* Define field image sizes */
#define VCA_IMAGE_SIZE1  (VCA_IMG_HSIZE1 * VCA_IMG_VSIZE1)
#define VCA_IMAGE_SIZE2  (VCA_IMG_HSIZE2 * VCA_IMG_VSIZE2)

/* ----- */
/* Define channel A capture window co-ordinates for Field1 */
/* ----- */
/* HRST = 0, start of horizontal blanking */
#define VCA_XSTART1      (VCA_HBLNK_SIZE - 2/*EAV*/)
/* VRST = 1, end of vertical blanking */
#define VCA_YSTART1      1
#define VCA_XSTOP1       (VCA_XSTART1 + VCA_IMG_HSIZE1 - 1)
#define VCA_YSTOP1       (VCA_YSTART1 + VCA_IMG_VSIZE1 - 1)

/* ----- */
/* Define channel A capture window co-ordinates for Field2 */
/* ----- */
/* HRST = 0, start of horizontal blanking          */
#define VCA_XSTART2      (VCA_HBLNK_SIZE - 2/*EAV*/)
/* VRST = 1, end of vertical blanking              */
#define VCA_YSTART2      1
#define VCA_XSTOP2       (VCA_XSTART2 + VCA_IMG_HSIZE2 - 1)
#define VCA_YSTOP2       (VCA_YSTART2 + VCA_IMG_VSIZE2 - 1)
/* Define threshold values in double-words. Both fields should
/* same threshold value)
#define VCA_THRLD_FIELD1(VCA_IMG_HSIZE1/8) /* line length in
#define VCA_THRLD_FIELD2VCA_THRLD_FIELD1 /* double-words
/* Define number of events to be generated for field1 and field2
#define VCA_CAPEVT1      (VCA_IMAGE_SIZE1 / (VCA_VDTHRLD1 * 8))
#define VCA_CAPEVT2      (VCA_IMAGE_SIZE2 / (VCA_VDTHRLD2 * 8))
#define CAPCHA_FRAME_COUNT5 /* in this example

```

例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

```

/* ----- */
/* EDMA parameters for capture Y event that are */
/* specific to this example. */
/* ----- */
#define VCA_Y_EDMA_ELECNT(VCA_THRLD_FIELD1 * 2) /* because VCA_THRLD_FIELDn is in
double-words and element size is 32-bit */
#define VCA_Y_EDMA_FRMCNT((VCA_CAPEVT1 + VCA_CAPEVT2) * CAPCHA_FRAME_COUNT)

/*****
/* Description : 8-bit BT.656 non-continuous frame capture */
/* */
/* Some important field descriptions: */
/* */
/* CMODE = 000, 8-bit BT.656 mode */
/* CON = 0 */
/* FRAME = 1, capture frame */
/* CF2 = 0 */
/* CF1 = 0, (8-bit non-continuous frame capture) */
/* SCALE = 0, no scaling */
/* RESMPL= 0, no resampling */
/* 10BPK = X, not used in 8-bit capture */
/* EXC = 0, use EAV/SAV codes */
/* VRST = 1, end of vertical blanking */
/* HRST = 0, start of horizontal blanking */
/* FLDD = 0, 1st line EAV or FID input */
/* FINV = 0, no field invert */
/* RDFE = X, used in Raw mode only(Enable field identification) */
/* SSE = X, used in Raw mode only(Startup synch enable) */
*****/
#include <csl_vp.h>
#include <csl_edma.h>
#include <csl_irq.h>

/*----- */
/* global variable declarations */
/* ----- */
VP_Handle vpCaptureHandle; /* handle of vp that to be configured */

Uint8 capChaAYSpace[]; /* buffer to store captured Y-data */
Uint8 capChaACbSpace[]; /* buffer to store captured Cb-data */
Uint8 capChaACrSpace[]; /* buffer to store captured Cb-data */

EDMA_Handle hEdmaVPCapChaAY;
EDMA_Handle hEdmaVPCapChaACb;
EDMA_Handle hEdmaVPCapChaACr;

Int32 edmaCapChaAYTccNum = 0; /* EDMA tcc for Y channel */
Int32 edmaCapChaACbTccNum = 0; /* EDMA tcc for Cb channel */
Int32 edmaCapChaACrTccNum = 0; /* EDMA tcc for Cb channel */

volatile Uint32 capChaAFrameCount = 0; /* no of frames captured */

```

例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

```
/* Error flags */
volatile Uint32 capChaAOverrun = 0;
volatile Uint32 capChaASyncError = 0;
volatile Uint32 capChaAShortFieldDetect = 0;
volatile Uint32 capChaALongFieldDetect = 0;

/* ----- */
/* Function      : bt656_8bit_ncfc */
/* Input(s)      : portNumber, video port number i.e. 0, 1 or 2. */
/* Description   : Configures given video port for 8-bit BT.656 non- */
/*                 continuos frame capture on channel A. */
/* ----- */
void bt656_8bit_ncfc(int portNumber)
{
    /* Open video port for capture */
    vpCaptureHandle = VP_open(portNumber, VP_OPEN_RESET);
    if(vpCaptureHandle == INV)
        test_exit(FAIL);

    /* Enable video port functionality in VP Peripheral */
    /* Control Reg(PCR) */
    VP_FSETH(vpCaptureHandle, PCR, PEREN, VP_PCR_PEREN_ENABLE);

    /* ----- */
    /* Enable all interrupts */
    /* ----- */

    /* Enable capture overrun interrupt(COVRA) for VP channel A */
    VP_FSETH(vpCaptureHandle, VPIE, COVRA, VP_VPIE_COVRA_ENABLE);

    /* Enable capture complete interrupt(CCMPA) for VP channel A */
    VP_FSETH(vpCaptureHandle, VPIE, CCMPA, VP_VPIE_CCMPA_ENABLE);

    /* Enable channel synchronization error interrupt(SERRA) for */
    /* VP channel A */
    VP_FSETH(vpCaptureHandle, VPIE, SERRA, VP_VPIE_SERRA_ENABLE);

    /* Enable short field detect interrupt(SFDA) for VP channel A */
    VP_FSETH(vpCaptureHandle, VPIE, SFDA, VP_VPIE_SFDA_ENABLE);

    /* Enable video port global interrupt enable */
    VP_FSETH(vpCaptureHandle, VPIE, VIE, VP_VPIE_VIE_ENABLE);

    /* ----- */
    /* Setup all other fields */
    /* ----- */

    /* Enable short field detect */
    VP_FSETH(vpCaptureHandle, VCACTL, SFDE, VP_VCACTL_SFDE_ENABLE);

    /* Set last pixel to be captured in Field1 (VCA_STOP1 reg) */
    VP_RSETH(vpCaptureHandle, VCASTOP1,
             VP_VCASTOP1_RMK(VCA_YSTOP1, VCA_XSTOP1));
    /* Set last pixel to be captured in Field2 (VCA_STOP2 reg) */
}
```

例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

```
VP_RSETH(vpCaptureHandle, VCASTOP2,
          VP_VCASTOP2_RMK(VCA_YSTOP2, VCA_XSTOP2));

/* Set first pixel to be captured in Field1 (VCA_STRT1 reg) */
VP_RSETH(vpCaptureHandle, VCASTRT1, VP_VCASTRT1_RMK(VCA_YSTART1,
          VP_VCASTRT1_SSE_ENABLE, VCA_XSTART1));

/* Set first pixel to be captured in Field2 (VCA_STRT2 reg) */
VP_RSETH(vpCaptureHandle, VCASTRT2,
          VP_VCASTRT2_RMK(VCA_YSTART2, VCA_XSTART2));

/* Set threshold values */
VP_RSETH(vpCaptureHandle, VCATHRLD,
          VP_VCATHRLD_RMK(VCA_THRLD_FIELD2, VCA_THRLD_FIELD1));

/* Set capture event-register values */
VP_RSETH(vpCaptureHandle, VCAEVTCT,
          VP_VCAEVTCT_RMK(VCA_CAPEVT2, VCA_CAPEVT1));

/* Vertical interrupts (VCA_INT) are not enabled in this
/* in this example.

/* Set CMODE to 8-bit BT.656
VP_FSETH(vpCaptureHandle, VCACTL, CMODE, VP_VCACTL_CMODE_BT656B);

/* Set non-continuous frame capture
VP_FSETH(vpCaptureHandle, VCACTL, CON, VP_VCACTL_CON_DISABLE);
VP_FSETH(vpCaptureHandle, VCACTL, FRAME, VP_VCACTL_FRAME_FRMCAP);
VP_FSETH(vpCaptureHandle, VCACTL, CF2, VP_VCACTL_CF2_NONE);
VP_FSETH(vpCaptureHandle, VCACTL, CF1, VP_VCACTL_CF1_NONE);

/* Let FDD and FINV to be their defaults

/* Set VRST to end of vertical blanking
VP_FSETH(vpCaptureHandle, VCACTL, VRST, VP_VCACTL_VRST_V0EAV);

/* Set HRST to start of horizontal blanking
VP_FSETH(vpCaptureHandle, VCACTL, HRST, VP_VCACTL_HRST_OF(0));

/* 10-bit pack mode(10BPK bit) in this 8-bit example

/* No (1/2) scaling and no chroma re-sampling in this example

/* Enable video port interrupts
IRQ_enable(vpCaptureHandle->eventId);

/* Setup Y, Cb and Cr EDMA channels
setupVPCapChaAEDMA(portNumber);

/* Clear VPHLT in VP_CTL to make video port function
VP_FSETH(vpCaptureHandle, VPCTL, VPHLT, VP_VPCTL_VPHLT_CLEAR);
```

例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

```

/* ----- */
/* enable capture */
/* ----- */

/* set VCEN bit to enable capture */
VP_FSETH(vpCaptureHandle, VCACTL, VCEN, VP_VCACTL_VCEN_ENABLE);

/* clear BLKCAP in VCA_CTL to enable capture DMA events */
VP_FSETH(vpCaptureHandle, VCACTL, BLKCAP,
          VP_VCACTL_BLKCAP_CLEAR);
}

/*----- */
/* Function      : VPCapChaAIsr */
/* Description   : This capture ISR clears FRMC to continue capture */
/*                in this non-continuous mode and also clears other */
/*                status bits. */
/*----- */
interrupt void VPCapChaAIsr(void)
{
    Uint32 vpis = 0;
    /* Get video port status register value */
    vpis = VP_RGETH(vpCaptureHandle, VPIS);

    if(vpis & _VP_VPIS_CCMPA_MASK) /* capture complete */
    {
        /* Clear frame complete bit in VCX_CTL to */
        /* continue capture in non-continuous mode */
        VP_FSETH(vpCaptureHandle, VCASTAT, FRMC,
                VP_VCASTAT_FRMC_CLEAR);

        /* Clear CCMPA to enable next frame complete */
        /* interrupts */
        VP_FSETH(vpCaptureHandle, VPIS, CCMPA, VP_VPIS_CCMPA_CLEAR);

        capChaAFrameCount++; /* increment captured frame count */
    }

    if(vpis & _VP_VPIS_COVRA_MASK) /* overrun error */
    {
        capChaAOverrun++;
        VP_FSETH(vpCaptureHandle, VPIS, COVRA, VP_VPIS_COVRA_CLEAR);
    }

    if(vpis & _VP_VPIS_SERRA_MASK) /* synchronization error */
    {
        capChaASyncError++;
        VP_FSETH(vpCaptureHandle, VPIS, SERRA, VP_VPIS_SERRA_CLEAR);
    }
}

```

例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

```

if(vpis & _VP_VPIS_SFDA_MASK) /* short field detect          */
{
    capChaAShortFieldDetect++;
    VP_FSETH(vpCaptureHandle, VPIS, SFDA, VP_VPIS_SFDA_CLEAR);
}

if(vpis & _VP_VPIS_LFDA_MASK) /* long field detect          */
{
    capChaALongFieldDetect++;
    VP_FSETH(vpCaptureHandle, VPIS, LFDA, VP_VPIS_LFDA_CLEAR);
}
}

/*----- */
/* Function      : setupVPCapChaAEDMA                       */
/* Input(s)      : portNumber, video port number i.e. 0, 1 or 2. */
/* Description    : Sets up EDMA channels for Y, U, V events for */
/*                  channel A capture.                       */
/*----- */
void setupVPCapChaAEDMA(Int32 portNumber)
{
    Int32 YEvent, UEvent, VEvent;

    /* get channelA Y, U, V EDMA event numbers                */
    switch(portNumber)
    {
        case VP_DEV0: YEvent = EDMA_CHA_VP0EVTYA;
                     UEvent = EDMA_CHA_VP0EVTUA;
                     VEvent = EDMA_CHA_VP0EVTVA;
                     break;
        case VP_DEV1: YEvent = EDMA_CHA_VP1EVTYA;
                     UEvent = EDMA_CHA_VP1EVTUA;
                     VEvent = EDMA_CHA_VP1EVTVA;
                     break;
        case VP_DEV2: YEvent = EDMA_CHA_VP2EVTYA;
                     UEvent = EDMA_CHA_VP2EVTUA;
                     VEvent = EDMA_CHA_VP2EVTVA;
                     break;
    }

    /* Configure Y EDMA channel to move data from YSRCA      */
    /* (FIFO) to Y-data buffer, capChaAYSpace                */
    configVPCapEDMAChannel(&hEdmaVPCapChaAY, YEvent,
                           &edmaCapChaAYTccNum,
                           vpCaptureHandle->ysrcaAddr,
                           (UInt32)capChaAYSpace,
                           VCA_Y_EDMA_FRMCNT,
                           VCA_Y_EDMA_ELECNT);
}

```

例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

```

/* Configure Cb EDMA channel to move data from CbSRCA          */
/* (FIFO) to Cb-data buffer, capChaACbSpace                  */
configVPCapEDMAChannel(&hEdmaVPCapChaACb, UEvent,
    &edmaCapChaACbTccNum,
    vpCaptureHandle->cbsrcaAddr,
    (Uint32)capChaACbSpace,
    VCA_Y_EDMA_FRMCNT,
    VCA_Y_EDMA_ELECNT/2); /* (1/2) of Y-samples                */

/* Configure Cr EDMA channel to move data from CrSRCA        */
/* (FIFO) to Cr-data buffer, capChaACrSpace                  */
configVPCapEDMAChannel(&hEdmaVPCapChaACr, VEvent,
    &edmaCapChaACrTccNum,
    vpCaptureHandle->crsrcaAddr,
    (Uint32)capChaACrSpace,
    VCA_Y_EDMA_FRMCNT,
    VCA_Y_EDMA_ELECNT/2); /* (1/2) of Y-samples                */

/* Enable three EDMA channels                                */
EDMA_enableChannel(hEdmaVPCapChaAY);
EDMA_enableChannel(hEdmaVPCapChaACb);
EDMA_enableChannel(hEdmaVPCapChaACr);
}

/*----- */
/* Function : configVPCapEDMAChannel                          */
/*----- */
/* Input(s) :  edmaHandle  - pointer to EDMA handle.         */
/*              eventId    - EDMA eventId.                   */
/*              tccNum     - pointer to transfer complete number. */
/*              srcAddr    - source address for EDMA transfer.  */
/*              dstAddr    - destination address for EDMA transfer */
/*              frameCount - frame count.                      */
/*              elementCount - element count(32-bit element size). */
/*----- */
/* Output(s):  edmaHandle  - edma Handle of the given event.  */
/*              tccNum     - transfer complete code for the given */
/*              event.                                          */
/*----- */
/* Description : Configures the given VP capture EDMA channel. */
/*               The source address update is fixed address mode */
/*               because the captured data is read from the FIFO. */
/*               In this example, the destination address mode is */
/*               auto-increment. But, in real-time applications */
/*               there is lot of flexibility in the way capture */
/*               buffers can be managed like ping-pong and round */
/*               robin,...etc.                                  */
/*----- */

```

例 1 : 525/60 フォーマットの非連続フレーム・キャプチャ

```

void configVPCapEDMAChannel(EDMA_Handle *edmaHandle, Int32 eventId,
                            Int32 *tccNum, Uint32 srcAddr,
                            Uint32 dstAddr, Uint32 frameCount,
                            Uint32 elementCount)
{
    Int32 tcc = 0;

    /* Open Y EVT EDMA channel */
    *edmaHandle = EDMA_open(eventId, EDMA_OPEN_RESET);

    if(*edmaHandle == EDMA_HINV)
        test_exit(FAIL);

    /* allocate TCC for Y event */
    if((tcc = EDMA_intAlloc(-1)) == -1)
        test_exit(FAIL);

    /* Configure EDMA parameters */
    EDMA_configArgs(
        *edmaHandle,
        EDMA_OPT_RMK(
            EDMA_OPT_PRI_MEDIUM, /* medium priority */
            EDMA_OPT_ESIZE_32BIT, /* Element size 32 bits */
            EDMA_OPT_2DS_NO, /* 1-dimensional source(FIFO) */
            EDMA_OPT_SUM_NONE, /* fixed src address mode(FIFO) */
            EDMA_OPT_2DD_YES, /* 2-dimensional destination */
            EDMA_OPT_DUM_INC, /* destination increment */
            EDMA_OPT_TCINT_YES, /* Enable transfer complete */
            /* indication */
            EDMA_OPT_TCC_OF(tcc & 0xF),
            EDMA_OPT_TCCM_OF(((tcc & 0x30) >> 4)),
            EDMA_OPT_ATCINT_NO, /* Disable Alternate Transfer */
            /* Complete Interrupt */
            EDMA_OPT_ATCC_OF(0),
            EDMA_OPT_PDTS_DISABLE, /* disable PDT(peripheral device */
            /* transfer) mode for source */
            EDMA_OPT_PDTD_DISABLE, /* disable PDT mode for dest */
            EDMA_OPT_LINK_NO, /* Disable linking */
            EDMA_OPT_FS_NO /* Array synchronization */
        ),
        EDMA_SRC_RMK(srcAddr),
        EDMA_CNT_RMK(EDMA_CNT_FRMCNT_OF((frameCount - 1)),
                    EDMA_CNT_ELECNT_OF(elementCount)),
        EDMA_DST_RMK(dstAddr),
        EDMA_IDX_RMK(EDMA_IDX_FRMIDX_OF((elementCount * 4)),
                    EDMA_IDX_ELEIDX_OF(0)), /* note: 32-bit element size */
        /* no RLD in 2D and no linking */
        EDMA_RLD_RMK(EDMA_RLD_ELRLD_OF(0), EDMA_RLD_LINK_OF(0))
    );

    *tccNum = tcc;
}

```

B.2 例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

この例では、ビデオ・ポートを 525/60 フォーマットの 8 ビット BT.656 非連続フレーム・ディスプレイに設定する方法について説明します。525/60 フォーマットの詳細については、ITU-R BT.656 およびビデオ・ポートの仕様 (図 4-11、4-33、4-34 および表 4-36) を参照してください。単純にするために、この例にはマージンが含まれていません。つまり、垂直ブランキングおよび水平ブランキングのオフセットは両方ともゼロです。つまり、アクティブ領域とイメージ領域の両方は同じ値となっています。

```

/*****
/* Display parameter definitions based on 525/60 format */
/*****

/* ----- */
/* Define frame size */
/* ----- */
#define VD_FRM_WIDTH      858 /* no of pixels per frame line      */
                               /* including horizontal blanking */
#define VD_FRM_HEIGHT    525 /* total no of lines per frame */
#define VD_FRM_SIZE      (VD_FRM_WIDTH * VD_FRM_HEIGHT)

/* ----- */
/* Horizontal blanking */
/* ----- */
#define VD_HBLNK_START   720 /* starting location of EAV      */
#define VD_HBLNK_STOP    856 /* starting location of SAV      */
#define VD_HBLNK_SIZE    (VD_HBLNK_STOP - VD_HBLNK_START +
                          2/*EAV*/) /* (138) EAV, SAV inclusive */

/* ----- */
/* Vertical blanking for field1 */
/* ----- */
#define VD_VBLNK_XSTART1 720 /* pixel on which VBLNK active   */
                               /* edge occurs for field1       */
#define VD_VBLNK_YSTART1 1   /* line on which VBLNK active    */
                               /* edge occurs for field1       */
#define VD_VBLNK_XSTOP1  720 /* pixel on which VBLNK inactive */
                               /* edge occurs for field1       */
#define VD_VBLNK_YSTOP1  20  /* line on which VBLNK inactive  */
                               /* edge occurs for field1       */

/* ----- */
/* Vertical blanking for field2 */
/* ----- */
#define VD_VBLNK_XSTART1 360 /* pixel on which VBLNK active   */
                               /* edge occurs for field2       */
#define VD_VBLNK_YSTART1 263 /* line on which VBLNK active    */
                               /* edge occurs for field2       */
#define VD_VBLNK_XSTOP1  360 /* pixel on which VBLNK inactive */
                               /* edge occurs for field2       */
#define VD_VBLNK_YSTOP1  283 /* line on which VBLNK inactive  */
                               /* edge occurs for field2       */

```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```

/* ----- */
/* Define vertical blanking bit(VD_VBITn) reg values */
/* ----- */
#define VD_VBIT_SET1      1  /* first line with an EAV with V=1          */
                          /* indicating the start of Field1          */
                          /* vertical blanking                        */
#define VD_VBIT_CLR1     20 /* first line with an EAV with V=0          */
                          /* indicating the start of Field1          */
                          /* active display                          */
#define VD_VBLNK1_SIZE   (VD_VBIT_CLR1 - VD_VBIT_SET1) /* 19 lines */

#define VD_VBIT_SET2     264 /* first line with an EAV with V=1          */
                          /* indicating the start of Field2          */
                          /* vertical blanking                        */
#define VD_VBIT_CLR2     283 /* first line with an EAV with V=0          */
                          /* indicating the start of Field2          */
                          /* active display                          */
#define VD_VBLNK2_SIZE   (VD_VBIT_CLR2 - VD_VBIT_SET2) /* 19 lines */

/* ----- */
/* Field timing */
/* ----- */
#define VD_FIELD1_XSTART 720 /* pixel on the first line of              */
                          /* Field1 on which FLD ouput              */
                          /* is de-asserted                        */
#define VD_FIELD1_YSTART 1  /* line on which FLD is de-asserted        */
#define VD_FIELD1_XSTART 360 /* pixel on the first line of              */
                          /* Field1 on which FLD ouput              */
                          /* is asserted                            */
#define VD_FIELD1_YSTART 263 /* line on which FLD is asserted           */

/* ----- */
/* Define field bit(VD_FBIT) reg values */
/* ----- */
#define VD_FBIT_CLR      4  /* first line with an EAV with F=0          */
                          /* indicating Field 1 display              */
#define VD_FBIT_SET     266 /* first line with an EAV with F=1          */
                          /* indicating Field 2 display              */

/* ----- */
/* Define horizontal synchronization */
/* ----- */
#define VD_HSYNC_START   736
#define VD_HSYNC_STOP    800

/* ----- */
/* Define vertical synchronization for field1 */
/* ----- */
#define VD_VSYNC_XSTART1 720
#define VD_VSYNC_YSTART1 4
#define VD_VSYNC_XSTOP1  720
#define VD_VSYNC_YSTOP1  7

```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```
/* ----- */
/* Define vertical synchronization for field2 */
/* ----- */
#define VD_VSYNC_XSTART2  360
#define VD_VSYNC_YSTART2  266
#define VD_VSYNC_XSTOP2   360
#define VD_VSYNC_YSTOP2   269

/* ----- */
/* Define image offsets for both the fields */
/* which are zero in this example */
/* ----- */
#define VD_IMG_HOFF1      0
#define VD_IMG_VOFF1      0
#define VD_IMG_HOFF2      0
#define VD_IMG_VOFF2      0

/* ----- */
/* Define image active vertical and horizontal sizes */
/* ----- */
#define VD_IMG_HSIZE1     720 /* field1 horizontal image size */
#define VD_IMG_VSIZE1     244 /* field1 vertical image size */
#define VD_IMG_HSIZE2     720 /* field2 horizontal image size */
#define VD_IMG_VSIZE2     243 /* field2 vertical image size */

/* Manipulate field1 and field2 image sizes */
#define VD_IMAGE_SIZE1    (VD_IMG_HSIZE1 * VD_IMG_VSIZE1)
#define VD_IMAGE_SIZE2    (VD_IMG_HSIZE2 * VD_IMG_VSIZE2)

/* Define threshold values in double-words. Both fields should */
/* have same threshold value */
#define VD_VDTHRLD1      (VD_IMG_HSIZE1/8) /* line length in */
#define VD_VDTHRLD2      VD_VDTHRLD1      /* double-words */

/* Define number of events to be generated for field1 and field2 */
#define VD_DISPEVT1      (VD_IMAGE_SIZE1 / (VD_VDTHRLD1 * 8))
#define VD_DISPEVT2      (VD_IMAGE_SIZE2 / (VD_VDTHRLD2 * 8))

#define DISPLAY_FRAME_COUNT  5 /* in this example */

/* ----- */
/* EDMA parameters for display Y event that are */
/* specific to this example. */
/* ----- */
#define VD_Y_EDMA_ELECNT  (VD_VDTHRLD1 * 2) /* VD_VDTHRLDn is in double-words */
/* and 32-bit element size */
#define VD_Y_EDMA_FRMCNT  ((VD_DISPEVT1 + VD_DISPEVT2) *
                           DISPLAY_FRAME_COUNT)
```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```

/*****/
/* Description : 8-bit BT.656 non-continuous frame display */
/* */
/* Some important field descriptions: */
/* */
/* DMODE = 000, 8-bit BT.656 mode */
/* CON = 0 */
/* FRAME = 1, display frame */
/* DF2 = 0 */
/* DF1 = 0, (8-bit non-continuous frame display) */
/* SCALE = 0, no scaling */
/* RESMPL = 0, no resampling */
/* DPK = X, not used in 8-bit display */
/* RSYNC = X, used in Raw mode(Enable second synchronized raw */
/* data channel) */
/* RGBX = X, used in Raw mode(RGB extract enable. Perform */
/* 3/4 FIFO unpacking) */
/* VCTL1S = 00, output HSYNC */
/* VCTL2S = 00, output VSYNC */
/* VCTL3S = 0, output CBLNK */
/* HXS = 0, VCTL1 is an output */
/* VXS = 0, VCTL2 is an output */
/* FXS = 0, VCTL3 is an output */
/* PVPSYN = 0, no previous port synchronization */
/*****/
#include "csl_vp.h"
#include "csl_edma.h"
#include "csl_irq.h"

/*----- */
/* global variable declarations */
/* ----- */
VP_Handle vpDisplayHandle; /* handle of vp that to be configured */

Uint8 dispYSpace[]; /* Display Y-data buffer */
Uint8 dispCbSpace[]; /* Display Cb-data buffer */
Uint8 dispCrSpace[]; /* Display Cb-data buffer */

EDMA_Handle hEdmaVPDispY;
EDMA_Handle hEdmaVPDispCb;
EDMA_Handle hEdmaVPDispCr;

Int32 edmaDispYTccNum = 0; /* EDMA tcc for Y channel */
Int32 edmaDispCbTccNum = 0; /* EDMA tcc for Cb channel */
Int32 edmaDispCrTccNum = 0; /* EDMA tcc for Cb channel */

volatile Uint32 displayFrameCount = 0; /* no of frames that are */
/* displayed */
volatile Uint32 dispUnderrun = 0; /* underrun error flag */

```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```
/*----- */
/* Function      : bt656_8bit_ncfd */
/* Input(s)      : portNumber, video port number i.e. 0, 1 or 2. */
/* Description   : Configures given video port for 8-bit BT.656 non- */
/*                 continuous frame display. */
/*----- */
void bt656_8bit_ncfd(int portNumber)
{
    /* Open video port for display */
    vpDisplayHandle = VP_open(portNumber, VP_OPEN_RESET);
    if(vpDisplayHandle == INV)
        test_exit(FAIL);

    /* Enable video port functionality in VP Peripheral */
    /* Control Reg(PCR) */
    VP_FSETH(vpDisplayHandle , PCR, PEREN, VP_PCR_PEREN_ENABLE);

    /* Set this port to display mode */
    VP_FSETH(vpDisplayHandle , VPCTL, DISP, VP_VPCTL_DISP_DISPLAY);

    /* ----- */
    /* Enable all interrupts */
    /* ----- */

    /* enable display complete interrupt */
    VP_FSETH(vpDisplayHandle , VPIE, DCMP, VP_VPIE_DCMP_ENABLE);

    /* enable display underrun interrupt */
    VP_FSETH(vpDisplayHandle , VPIE, DUND, VP_VPIE_DUND_ENABLE);

    /* enable video port global interrupt enable */
    VP_FSETH(vpDisplayHandle , VPIE, VIE, VP_VPIE_VIE_ENABLE);

    /* ----- */
    /* Set all other fields */
    /* ----- */

    /* set frame size */
    VP_RSETH(vpDisplayHandle , VDFRMSZ,
             VP_VDFRMSZ_RMK(VD_FRM_HEIGHT, VD_FRM_WIDTH));

    /* set horizontal blanking */
    VP_RSETH(vpDisplayHandle , VDHBLNK,
             VP_VDHBLNK_RMK(VD_HBLNK_STOP, VP_VDHBLNK_HBDLA_NONE,
             VD_HBLNK_START));

    /* set vertical blanking start for field1 */
    VP_RSETH(vpDisplayHandle , VDVBLKS1,
             VP_VDVBLKS1_RMK(VD_VBLNK_YSTART1, VD_VBLNK_XSTART1));

    /* set vertical blanking end for field1 */
    VP_RSETH(vpDisplayHandle , VDVBLKE1,
             VP_VDVBLKE1_RMK(VD_VBLNK_YSTOP1, VD_VBLNK_XSTOP1));
}
```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```
/* set vertical blanking start for field2 */
VP_RSETH(vpDisplayHandle , VDVBLKS2,
          VP_VDVBLKS2_RMK(VD_VBLNK_YSTART2, VD_VBLNK_XSTART2));

/* set vertical blanking end for field2 */
VP_RSETH(vpDisplayHandle , VDVBLKE2,
          VP_VDVBLKE2_RMK(VD_VBLNK_YSTOP2, VD_VBLNK_XSTOP2));

/* set vertical blanking bit register for field 1(VD_VBIT1) */
VP_RSETH(vpDisplayHandle , VDVBIT1,
          VP_VDVBIT1_RMK(VD_VBIT_CLR1, VD_VBIT_SET1));

/* set vertical blanking bit register for field 2(VD_VBIT2) */
VP_RSETH(vpDisplayHandle , VDVBIT2,
          VP_VDVBIT2_RMK(VD_VBIT_CLR2, VD_VBIT_SET2));

/* No image offsets in this example */

/* set image size for field1 */
VP_RSETH(vpDisplayHandle , VDIMGSZ1,
          VP_VDIMGSZ1_RMK(VD_IMG_VSIZE1, VD_IMG_HSIZE1));

/* set image size for field2 */
VP_RSETH(vpDisplayHandle , VDIMGSZ2,
          VP_VDIMGSZ1_RMK(VD_IMG_VSIZE2, VD_IMG_HSIZE2));

/* set field1 timing */
VP_RSETH(vpDisplayHandle , VDFLDT1,
          VP_VDFLDT1_RMK(VD_FIELD1_YSTART, VD_FIELD1_XSTART));

/* set field2 timing */
VP_RSETH(vpDisplayHandle , VDFLDT2,
          VP_VDFLDT2_RMK(VD_FIELD2_YSTART, VD_FIELD2_XSTART));

/* set display field bit register(VD_FBIT) */
VP_RSETH(vpDisplayHandle , VDFBIT,
          VP_VDFBIT_RMK(VD_FBIT_SET, VD_FBIT_CLR));

/* set horizontal sync control (VCTL1S) */
VP_RSETH(vpDisplayHandle , VDHSYNC,
          VP_VDHSYNC_RMK(VD_HSYNC_STOP, VD_HSYNC_START));

/* set vertical sync start for field1 (VCTL2S) */
VP_RSETH(vpDisplayHandle , VDVSYSN1,
          VP_VDVSYSN1_RMK(VD_VSYNC_YSTART1, VD_VSYNC_XSTART1));

/* set vertical sync end for field1 (VCTL2S) */
VP_RSETH(vpDisplayHandle , VDVSYSNE1,
          VP_VDVSYSNE1_RMK(VD_VSYNC_YSTOP1, VD_VSYNC_XSTOP1));

/* set vertical sync start for field2 (VCTL2S) */
VP_RSETH(vpDisplayHandle , VDVSYSN2,
          VP_VDVSYSN2_RMK(VD_VSYNC_YSTART2, VD_VSYNC_XSTART2));
```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```
/* set vertical sync end for field2 (VCTL2S) */
VP_RSETH(vpDisplayHandle , VDVSUNE2,
         VP_VDVSUNE2_RMK(VD_VSYNC_YSTOP2, VD_VSYNC_XSTOP2));

/* Let clipping values to be their defaults (VD_CLIP) */

/* No need to set DEF_VAL and VD_RELOAD in this example */

/* set event register */
VP_RSETH(vpDisplayHandle , VDDISPEVT,
         VP_VDDISPEVT_RMK(VD_DISPEVT2, VD_DISPEVT1));

/* Vertical interrupts are not used in this example (VD_VINT) */

/* set threshold value for DMA events */
VP_RSETH(vpDisplayHandle, VDTHRLD,
         VP_VDTHRLD_RMK(VD_VDTHRLD2,
         VP_VDTHRLD_INCPIX_DEFAULT, VD_VDTHRLD1));

/* ----- */
/* Set display control reg(VD_CTL) */
/* ----- */

/* set display mode(DMODE) to 8-bit BT.656 */
VP_FSETH(vpDisplayHandle , VDCTL, DMODE, VP_VDCTL_DMODE_BT656B);

/* set non-continuous frame display */
VP_FSETH(vpDisplayHandle , VDCTL, CON, VP_VDCTL_CON_DISABLE);
VP_FSETH(vpDisplayHandle , VDCTL, FRAME, VP_VDCTL_FRAME_FRMDIS);
VP_FSETH(vpDisplayHandle , VDCTL, DF2, VP_VDCTL_DF2_NONE);
VP_FSETH(vpDisplayHandle , VDCTL, DF1, VP_VDCTL_DF1_NONE);

/* let control outputs(VCTL1S, VCTL2S, VCTL3S, HXS, VXS, FXS)
/* be their defaults i.e. VCTLxS are output control signals */

/* no scaling and no resampling in this example */

/* no need to bother about 10-bit unpacking mode(DPK bit)
/* in this 8-bit example */

/* Set up Y, Cb and Cr EDMA channels */
setupVPDispEDMA(portNumber);

/* Enable video port interrupts */
IRQ_enable(vpDisplayHandle ->eventId);

/* clear VPHLT in VP_CTL to make video port function */
VP_FSETH(vpDisplayHandle , VPCTL, VPHLT, VP_VPCTL_VPHLT_CLEAR);
```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```
/* ----- */
/* enable display */
/* ----- */

/* set VDEN to enable display for loop-back */
VP_FSETH(vpBDisplayHandle, VDCTL, VDEN, VP_VDCTL_VDEN_ENABLE);

/* clear BLKDIS in VD_CTL to enable display DMA events */
VP_FSETH(vpBDisplayHandle, VDCTL, BLKDIS, VP_VDCTL_BLKDIS_CLEAR);
}

/*----- */
/* Function      : VPDispIsr */
/* Description   : This display ISR clears FRMD to continue display */
/*                in this non-continuous mode and also clears other */
/*                status bits. */
/*----- */
interrupt void VPDispIsr(void)
{
    Uint32 vpis = 0;

    vpis = VP_RGETH(vpDisplayHandle , VPIS);

    if(vpis & _VP_VPIS_DCOMP_MASK) /* frame display complete */
    {
        /* Clear frame complete bit FRMD to continue display */
        VP_FSETH(vpDisplayHandle , VDSTAT, FRMD,
                VP_VDSTAT_FRMD_CLEAR);

        /* clear DCOMP to enable next frame complete interrupts */
        VP_FSETH(vpDisplayHandle , VPIS, DCOMP, VP_VPIS_DCOMP_CLEAR);

        displayFrameCount++; /* increment displayed frame count */
    }

    if(vpis & _VP_VPIS_DUND_MASK) /* underrun error */
    {
        dispUnderrun++;

        /* clear DUND to enable next underrun interrupts */
        VP_FSETH(vpDisplayHandle , VPIS, DUND, VP_VPIS_DUND_CLEAR);
    }
}
}
```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```
/*----- */
/* Function   : setupVPDispEDMA                               */
/* Input(s)   : portNumber, video port number i.e. 0,1 or 2. */
/* Description : Sets up DMA channels for Y, U, V events for VP */
/*             display.                                       */
/*----- */
void setupVPDispEDMA(Int32 portNumber)
{
    Int32 YEvent, UEvent, VEvent;

    /* get Y, U, V EDMA event numbers                               */
    switch(portNumber)
    {
        case VP_DEV0: YEvent = EDMA_CHA_VP0EVTYA;
                     UEvent = EDMA_CHA_VP0EVTUA;
                     VEvent = EDMA_CHA_VP0EVTVA;
                     break;
        case VP_DEV1: YEvent = EDMA_CHA_VP1EVTYA;
                     UEvent = EDMA_CHA_VP1EVTUA;
                     VEvent = EDMA_CHA_VP1EVTVA;
                     break;
        case VP_DEV2: YEvent = EDMA_CHA_VP2EVTYA;
                     UEvent = EDMA_CHA_VP2EVTUA;
                     VEvent = EDMA_CHA_VP2EVTVA;
                     break;
    }

    /* Configure Y EDMA channel to move data from                */
    /* Y-data buffer, dispYSpace to YDSTA (FIFO)                */
    configVPDispEDMAChannel(&hEdmaVPDispY, YEvent,
                           &edmaDispYTccNum,
                           (UInt32)dispYSpace,
                           vpDisplayHandle ->ydstaAddr,
                           VD_Y_EDMA_FRMCNT,
                           VD_Y_EDMA_ELECNT);

    /* Configure Cb EDMA channel to move data from              */
    /* Cb-data buffer, dispCbSpace to CbdSTA (FIFO)             */
    configVPDispEDMAChannel(&hEdmaVPDispCb, UEvent,
                           &edmaDispCbTccNum,
                           (UInt32)dispCbSpace,
                           vpDisplayHandle ->cbdstaAddr,
                           VD_Y_EDMA_FRMCNT,
                           VD_Y_EDMA_ELECNT/2); /* (1/2) of Y */

    /* Configure Cr EDMA channel to move data from              */
    /* Cr-data buffer, dispCrSpace to CrDSTA (FIFO)             */
    configVPDispEDMAChannel(&hEdmaVPDispCr, VEvent,
                           &edmaDispCrTccNum,
                           (UInt32)dispCrSpace,
                           vpDisplayHandle ->crdstAddr,
                           VD_Y_EDMA_FRMCNT,
                           VD_Y_EDMA_ELECNT/2);
}
```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```

    /* enable three EDMA channels                                     */
    EDMA_enableChannel(hEdmaVPDispY);
    EDMA_enableChannel(hEdmaVPDispCb);
    EDMA_enableChannel(hEdmaVPDispCr);
}

/*----- */
/* Function : configVPDispEDMAChannel                             */
/*          */
/* Input(s) :  edmaHandle    - pointer to EDMA handle.           */
/*             eventId      - EDMA eventId.                     */
/*             tccNum       - pointer to transfer complete number.*/
/*             srcAddr      - source address for EDMA transfer.  */
/*             dstAddr      - destination address for EDMA transfer*/
/*             frameCount   - frame count.                       */
/*             elementCount - element count(32-bit element size).*/
/*          */
/* Output(s):  edmaHandle    - edma Handle of the given event.   */
/*             tccNum       - transfer complete code for the given */
/*             event.                                             */
/*          */
/* Description : Configures the given VP display EDMA channel.   */
/*               The destination address update is fixed because   */
/*               the displayed data is write to the FIFO.         */
/*               In this example, the source address mode is     */
/*               auto-increment. But, in real-time applications  */
/*               there is lot of flexibility in the way display   */
/*               buffers can be managed like ping-pong and round  */
/*               robin,...etc.                                    */
/*----- */
void configVPDispEDMAChannel(EDMA_Handle *edmaHandle,
                            Int32 eventId, Int32 *tccNum,
                            Uint32 srcAddr, Uint32 dstAddr,
                            Uint32 frameCount, Uint32 elementCount)
{
    Int32 tcc = 0;

    /* Open Y event EDMA channel                                     */
    *edmaHandle = EDMA_open(eventId, EDMA_OPEN_RESET);

    if(*edmaHandle == EDMA_HINV)
        test_exit(FAIL);

    /* allocate TCC for Y event                                     */
    if((tcc = EDMA_intAlloc(-1)) == -1)
        test_exit(FAIL);
}

```

例 2 : 525/60 フォーマットの非連続フレーム・ディスプレイ

```
/* Configure EDMA parameters */
EDMA_configArgs(
    *edmaHandle,
    EDMA_OPT_RMK(
        EDMA_OPT_PRI_MEDIUM, /* medium priority */
        EDMA_OPT_ESIZE_32BIT, /* Element size 32 bits */
        EDMA_OPT_2DS_YES, /* 2-dimensional source */
        EDMA_OPT_SUM_INC, /* source address auto increment */
        EDMA_OPT_2DD_NO, /* 1-dimensional destination(FIFO) */
        EDMA_OPT_DUM_NONE, /* fixed dest address mode(FIFO) */
        EDMA_OPT_TCINT_YES, /* Enable transfer complete
                             /* indication
        EDMA_OPT_TCC_OF(tcc & 0xF),
        EDMA_OPT_TCCM_OF(((tcc & 0x30) >> 4)),
        EDMA_OPT_ATCINT_NO, /* Disable Alternate Transfer
                             /* Complete Interrupt
        EDMA_OPT_ATCC_OF(0),
        EDMA_OPT_PDTS_DISABLE, /* disable PDT(peripheral device
                             /* transfer) mode for source
        EDMA_OPT_PDTD_DISABLE, /* disable PDT mode for dest
        EDMA_OPT_LINK_NO, /* Disable linking
        EDMA_OPT_FS_NO /* Array synchronization
    ),
    EDMA_SRC_RMK(srcAddr),
    EDMA_CNT_RMK(EDMA_CNT_FRMCNT_OF((frameCount - 1)),
                EDMA_CNT_ELECNT_OF(elementCount)),
    EDMA_DST_RMK(dstAddr),
    EDMA_IDX_RMK(EDMA_IDX_FRMIDX_OF((elementCount * 4)),
    EDMA_IDX_ELEIDX_OF(0)), /* note: 32-bit element size
    /* no RLD in 2D and no linking
    EDMA_RLD_RMK(EDMA_RLD_ELRLD_OF(0), EDMA_RLD_LINK_OF(0))
);

    *tccNum = tcc;
}
```

索引

数字

- 525/60 フォーマットの非連続フレーム・キャプチャの例 B-2
- 525/60 フォーマットの非連続フレーム・ディスプレイの例 B-10

A

- ATC ビット
 - TSISTCMPL 内の 3-83
 - TSISTCMPM 内の 3-84
- ATCM ビット
 - TSISTMSKL 内の 3-85
 - TSISTMSKM 内の 3-86

B

- BLKCAP ビット
 - VCACTL 内の 3-55
 - VCBCTL 内の 3-72
- BLKDIS ビット 4-59
- BT.656 モード
 - BT.656 イメージ・ディスプレイ 4-13
 - FIFO のアンパッキング 4-14
 - FIFO のオーバーラン 3-46
 - FIFO のパッキング 3-9
 - イメージ・ウィンドウおよびキャプチャ 3-6
 - キャプチャの選択 3-18
 - キャプチャ・チャネル 3-3
 - タイミング・リファレンス・コード 3-4
 - ディスプレイ・タイミング・リファレンス・コード 4-10
 - データ・サンプリング 3-8
 - ビデオのキャプチャ 3-45
 - ビデオの表示 4-49
 - ビデオ・ディスプレイ 4-10
 - ビデオ・キャプチャ 3-3
 - フィールドとフレームの動作 3-17
 - ブランキング・コード 4-13

C

- CAPEVTCT1 ビット 3-71
- CAPEVTCT2 ビット 3-71
- Cb FIFO ソース・レジスタ (CBSRCx) 3-88
- Cb FIFO デスティネーション・レジスタ (CBDST) 4-102
- CbDEFVAL ビット 4-92
- CBDST 4-102
- CBSRCx 3-88
- CCMPA ビット
 - VPIE 内の 2-15
 - VPIS 内の 2-19
- CCMPB ビット
 - VPIE 内の 2-15
 - VPIS 内の 2-19
- CF1 ビット
 - VCACTL 内の 3-55
 - VCBCTL 内の 3-72
- CF2 ビット
 - VCACTL 内の 3-55
 - VCBCTL 内の 3-72
- CLASS ビット 5-3
- CLIPCHIGH ビット 4-91
- CLIPCLOW ビット 4-91
- CLIPYHIGH ビット 4-91
- CLIPYLOW ビット 4-91
- CMODE ビット
 - VCACTL 内の 3-55
 - VCBCTL 内の 3-72
- CON ビット 4-59
- VCACTL 内の 3-55
- VCBCTL 内の 3-72
- COVRA ビット
 - VPIE 内の 2-15
 - VPIS 内の 2-19
- COVRB ビット
 - VPIE 内の 2-15
 - VPIS 内の 2-19
- Cr FIFO ソース・レジスタ (CRSRCx) 3-88
- Cr FIFO デスティネーション・レジスタ (CRDST) 4-102

VCACTL 内の	3-55	TSI クロック・イニシャリゼーション MSB レジスタ (TSICLKINITM)	3-80
VCBCTL 内の	3-72	TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL)	3-81
SERRA ビット	2-15	TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM)	3-82
VPIE 内の	2-19	TSI システム・タイム・クロック コンペア LSB レジスタ (TSISTCMPL)	3-83
VPIS 内の	2-15	TSI システム・タイム・クロック コンペア MSB レジスタ (TSISTCMPM)	3-84
SERRB ビット	2-19	TSI システム・タイム・クロック コンペア・マスク LSB レジスタ (TSISTMSKL)	3-85
VPIE 内の	2-15	TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS)	3-87
VPIS 内の	2-19	TSI ビット	2-11
SFDA ビット	3-55	TSICLKINITL	3-79
VPIE 内の	3-72	TSICLKINITM	3-80
VPIS 内の	3-72	TSICTL	3-77
SFDB ビット	5-4	TSISTCLKL	3-81
VPIE 内の	3-62	TSISTCLKM	3-82
VPIS 内の	2-15	TSISTCMPL	3-83
SFDE ビット	3-77	TSISTCMPM	3-84
VCACTL 内の	2-15	TSISTMSKL	3-85
VCBCTL 内の	2-19	TSISTMSKM	3-86
SOFT ビット	3-77	TSITICKS	3-87
SSE ビット	3-77	TYPE ビット	5-3
STC ビット	3-77		
VPIE 内の	2-15		
VPIS 内の	2-19		
STEN ビット	3-77		
T			
TCKEN ビット	3-77		
Texas Instruments 社からの関連資料	iii		
TICK ビット	2-15		
VPIE 内の	2-19		
VPIS 内の	3-87		
TICKCT ビット	3-87		
TSI キャプチャ・コントロール・レジスタ (TSICTL)	3-77		
TSI キャプチャ・モード	3-37		
FIFO からの読み取り	3-43		
FIFO のオーバーラン	3-50		
FIFO への書き込み	3-42		
エラー検出	3-38		
機能	3-37		
キャプチャの選択	3-41		
システム・クロックの同期	3-39		
タイムスタンプ・フォーマット (ビッグエンディアン)	3-43		
タイムスタンプ・フォーマット (リトルエンディアン)	3-42		
データのキャプチャ	3-49		
データ・キャプチャ	3-37		
データ・キャプチャの通知	3-41		
モードの選択	3-2		
TSI キャプチャ・モードでのデータのキャプチャ	3-49		
TSI クロック・イニシャリゼーション LSB レジスタ (TSICLKINITL)	3-79		
V			
VBITCLR1 ビット	4-98		
VBITCLR2 ビット	4-99		
VBITSET1 ビット	4-98		
VBITSET2 ビット	4-99		
VBLNK ビット	4-56		
VBLNKXSTART1 ビット	4-68		
VBLNKXSTART2 ビット	4-71		
VBLNKXSTOP1 ビット	4-69		
VBLNKXSTOP2 ビット	4-72		
VBLNKYSTART1 ビット	4-68		
VBLNKYSTART2 ビット	4-71		
VBLNKYSTOP1 ビット	4-69		
VBLNKYSTOP2 ビット	4-72		
VCACTL	3-55		
VCAEVTCT	3-71		
VCASTAT	3-52		
VCASTOP1	3-61		
VCASTOP2	3-64		

VCASTRT1	3-61	VDHBLNK	4-66
VCASTRT2	3-64	VDHSYNC	4-83
VCATHRLD	3-69	VDIMGOFF1	4-73
VCAVINT	3-67	VDIMGOFF2	4-76
VCBCTL	3-72	VDIMGSZ1	4-75
VCBEVTCT	3-71	VDIMGSZ2	4-78
VCBSTAT	3-52	VDRELOAD	4-88
VCBSTOP1	3-61	VDSTAT	4-56
VCBSTOP2	3-64	VDTHRLD	4-81
VCBSTRT1	3-61	VDTHRLD1 ビット	4-81
VCBSTRT2	3-64	VDTHRLD2 ビット	4-81
VCBTHRLD	3-69	VDVBIT1	4-97
VCBVINT	3-67	VDVBIT2	4-97
VCEN ビット		VDVBLKE1	4-66
VCACTL 内の	3-55	VDVBLKE2	4-70
VCBCTL 内の	3-72	VDVBLKS1	4-66
VCFLD ビット	3-53	VDVBLKS2	4-70
VCLK1P ビット	2-11	VDVINT	4-94
VCT0P ビット	2-11	VDVSYNE1	4-85
VCT1P ビット	2-11	VDVSYNE2	4-87
VCT2P ビット	2-11	VDVSYNS1	4-84
VCTHRLD1 ビット	3-70	VDVSYNS2	4-86
VCTHRLD2 ビット	3-70	VDXPOS ビット	4-56
VCTL0S ビット	4-59	VDYPOS ビット	4-56
VCTL1S ビット	4-59	VIC インプット・レジスタ (VICIN)	6-8
VCTL2S ビット	4-59	VIC クロック・デバイダ・レジスタ (VICDIV)	6-9
VCVBLNKP ビット	3-62	VIC コントロール・レジスタ (VICCTL)	6-6
VCXO 補間制御 (VIC) ポート・レジスタ	6-5	VIC ポート	
VCXPOS ビット	3-53	イネーブル	6-5
VCXSTART ビット		インターフェイス	6-3
VCxSTRT1 内の	3-62	概要	6-2
VCxSTRT2 内の	3-65	機能	6-2
VCXSTOP ビット		動作詳細	6-3
VCxSTOP1 内の	3-63	レジスタ	6-5
VCxSTOP2 内の	3-66	VICCLKDIV ビット	6-9
VCYSTART ビット		VICCTL	6-6
VCxSTRT1 内の	3-62	VICDIV	6-9
VCxSTRT2 内の	3-65	VICIN	6-8
VCYSTOP ビット		VICINBITS ビット	6-8
VCxSTOP1 内の	3-63	VIE ビット	2-15
VCxSTOP2 内の	3-66	VIF1 ビット	
VDCLIP	4-90	VCxVINT 内の	3-67
VDCTL	4-59	VDVINT 内の	4-95
VDDEFVAL	4-92	VIF2 ビット	
VDDISPEVT	4-89	VCxVINT 内の	3-67
VDEN	4-59	VDVINT 内の	4-95
VDFBIT	4-94	VINT1 ビット	
VDFLD ビット	4-56	VCxVINT 内の	3-67
VDFLDT1	4-79	VDVINT 内の	4-95
VDFLDT2	4-80	VINT2 ビット	
VDFRMSZ	4-65	VCxVINT 内の	3-67
		VDVINT 内の	4-95

VINTA1 ビット			
VPIE 内の	2-15	フィールドとフレームの動作	3-17
VPIS 内の	2-19	ブランキング・コード	4-18
VINTA2 ビット		YDEFVAL ビット	4-92
VPIE 内の	2-15	YDSTA	4-102
VPIS 内の	2-19	YDSTB	4-102
VINTB1 ビット		YSRCx	3-88
VPIE 内の	2-15		
VPIS 内の	2-19	あ	
VINTB2 ビット		アーキテクチャ	1-3
VPIE 内の	2-15		
VPIS 内の	2-19	か	
VPCTL	2-10	改訂履歴	A-1
VPHLT ビット	2-11	概要	1-2
VPIE	2-15	VIC ポート	6-2
VPIS	2-19	ビデオ・キャプチャ	3-1
VPPID	5-3	き	
VPRST ビット	2-11	キャプチャの選択	
VPSTAT	2-14	BT.656 モード	3-18
VRLD ビット	4-88	Raw データ・モード	3-33
VRST ビット		TSI キャプチャ・モード	3-41
VCACTL 内の	3-55	Y/C モード	3-18
VCBCTL 内の	3-72	キャプチャ・チャンネルのリセット	2-4
VSYNXSTART1 ビット	4-84	キャプチャ・ライン境界の条件	3-43
VSYNXSTART2 ビット	4-86	境界の条件	
VSYNXSTOP1 ビット	4-85	ビデオ・キャプチャ	3-43
VSYNXSTOP2 ビット	4-87	境界の状態	
VSYNCYSTART1 ビット	4-84	ビデオ・ディスプレイ	4-35
VSYNCYSTART2 ビット	4-86		
VSYNCYSTOP1 ビット	4-85	し	
VSYNCYSTOP2 ビット	4-87	商標	iv
VXS ビット	4-59	そ	
		ソフトウェアによるポート・リセット	2-3
Y		た	
Y FIFO ソース・レジスタ (YSRCx)	3-88	ディスプレイ・チャンネルのリセット	2-4
Y FIFO デスティネーション・レジスタ A (YDSTA)	4-102	ディスプレイ・ライン境界の状態	4-35
Y FIFO デスティネーション・レジスタ B (YDSTB)	4-102		
Y/C モード	3-12, 4-17		
FIFO のアンパッキング	4-18		
FIFO のオーバーラン	3-46		
FIFO のパッキング	3-14		
イメージ・ディスプレイ	4-18		
イメージ・ウィンドウおよびキャプチャ	3-13		
キャプチャの選択	3-18		
キャプチャ・チャンネル	3-12		
タイミング・リファレンス・コード	3-12, 4-17		
ビデオのキャプチャ	3-45		
ビデオの表示	4-49		

は

パワーオン・リセット 2-2

ひ

ビデオ出力のフィルタリング 4-22

ビデオ入力のフィルタリング 3-26

ビデオのキャプチャ

BT.656 モード 3-45

Raw データ・モード 3-47

Y/C モード 3-45

ビデオの表示

BT.656 モード 4-49

Raw データ・モード 4-51

Y/C モード 4-49

ビデオ・キャプチャ

FIFO の設定 1-6

FIFO レジスタ 3-88

概要 3-1

信号のマッピング 1-13

モードの選択 3-2

レジスタ 3-51

ビデオ・キャプチャ FIFO の設定 1-6

ビデオ・キャプチャ・チャンネル A イベント・カウンタ・レジスタ (VCAEVTCT) 3-71

ビデオ・キャプチャ・チャンネル A コントロール・レジスタ (VCACTL) 3-55

ビデオ・キャプチャ・チャンネル A ステータス・レジスタ (VCASTAT) 3-52

ビデオ・キャプチャ・チャンネル A スレッシュホールド・レジスタ (VCATHRLD) 3-69

ビデオ・キャプチャ・チャンネル A パーティカル・インタラプト・レジスタ (VCAVINT) 3-67

ビデオ・キャプチャ・チャンネル A フィールド 1 スタート・レジスタ (VCASTRT1) 3-61

ビデオ・キャプチャ・チャンネル A フィールド 1 ストップ・レジスタ (VCASTOP1) 3-61

ビデオ・キャプチャ・チャンネル A フィールド 2 スタート・レジスタ (VCASTRT2) 3-64

ビデオ・キャプチャ・チャンネル A フィールド 2 ストップ・レジスタ (VCASTOP2) 3-64

ビデオ・キャプチャ・チャンネル B イベント・カウンタ・レジスタ (VCBEVTCT) 3-71

ビデオ・キャプチャ・チャンネル B コントロール・レジスタ (VCBCTL) 3-72

ビデオ・キャプチャ・チャンネル B ステータス・レジスタ (VCBSTAT) 3-52

ビデオ・キャプチャ・チャンネル B スレッシュホールド・レジスタ (VCBTHRLD) 3-69

ビデオ・キャプチャ・チャンネル B パーティカル・

インタラプト・レジスタ (VCBVINT) 3-67

ビデオ・キャプチャ・チャンネル B フィールド 1 スタート・レジスタ (VCBSTRT1) 3-61

ビデオ・キャプチャ・チャンネル B フィールド 1 ストップ・レジスタ (VCBSTOP1) 3-61

ビデオ・キャプチャ・チャンネル B フィールド 2 スタート・レジスタ (VCBSTRT2) 3-64

ビデオ・キャプチャ・チャンネル B フィールド 2 ストップ・レジスタ (VCBSTOP2) 3-64

ビデオ・キャプチャ・モード

BT.656 3-3

Raw データ 3-32

TSI 3-37

Y/C 3-12

ビデオ・ディスプレイ

FIFO オーバーラン 4-53

FIFO の設定 1-9

FIFO レジスタ 4-102

イメージ・タイミング 4-3

外部同期動作 4-9

カウンタ 4-6

信号のマッピング 1-14

同期信号の生成 4-8

ポート同期動作 4-9

モード選択 4-2

レジスタ 4-55

推奨値 4-100

ビデオ・ディスプレイ FIFO の設定 1-9

ビデオ・ディスプレイ・カウンタ・リロード・レジスタ (VDRELOAD) 4-88

ビデオ・ディスプレイ・クリッピング・レジスタ (VDCLIP) 4-90

ビデオ・ディスプレイ・コントロール・レジスタ (VDCTL) 4-59

ビデオ・ディスプレイ・ステータス・レジスタ (VDSTAT) 4-56

ビデオ・ディスプレイ・スレッシュホールド・レジスタ (VDTHRLD) 4-81

ビデオ・ディスプレイ・ディスプレイ・イベント・レジスタ (VDDISPEVT) 4-89

ビデオ・ディスプレイ・デフォルト・ディスプレイ・バリュー・レジスタ (VDDEFVAL) 4-92

ビデオ・ディスプレイ・パーティカル・インタラプト・レジスタ (VDVINT) 4-94

ビデオ・ディスプレイ・フィールド 1 イメージ・オフセット・レジスタ (VDIMGOFF1) 4-73

ビデオ・ディスプレイ・フィールド 1 イメージ・サイズ・レジスタ (VDIMGSZ1) 4-75

ビデオ・ディスプレイ・フィールド 1 タイミング・レジスタ (VDFLDT1) 4-79

ビデオ・ディスプレイ・フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE1) 4-85

- 16/20 ビット Raw ビデオ・ディスプレイ FIFO の設定 1-11
- 8/10 ビット Raw ビデオ・キャプチャ FIFO の設定 1-7
- 8/10 ビット Raw ビデオ・ディスプレイ FIFO の設定 1-10
- 8/10 ビットのロックされた Raw ビデオ・ディスプレイ FIFO の設定 1-11
- BT.656 ビデオ・キャプチャ FIFO の設定 1-6
- BT.656 ビデオ・ディスプレイ FIFO の設定 1-9
- TSI システム 6-2
- TSI ビデオ・キャプチャ FIFO の設定 1-7
- VIC ポート 6-2
- Y/C ビデオ・キャプチャ FIFO の設定 1-8
- Y/C ビデオ・ディスプレイ FIFO の設定 1-12
- システム・タイム・クロック・カウンタ 3-40
- ピン・インタラプト・クリア・レジスタ (PICLR) 5-25
- ピン・インタラプト・ステータス・レジスタ (PISTAT) 5-23
- ピン・インタラプト・ポラリティ・レジスタ (PIPOL) 5-21
- ピン・ディレクション・レジスタ (PDIR) 5-8
- ピン・データ・アウトプット・レジスタ (PDOUT) 5-13
- ピン・データ・インプット・レジスタ (PDIN) 5-11
- ピン・データ・クリア・レジスタ (PDCLR) 5-17
- ピン・データ・セット・レジスタ (PDSET) 5-15
- ピン・ファンクション・レジスタ (PFUNC) 5-6
- ペリフェラル・アイデンティフィケーション・レジスタ (VPPID) 5-3
- ペリフェラル・コントロール・レジスタ (PCR) 5-4
- VIC ポート 6-5
- VIC インプット・レジスタ (VICIN) 6-8
- VIC クロック・デバイダ・レジスタ (VICDIV) 6-9
- VIC コントロール・レジスタ (VICCTL) 6-6
- ビデオ・キャプチャ 3-51
- Cb FIFO ソース・レジスタ (CBSRCx) 3-88
- Cr FIFO ソース・レジスタ (CRSRCx) 3-88
- FIFO 3-88
- TSI クロック・イニシャリゼーション LSB レジスタ (TSICLKINITL) 3-79
- TSI クロック・イニシャリゼーション MSB レジスタ (TSICLKINITM) 3-80
- TSI コントロール・レジスタ (TSICTL) 3-77
- TSI システム・タイム・クロック LSB レジスタ (TSISTCLKL) 3-81
- TSI システム・タイム・クロック MSB レジスタ (TSISTCLKM) 3-82
- TSI システム・タイム・クロック コンペア LSB レジスタ (TSISTCMPL) 3-83
- TSI システム・タイム・クロック コンペア MSB レジスタ (TSISTCMPM) 3-84
- TSI システム・タイム・クロック コンペア・マスク LSB レジスタ (TSISTMSKL) 3-85
- TSI システム・タイム・クロック コンペア・マスク MSB レジスタ (TSISTMSKM) 3-86
- へ
- ペリフェラル・バスのリセット 2-2
- ほ
- 補助データの表示 4-26
- 補助的なデータ・キャプチャ 3-31
- も
- モード選択
- ビデオ・ディスプレイ 4-2
- モードの選択
- TSI キャプチャ 3-2
- ビデオ・キャプチャ 3-2
- り
- リセット動作 2-2
- れ
- 例
- 525/60 フォーマットの非連続フレーム・キャプチャの例 B-2
- 525/60 フォーマットの非連続フレーム・ディスプレイ B-10
- レジスタ
- GPIO 5-2
- ピン・インタラプト・イネーブル・レジスタ (PIEN) 5-19

TSI システム・タイム・クロック・ティック・インタラプト・レジスタ (TSITICKS)	3-87	クリッピング・レジスタ (VDCLIP)	4-90
Y FIFO ソース・レジスタ (YSRCx)	3-88	コントロール・レジスタ (VDCTL)	4-59
チャンネル A イベント・カウント・レジスタ (VCAEVTCT)	3-71	推奨値	4-100
チャンネル A コントロール・レジスタ (VCACTL)	3-55	ステータス・レジスタ (VDSTAT)	4-56
チャンネル A ステータス・レジスタ (VCASTAT)	3-52	スレッシュホールド・レジスタ (VDTHRLD)	4-81
チャンネル A スレッシュホールド・レジスタ (VCATHRLD)	3-69	ディスプレイ・イベント・レジスタ (VDDISPEVT)	4-89
チャンネル A パーティカル・インタラプト・レジスタ (VCAVINT)	3-67	デフォルト・ディスプレイ・バリュースタ (VDDEFVAL)	4-92
チャンネル A フィールド 1 スタート・レジスタ (VCASTRT1)	3-61	パーティカル・インタラプト・レジスタ (VDVINT)	4-94
チャンネル A フィールド 1 ストップ・レジスタ (VCASTOP1)	3-61	フィールド 1 イメージ・オフセット・レジスタ (VDIMGOFF1)	4-73
チャンネル A フィールド 2 スタート・レジスタ (VCASTRT2)	3-64	フィールド 1 イメージ・サイズ・レジスタ (VDIMGSZ1)	4-75
チャンネル A フィールド 2 ストップ・レジスタ (VCASTOP2)	3-64	フィールド 1 タイミング・レジスタ (VDFLDT1)	4-79
チャンネル B イベント・カウント・レジスタ (VCBEVTCT)	3-71	フィールド 1 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE1)	4-85
チャンネル B コントロール・レジスタ (VCBCTL)	3-72	フィールド 1 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS1)	4-84
チャンネル B ステータス・レジスタ (VCBSTAT)	3-52	フィールド 1 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE1)	4-66
チャンネル B スレッシュホールド・レジスタ (VCBTHRLD)	3-69	フィールド 1 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS1)	4-66
チャンネル B パーティカル・インタラプト・レジスタ (VCBVINT)	3-67	フィールド 1 パーティカル・ブランキング・ビット・レジスタ (VDVBIT1)	4-97
チャンネル B フィールド 1 スタート・レジスタ (VCBSTRT1)	3-61	フィールド 2 イメージ・オフセット・レジスタ (VDIMGOFF2)	4-76
チャンネル B フィールド 1 ストップ・レジスタ (VCBSTOP1)	3-61	フィールド 2 イメージ・サイズ・レジスタ (VDIMGSZ2)	4-78
チャンネル B フィールド 2 スタート・レジスタ (VCBSTRT2)	3-64	フィールド 2 タイミング・レジスタ (VDFLDT2)	4-80
チャンネル B フィールド 2 ストップ・レジスタ (VCBSTOP2)	3-64	フィールド 2 パーティカル・シンクロナイゼーション・エンド・レジスタ (VDVSYNE2)	4-87
ビデオ・ディスプレイ	4-55	フィールド 2 パーティカル・シンクロナイゼーション・スタート・レジスタ (VDVSYNS2)	4-86
Cb FIFO デスティネーション・レジスタ (CBDST)	4-102	フィールド 2 パーティカル・ブランキング・エンド・レジスタ (VDVBLKE2)	4-70
Cr FIFO デスティネーション・レジスタ (CRDST)	4-102	フィールド 2 パーティカル・ブランキング・スタート・レジスタ (VDVBLKS2)	4-70
FIFO	4-102		
Y FIFO デスティネーション・レジスタ A (YDSTA)	4-102		
Y FIFO デスティネーション・レジスタ B (YDSTB)	4-102		
カウンタ・リロード・レジスタ (VDRELOAD)	4-88		

フィールド2 パーティカル・ブランキン グ・ビット・レジスタ (VDVBIT2)	4-97	ピン・インタラプト・ポラリティ・レジス タ (PIPOL)	5-21
フィールド・ビット・レジスタ (VDFBIT)	4-94	ピン・ディレクション・レジスタ (PDIR)	5-8
フレーム・サイズ・レジスタ (VDFRMSZ)	4-65	ピン・データ・アウトプット・レジスタ (PDOUT)	5-13
水平同期・シンクロナイゼーション・ レジスタ (VDHSYNC)	4-83	ピン・データ・インプット・レジスタ (PDIN)	5-11
水平同期・ブランキング・レジスタ (VDHBLNK)	4-66	ピン・データ・クリア・レジスタ (PDCLR)	5-17
ビデオ・ポート インタラプト・イネーブル・レジスタ (VPIE)	2-10 2-15	ピン・データ・セット・レジスタ (PDSET)	5-15
インタラプト・ステータス・レジスタ (VPIS)	2-19	ピン・ファンクション・レジスタ (PFUNC)	5-6
コントロール・レジスタ (VPCTL)	2-10	ペリフェラル・アイデンティフィケーシ ョン・レジスタ (VPPID)	5-3
ステータス・レジスタ (VPSTAT)	2-14	ペリフェラル・コントロール・レジスタ (PCR)	5-4
ピン・インタラプト・イネーブル・レジ スタ (PIEN)	5-19		
ピン・インタラプト・クリア・レジスタ (PICLR)	5-25		
ピン・インタラプト・ステータス・レジ スタ (PISTAT)	5-23		
		わ	
		割り込み動作	2-5

日本テキサス・インスツルメンツ株式会社

本 社 〒160-8366 東京都新宿区西新宿6丁目24番1号 西新宿三井ビルディング3階 ☎03(4331)2000(番号案内)

西日本ビジネスセンター 〒530-6026 大阪市北区天満橋1丁目8番30号 OAPオフィスタワー26階 ☎06(6356)4500(代 表)

■お問い合わせ先

プロダクト・インフォメーション・センター (PIC) _____ URL: <http://www.tij.co.jp/pic/>

TMS320C64x DSP
ビデオポート / VCXO 補完制御
(VIC) ポート
リファレンス・ガイド

第1版 2006年7月

発行所 **日本テキサス・インスツルメンツ株式会社**
〒160-8366
東京都新宿区西新宿 6-24-1 (西新宿三井ビルディング)

