

TMS320DM643x DMP

ビデオ・プロセッシング・フロント・エンド (VPFE)

ユーザーズ・ガイド

TMS320DM643x DMP

ビデオ・プロセッシング・フロント・エンド (VPFE)

ユーザーズ・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



目次

| | |
|---|------------|
| 最初にお読みください..... | 13 |
| ビデオ・プロセッシング・フロント・エンド (VPFE)..... | 14 |
| 1 概要 | 14 |
| 1.1 ビデオ・プロセッシング・フロント・エンドの用途..... | 14 |
| 1.2 特徴..... | 15 |
| 1.3 機能ブロック図..... | 19 |
| 1.4 使用方法..... | 20 |
| 2 カメラ・サブシステム環境 | 21 |
| 2.1 一般的なパラレル・コンフィギュレーション (raw)..... | 22 |
| 2.2 ITU-R BT.656 コンフィギュレーションの機能インターフェイス..... | 24 |
| 2.3 一般的な YUV インターフェイス..... | 27 |
| 2.4 VPFE / カメラ・サブシステム I/O のマルチプレクス..... | 28 |
| 2.5 VPSS の初期化..... | 29 |
| 3 インテグレーション | 30 |
| 3.1 クロック供給、リセット、および電源管理..... | 30 |
| 3.2 ハードウェア・リクエスト..... | 33 |
| 3.3 重要な VPFE/ISP のレジスタ・マッピングの概要..... | 34 |
| 4 機能説明 | 35 |
| 4.1 ブロック図..... | 35 |
| 4.2 イメージ・センサーとのインターフェイス..... | 36 |
| 4.3 VPFE データ / イメージ処理..... | 40 |
| 4.4 VPFE アービトレーションおよびデータ転送..... | 81 |
| 4.5 エラー・レポート..... | 85 |
| 5 プログラミング・モデル | 86 |
| 5.1 典型的なコンフィギュレーション用のセットアップ..... | 86 |
| 5.2 カメラ・サブシステムのリセット..... | 86 |
| 5.3 クロックと制御信号のコンフィギュレーション..... | 86 |
| 5.4 CCD コントローラのプログラミング..... | 87 |
| 5.5 プレビュー・エンジンのプログラミング..... | 94 |
| 5.6 リサイズのプログラミング..... | 99 |
| 5.7 H3A のプログラミング..... | 103 |
| 5.8 ヒストグラムのプログラミング..... | 106 |
| 5.9 共有バッファ・ロジックのプログラミング (VPSS レジスタ)..... | 110 |
| 5.10 エラーの特定..... | 111 |
| 5.11 サポートされる使用方法..... | 111 |
| 6 ビデオ・プロセッシング・フロント・エンド (VPFE) レジスタ | 125 |
| 6.1 CCD コントローラ (CCDC) レジスタ..... | 125 |
| 6.2 プレビュー・エンジン (PREV) レジスタ..... | 151 |
| 6.3 リサイズ・レジスタ..... | 172 |
| 6.4 ヒストグラム・レジスタ..... | 182 |
| 6.5 ハードウェア 3A (H3A) レジスタ..... | 191 |
| 7 ビデオ・プロセッシング・サブシステム (VPSS) レジスタ | 206 |
| 7.1 VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)..... | 206 |
| 7.2 VPSS ペリフェラル・コントロール・レジスタ (PCR)..... | 207 |

| | | |
|-------------|---|------------|
| 7.3 | SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP)..... | 209 |
| 付録 A | 改訂履歴 | 210 |

図一覧

| | | |
|------|---|----|
| 図 1 | ビデオ・プロセッシング・サブシステム (VPSS) のブロック図 | 14 |
| 図 2 | ビデオ・プロセッシング・フロント・エンド (VPFE) のブロック図 | 19 |
| 図 3 | raw モードのタイミング図 | 23 |
| 図 4 | DDR2 の出力フォーマット | 23 |
| 図 5 | BT.656 信号インターフェイス | 25 |
| 図 6 | SDRAM 内の BT.656 モードのデータ・フォーマット | 26 |
| 図 7 | ビデオ・プロセッシング・サブシステム (VPSS) のブロック図 | 35 |
| 図 8 | CCD コントローラのフレームと制御信号の定義 | 38 |
| 図 9 | CCD コントローラによる処理を示すブロック図 - raw データ・モード | 40 |
| 図 10 | CCD コントローラのカラー・パターン | 40 |
| 図 11 | CCD コントローラによる入力サンプリングを示すブロック図 - raw データ・モード | 41 |
| 図 12 | CCD コントローラによる初期処理を示すブロック図 - raw データ・モード | 42 |
| 図 13 | CCD コントローラによるオプティカル・ブラックの平均化手法と使用方法 | 43 |
| 図 14 | CCD コントローラのビデオ・ポート・インターフェイスおよびデータ・フォーマットを示すブロック図 - raw データ・モード | 45 |
| 図 15 | CCD コントローラのデータ・フォーマットによる変換領域の選択 | 46 |
| 図 16 | CCD コントローラのビデオ・ポートのフレーム設定 | 46 |
| 図 17 | CCD コントローラの出力フォーマットのブロック図 - raw データ・モード | 47 |
| 図 18 | デシメーション・パターンの例 | 48 |
| 図 19 | A-law テーブル | 49 |
| 図 20 | フレーム・イメージ・フォーマット変換 (インターレース解除された 2 フィールド入力) | 52 |
| 図 21 | 入力イメージおよび出力イメージのフォーマット例 | 53 |
| 図 22 | DDR2 の出力フォーマット | 54 |
| 図 23 | CCD コントローラによる処理を示すブロック図 - YUV モード | 54 |
| 図 24 | CCD コントローラによる入力サンプリングを示すブロック図 - YUV モード | 55 |
| 図 25 | CCD コントローラによる初期処理を示すブロック図 - YUV モード | 56 |
| 図 26 | CCD コントローラのビデオ・ポート・インターフェイスおよびデータ・フォーマットを示すブロック図 - YUV モード | 57 |
| 図 27 | CCD コントローラの出力フォーマットを示すブロック図 - YUV モード | 57 |
| 図 28 | プレビュー・エンジンの処理フローを示すブロック図 | 59 |
| 図 29 | Bayer パターン入力の水平距離 | 60 |
| 図 30 | ブラック調整機能モデル | 62 |
| 図 31 | ガンマ・テーブルの例 | 62 |
| 図 32 | リサイズの処理フローを示すブロック図 | 65 |
| 図 33 | 典型的なサンプル・レート・コンバータ | 66 |
| 図 34 | リサイズの機能 | 67 |
| 図 35 | リサイズの近似スキーマ・モデル | 67 |
| 図 36 | 係数を選択するための入力ピクセルのアライメント | 69 |
| 図 37 | 高域にある輝度の絶対値を求める機能としてのハイパス・ゲイン | 70 |
| 図 38 | リサイズ・アルゴリズムの疑似コード: 4 タップ / 8 フェーズ・モード | 71 |
| 図 39 | 4 タップ / 8 フェーズ・モードのリサンプリング・アルゴリズム | 72 |
| 図 40 | リサイズ・アルゴリズムの疑似コード: 7 タップ / 4 フェーズ・モード | 72 |
| 図 41 | 7 タップ / 4 フェーズ・モードのリサンプリング・アルゴリズム | 73 |
| 図 42 | 色差処理オプション 1: 輝度を組み合わせたフィルタ | 74 |
| 図 43 | 色差処理オプション 2: 双線形補間 | 75 |
| 図 44 | ヒストグラムの処理フロー | 77 |
| 図 45 | カラー・パターン・インデックス | 78 |
| 図 46 | 領域の優先順位 | 79 |
| 図 47 | カラー・パターン・インデックス | 80 |
| 図 48 | ラインごとの DMA 転送リクエスト数 | 82 |
| 図 49 | 開始アドレス・ポインタのアライメント | 82 |
| 図 50 | ビデオ・ポート・インターフェイスによる帯域幅のバランス調整 | 83 |

| | | |
|-------|---|-----|
| 図 51 | SDRAM/DDRAM によるリード時の帯域幅のバランス調整 | 84 |
| 図 52 | VPFE のデータ・フローを示すブロック図 | 86 |
| 図 53 | データ・フロー図におけるピクセル選択ロケーション | 89 |
| 図 54 | データ・フローにおけるフレーミング設定値の依存関係 | 90 |
| 図 55 | VDPOL = 0 の場合の VDINT0/VDINT1 割り込み動作 | 91 |
| 図 56 | VDPOL = 1 の場合の VDINT0/VDINT1 割り込み動作 | 91 |
| 図 57 | VDINT2 割り込み動作 | 92 |
| 図 58 | SDRAM 入力モードで動作するプレビューのファームウェアの相互作用 | 97 |
| 図 59 | SDRAM 入力モードで動作するリサイズのファームウェアの相互作用 | 100 |
| 図 60 | SDRAM 入力モードで動作するヒストグラムのファームウェアの相互作用 | 108 |
| 図 61 | プレビュー / ムービー・キャプチャ・モードのデータ・パス | 113 |
| 図 62 | プレビュー・モードの 2 パスを介したリサイズ処理時間 | 114 |
| 図 63 | 静止画 (raw) キャプチャ・モードのデータ・パス | 116 |
| 図 64 | 静止画処理モードのデータ・パス | 117 |
| 図 65 | プレビュー・エンジンからの複数のパスによる処理 | 118 |
| 図 66 | プレビュー・エンジンからの水平方向のスライス | 120 |
| 図 67 | ビデオ・キャプチャ・モードのデータ・パス | 122 |
| 図 68 | 処理されたイメージをリサイズする場合のデータ・パス | 123 |
| 図 69 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) | 126 |
| 図 70 | ペリフェラル・コントロール・レジスタ (PCR) | 127 |
| 図 71 | シンク / モード・セット・レジスタ (SYN_MODE) | 128 |
| 図 72 | HD / VD シグナル・ワイズ・レジスタ (HD_VD_WID) | 130 |
| 図 73 | ナンバー・オブ・ピクセルズ・イン・ア・ホリゾンタル・ライン / ナンバー・オブ・ラインズ・イン・ア・ フレーム・レジスタ (PIX_LINES) | 131 |
| 図 74 | ホリゾンタル・ピクセル・インフォメーション・レジスタ (HORZ_INFO) | 132 |
| 図 75 | パーティカル・ライン・セッティングス・フォー・ザ・スターティング・ピクセル・レジスタ (VERT_START) | 133 |
| 図 76 | ナンバー・オブ・パーティカル・ラインズ・レジスタ (VERT_LINES) | 133 |
| 図 77 | カリング・インフォメーション・イン・ホリゾンタル / パーティカル・ディレクションズ・レジスタ (CULLING) | 134 |
| 図 78 | ホリゾンタル・サイズ・レジスタ (HSIZE_OFF) | 134 |
| 図 79 | SDRAM/DDRAM ライン・オフセット・レジスタ (SDOFST) | 135 |
| 図 80 | SDRAM アドレス・レジスタ (SDR_ADDR) | 136 |
| 図 81 | オプティカル・ブラック・クランピング・セッティングス・レジスタ (CLAMP) | 137 |
| 図 82 | DC クランプ・レジスタ (DCSUB) | 138 |
| 図 83 | CCD カラー・パターン・レジスタ (COLPTN) | 139 |
| 図 84 | ブラック・コンペンセーション・レジスタ (BLKCMP) | 140 |
| 図 85 | フォールト・ピクセル・コレクション・レジスタ (FPC) | 141 |
| 図 86 | フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ (FPC_ADDR) | 142 |
| 図 87 | VD インタラプト・タイミング・レジスタ (VDINT) | 143 |
| 図 88 | A-law セッティング・レジスタ (ALAW) | 144 |
| 図 89 | REC656 インターフェイス・レジスタ (REC656IF) | 145 |
| 図 90 | CCD コンフィギュレーション・レジスタ (CCDCFG) | 145 |
| 図 91 | データ・リフォーマッタ / ビデオ・ポート・コンフィギュレーション・レジスタ (FMTCFG) | 147 |
| 図 92 | データ・リフォーマッタ / ビデオ・インプット・インターフェイス・ホリゾンタル・インフォメーション・ レジスタ (FMT_HORZ) | 148 |
| 図 93 | データ・リフォーマッタ / ビデオ・インプット・インターフェイス・パーティカル・インフォメーション・ レジスタ (FMT_VERT) | 149 |
| 図 94 | ビデオ・ポート・アウトプット・セッティングス・レジスタ (VP_OUT) | 150 |
| 図 95 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) | 152 |
| 図 96 | ペリフェラル・コントロール・レジスタ (PCR) | 153 |
| 図 97 | ホリゾンタル・インフォメーション / セットアップ・レジスタ (HORZ_INFO) | 155 |
| 図 98 | パーティカル・インフォメーション / セットアップ・レジスタ (VERT_INFO) | 155 |
| 図 99 | リード・アドレス・フロム SDRAM レジスタ (RSDR_ADDR) | 156 |
| 図 100 | ライン・オフセット・フォー・ザ・リード・データ・レジスタ (RADR_OFFSET) | 156 |

| | | |
|-------|---|-----|
| ☒ 101 | ダーク・フレーム・アドレス・フロム SDRAM レジスタ (DSDR_ADDR)..... | 157 |
| ☒ 102 | ライン・オフセット・フォー・ザ・ダーク・フレーム・データ・レジスタ (DRKF_OFFSET)..... | 157 |
| ☒ 103 | ライト・アドレス・トゥー SDRAM レジスタ (WSDR_ADDR)..... | 158 |
| ☒ 104 | ライン・オフセット・フォー・ザ・ライト・データ・レジスタ (WADD_OFFSET)..... | 158 |
| ☒ 105 | インプット・フォーマット/アベレージャ・レジスタ (AVE)..... | 159 |
| ☒ 106 | 水平・メディアン・フィルタ・レジスタ (HMED)..... | 160 |
| ☒ 107 | ノイズ・フィルタ・レジスタ (NF)..... | 160 |
| ☒ 108 | ホワイト・バランス・デジタル・ゲイン・レジスタ (WB_DGAIN)..... | 161 |
| ☒ 109 | ホワイト・バランス・コエフィシェンツ・レジスタ (WBGAIN)..... | 161 |
| ☒ 110 | ホワイト・バランス・コエフィシェンツ・セレクション・レジスタ (WBSEL)..... | 162 |
| ☒ 111 | CFA レジスタ (CFA)..... | 163 |
| ☒ 112 | ブラック・アジャストメント・オフセット・レジスタ (BLKADJOFF)..... | 163 |
| ☒ 113 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT1)..... | 164 |
| ☒ 114 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT2)..... | 164 |
| ☒ 115 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT3)..... | 165 |
| ☒ 116 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT4)..... | 165 |
| ☒ 117 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT5)..... | 166 |
| ☒ 118 | RGB2RGB ブレンド・マトリックス・オフセット・レジスタ (RGB_OFF1)..... | 166 |
| ☒ 119 | RGB2RGB ブレンド・マトリックス・オフセット・レジスタ (RGB_OFF2)..... | 167 |
| ☒ 120 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC0)..... | 167 |
| ☒ 121 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC1)..... | 168 |
| ☒ 122 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC2)..... | 168 |
| ☒ 123 | カラー・スペース・コンバージョン・オフセット・レジスタ (CSC_OFFSET)..... | 169 |
| ☒ 124 | コントラスト/ブライツネス・セッティングス・レジスタ (CNT_BRT)..... | 169 |
| ☒ 125 | クロミナンス・サブプレッション・セッティングス・レジスタ (CSUP)..... | 170 |
| ☒ 126 | マキシマム/ミニマム Y/C セッティングス・レジスタ (SETUP_YC)..... | 170 |
| ☒ 127 | セットアップ・テーブル・アドレス・レジスタ (SET_TBL_ADDRESS)..... | 171 |
| ☒ 128 | セットアップ・テーブル・データ・レジスタ (SET_TBL_DATA)..... | 171 |
| ☒ 129 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)..... | 173 |
| ☒ 130 | ペリフェラル・コントロール・レジスタ (PCR)..... | 174 |
| ☒ 131 | リサイズ・コントロール・ビット・レジスタ (RSZ_CNT)..... | 175 |
| ☒ 132 | アウトプット・サイズ/ハイ・アフター・リサイジング・レジスタ (OUT_SIZE)..... | 176 |
| ☒ 133 | インプット・スターティング・インフォメーション・レジスタ (IN_START)..... | 177 |
| ☒ 134 | インプット・サイズ/ハイ・ビフォー・リサイジング・レジスタ (IN_SIZE)..... | 178 |
| ☒ 135 | インプット SDRAM アドレス・レジスタ (SDR_INADD)..... | 178 |
| ☒ 136 | SDRAM オフセット・フォー・ザ・インプット・ライン・レジスタ (SDR_INOFF)..... | 179 |
| ☒ 137 | アウトプット SDRAM アドレス・レジスタ (SDR_OUTADD)..... | 179 |
| ☒ 138 | SDRAM オフセット・フォー・ザ・アウトプット・ライン・レジスタ (SDR_OUTOFF)..... | 180 |
| ☒ 139 | 水平・フィルタ・コエフィシェンツ・レジスタ (HFILT _{oe})..... | 180 |
| ☒ 140 | 垂直・フィルタ・コエフィシェンツ・レジスタ (VFILT _{oe})..... | 181 |
| ☒ 141 | ルミナンス・エンハンサー・レジスタ (YENH)..... | 181 |
| ☒ 142 | ペリフェラル・アイデンティフィケーション・レジスタ (PID)..... | 183 |
| ☒ 143 | ペリフェラル・コントロール・レジスタ (PCR)..... | 183 |
| ☒ 144 | ヒストグラム・コントロール・レジスタ (HIST_CNT)..... | 184 |
| ☒ 145 | ホワイト/チャンネル・バランス・セッティングス・レジスタ (WB_GAIN)..... | 185 |
| ☒ 146 | リージョン <i>n</i> 水平・インフォメーション・レジスタ (R0_HORZ ~ R3_HORZ)..... | 187 |
| ☒ 147 | リージョン <i>n</i> 垂直・インフォメーション・レジスタ (R0_VERT ~ R3_VERT)..... | 187 |
| ☒ 148 | ヒストグラム・アドレス・レジスタ (HIST_ADDR)..... | 188 |
| ☒ 149 | ヒストグラム・データ・レジスタ (HIST_DATA)..... | 188 |
| ☒ 150 | リード・アドレス・レジスタ (RADD)..... | 189 |
| ☒ 151 | リード・アドレス・オフセット・レジスタ (RADD_OFF)..... | 189 |
| ☒ 152 | 水平/垂直・インフォメーション・レジスタ (H_V_INFO)..... | 190 |
| ☒ 153 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)..... | 192 |
| ☒ 154 | ペリフェラル・コントロール・レジスタ (PCR)..... | 192 |

| | | |
|-------|---|-----|
| ☒ 155 | セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX1)..... | 194 |
| ☒ 156 | セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX2)..... | 195 |
| ☒ 157 | スタート・ポジション・フォー AF エンジン・パクセルズ・レジスタ (AFPAXSTART)..... | 196 |
| ☒ 158 | スタート・ポジション・フォー IIRSH レジスタ (AFIIRSH)..... | 196 |
| ☒ 159 | SDRAM/DDRAM スタート・アドレス・フォー AF エンジン・レジスタ (AFBUFST)..... | 197 |
| ☒ 160 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF010)..... | 197 |
| ☒ 161 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF032)..... | 198 |
| ☒ 162 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF054)..... | 198 |
| ☒ 163 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF076)..... | 199 |
| ☒ 164 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF098)..... | 199 |
| ☒ 165 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF0010)..... | 200 |
| ☒ 166 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF110)..... | 200 |
| ☒ 167 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF132)..... | 201 |
| ☒ 168 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF154)..... | 201 |
| ☒ 169 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF176)..... | 202 |
| ☒ 170 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF198)..... | 202 |
| ☒ 171 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF1010)..... | 203 |
| ☒ 172 | コンフィギュレーション・フォー AE/AWB ウィンドウ・レジスタ (AEWWIN1)..... | 203 |
| ☒ 173 | スタート・ポジション・フォー AE/AWB ウィンドウ・レジスタ (AEWINSTART)..... | 204 |
| ☒ 174 | スタート・ポジション/ハイト・フォー・ブラック・ライン・オブ AE/AWB ウィンドウ・レジスタ (AEWINBLK)..... | 204 |
| ☒ 175 | コンフィギュレーション・フォー・サブサンプル・データ・イン AE/AWB ウィンドウ・レジスタ (AEWSUBWIN)..... | 205 |
| ☒ 176 | SDRAM/DDRAM スタート・アドレス・フォー AE/AWB エンジン・レジスタ (AEWBUFST)..... | 205 |
| ☒ 177 | VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)..... | 206 |
| ☒ 178 | VPSS ペリフェラル・コントロール・レジスタ (PCR)..... | 207 |
| ☒ 179 | SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP)..... | 209 |

表一覧

| | | |
|------|---|-----|
| 表 1 | ビデオ・プロセッシング・フロント・エンドのインターフェイス信号 | 21 |
| 表 2 | raw モードのインターフェイス信号 | 22 |
| 表 3 | ITU-R BT.656 モードのインターフェイス信号 | 24 |
| 表 4 | SAV および EAV 用のビデオ・タイミング基準コード | 26 |
| 表 5 | F、V、H 信号の説明 | 26 |
| 表 6 | F、V、H 保護 (エラー補正) ビット | 26 |
| 表 7 | YUV インターフェイスのインターフェイス信号 | 27 |
| 表 8 | YCbCr 処理のための DDR 保存フォーマット | 28 |
| 表 9 | VPFE デジタル・ディスプレイ・モードの場合の信号 | 28 |
| 表 10 | DSP 割り込み - VPFE | 33 |
| 表 11 | EDMA イベント - VPFE | 33 |
| 表 12 | VPFE モジュールのレジスタ・マップ | 34 |
| 表 13 | CCD インターフェイス信号 | 36 |
| 表 14 | ITU-R BT.656 インターフェイス信号 | 38 |
| 表 15 | CCD インターフェイス信号 | 39 |
| 表 16 | フォールト・ピクセル・テーブル・フォーマット | 44 |
| 表 17 | フォールト・ピクセル補正方法 | 44 |
| 表 18 | A-law テーブル - 第 1 部 | 50 |
| 表 19 | A-law テーブル - 第 2 部 | 51 |
| 表 20 | YUV422 モードの場合の DDR 出力フォーマット | 58 |
| 表 21 | 非線形輝度強化テーブルのエントリ・フォーマット | 63 |
| 表 22 | プログラム可能な YCC422 出力オプション | 64 |
| 表 23 | プレビュー機能によるイメージ・クロッピング | 64 |
| 表 24 | フィルタ係数の配置 | 68 |
| 表 25 | 入力サイズの計算 ⁽¹⁾ | 69 |
| 表 26 | 水平方向へ 1:2.56 にリサイズする場合の処理例 | 76 |
| 表 27 | ホワイト・バランスのフィールドからパターンへの割り当て | 78 |
| 表 28 | ヒストグラムの領域とピンの数 | 78 |
| 表 29 | ピン・クリッピングを回避するために推奨される SHIFT 値 | 80 |
| 表 30 | 領域オフセット・アドレス | 80 |
| 表 31 | 各領域内のカラー・オフセット・アドレス | 81 |
| 表 32 | 最大データ・スループット能力 | 81 |
| 表 33 | アライメント性能 | 82 |
| 表 34 | VPSS エラーを示す内容 | 85 |
| 表 35 | コンフィギュレーション・パラメータが必要な CCD コントローラ | 87 |
| 表 36 | CCD コントローラの条件付きコンフィギュレーション・パラメータ | 88 |
| 表 37 | コンフィギュレーション・パラメータが必要なプレビュー・エンジン | 94 |
| 表 38 | プレビュー・エンジンの条件付きコンフィギュレーション・パラメータ | 95 |
| 表 39 | プレビュー・エンジンのメモリ・アドレス範囲 | 96 |
| 表 40 | コンフィギュレーション・パラメータが必要なリサイズ | 99 |
| 表 41 | リサイズの条件付きコンフィギュレーション・パラメータ | 99 |
| 表 42 | コンフィギュレーション・パラメータが必要な AF エンジン | 103 |
| 表 43 | AF エンジンの条件付きコンフィギュレーション・パラメータ | 103 |
| 表 44 | コンフィギュレーション・パラメータが必要な AEW エンジン | 104 |
| 表 45 | コンフィギュレーション・パラメータが必要なヒストグラム | 106 |
| 表 46 | ヒストグラムの条件付きコンフィギュレーション・パラメータ | 107 |
| 表 47 | VPSS エラーが示す内容 | 110 |
| 表 48 | プレビュー / ムービー・キャプチャ・モードのデータ・パスにおけるレジスタ・コンフィギュレーション | 113 |
| 表 49 | 静止画キャプチャ・モードのデータ・パスにおけるレジスタ・コンフィギュレーション | 116 |
| 表 50 | 静止画処理モードのデータ・パスにおけるレジスタ・コンフィギュレーション | 117 |
| 表 51 | プレビュー機能によるイメージ・クロッピング | 118 |
| 表 52 | ビデオ・キャプチャ・モードのデータ・パスにおけるレジスタ・コンフィギュレーション | 122 |

| | | |
|-------|--|-----|
| 表 53 | 処理されたイメージをリサイズする場合のデータ・パスにおけるレジスタ・コンフィギュレーション | 123 |
| 表 54 | ビデオ・プロセッシング・フロント・エンドのサブシステム・モジュールのレジスタ・マップ | 125 |
| 表 55 | CCD コントローラ (CCDC) レジスタ | 125 |
| 表 56 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明 | 126 |
| 表 57 | ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明 | 127 |
| 表 58 | シンク/モード・セット・レジスタ (SYN_MODE) フィールドの説明 | 128 |
| 表 59 | HD/VD シグナル・ワイズ・レジスタ (HD_VD_WID) フィールドの説明 | 130 |
| 表 60 | ナンバー・オブ・ピクセルズ・イン・ア・ホリゾンタル・ライン/ナンバー・オブ・ラインズ・イン・ア・フレーム・レジスタ (PIX_LINES) フィールドの説明 | 131 |
| 表 61 | ホリゾンタル・ピクセル・インフォメーション・レジスタ (HORZ_INFO) フィールドの説明 | 132 |
| 表 62 | パーティカル・ライン・セッティングス・フォー・ザ・スターティング・ピクセル・レジスタ (VERT_START) フィールドの説明 | 133 |
| 表 63 | ナンバー・オブ・パーティカル・ラインズ・レジスタ (VERT_LINES) フィールドの説明 | 133 |
| 表 64 | カリング・インフォメーション・イン・ホリゾンタル/パーティカル・ディレクションズ・レジスタ (CULLING) フィールドの説明 | 134 |
| 表 65 | ホリゾンタル・サイズ・レジスタ (HSIZE_OFF) フィールドの説明 | 134 |
| 表 66 | SDRAM/DDRAM ライン・オフセット・レジスタ (SDOFST) フィールドの説明 | 135 |
| 表 67 | SDRAM アドレス・レジスタ (SDR_ADDR) フィールドの説明 | 136 |
| 表 68 | オプティカル・ブラック・クランピング・セッティングス・レジスタ (CLAMP) フィールドの説明 | 137 |
| 表 69 | DC クランプ・レジスタ (DCSUB) フィールドの説明 | 138 |
| 表 70 | CCD カラー・パターン・レジスタ (COLPTN) フィールドの説明 | 139 |
| 表 71 | ブラック・コンペンセーション・レジスタ (BLKCOMP) フィールドの説明 | 140 |
| 表 72 | フォールト・ピクセル・コレクション・レジスタ (FPC) フィールドの説明 | 141 |
| 表 73 | フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ (FPC_ADDR) フィールドの説明 | 142 |
| 表 74 | VD インタラプト・タイミング・レジスタ (VDINT) フィールドの説明 | 143 |
| 表 75 | A-law セッティング・レジスタ (ALAW) フィールドの説明 | 144 |
| 表 76 | REC656 インターフェイス・レジスタ (REC656IF) フィールドの説明 | 145 |
| 表 77 | CCD コンフィギュレーション・レジスタ (CCDCFG) フィールドの説明 | 146 |
| 表 78 | データ・リフォーマッタ/ビデオ・ポート・コンフィギュレーション・レジスタ (FMTCFG) フィールドの説明 | 147 |
| 表 79 | データ・リフォーマッタ/ビデオ・インプット・インターフェイス・ホリゾンタル・インフォメーション・レジスタ (FMT_HORZ) フィールドの説明 | 148 |
| 表 80 | データ・リフォーマッタ/ビデオ・インプット・インターフェイス・パーティカル・インフォメーション・レジスタ (FMT_VERT) フィールドの説明 | 149 |
| 表 81 | ビデオ・ポート・アウトプット・セッティングス・レジスタ (VP_OUT) フィールドの説明 | 150 |
| 表 82 | プレビュー・エンジン (PREV) レジスタ | 151 |
| 表 83 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明 | 152 |
| 表 84 | ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明 | 153 |
| 表 85 | ホリゾンタル・インフォメーション/セットアップ・レジスタ (HORZ_INFO) フィールドの説明 | 155 |
| 表 86 | パーティカル・インフォメーション/セットアップ・レジスタ (VERT_INFO) フィールドの説明 | 155 |
| 表 87 | リード・アドレス・フロム SDRAM レジスタ (RSDR_ADDR) フィールドの説明 | 156 |
| 表 88 | ライン・オフセット・フォー・ザ・リード・データ・レジスタ (RADR_OFFSET) フィールドの説明 | 156 |
| 表 89 | ダーク・フレーム・アドレス・フロム SDRAM レジスタ (DSDR_ADDR) フィールドの説明 | 157 |
| 表 90 | ライン・オフセット・フォー・ザ・ダーク・フレーム・データ・レジスタ (DRKF_OFFSET) フィールドの説明 | 157 |
| 表 91 | ライト・アドレス・トゥー SDRAM レジスタ (WSDR_ADDR) フィールドの説明 | 158 |
| 表 92 | ライン・オフセット・フォー・ザ・ライト・データ・レジスタ (WADD_OFFSET) フィールドの説明 | 158 |
| 表 93 | インプット・フォーマッタ/アベレージャ・レジスタ (AVE) フィールドの説明 | 159 |
| 表 94 | ホリゾンタル・メディアン・フィルタ・レジスタ (HMED) フィールドの説明 | 160 |
| 表 95 | ノイズ・フィルタ・レジスタ (NF) フィールドの説明 | 160 |
| 表 96 | ホワイト・バランス・デジタル・ゲイン・レジスタ (WB_DGAIN) フィールドの説明 | 161 |
| 表 97 | ホワイト・バランス・コエフィシェンツ・レジスタ (WBGAIN) フィールドの説明 | 161 |
| 表 98 | ホワイト・バランス・コエフィシェンツ・セレクション・レジスタ (WBSEL) フィールドの説明 | 162 |
| 表 99 | CFA レジスタ (CFA) フィールドの説明 | 163 |
| 表 100 | ブラック・アジャストメント・オフセット・レジスタ (BLKADJOFF) フィールドの説明 | 163 |

| | | |
|-------|--|-----|
| 表 101 | RGB2RGB ブレンドリング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT1) フィールドの説明..... | 164 |
| 表 102 | RGB2RGB ブレンドリング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT2) フィールドの説明..... | 164 |
| 表 103 | RGB2RGB ブレンドリング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT3) フィールドの説明..... | 165 |
| 表 104 | RGB2RGB ブレンドリング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT4) フィールドの説明..... | 165 |
| 表 105 | RGB2RGB ブレンドリング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT5) フィールドの説明..... | 166 |
| 表 106 | RGB2RGB ブレンドリング・マトリックス・オフセット・レジスタ (RGB_OFF1) フィールドの説明..... | 166 |
| 表 107 | RGB2RGB ブレンドリング・マトリックス・オフセット・レジスタ (RGB_OFF2) フィールドの説明..... | 167 |
| 表 108 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC0) フィールドの説明..... | 167 |
| 表 109 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC1) フィールドの説明..... | 168 |
| 表 110 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC2) フィールドの説明..... | 168 |
| 表 111 | カラー・スペース・コンバージョン・オフセット・レジスタ (CSC_OFFSET) フィールドの説明..... | 169 |
| 表 112 | コントラスト/ブライトネス・セッティングス・レジスタ (CNT_BRT) フィールドの説明..... | 169 |
| 表 113 | クロミナンス・サブプレッション・セッティングス・レジスタ (CSUP) フィールドの説明..... | 170 |
| 表 114 | マキシマム/ミニマム Y/C セッティングス・レジスタ (SETUP_YC) フィールドの説明..... | 170 |
| 表 115 | セットアップ・テーブル・アドレス・レジスタ (SET_TBL_ADDRESS) フィールドの説明..... | 171 |
| 表 116 | セットアップ・テーブル・データ・レジスタ (SET_TBL_DATA) フィールドの説明..... | 171 |
| 表 117 | リサイズ・レジスタ..... | 172 |
| 表 118 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明..... | 173 |
| 表 119 | ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明..... | 174 |
| 表 120 | リサイズ・コントロール・ビット・レジスタ (RSZ_CNT) フィールドの説明..... | 175 |
| 表 121 | アウトプット・ワイズ/ハイト・アフター・リサイジング・レジスタ (OUT_SIZE) フィールドの説明..... | 176 |
| 表 122 | インプット・スターティング・インフォメーション・レジスタ (IN_START) フィールドの説明..... | 177 |
| 表 123 | インプット・ワイズ/ハイト・ピフォー・リサイジング・レジスタ (IN_SIZE) フィールドの説明..... | 178 |
| 表 124 | インプット SDRAM アドレス・レジスタ (SDR_INADD) フィールドの説明..... | 178 |
| 表 125 | SDRAM オフセット・フォー・ザ・インプット・ライン・レジスタ (SDR_INOFF) フィールドの説明..... | 179 |
| 表 126 | アウトプット SDRAM アドレス・レジスタ (SDR_OUTADD) フィールドの説明..... | 179 |
| 表 127 | SDRAM オフセット・フォー・ザ・アウトプット・ライン・レジスタ (SDR_OUTOFF) フィールドの説明..... | 180 |
| 表 128 | ホリゾンタル・フィルタ・コエフィシェンツ・レジスタ (HFILT _{oe}) フィールドの説明..... | 180 |
| 表 129 | パーティカル・フィルタ・コエフィシェンツ・レジスタ (VFILT _{oe}) フィールドの説明..... | 181 |
| 表 130 | ルミナンス・エンハンサー・レジスタ (YENH) フィールドの説明..... | 181 |
| 表 131 | ヒストグラム・レジスタ..... | 182 |
| 表 132 | ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明..... | 183 |
| 表 133 | ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明..... | 183 |
| 表 134 | ヒストグラム・コントロール・レジスタ (HIST_CNT) フィールドの説明..... | 184 |
| 表 135 | ホワイト/チャンネル・バランス・セッティングス・レジスタ (WB_GAIN) フィールドの説明..... | 185 |
| 表 136 | ホワイト・バランス・ゲインの値..... | 186 |
| 表 137 | リージョン <i>n</i> ホリゾンタル・インフォメーション・レジスタ (R0_HORZ ~ R3_HORZ) フィールドの説明..... | 187 |
| 表 138 | リージョン <i>n</i> パーティカル・インフォメーション・レジスタ (R0_VERT ~ R3_VERT) フィールドの説明..... | 187 |
| 表 139 | ヒストグラム・アドレス・レジスタ (HIST_ADDR) フィールドの説明..... | 188 |
| 表 140 | ヒストグラム・データ・レジスタ (HIST_DATA) フィールドの説明..... | 188 |
| 表 141 | リード・アドレス・レジスタ (RADD) フィールドの説明..... | 189 |
| 表 142 | リード・アドレス・オフセット・レジスタ (RADD_OFF) フィールドの説明..... | 189 |
| 表 143 | ホリゾンタル/パーティカル・インフォメーション・レジスタ (H_V_INFO) フィールドの説明..... | 190 |
| 表 144 | ハードウェア 3A (H3A) レジスタ..... | 191 |
| 表 145 | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明..... | 192 |
| 表 146 | ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明..... | 193 |

| | | |
|-------|---|-----|
| 表 147 | セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX1) フィールドの説明..... | 194 |
| 表 148 | セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX2) フィールドの説明..... | 195 |
| 表 149 | スタート・ポジション・フォー AF エンジン・パクセルズ・レジスタ (AFPAXSTART) フィールドの説明..... | 196 |
| 表 150 | スタート・ポジション・フォー IIRSH レジスタ (AFIIRSH) フィールドの説明..... | 196 |
| 表 151 | SDRAM/DDRAM スタート・アドレス・フォー AF エンジン・レジスタ (AFBUFST) フィールドの説明..... | 197 |
| 表 152 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF010) フィールドの説明..... | 197 |
| 表 153 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF032) フィールドの説明..... | 198 |
| 表 154 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF054) フィールドの説明..... | 198 |
| 表 155 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF076) フィールドの説明..... | 199 |
| 表 156 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF098) フィールドの説明..... | 199 |
| 表 157 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF0010) フィールドの説明..... | 200 |
| 表 158 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF110) フィールドの説明..... | 200 |
| 表 159 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF132) フィールドの説明..... | 201 |
| 表 160 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF154) フィールドの説明..... | 201 |
| 表 161 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF176) フィールドの説明..... | 202 |
| 表 162 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF198) フィールドの説明..... | 202 |
| 表 163 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF1010) フィールドの説明..... | 203 |
| 表 164 | コンフィギュレーション・フォー AE/AWB ウィンドウ・レジスタ (AEWWIN1) フィールドの説明..... | 203 |
| 表 165 | スタート・ポジション・フォー AE/AWB ウィンドウ・レジスタ (AEWINSTART) フィールドの説明..... | 204 |
| 表 166 | スタート・ポジション/ハイト・フォー・ブラック・ライン・オブ AE/AWB ウィンドウ・レジスタ (AEWINBLK) フィールドの説明..... | 204 |
| 表 167 | コンフィギュレーション・フォー・サブサンプル・データ・イン AE/AWB ウィンドウ・レジスタ (AEWSUBWIN) フィールドの説明..... | 205 |
| 表 168 | SDRAM/DDRAM スタート・アドレス・フォー AE/AWB エンジン・レジスタ (AEWBUFST) フィールドの説明..... | 205 |
| 表 169 | ビデオ・プロセッシング・サブシステム (VPSS) レジスタ..... | 206 |
| 表 170 | VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明..... | 206 |
| 表 171 | VPSS ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明..... | 207 |
| 表 172 | SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP) フィールドの説明..... | 209 |
| 表 A-1 | 資料改訂履歴..... | 210 |

最初にお読みください

本書について

本書では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されているビデオ・プロセッシング・フロント・エンド (VPFE) について説明します。

表記規則

本書では、次の表記規則を使用します。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書ではレジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、リード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。

Texas Instruments 社からの関連資料

TMS320DM643x デジタル・メディア・プロセッサ (DMP) を解説した関連資料は、次のとおりです。関連資料は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに資料番号を入力してください。

DM643x DMP、関連ペリフェラル、およびその他の技術資料は、C6000 DSP 製品フォルダ www.ti.com/c6000 から入手できます。

[SPRU978 - TMS320DM643x DMP DSP Subsystem Reference Guide](#) では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されているデジタル・シグナル・プロセッサ (DSP) のサブシステムについて説明しています。

[SPRU983 - TMS320DM643x DMP Peripherals Overview Reference Guide](#) では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) 上で使用可能なペリフェラルについて説明しています。

[SPRAA84 - TMS320C64x to TMS320C64x+ CPU Migration Guide](#) では、Texas Instruments TMS320C64x デジタル・シグナル・プロセッサ (DSP) から TMS320C64x+ DSP への移行方法について説明しています。本書の目的は、2 つのコア間の相違点を的確に示すことです。2 つのデバイスの機能が等価な場合には、説明は省略されています。

[SPRU732 - TMS320C64x/C64x+ DSP CPU and Instruction Set Reference Guide](#) では、TMS320C6000 DSP ファミリーの TMS320C64x と TMS320C64x+ のデジタル・シグナル・プロセッサ (DSP) の CPU アーキテクチャ、パイプライン、命令セット、および割り込みについて説明しています。C64x/C64x+ DSP 世代は、C6000 DSP プラットフォームの固定小数点デバイスを意味しています。C64x+ DSP は C64x DSP の機能性を高め、命令セットを拡張した機能強化版です。

[SPRU871 - TMS320C64x+ DSP Megamodule Reference Guide](#) では、TMS320C64x+ デジタル・シグナル・プロセッサ (DSP) のメガモジュールについて説明しています。また内部ダイレクト・メモリ・アクセス (IDMA) コントローラ、割り込みコントローラ、パワーダウン・コントローラ、メモリ保護、帯域幅管理、メモリとキャッシュについても説明しています。

ビデオ・プロセッシング・フロント・エンド (VPFE)

1 概要

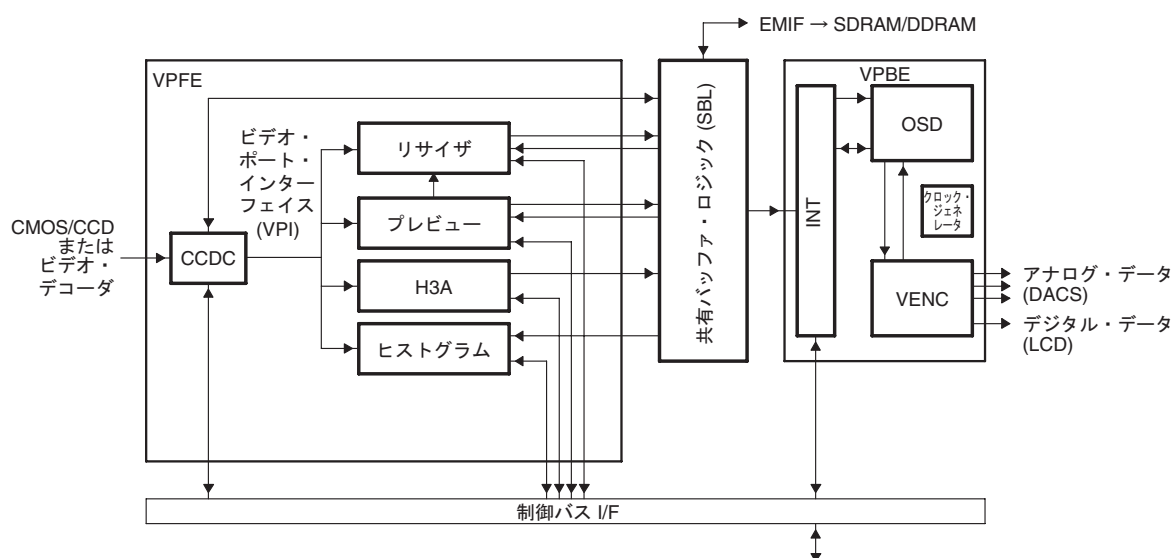
1.1 ビデオ・プロセッシング・フロント・エンドの用途

ビデオ・プロセッシング・サブシステム (VPSS) (図 1 を参照) は、イメージ・センサー、ビデオ・デコーダなど外部イメージ処理ペリフェラル用の入力インターフェイス (ビデオ・プロセッシング・フロント・エンド (VPFE))、およびアナログ SDTV ディスプレイ、デジタル LCD パネル、HDTV ビデオ・エンコーダなどディスプレイ・デバイス用の出力インターフェイス (ビデオ・プロセッシング・バック・エンド (VPBE)) を提供します。

これらのペリフェラルに加え、DDR2 バースト帯域幅を効率的に使用できることを可能にする共通バッファ・メモリや DMA 制御機能もあります。共有バッファ・ロジック/メモリは、VPSS をイメージ/ビデオ・プロセッシング・システムとシームレスに統合する目的で用意された固有のブロックです。この共有バッファ・ロジック/メモリは DDR2 との間でデータの要求または転送のいずれかを行うすべての VPFE および VPBE モジュールに対する 1 次ソース、または 1 次シンクとして動作します。外部の DDR2 帯域を効率的に使用するために、共有バッファ・ロジック/メモリは、高帯域バス (64 ビット幅) を介して DMA システムと接続されています。また共有バッファ・ロジック/メモリは、128 ビット幅のバスを介してすべての VPFE および VPBE モジュールとも接続されています。共有バッファ・ロジック/メモリ (リード・バッファとライト・バッファ、およびアービトレーション・ロジックに分割される) は、次の機能を実行することができます。

1. DDR2 の高帯域要求および VPSS モジュールのリアルタイム要求のため、VPSS が DDR2 帯域を効率的に使用することは不可欠です。
2. ユーザがアクセス可能なレジスタ・セットは、データ転送時にオーバーフローまたは障害を監視するために用意されています。これは、DDR2 帯域を超えるように VPSS モジュールを構成可能なためです。

図 1. ビデオ・プロセッシング・サブシステム (VPSS) のブロック図



1.2 特徴

VPFE は CCD コントローラ (CCDC)、プレビュー・エンジン・イメージ・パイプ (IPIPE)、ハードウェア 3A ステータス・ジェネレータ (H3A)、リサイザ、およびヒストグラムの各ブロックから構成されています。また、これらのモジュールは、強力で柔軟性の高いフロント・エンド・ディスプレイ・インターフェイスを提供します。これらのモジュールは、2つの独立したタイプに分類されます。

- 最初のタイプは、直接的なデータ・フロー・パス内部にあり、入力イメージ・データ・ストリームに影響を与えるモジュールから構成されます。
 - CCD コントローラは、イメージ・センサーやデジタル・ビデオ・ソースへのインターフェイスを提供します。
 - プレビュー・エンジン IPIPE は、ハード的に組み込まれたパラメータ化されたイメージ処理ブロックで、センサーのタイプごとにイメージ処理機能をカスタマイズ可能で、高品質イメージおよびさまざまなディスプレイやビデオ録画モード用のビデオ・フレーム・レートを実現できます。
 - リサイザ・モジュールは、入力イメージ・データを目的のディスプレイまたはビデオ・エンコーディング解像度にサイズ調整する手段を提供します。
- もう一つのタイプは、カメラ・システムの設計者を支援するために、受信したイメージに関する統計情報を提供するモジュールから構成されます。
 - H3A モジュールは、CCD コントローラからの raw イメージ・データ上のメトリックスを収集することにより、オート・フォーカス (AF)、オート・ホワイト・バランス (AWB)、オート・エクスポージャ (AE) を実現する制御ループをサポートするように設計されています。
 - ヒストグラム・モジュールは、振幅に応じて入力カラー・ピクセルを保存し、各種 H3A (AE/AF/AWB) アルゴリズムの実装と、最終的なイメージ / ビデオ出力の調整に必要な統計情報を提供します。ヒストグラム・モジュールは、CCD コントローラまたは DDR2 からの raw イメージ・データを処理することができます。

1.2.1 CCD コントローラ (CCDC)

CCD コントローラは、センサー (CMOS または CCD) から raw (加工されていない) イメージ / ビデオ・データを受け付けます。また、CCD コントローラは、通常、ビデオ・デコーダ・デバイスからのさまざまなフォーマットの YUV ビデオ・データを受け付けます。raw 入力の場合、CCD コントローラ出力では、raw 入力イメージを最終的に処理されたイメージに変換するためにさらにイメージ処理が必要です。このイメージ処理は、プレビュー・エンジン IPIPE、またはソフトウェアのいずれかで高速に行われます。同時に、CCD コントローラへの raw データ入力は各種の統計情報 (H3A、ヒストグラム) を計算するためにも使われ、結果的にイメージ / ビデオのチューニング・パラメータは制御されます。CCD コントローラは、コントロール・レジスタおよびパラメータ・レジスタを使用してプログラムされます。CCD コントローラ・モジュールがサポートしている機能は次のとおりです。

- 従来の Bayer パターン・センサー・フォーマット。
- 外部タイミング・ジェネレータへの HD/VD タイミング信号およびフィールド ID の生成または同期。
- プログレッシブ・センサーおよびインターレース・センサーをサポート (最大で 2 フィールドまでのハードウェア・サポート)。
- 最大で 90 MHz までのセンサー・クロックをサポート。
- REC656/CCIR-656 規格 (8 ビットまたは 10 ビットの YCbCr 422 フォーマット) をサポート。
- 個々の HSYNC および VSYNC 信号を含む 8 ビットまたは 16 ビットの YCbCr 422 フォーマットをサポート。
- 最大で 16 ビット入力をサポート。
- オプティカル・ブラック・クランピング信号の生成。
- シャッター信号制御をサポート。
- デジタル・クランピングおよびブラック・レベル補正機能をサポート。
- 10 ビットから 8 ビットへの A-law 補正をサポート。
- SDRAM ヘライトする前のローパス・フィルタをサポート。このフィルタがイネーブルの場合、各ラインの左右両端の 2 ピクセルがそれぞれ出力からクロップされます。
- 16 ビット幅から 8 ビット幅までの出力の生成をサポート (8 ビット幅があれば、保存領域の 50% の節約が可能)。
- プログラム可能なカリング・パターンを介してダウンサンプリングをサポート。
- 外部ライト・イネーブル信号を介して DDR2 への出力を制御できる機能。

- 水平方向および垂直方向の両方へ最大で 32K ピクセル (イメージ・サイズ) までサポート。

1.2.2 プレビュー・エンジン - イメージ・パイプ (IPIPE)

プレビュー・エンジン・イメージ・パイプ (IPIPE) は、センサー (CMOS または CCD) からの raw (加工されていない) イメージ/ビデオ・データを圧縮またはディスプレイに適した YCbCr 422 データへ変換します。通常、プレビュー・エンジンの出力はビデオ圧縮および NTSC/PAL 方式のアナログ・エンコーダやデジタル LCD など外部ディスプレイ・デバイスにビデオをディスプレイするといった両方の目的で使われます。プレビュー・エンジンは、コントロール・レジスタおよびパラメータ・レジスタを使用してプログラムされます。プレビュー・エンジンがサポートしている機能は次のとおりです。

- 従来の Bayer パターン。
- CCD/CMOS コントローラまたは SDRAM/DDRAM のいずれかから入力されたイメージ/ビデオの受信。
- 最大で 1280 ピクセルの出力幅。
- エッジ処理時のピクセル/ラインの自動的/強制的なクロッピング。対応するモジュールがすべてイネーブルの場合、ラインごとに全部で 14 ピクセル (左端および右端の各 7 ピクセル) および 8 ライン (上端および下端の各 4 ライン) は出力されません。詳細については、第 2 章を参照してください。
- 単純水平平均 (2、4、8 倍) を使って 1280 (+ 切り取られた数値) ピクセル幅より大きな入力幅を処理。
- (従来のイメージ処理を raw データに適用するのではなく) ダーク・フレームをキャプチャし、SDRAM/DDRAM に保存する機能。
- ピクセル単位で入力された raw データ・フレームごとにビデオ品質を改善するために行われる、(SDRAM/DDRAM メモリからフェッチされる) ダーク・フレーム減算機能。
- ダーク・フレーム減算ではなく、レンズ・シェーディング補正を行う機能。各入力ピクセルは、対応する 8 ビット・ゲイン値と乗算され、その演算結果はプログラム可能なパラメータ (0 ~ 7 ビット) によって右シフトされる。
- 8 ビットの非直線的なデータから 10 ビットの直線的なデータに変換するための A-law 解凍機能をサポート。プレビュー・エンジンへの入力ソースが SDRAM/DDRAM の場合、この機能により、SDRAM/DDRAM 内のデータは 8 ビットに限定されますが保存領域の 50% を節約可能。
- 温度誘導ノイズを軽減するピクセル単位での水平方向メディアン・フィルタ。
- 同一カラーの 3 × 3 グリッドで動作するノイズ・フィルタ (事実上、これは 5 ラインの保存を必要とする) をプログラム可能。
- デジタル・ゲインおよびホワイト・バランス (ホワイト・バランス用の色ごとのゲイン処理)。
- 5 × 5 グリッドで動作する CFA 補完をプログラム可能。
- RGB-to-RGB ブレンディング・マトリックス (3 × 3 マトリックスに対応する 9 個の係数) をプログラム可能。
- ガンマ補正 (オンチップ RAM に保持されるカラーごとに 1024 エントリ) を完全にプログラム可能。
- カラー変換 (RGB to YUV) 係数 (3 × 3 マトリックスに対応する 9 個の係数) をプログラム可能。
- 輝度強化 (非線形) および色差抑制とオフセット。

1.2.3 リサイザ

リサイザ・モジュールは、プレビュー・エンジンまたは DDR2 のいずれかからの入力イメージ / ビデオ・データを受け付けます。リサイザ・モジュールの出力は、SDRAM/DDRAM に送られます。リサイザ・モジュールは、システム内のホスト・プロセッサがアクセスできるレジスタを使用してプログラムされます。リサイザ・モジュールがサポートしている機能は次のとおりです。

- 水平方向への最大出力幅 1280 ピクセル。
- プレビュー・エンジン（オンザフライでの処理）または外部の SDRAM/DDRAM のいずれかからの入力。
- 最大で 4 倍までのアップサンプリングをサポート（デジタル・ズーム）。
 - 3 次畳み込み補間（水平方向と垂直方向へそれぞれ 4 タップずつ）は、プログラム可能なフィルタ係数と組み合わせで実装可能。
 - 8 フェーズのフィルタ係数がサポートされる。
 - 色差コンポーネント用の双線形補間をオプションで選択可能。
 - 入力ソースがプレビュー・エンジンの場合、このサンプリングは高速に実行可能。
- 最大で 1/4 倍のダウンサンプリングまでサポート（イメージ・サイズを縮小してより多くの画像をメモリ・カードに保存する）。
 - 1 倍から 1/2 倍のダウンサンプリングを実現する水平方向と垂直方向へそれぞれ 4 タップずつの（8 フェーズを備える）フィルタ係数。
 - 1/2 倍から 1/4 倍のダウンサンプリングを実現するには、4 フェーズを備えた 7 タップ・モードを使用する。
 - 入力ソースがプレビュー・エンジンの場合、このサンプリングは高速に実行可能。
- オンチップ・メモリや処理リソースには制限があるため、リアルタイムでのプレビューから出力までのリサイズには、さらに制約があります。水平方向のリサイズの段階的な出力レートは、resizer_clock の 1/2 に制限されています。
 - SDRAM 入力パスには、そのような制約事項はありません。
 - たとえば、75 MHz のピクセル・クロックでは、フル入力幅のアップサンプリングは存在しません。入力幅をフル入力幅の 3/4 にし、アップサンプリングを 3/4 にすることが可能です。37.5 MHz のピクセル・クロックでは、アップサンプリングをフル入力幅の 2 倍にすることが可能です。入力幅をフル入力幅の 3/4 にするのは、アップサンプリングを 8/3 にすることと同様です。
- YUV 422 でパックされたデータ（16 ビット）または連続したカラー・セパレート・データ（8 ビット・データであると想定）のいずれかのリサイズをサポート。カラー・セパレート・データの入力ソースは、DDR2 であることが必要。
- 水平方向および垂直方向の別々の / 独立したリサイズ・ファクター。
- アップサンプリングおよびダウンサンプリング比率として使用可能なのは、256/N（N は 64 ~ 1024 までの数値）。
- 水平方向へリサイズ後および垂直方向へリサイズ前の輝度の鮮明度をプログラム可能。

1.2.4 ハードウェア 3A (H3A)

H3A モジュールは、イメージ処理 / ビデオ・データに関するメトリックスを収集することで、オート・フォーカス (AF)、オート・ホワイト・バランス (AWB)、オート・エクスポージャ (AE) を実現する制御ループをサポートするために設計されています。メトリックスは、イメージ処理 / ビデオ・データを処理する場合に各種パラメータを調整するために使われます。H3A モジュールには 2 つの主要なブロックがあります。

- オート・フォーカス (AF) エンジン
- オート・エクスポージャ (AE) およびオート・ホワイト・バランス (AWB) エンジン

AF エンジンは、入力イメージ / ビデオ・データからの赤、緑、青の各データを抽出しフィルタリングして、指定された領域のデータを累積するかその頂点を提供します。指定された領域は、2 次元のデータ・ブロックで、AF の場合「paxel (パクセル)」といいます。

AE/AWB エンジンはその値を累積し、ビデオ・データのサブサンプリングでの飽和値をチェックします。AE/AWB の場合、2 次元のデータ・ブロックは「window (ウィンドウ)」といいます。このように、別の名前で参照する点を除き、パクセルもウィンドウも実質的には同じことです。ただし、AF パクセルおよび AE/AWB ウィンドウの数、次元、開始位置は個別にプログラム可能です。

1.2.4.1 オート・フォーカス (AF) エンジン

AF エンジンがサポートしている機能は次のとおりです。

- ピーク・モードをパクセル単位でサポート (パクセルは 2 次元のピクセル・ブロック)。
- 各ラインの最大フォーカス値をパクセル単位で累積。
- (ピーク・モードではなく) 累積 / 合計モードをサポート。
- フォーカス値をパクセル単位で累積。
- 水平方向へ最大で 36 パクセル、垂直方向へ最大で 128 パクセルをサポート。水平方向のパクセル数はメモリ・サイズに制限されていますが、垂直方向のパクセル数は制限されていません。したがって、水平方向のパクセル数は垂直方向のパクセル数より小さくなります。
- パクセルの幅と高さをプログラム可能。フレーム内のすべてのパクセルの大きさは同じ。
- 2 × 2 マトリックス内の赤、緑、青の位置をプログラム可能。
- パクセルおよびフィルタリングの水平方向の開始位置は別々。
- パクセル内で垂直方向のライン・インクリメントをプログラム可能。
- 個別の係数を含むデュアル 4 次コンフィギュレーションで構成された並列 IIR フィルタ (11 個の係数それぞれに 2 つのフィルタ)。フィルタは、フォーカスしたフレーム内のシャープネス / ピークを計算する。

1.2.4.2 オート・エキスポージャ (AE) およびオート・ホワイト・バランス (AWB) エンジン

AE/AWB エンジンがサポートしている機能は次のとおりです。

- クリックピング・ピクセルをすべての非飽和ピクセルと一緒に累積。
- 最大で 36 個の水平ウィンドウまでサポート。
- 最大で 128 個の垂直ウィンドウまでサポート。
- ウィンドウの幅と高さをプログラム可能。フレーム内のすべてのウィンドウの大きさは同じ。
- 残りの他のカラー・パクセルとは異なるブラック・パクセルが並ぶ列の垂直方向の開始座標と高さは別々。
- ウィンドウ内の水平サンプリング位置をプログラム可能。
- ウィンドウ内の垂直サンプリング位置をプログラム可能。

1.2.5 ヒストグラム

ヒストグラム・モジュールは raw イメージ / ビデオ・データ (3 色か 4 色) を受信可能で、値 (かつ色ごとに) 単位でピクセルを保存します。ピクセル自体の値は保存されませんが、保存されたデータにはそれぞれ適切にセットされた範囲内にあるピクセル数が含まれています。通常ヒストグラムの raw データ・ソースは、(CCD コントローラ・モジュールを介した) CCD/CMOS センサーか、場合によっては SDRAM/DDRDRAM です。ヒストグラム・モジュールがサポートしている機能は次のとおりです。

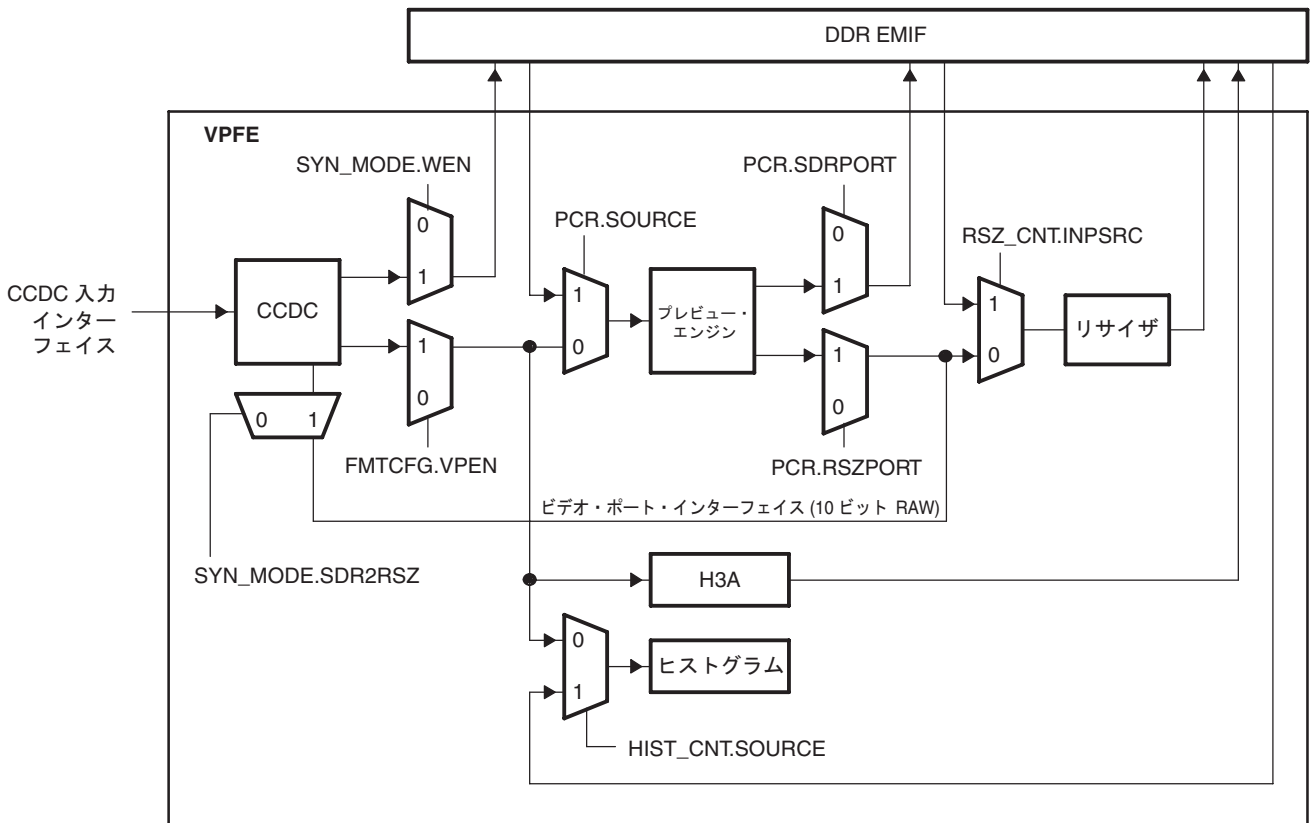
- 最大で 4 つの領域をサポート。
 - 各領域の水平方向 / 垂直方向の開始位置と終了位置は異なる。
 - 領域がオーバーラップする場合、オーバーラップした領域からのピクセルは優先順位が最も高い領域にのみ累積される (優先順位は領域 0 > 領域 1 > 領域 2 > 領域 3 の順)。
- 従来の Bayer パターン・センサーをサポート。各領域は、4 色を個別に累積できる。
- 領域ごとに、カラーごとに 32、64、128、256 個のビンのいずれかをサポート。
 - 領域数が 1 の場合、カラーごとに 32、64、128、256 個のビンのいずれかが使用可能。
 - 領域数が 2 の場合、カラーごとに 32、64、128 個のビンのいずれかが使用可能。
 - 領域数が 3 の場合、カラーごとに 32 または 64 個のビンが使用可能。
 - 領域数が 4 の場合、カラーごとに 32 または 64 個のビンが使用可能。
- ARM が該当ロケーション (プログラム可能なレジスタ) をリードすると、ヒストグラムが使用した RAM を自動的にクリアする機能をサポート。
- メモリ・ロケーションが保持可能なカウントが最大値を超えた場合、ピクセル・カウントの飽和をサポート (各メモリ・ロケーションは 20 ビット幅)。

- 0 ~ 7 ビットの範囲のダウンシフトをサポート (これはピンの最大範囲が 128 であることを示す)。
- 最後のピン (最上位の値の範囲) には、下位側の境界より上位にある値が累積されることになります。たとえば、32 個のピンがセットアップされ、それによりそれぞれのピンには 8 の範囲つまり 3 のダウンシフト (0 ~ 7、8 ~ 15 など) が累積されると、最後のピンには 248 ~ 255 の範囲の値だけではなく、248 より大きな値がすべて累積されます。

1.3 機能ブロック図

図 2 に、VPFE の機能ブロック図を各種データ・フロー・パスとともに示します。これらのデータ・フロー・パスは、VPFE のさまざまなモジュールが統計情報生成モジュールのデータ・ソース (H3A およびヒストグラム) と相互に作用している様子を示します。

図 2. ビデオ・プロセッシング・フロント・エンド (VPFE) のブロック図



1.4 使用方法

VPFE は、センサーおよびデジタル・ビデオ・ソースからさまざまなモードやフォーマットで取得したイメージ・データをサポートします。YUV ソースには必要最小限の処理が適用され、外部メモリ / DDR2 に直接渡されるか、DDR2 にライトする前にスケーリング処理を行うためにリサイズに渡されます。raw データ・イメージャー・モード (YUV 以外のソース) は、フル・プレビュー・エンジン・イメージ信号処理機能やプレビュー後のリサイズ機能と同様に、統計情報収集モジュール (H3A およびヒストグラム) によりサポートされます。

同じ処理オプションが、DDR2 から供給されるデータを処理するときにサポートされます。唯一の例外は、H3A モジュールは DDR2 からのデータでは動作しないという点だけです。

単一パス内で 4 倍より大きな比率でズームすると、リサイズではサポートされません。ただし、これを行うにはリアルタイムに処理が行われる限り、DDR2 からリサイズを通じてリサイズされたデータを再度渡すことで可能となります。これについては、5.6.5.1 項で詳細に説明します。

2 カメラ・サブシステム環境

表 1 に、VPFE インターフェイス信号を示します。

注： 選択した特定のインターフェイスに応じて、これらの信号は DM643x DMP にとって別の意味をもつことがあります。ピン・マルチプレクスは、システム・モジュールから制御されます。これ以降では、サポートされるシナリオについてそれぞれ説明します。

表 1. ビデオ・プロセッシング・フロント・エンドのインターフェイス信号

| ピン名 | 説明 |
|------------|-------------------------|
| PCLK | ピクセル・クロック |
| VD | 垂直同期 |
| HD | 水平同期 |
| CI7/CCD15 | C 入力信号 / CCD 入力信号 |
| CI6/CCD14 | C 入力信号 / CCD 入力信号 |
| CI5/CCD13 | C 入力信号 / CCD 入力信号 |
| CI4/CCD12 | C 入力信号 / CCD 入力信号 |
| CI3/CCD11 | C 入力信号 / CCD 入力信号 |
| CI2/CCD10 | C 入力信号 / CCD 入力信号 |
| CI1/CCD9 | C 入力信号 / CCD 入力信号 |
| CI0/CCD8 | C 入力信号 / CCD 入力信号 |
| YI7/CCD7 | Y 入力信号 / CCD 入力信号 |
| YI6/CCD6 | Y 入力信号 / CCD 入力信号 |
| YI5/CCD5 | Y 入力信号 / CCD 入力信号 |
| YI4/CCD4 | Y 入力信号 / CCD 入力信号 |
| YI3/CCD3 | Y 入力信号 / CCD 入力信号 |
| YI2/CCD2 | Y 入力信号 / CCD 入力信号 |
| YI1/CCD1 | Y 入力信号 / CCD 入力信号 |
| YI0/CCD0 | Y 入力信号 / CCD 入力信号 |
| C_WE | CCD ライト・イネーブル信号 |
| C_FIELD/R0 | CCD フィールド信号 / R0 (VPBE) |

2.1 一般的なパラレル・コンフィギュレーション (raw)

通常、一般的な raw インターフェイス・コンフィギュレーションは、イメージ・センサーと接続するために使われます。VPFE は、サンプリングごとに最大で 16 ビット解像度をサポートしますが、通常センサーはイメージャーや対応する AFE に応じて 8、10、12、14 ビットの有効な解像度を出力します。

2.1.1 一般的なパラレル・コンフィギュレーション (raw) 信号のインターフェイス

表 2 に、raw モード・インターフェイスのインターフェイス接続を示します。このデバイスは、サンプリングごとに最大で 16 ビット解像度をサポートしますが、通常センサーはイメージャーや対応する AFE に応じて 8、10、12、14 ビットの有効な解像度を出力します。データ・ラインの数が 16 より少ない場合、raw データを CCD[15-0] のより少ないデータ・ラインに接続することを推奨します。SYN_MODE.DATSIZ レジスタを使用すると入力ビット・サイズを示すことができますので、ハードウェアは接続されている上位ビットを無視します。

表 2. raw モードのインターフェイス信号

| ピン名 | 説明 |
|------------|-------------------------|
| PCLK | ピクセル・クロック |
| VD | 垂直同期 |
| HD | 水平同期 |
| CCD15 | CCD 入力信号 |
| CCD14 | CCD 入力信号 |
| CCD13 | CCD 入力信号 |
| CCD12 | CCD 入力信号 |
| CCD11 | CCD 入力信号 |
| CCD10 | CCD 入力信号 |
| CCD9 | CCD 入力信号 |
| CCD8 | CCD 入力信号 |
| CCD7 | CCD 入力信号 |
| CCD6 | CCD 入力信号 |
| CCD5 | CCD 入力信号 |
| CCD4 | CCD 入力信号 |
| CCD3 | CCD 入力信号 |
| CCD2 | CCD 入力信号 |
| CCD1 | CCD 入力信号 |
| CCD0 | CCD 入力信号 |
| C_WE | CCD ライト・イネーブル信号 |
| C_FIELD/R0 | CCD フィールド信号 / R0 (VPBE) |

2.1.2 一般的なパラレル・コンフィギュレーション (raw) 信号インターフェイスの説明

VPFE は、センサーと接続するのに必要な H/V 同期信号を生成する、またはセンサーやタイミング・ジェネレータから同期信号を受信することができます。PCLK またはピクセル・クロックは、常に入力として提供される必要があります。

2.2 ITU-R BT.656 コンフィギュレーションの機能インターフェイス

ITU-R BT.656 (CCIR-656 または REC656 ともいう) 規格は、YCbCr-4:2:2 フォーマットのデジタル・ビデオ・データを 8/10 ビット幅のインターフェイスに転送する方式を規定した仕様です。

2.2.1 ITU-R BT.656 コンフィギュレーション信号インターフェイス

表 3 に、ITU-R BT.656 インターフェイスのインターフェイス接続を示します。

データおよびタイミング・コードは、同じ 8/10 ビット・インターフェイスに転送されます。BT.656 モードでは、データ・ラインおよびクロック信号のみが外部デバイスと VPFE の CCD コントローラ・モジュールとの間に接続されます。NTSC/PAL デコーダは、CCIR-656 インターフェイスに接続できる外部デバイスの例です。

データ・ライン CCD[7:0] は 8 ビット YCbCr データに対して、データ・ライン CCD[9:0] は 10 ビット YCbCr データに対してそれぞれ使われます。ビデオ・タイミング信号 HD、VD、FIELD は、内部で VPFE の CCD コントローラ・モジュールによって生成されます。

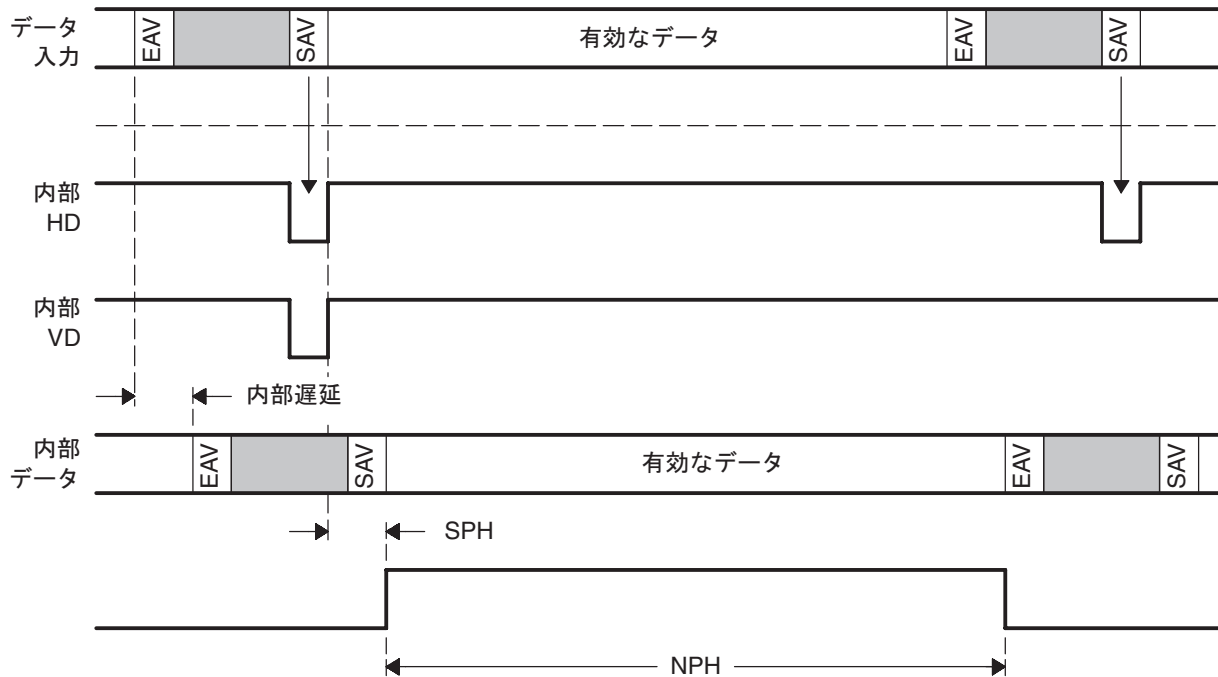
表 3. ITU-R BT.656 モードのインターフェイス信号

| ピン名 | 説明 |
|------|---|
| PCLK | ピクセル・クロック |
| CCD9 | CCD データ / BT.656 データ (10 ビット・インターフェイスの場合はオプション) |
| CCD8 | CCD データ / BT.656 データ (10 ビット・インターフェイスの場合はオプション) |
| CCD7 | CCD データ / BT.656 データ |
| CCD6 | CCD データ / BT.656 データ |
| CCD5 | CCD データ / BT.656 データ |
| CCD4 | CCD データ / BT.656 データ |
| CCD3 | CCD データ / BT.656 データ |
| CCD2 | CCD データ / BT.656 データ |
| CCD1 | CCD データ / BT.656 データ |
| CCD0 | CCD データ / BT.656 データ |

2.2.2 ITU-R BT.656 コンフィギュレーション信号インターフェイスの説明

2つのタイミング基準コードは、HD、VD、FIELD をビデオ・データと同期させます。各ビデオ・ブロックの開始時点および終了時点で、デバイスは固有のタイミング基準コードを送ります。開始コードはアクティブ・ビデオ信号の開始 (SAV)、終了コードはアクティブ・ビデオ信号の終了 (EAV) とそれぞれ呼ばれます。SAV コードおよび EAV コードが処理され、その後には有効なデータを続きます (図 5 を参照)。HD、VD、FIELD は SAV コードおよび EAV コードに基づいて、CCD コントローラによって内部で生成されます。CCD コントローラの他のレジスタ設定により、DDR に対する有効なデータのリード/セーブを行うタイミングを制御できます。

図 5. BT.656 信号インターフェイス



2.2.3 ITU-R BT.656 コンフィギュレーション・プロトコルおよびデータ・フォーマット

タイミング基準信号 SAV と EAV は両方とも、FF 00 00 XY というフォーマットの 4 つのワード・シーケンスから構成されています。ここで、FF 00 00 はセットされたプリアンブルで、4 番目のワードはフィールド ID、垂直フィールド・ブランキングのステート、水平ライン・ブランキングのステート、および保護 (エラー補正) コードを示します。表 4 に、4 番目のワードのビット・フォーマットを示します。表 5 に、F、V、H の各ビットの定義を示します。F、V、H の各ビットは、通常の水平同期信号、垂直同期信号、ブランク・タイミング制御信号の代わりに使用されます。P3、P2、P1、P0 の各ビットは、F、V、H の保護 (エラー補正) ビットです。表 6 に、F、V、H と保護 (エラー補正) ビットの関係を示します。エラー補正をイネーブルするには、REC656IF レジスタの ECCFVH ビットを 1 にセットします。CCD コントローラは ECCFVH ビットがイネーブルの場合、自動的にエラー補正を検出し適用します。

CCIR-656 モードで動作している場合、SYN_MODE の PACK8 ビットが 1 にセットされていると、データは表 6 に示すフォーマットに従って SDRAM に保存されます。

CCD コントローラは SAV および EAV 内の XY コードを SDRAM に出力することに注意してください。これを解消するために、HORZ_INFO の SPH フィールドを SPH + 1 にセットしてください。また、HORZ_INFO の NPH フィールドもアクティブなピクセル数を正確に表すようにセットしてください。

表 4. SAV および EAV 用のビデオ・タイミング基準コード

| データ・ビット番号 | 先頭のワード (FF) | 2 番目のワード (00) | 3 番目のワード (00) | 4 番目のワード (XY) |
|-----------|-------------|---------------|---------------|---------------|
| 9 (MSB) | 1 | 0 | 0 | 1 |
| 8 | 1 | 0 | 0 | F |
| 7 | 1 | 0 | 0 | V |
| 6 | 1 | 0 | 0 | H |
| 5 | 1 | 0 | 0 | P3 |
| 4 | 1 | 0 | 0 | P2 |
| 3 | 1 | 0 | 0 | P1 |
| 2 | 1 | 0 | 0 | P0 |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 |

表 5. F、V、H 信号の説明

| 信号 | 値 | コマンド |
|----|---|---------|
| F | 0 | フィールド 1 |
| | 1 | フィールド 2 |
| V | 0 | 0 |
| | 1 | 垂直ブランク |
| H | 0 | SAV |
| | 1 | EAV |

表 6. F、V、H 保護 (エラー補正) ビット

| F | V | H | P3 | P2 | P1 | P0 |
|---|---|---|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |

図 6. SDRAM 内の BT.656 モードのデータ・フォーマット

| | | | | |
|-----------|----------------|----------------|----------------|----------------|
| 31 | | | | 0 |
| 8 ビット × 4 | ピクセル3 (Y1/Cr0) | ピクセル2 (Cr0/Y1) | ピクセル1 (Y0/Cb0) | ピクセル0 (Cb0/Y0) |

2.3 一般的な YUV インターフェイス

CCD コントローラは、8/16 ビット幅のインターフェイス上で一般的な YCbCr-4:2:2 フォーマットのデジタル・ビデオ・データを受け付けます。

2.3.1 一般的な YUV コンフィギュレーション信号インターフェイス

表 7 に、一般的な YUV インターフェイスのインターフェイス接続を示します。

BT.656 モードとは違い、HD および VD 信号が別途必要です。NTSC/PAL デコーダは、YUV インターフェイスに接続できる外部デバイスの例です。

8 ビット・モードでは、データ・ライン YI[7:0] または CI[7:0] は入力用に使用可能です。8 ビット・インターフェイス使用時に、YI[7:0] 入力が通常使用されます。ただし、データ入力に YI[7:0] または CI[7:0] のいずれかを使用することもできます。他の方法として、2 つの別々のイメージャーを物理的に接続することもできます（ただし、特定の時点では、いずれか一方だけがアクティブになります）。CCDCFG の YCINSWP ビットが、8 ビット入力でアクティブなデータ・ラインを決定します。

16 ビット・モードでは、入力用にデータ・ライン YI[7:0] および CI[7:0] を CI[7:0] 信号上でマルチプレクスされた Cr/Cb データと組み合わせて使用します。CCDCFG の YCINSWP ビットを使用して、Y と Cr/Cb のデータ・ラインを入れ替えます。

表 7. YUV インターフェイスのインターフェイス信号

| ピン名 | 説明 |
|------------|-------------------------|
| PCLK | ピクセル・クロック |
| VD | 垂直同期 |
| HD | 水平同期 |
| CI7 | C 入力 / Y 入力 |
| CI6 | C 入力 / Y 入力 |
| CI5 | C 入力 / Y 入力 |
| CI4 | C 入力 / Y 入力 |
| CI3 | C 入力 / Y 入力 |
| CI2 | C 入力 / Y 入力 |
| CI1 | C 入力 / Y 入力 |
| CI0 | C 入力 / Y 入力 |
| YI7 | Y 入力 / C 入力 |
| YI6 | Y 入力 / C 入力 |
| YI5 | Y 入力 / C 入力 |
| YI4 | Y 入力 / C 入力 |
| YI3 | Y 入力 / C 入力 |
| YI2 | Y 入力 / C 入力 |
| YI1 | Y 入力 / C 入力 |
| YI0 | Y 入力 / C 入力 |
| C_FIELD/R0 | CCD フィールド信号 / R0 (VPBE) |

2.3.2 一般的な YUV コンフィギュレーション・プロトコルおよびデータ・フォーマット

8 ビット・モードでは、Cr/Cb データと相対的な Y データの位置は、CCDCFG の Y8POS ビットをセットすることにより設定可能です。データのバイト順序は、CCDCFG の BSWD ビットをセットすることにより入れ替わります。8 ビット入力の場合、SDRAM のデータを正常にパックするためには SYN_MODE の PACK8 ビットをセットする必要があります。

表 8. YCbCr 処理のための DDR 保存フォーマット

SDRAM データ・フォーマット

| SDRAM アドレス | 上位ワード | | 下位ワード | |
|------------|----------|----------|----------|---------|
| | MSB (31) | LSB (16) | MSB (15) | LSB (0) |
| N | Y1 | Cr0 | Y0 | Cb0 |
| N + 1 | Y3 | Cr2 | Y2 | Cb2 |
| N + 2 | Y5 | Cr4 | Y4 | Cb4 |

2.4 VPFE / カメラ・サブシステム I/O のマルチプレクス

各種 VPFE イメージャーのインターフェイス・モードには、固有のピン・マルチプレクス・オプションがあります（表 9 を参照）。システム・モジュールはこのような設定の一部を制御します。残りの他の設定は、コントローラが設定されているモードによって制御されます。ピン・マルチプレクスの VPFE への影響を判別するには、各デバイスのデータ・マニュアルを参照してください。

表 9. VPFE デジタル・ディスプレイ・モードの場合の信号

| ピン名 | PRGB | YCC16 | YCC8 | REC656 |
|---------|---------|---------------|------------|------------|
| PCLK | PCLK | PCLK | PCLK | PCLK |
| VD | VD | VD | VD | - |
| HD | HD | HD | HD | - |
| CI7 | D[15] | CI[7] / YI[7] | Y7,Cb7,Cr7 | - |
| CI6 | D[14] | CI[6] / YI[6] | Y6,Cb6,Cr6 | - |
| CI5 | D[13] | CI[5] / YI[5] | Y5,Cb5,Cr5 | - |
| CI4 | D[12] | CI[4] / YI[4] | Y4,Cb4,Cr4 | - |
| CI3 | D[11] | CI[3] / YI[3] | Y3,Cb3,Cr3 | - |
| CI2 | D[10] | CI[2] / YI[2] | Y2,Cb2,Cr2 | - |
| CI1 | D[9] | CI[1] / YI[1] | Y1,Cb1,Cr1 | Y9,Cb9,Cr9 |
| CI0 | D[8] | CI[0] / YI[0] | Y0,Cb0,Cr0 | Y8,Cb8,Cr8 |
| YI7 | D[7] | YI[7] / CI[7] | Y7,Cb7,Cr7 | Y7,Cb7,Cr7 |
| YI6 | D[6] | YI[6] / CI[6] | Y6,Cb6,Cr6 | Y6,Cb6,Cr6 |
| YI5 | D[5] | YI[5] / CI[5] | Y5,Cb5,Cr5 | Y5,Cb5,Cr5 |
| YI4 | D[4] | YI[4] / CI[4] | Y4,Cb4,Cr4 | Y4,Cb4,Cr4 |
| YI3 | D[3] | YI[3] / CI[3] | Y3,Cb3,Cr3 | Y3,Cb3,Cr3 |
| YI2 | D[2] | YI[2] / CI[2] | Y2,Cb2,Cr2 | Y2,Cb2,Cr2 |
| YI1 | D[1] | YI[1] / CI[1] | Y1,Cb1,Cr1 | Y1,Cb1,Cr1 |
| YI0 | D[0] | YI[0] / CI[0] | Y0,Cb0,Cr0 | Y0,Cb0,Cr0 |
| C_WE | C_WE | C_WE | C_WE | - |
| EM_A_21 | C_FIELD | C_FIELD | C_FIELD | - |

2.4.1 Y/C データ・バスの入れ替え

16 ビット YUV データ・バスの上位部分と下位部分をスワップするオプションがあります (CCDCFG の YCINSWP ビット)。これは輝度と色差のサンプルを 16 ビット YUV モードでスワップします。16 ビット YUV データ・バスの上位と下位をスワップすると、8 ビット・モードの入力ソースとして使用するバスの上位 / 下位が決定され、2 つの別々の YUV 入力ポートをサポートするために 8 ビット YUV モードで使用できるバスの上位 / 下位も決定されます。この方法は、REC656 モードでは使用できません。

2.4.2 CCD および LCD 制御信号のマルチプレクス

VPSS に搭載されている CCD および LCD コントローラは、特定のモードの動作を実現するために制御信号がさらに必要です。これらの信号にはそれぞれ、PINMUX0 レジスタに別々のイネーブル・ビットがあり、制御信号機能と他のピン機能を選択します。ピン・マルチプレクスの VPFE への影響を判別するには、各デバイスのデータ・マニュアルを参照してください。

2.5 VPSS の初期化

VPSS を構成するには、次のステップが必要です。

1. デバイスのピン・マルチプレクスに必要なセットアップ作業を実行します (各デバイスのデータ・マニュアルを参照)。
2. VPSS に対応した I/O ピンの電源を投入するために、VDD3P3V_PWDN をプログラムします (各デバイスのデータ・マニュアルを参照)。

3 インテグレーション

ここでは、VPFE サブシステムの TMS320DM643x DMP へのインテグレーション方法について説明します。

3.1 クロック供給、リセット、および電源管理

3.1.1 クロック

3.1.1.1 処理方法と DMA クロック

DM643x VPFE モジュールは DMA マスタで、CLKDIV3 クロック・ドメインに内蔵されています。そのため、その処理ロジックには 153 MHz または 198 MHz でクロックが供給されます。このクロックはパワー・スリープ・コントローラ (PSC) 内の VPSSmstr モジュールで、ビデオ・プロセッシング・バック・エンド (VPBE) と共有されます。そのため、このクロックは電力を節約するためにゲートオフすることができますが、そうすると VPBE を使用できなくなります。VPFE モジュールは、非動作時に動的に消費電力を節約するためにクロック単位で自動クロック・ゲート機能を利用します。また、VPBE ペリフェラル・コントロール・レジスタ (PCR) の CLK_OFF ビットを使用すると VPFE クロックをゲートオフできます。

このクロックは、VPFE が動作していない場合にはディスエーブルされることに注意してください。VPFE 上で何らかの処理 (他のレジスタのリード/ライトなど) を行うときは事前に、クロックをイネーブルしてください。

3.1.1.2 レジスタ・インターフェイス・クロック

DM643x VPFE モジュールには、CLKDIV6 クロック・ドメインに内蔵されているコントロール・レジスタのスレーブ・ポートが組み込まれています。そのため、CPU レジスタ・インターフェイスには 76.5 MHz または 99 MHz でクロックが供給されます。このクロックは PSC 内の VPSSslv モジュールで、VPBE と共有されます。そのため、このクロックは電力を節約するためにゲートオフすることができますが、そうすると VPBE を使用できなくなります。

3.1.2 リセット

DM643x VPFE モジュールのリセットは、デバイス・リセット信号に接続されています。

また、VPFE モジュールは PSC が SyncReset 状態に遷移するとリセットされます。VPFE は VPSS モジュールのサブセットであり、かつ VPSSmstr プロセッシング・ドメインおよび VPSSslv レジスタ・インターフェイスの 2 つのモジュール・ドメインをもっています。そのため、この 2 つのドメインのいずれかをリセットすると、ビデオ・プロセッシング・バック・エンド (VPBE) にも影響を与えます。

3.1.3 電源ドメインと電源管理

VPFE モジュールは、DSP コアおよびその他のペリフェラルとともに「常時オン」の電源ドメインに内蔵されています。VPFE モジュールは電源が供給されると、非動作時に動的に消費電力を節約するためにクロック単位で自動クロック・ゲート機能を使用します。結果的に、パワー・スリープ・コントローラ (PSC) を使用して VPFE モジュールをディスエーブルする方法はありません。Disable および SwRstDisable の PSC ステートには意味がありません。

3.1.3.1 一般的なパワー・ダウン時のガイドライン

クロック供給がディスエーブルの場合、アクティブな消費電力は最小限に抑制されます。VPSS のクロック・ゲート制御には、次の 3 つのレベルがあります。

- VPSS レジスタをプログラムすること (たとえば、VPBE.PCR.CLK_OFF、VENC.VMOD.VENC、CCDC.PCR.ENABLE を使用するなど) による VPSS 内でのクロック・ゲート制御。この方法を使用すると、VPSS 内の対象部分の選択的なクロック制御が可能になります。
- ローカル・パワー・スリープ・コントローラ (LPSC0 と LPSC1) によるクロック・ゲート制御。これは、VPSS 境界でクロックを停止します。VPSS 全体が使用されていない場合にのみ、クロック・ゲート制御レベルは可能です。この方法を使用しても、VPSS の対象部分の選択的なクロック制御はできません。この方法は、VPSS 境界のビデオ・クロック・ソースを停止するだけでなく、VPSS ロジックおよび VPSS レジスタ・インターフェイスへのチップレベルのシステム・クロックも停止します。
- クロック・ソースでのクロック・ゲート制御 (たとえば、SYSTEM.VPSS_CLKCTL.VENCLKEN や SYSTEM.VPSS_CLKCTL.DACCLKEN を使用するなど)。この方法を使用すると、必要ではないクロック・ソースのみをゲート制御するだけで VPSS の対象部分の選択的なクロック・ゲート制御が可能になります。通常この方法は、最も電力を消費しないようにクロック・ソースのクロックを停止して、最初の方法とともに使用されます。

これ以降では、上記の方法の中から 1 つ以上利用して節電を実現します。

3.1.3.2 VPSS 全体が使用されていない場合にアクティブな消費電力を最小限に抑制

VPSS 全体が使用されていない場合、(パワー・スリープ・コントローラ (PSC) を使用して) VPSS 境界のクロックを停止すると節電を実現することができます。またクロック・ソースのクロックを停止しても同様の効果が得られます。

PSC を使用して VPSS モジュールを完全にディスエーブルすると、外部クロックによってゲート制御されていたすべてのロジックは次のことを実行します。

- PSC の VPSSmstr モジュールをディスエーブルする (Disable または SwRstDisable のいずれか)。これにより、VPSS ロジックと VPSS 共有 DMA ロジックへのクロック供給、およびメモリ・バッファがディスエーブルされます。またこれにより、VPFE ロジックもディスエーブルされることに注意してください。
- PSC の VPSSslv モジュールをディスエーブルする (Disable または SwRstDisable のいずれか)。これにより、VPSS レジスタ・インターフェイスへのクロック供給がディスエーブルされます。またこれにより、VPFE モジュールのレジスタ・インターフェイスもディスエーブルされることに注意してください。

VPSS モジュールへのクロック・ソースをディスエーブルする方法は、次のとおりです。

- VPFE クロック・ソース：
 - VPFE ピクセル・クロック (PCLK) を駆動する外部イメージ処理デバイスをディスエーブルし、すべての入力ロジックにもパススルーを介した VPBE ロジックにもクロックを供給しない。
- VPBE クロック・ソース：
 - システム・モジュール内の VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) をプログラムしてクロックを停止する。
 - VPSS_CLKCTL の DACCLKEN ビットを 0 にクリアして DAC クロックを直接停止する。
 - VPSS_CLKCTL の VENCLKEN ビットを 0 にクリアして VENC クロックを直接停止する。
 - さらに節電する場合には、すべての VPBE クロック・ソースをディスエーブルする。
 - VPBECLK：外部 VPBECLK ソースをディスエーブルし、どの出力ロジックにもクロックを供給しない。
 - PCLK：すべての外部 PCLK ソースをディスエーブルする。

- PLLC1 SYSCLKBP : PLL コントローラ 1 で BPDIV の BPDEN ビットを 0 にクリアして、PLLC1 SYSCLKBP クロック・ソースをディスエーブルする。
- PLLC2 SYSCLK2 : PLL コントローラ 2 で PLLDIV2 の D2EN ビットを 0 にクリアして、PLLC2 SYSCLK2 クロック・ソースをディスエーブルする。

3.1.3.3 ビデオ DAC が使用されていない場合にアクティブな消費電力を最小限に抑制

VPBE のビデオ DAC が使用されていない場合、次のステップを実行してアクティブな消費電力を最小限に抑制します。

- VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) の DACCLKEN ビットを 0 にクリアして DAC クロックを直接停止する。
- VPSS_CLKCTL の MUXSEL ビットを 3h にセットする VPBE (CLK_VENC) では PCLK 使用時に、DAC クロックは自動的にディスエーブルされることに注意してください。

3.1.3.4 VPBE だけが使用されている (VPFE はディスエーブル) 場合にアクティブな消費電力を最小限に抑制

VPFE が使用されていない、VPBE のみのモードでは、次のステップを実行してアクティブな消費電力を最小限に抑制します。

VPBE のみのモード : VPFE だけをクロック・ゲート制御するが、VPBE はアクティブのまま。

- CCDC ペリフェラル・コントロール・レジスタ (PCR) の ENABLE ビットを 0 にクリアして、VPFE の CCD コントローラ (CCDC) をディスエーブルする。VPFE 内の選択したモジュールだけをクロック・ゲート制御する必要がある場合、(VPFE サブモジュール内の) 個々のイネーブル・ビットをプログラムしてそれぞれのモジュール (リサイザ、ヒストグラムなど) をディスエーブルします。デフォルトではモジュールがディスエーブルされているため、デバイス・リセットした場合、このステップは必要ではないことに注意してください。さらに、CCDC がディスエーブルされていても、他のモジュール (主にリサイザ) を使用できます。ただし、そのモジュールが DDR からの入力バスを確保している場合です。
- さらに節電をする場合には、VPFE ピクセル・クロック (PCLK) を駆動する外部イメージ処理デバイスをディスエーブルし、すべての入力ロジックにもパススルーを介した VPBE ロジックにもクロックを供給しない。

VPBE のビデオ DAC が必要でない場合、さらなる節電を実現するには、3.1.3.3 項に従ってビデオ DAC のクロック・ゲート制御を行います。

3.1.3.5 VPFE だけが使用されている (VPBE はディスエーブル) 場合にアクティブな消費電力を最小限に抑制

VPBE 全体がディスエーブルでかつ使用されていない、VPFE のみのモードでは、次のステップを実行してアクティブな消費電力を最小限に抑制します。

VPFE のみのモード : VPBE だけをクロック・ゲート制御するが、VPFE はアクティブのまま。

- VPBE ペリフェラル・コントロール・レジスタ (PCR) の CLK_OFF ビットを 1 にセットして、すべての VPBE クロックのゲート制御をオフにする。
- VENC ビデオ・モード・レジスタ (VMOD) の VENC ビットを 0 にクリアして、ビデオ・エンコーダ (VENC) の動作をディスエーブルする。
- さらに節電をする場合には、クロック・ソースのクロックをゲート制御する。
 - (クロック入力ピンの) クロック・ソースで CLK_VENC を停止して (または VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) の VENCCLKEN ビットを 0 にクリアして)、CLK_VENC をゲート制御する。
 - (クロック入力ピンの) クロック・ソースで CLK_DAC を停止して (または VPSS_CLKCTL の DACCLKEN ビットを 0 にクリアして) CLK_DAC をゲート制御する。

3.2 ハードウェア・リクエスト

3.2.1 割り込みリクエスト

DM643x VPFE は、DSP への割り込みを生成します (表 10 を参照)。CCD コントローラの割り込みを除き、これらはすべてフレーム終了イベント (フレームに対する処理の完了) を示します。これらは VPFE モジュールごとに固有のものです。それは VPFE モジュールにそれぞれ異なる処理上の制限事項があるためです。割り込みの詳細については、第 5 章を参照してください。

表 10. DSP 割り込み - VPFE

| 割り込み番号 | 略称 | ソース |
|--------|---------|-------------------|
| 24 | VDINT0 | VPSS - CCD コントローラ |
| 25 | VDINT1 | VPSS - CCD コントローラ |
| 26 | VDINT2 | VPSS - CCD コントローラ |
| 27 | HISTINT | VPSS - ヒストグラム |
| 28 | H3AINT | VPSS - AE/AWB/AF |
| 29 | PRVUINT | VPSS - プレビューア |
| 30 | RSZINT | VPSS - リサイザ |

3.2.2 EDMA リクエスト

VPFE 関連の 4 つの EDMA イベントがあります (表 11 を参照)。これらはすべてフレーム終了イベント (フレームに対する処理の完了) を示します。

表 11. EDMA イベント - VPFE

| イベント番号 | バイナリ | イベント名 |
|--------|----------|------------------|
| 6 | 000 0110 | VPSS ヒストグラム・イベント |
| 7 | 000 0111 | VPSS H3A イベント |
| 8 | 000 1000 | VPSS プレビューア・イベント |
| 9 | 000 1001 | VPSS リサイザ・イベント |

イベントを EDMA にルーティングする目的は、DMA による方法と CPU による直接的なライトを使用してモジュール・レジスタのアップデートを可能にすることです。通常、DSP はこの機能を実行しますが、場合によっては DSP は他の動作を行っていることがあります。また、割り込みレイテンシは VPFE モジュールの処理時に重要です。次の例を考えてみましょう。10 倍のデジタル・ズームが必要な場合です。リサイザは 2 パスで動作する必要があります。最初のパスはプレビュー・エンジンからの入力を使用し、2 番目のパスは SDRAM/DDR からの入力を使用します (最初のパスの出力を使用)。リサイザ・レジスタは、最初のパスが完了するとただちに変更する必要があります。EDMA に対するリサイザ・イベントを用いると、DMA は 2 番目のリサイザ・パスに対してレジスタの内容を瞬時に設定します。この例に関する詳細については、5.6.5.1 項のリサイザ・プログラミング・モデルを参照してください。

3.3 重要な VPFE/ISP のレジスタ・マッピングの概要

表 12 に、VPFE のレジスタ・マッピングを示します。

表 12. VPFE モジュールのレジスタ・マップ

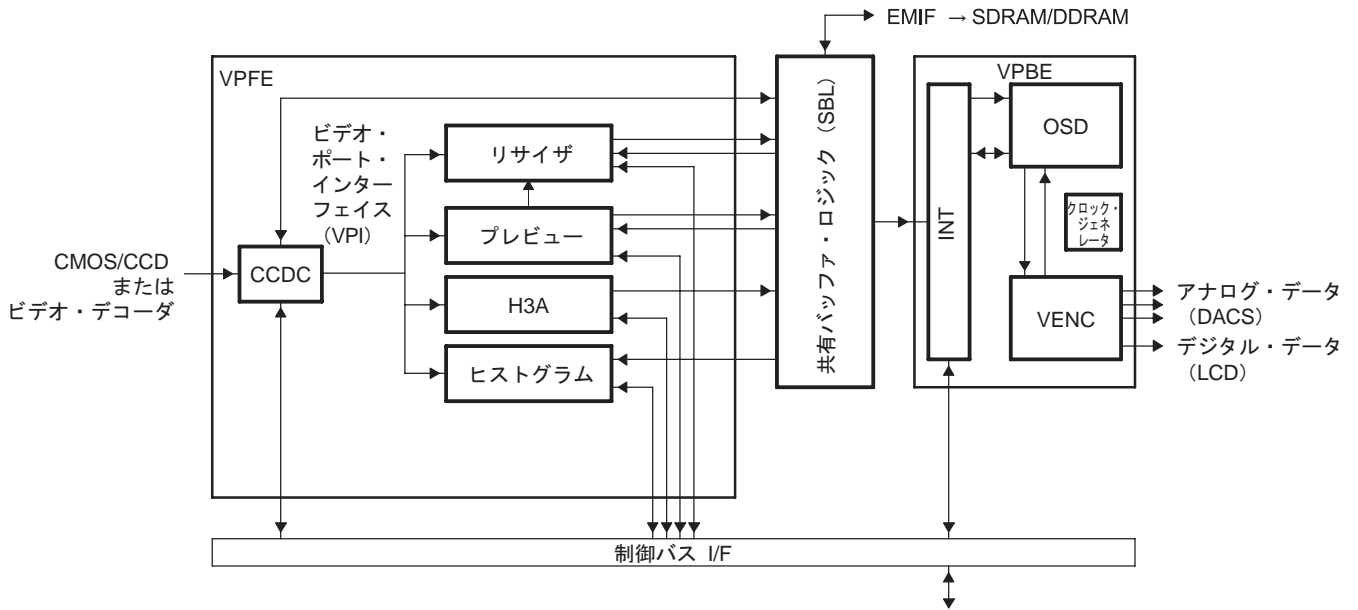
| VPSS レジスタ | 01C7 0000h | | 16K |
|------------|------------|------------|-----|
| 予約 | 01C7 0000h | 01C7 03FFh | 1K |
| CCD コントローラ | 01C7 0400h | 01C7 07FFh | 1K |
| プレビュー・エンジン | 01C7 0800h | 01C7 0BFFh | 1K |
| リサイズ | 01C7 0C00h | 01C7 0FFFh | 1K |
| ヒストグラム | 01C7 1000h | 01C7 13FFh | 1K |
| ハードウェア 3A | 01C7 1400h | 01C7 17FFh | 1K |

4 機能説明

4.1 ブロック図

DM643x VPSS のブロック図を図 7 に示します。詳細なブロック図については、この後の「イメージ・センサーとの接続」および「VPFE データ/イメージ処理」で示します。

図 7. ビデオ・プロセッシング・サブシステム (VPSS) のブロック図



4.2 イメージ・センサーとのインターフェイス

CCD コントローラはセンサー / イメージ入力インターフェイスをサポートしています。このインターフェイスについてはこの後に説明します。各種モードで動作する CCD コントローラのコンフィギュレーションに関する詳細は、「プログラミング・モデル」の説明（第 5 章）を参照してください。

4.2.1 一般的なパラレル・インターフェイス - raw CCD データ

一般的なパラレル・インターフェイスまたは raw CCD インターフェイスは、CMOS または CCD センサー（CCD + AFE センサー）へのデータ・パスを最大で 16 ビットまでサポートします。信号インターフェイスについては、表 13 で説明します。

表 13. CCD インターフェイス信号

| 信号名 | 入出力 | 機能 |
|-----------|-----|---|
| CCD[15:0] | 入力 | イメージ・データ - モードは (REC656IF.R656ON ではなく) SYN_MODE.INPMOD でセットされる。 <ul style="list-style-type: none"> ピット幅は、8 ビットまたは 16 ビットのいずれかにコンフィギュレーションできます (SYN_MODE.DATSIZ)。 入力イメージのデータ極性は反転できます (SYN_MODE.DATAPOL)。 |
| VD | 入出力 | VSYNC - 垂直同期信号。 <ul style="list-style-type: none"> この信号は入力または出力のいずれかに設定できます (SYN_MODE.VDHDOUT)。 入力として設定された場合、CCD または CMOS センサーは VD 信号を供給する必要があります。 出力として設定された場合、VPFE は VD 信号および VD 幅 (HD_VD_WID.VDW) を供給し、フレームごとのライン (PIX_LINES.HLPFR) の設定が必ず必要になります。 VD の極性は反転できます (SYN_MODE.VDPOL)。 |
| HD | 入出力 | HSYNC - 水平同期信号。 <ul style="list-style-type: none"> この信号は入力または出力のいずれかに設定できます (SYN_MODE.VDHDOUT)。 入力として設定された場合、CCD または CMOS センサーは HD 信号を供給する必要があります。 出力として設定された場合、VPFE は HD 信号および HD 幅 (HD_VD_WID.HDW) を供給し、ラインごとのピクセル (PIX_LINES.PPLN) の設定が必ず必要になります。 HD の極性は反転できます (SYN_MODE.HDPOL)。 |
| C_FIELD | 入出力 | フィールド識別信号 (オプション - SYN_MODE.FLDMODE) <ul style="list-style-type: none"> この信号は入力または出力のいずれかに設定できます (SYN_MODE.FLDOUT)。 入力として設定された場合、CCD または CMOS センサーはフィールド識別信号を供給する必要があります。 フィールド識別信号が VPFE への入力にセットされた場合、この信号は VD 信号でラッチされるように設定できます (CCDCFG.FIDMD)。 出力として設定された場合、VPFE はフィールド識別信号を供給します。 フィールド識別信号の極性は反転できます (SYN_MODE.FLDPOL)。 |
| C_WE | 入力 | CCD ライト・イネーブル信号 (オプション - SYN_MODE.EXWEN) <ul style="list-style-type: none"> この信号は、データのキャプチャ / 処理 / メモリへの保存が行われるタイミングまたは次の処理へ送られるタイミングを決定します。 イネーブルの場合 (SYN_MODE.EXWEN) イメージ・データは CCDCFG.WENLOG の状態に応じてキャプチャ / 処理 / メモリへの保存だけが行われるかまたは次の処理へ送られることとなります。 データが保存できるのは、$\overline{C_WE}$ がアクティブでかつピクセルが内部フレーム (HORZ_INFO.SPH、HORZ_INFO.NPH、VERT_START.SLV、VERT_LINES.NLV) 内にある、または $\overline{C_WE}$ がアクティブかつピクセルが内部フレーム (CCDCFG.WENLOG) 内にあるときのみです。 |

表 13. CCD インターフェイス信号

| 信号名 | 入出力 | 機能 |
|------|-----|--|
| PCLK | 入力 | ピクセル・クロック。 <ul style="list-style-type: none"> この信号は、イメージ・データを CCD コントローラにロードするために使用されるピクセル・クロックです。 CCD コントローラは、PCLK 信号（システム・モジュール内の PCLKINV）の立ち上がりエッジまたは立ち下がりエッジでキャプチャするように設定できます。 最大ピクセル・クロック・レートは、通常モードでは 71 MHz、ターボ・モードでは 90 MHz です（一般的に、VPFE クロックの 2 倍または CLKDIV3 より 1 ns 大きくなります）。 |

表 13 で説明したように、VPFE は VD/HD およびフィールド識別 (ID) 信号の供給元または供給先となるように別々に設定できます。これらの信号のいずれかが供給された場合、VPFE の CCD コントローラは適切なタイミングで生成するためにレジスタ設定を介して設定しておく必要があります。キャプチャされたフレームの定義は制御信号の設定には関係なくセットしておく必要があります。これらの設定は「VPFE データ/イメージ処理」で説明します。

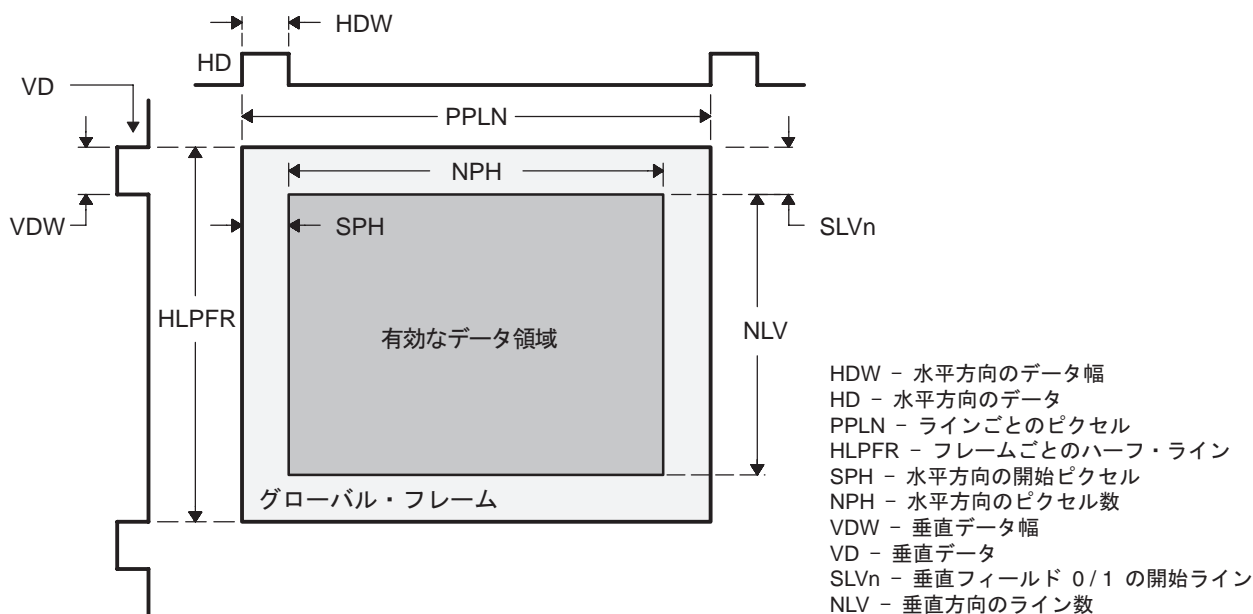
4.2.1.1 モード情報 - 常時必須

- SYN_MODE.INPMOD - 入力モード
- SYN_MODE.DATSIZ - 入力データのサイズ (ビット幅) - 常に LSB 側に保存
- SYN_MODE.DATAPOL - 入力データの極性
- SYN_MODE.VDPOL - VD の極性
- SYN_MODE.HDPOL - HD の極性
- SYN_MODE.VDHDOUT - VD/HD 信号の方向
- SYN_MODE.FLDMODE - フィールド・モード
- SYN_MODE.FLDOUT - C_Field 信号の方向

4.2.1.2 タイミング情報 - (オプション) 制御信号およびセンサー・モードに応じて

- SYN_MODE.FLDMODE がイネーブルの場合：
 - SYN_MODE.FLDOUT - C_FIELD 信号の方向
 - SYN_MODE.FLDPOL - C_FIELD 極性
 - CCDCFG.FIDMD - C_FIELD ラッチ情報
- SYN_MODE.VDHDOUT が出力の場合：
 - HD_VD_WID.VDW - VD 幅
 - PIX_LINES.HLPFR - フレームごとにハーフ・ライン
 - HD_VD_WID.HDW - HD 幅
 - PIX_LINES.PPLN - ラインごとのピクセル
- SYN_MODE.EXWEN がイネーブルの場合 (外部 C_WE 信号):
 - CCDCFG.WENLOG - フレーム設定とともにデータが有効になるタイミングを決定する

図 8. CCD コントローラのフレームと制御信号の定義



4.2.2 ITU-R BT.656 インターフェイス

REC656 インターフェイスは、入力されたビデオが YUV データの場合、8 ビットまたは 10 ビットの処理をサポートします。このモードのコンフィギュレーション方法については、「プログラミング・モデル」を参照してください。

同期情報がデータ・ラインとともにもたらされるので、開始/終了ピクセルやライン長および垂直フレーム・サイズ以外に行うべき、同期信号インターフェイスや CCD コントローラのコンフィギュレーション設定はありません。

信号インターフェイスについては、表 14 で説明します。

表 14. ITU-R BT.656 インターフェイス信号

| 信号名 | 入出力 | 機能 |
|----------|-----|--|
| CCD[9:0] | 入力 | イメージ・データ - モードは REC656IF.R656ON でセットされる。 <ul style="list-style-type: none"> ビット幅は、8 ビットまたは 10 ビットのいずれかに設定できます (CCDCFG.BW656)。 入力イメージのデータ極性は反転できます (SYN_MODE.DATAPOL)。 |
| PCLK | 入力 | ピクセル・クロック。 <ul style="list-style-type: none"> この信号は、イメージ・データを CCD コントローラにロードするために使用されるピクセル・クロックです。 CCD コントローラは、PCLK 信号 (システム・モジュール内の PCLKINV) の立ち上がりエッジまたは立ち下がりエッジでキャプチャするように設定できます。 最大ピクセル・クロック・レートは、通常モードでは 71 MHz、ターボ・モードでは 90 MHz です (一般的に、VPFE クロックの 2 倍または CLKDIV3 より 1 ns 大きくなります)。 |

4.2.3 デジタル YUV インターフェイス

デジタル YUV インターフェイスは、8 ビットまたは 16 ビット・デバイスのいずれかをサポートします。信号インターフェイスについては、表 15 で説明します。

表 15. CCD インターフェイス信号

| 信号名 | 入出力 | 機能 |
|--------------------------------|-----|---|
| CCD[15:0] = YI[7:0]/CI[7:0] | 入力 | イメージ・データ - モードは (REC656IF.R656ON ではなく) SYN_MODE.INPMOD でセットされる。 <ul style="list-style-type: none"> ビット幅は、8 ビットまたは 16 ビットのいずれかに設定できます (SYN_MODE.INPMOD)。 入力イメージのデータ極性は反転できます (SYN_MODE.DATAPOL)。 16 ビット・インターフェイスを使用すると、Y と C の入力を入れ替えることができます (CCDCFG.YCINSWP)。 8 ビット・インターフェイスを使用すると、バスの上位側 / 下位側のいずれかを接続することができます (CCDCFG.YCINSWP)。 8 ビット・インターフェイスを使用すると、Y データの位置を偶数ピクセルまたは奇数ピクセルのいずれかにセットできます (CCDCFG.Y8POS)。 |
| VD | 入出力 | VSYNC - 垂直同期信号。 <ul style="list-style-type: none"> この信号は入力または出力のいずれかに設定できます (SYN_MODE.VDHDOUT)。 入力として設定された場合、信号のソースは VD 信号を供給する必要があります。 出力として設定された場合、VPFE は VD 信号および VD 幅 (HD_VD_WID.VDW) を供給し、フレームごとのライン (PIX_LINES.HLPFR) の設定が必ず必要になります。 VD の極性は反転できます (SYN_MODE.VDPOL)。 |
| HD | 入出力 | HSYNC - 水平同期信号。 <ul style="list-style-type: none"> この信号は入力または出力のいずれかに設定できます (SYN_MODE.VDHDOUT)。 入力として設定された場合、信号のソースは HD 信号を供給する必要があります。 出力として設定された場合、VPFE は HD 信号および HD 幅 (HD_VD_WID.HDW) を供給し、ラインごとのピクセル (PIX_LINES.PPLN) の設定が必ず必要になります。 HD の極性は反転できます (SYN_MODE.HDPOL)。 |
| C_FIELD | 入出力 | フィールド識別信号 (オプション - SYN_MODE.FLDMODE) <ul style="list-style-type: none"> この信号は入力または出力のいずれかに設定できます (SYN_MODE.FLDOUT)。 入力として設定された場合、信号のソースはフィールド識別信号を供給する必要があります。 フィールド識別信号が VPFE への入力にセットされた場合、この信号は VD 信号によってラッチされるように設定できます (FIDMD)。 出力として設定された場合、VPFE はフィールド識別信号を供給します。 フィールド識別信号の極性は反転できます (SYN_MODE.FLDPOL)。 |
| PCLK | 入力 | ピクセル・クロック。 <ul style="list-style-type: none"> この信号は、イメージ・データを CCD コントローラにロードするために使用されるピクセル・クロックです。 CCD コントローラは、PCLK 信号 (システム・モジュール内の PCLKINV) の立ち上がりエッジまたは立ち下がりエッジでキャプチャするように設定できます。 最大ピクセル・クロック・レートは、通常モードでは 71 MHz、ターボ・モードでは 90 MHz です (一般的に、VPFE クロックの 2 倍または CLKDIV3 より 1 ns 大きくなります)。 |

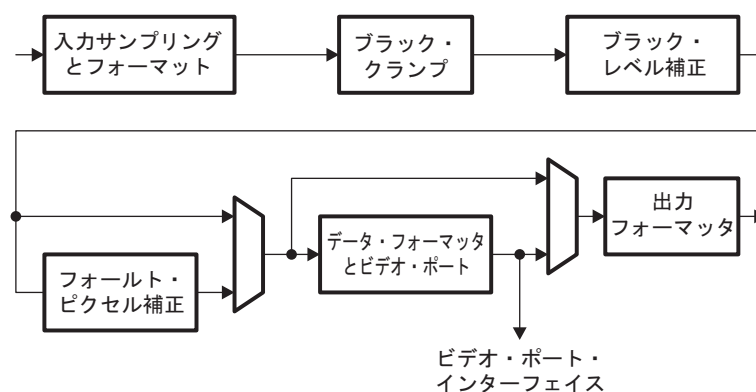
4.3 VPFE データ/イメージ処理

ここでは、VPFE の各モジュールによるイメージ/データ処理について詳細に説明します。

4.3.1 CCD コントローラによる処理 - raw データ・モード

CCD コントローラは CCD センサーだけではなく、外部イメージ・センサーとも接続します。このコントローラは、CCD/CMOS センサーからの raw Bayer データとイメージ処理機能を備えた CMOS センサーまたはビデオ・デコーダ・インターフェイスで処理された YUV データを両方ともサポートします。CCD コントローラの詳細なブロック図を図 9 に示します。入力データ・タイプに応じて、適用できないブロックもあり、明示的にイネーブルまたはディスエーブルする必要があります。あるブロックもあります。

図 9. CCD コントローラによる処理を示すブロック図 - raw データ・モード



これ以降では、CCD/CMOS からの raw データ入力モード (SYN_MODE.INPMODE = 0 && REC656IF.REC656ON = 0) での CCD コントローラによる処理内容について詳細に説明します。このモードでは、raw センサー・データは通常、ダイナミック・レンジ内の 8 ~ 6 ビットでカラー・フィルタ配列 (CFA) に含まれるピクセルごとに 1 色が入力されます (通常、10 ~ 14 ビット)。RGB カラー・スペースの場合、通常、適用されるカラー・フィルタ配列は Bayer パターンです (図 10 を参照)。

図 10. CCD コントローラのカラー・パターン

| | |
|----|----|
| R | Gr |
| Gb | B |

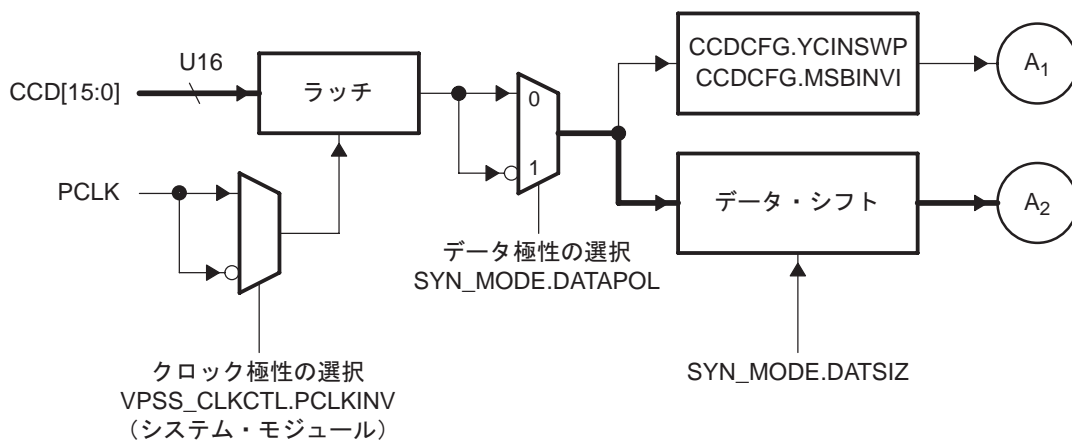
別のラインで R/Gr および Gb/B を備えた Bayer フォーマット
- 同一色間の水平方向の距離は 2 です。

4.3.1.1 CCD コントローラによる入力サンプリングおよびフォーマット - raw データ・モード

CCD コントローラによる入力サンプリングを図 11 に示します。太字のデータ・パス (A_2 出力) は、CCD コントローラからの raw データ・パスです。上側のデータ・パスは YUV 入力モードにのみ適用可能です。

- データはピクセル・クロックでラッチされる。
- ピクセル・クロックの極性は、立ち上がりエッジまたは立ち下がりエッジのいずれかになる。これはレジスタ・フィールド VPSS_CLKCTL.PCLKINV を介してシステム・モジュールでセットされる。
- データは通常または反転のいずれかとして変換される (SYN_MODE.DATAPOL)。
- データは右シフトされ、データ・パスの LSB 側のデータにアラインし、残りの他の処理を行うために最大のダイナミック・レンジを提供する (SYN_MODE.DATSIZ)。これは以後のクリッピング / リミッタ演算で許容される最大のデータ・サイズもセットする。またデータが DDR2 にライトされる場合の出力データをアラインする。

図 11. CCD コントローラによる入力サンプリングを示すブロック図 - raw データ・モード



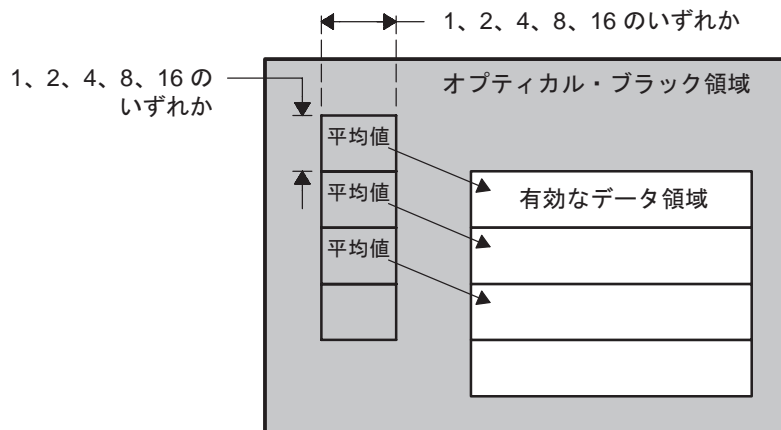
4.3.1.2.1 オプティカル・ブラック・クランプ

通常、センサー・メーカーは特定のデータ・フレーム上でノイズ・フロアを決定できるようにするため、各ラインの開始時点と終了時点で光学的にマスクされた一部のピクセルを提供します。オプティカル・ブラック・クランプ機能は、光学的にブラック・ピクセルを平均化し、入力ピクセル上のノイズを軽減する際の最初のステップとして、その値を各入力ピクセルから減算できる手段を提供します。

アベレージャは、イメージ・センサーからのマスクされた(ブラック)ピクセル値を平均化し、各ライン(CLAMP.OBSLEN)の開始時点(CLAMP.OBST)でのピクセルを平均化します。また指示されたライン数(CLAMP.OBSLN)+オプションのゲイン調整(CLAMP.OBGAIN)のために、この値は後続ラインのイメージ・データから減算されます。平均化された各ライン内でのブラック・ピクセルの位置、ピクセル数(1、2、4、8、16のいずれか)および平均化されたライン数(1、2、4、8、16のいずれか)を制御できます。

別の方法として、平均値を計算して使用するのではなく、ブラック・クランプの平均化手法をディスエーブルし、減算(DCSUB.DCSUB)用にブラック定数値を選択することもできます。

図 13. CCD コントローラによるオプティカル・ブラックの平均化手法と使用方法



4.3.1.2.2 ブラック・レベル補正

デジタル・クランプをデータに適用してから、ブラック・レベル補正を適用します。この動作では、決まった値がカラー(R、Gr、Gb、B)に応じてデータから減算されます。各データ・サンプルに適用されるオフセット(BLKCMPレジスタのフィールドであるR、Gr、Gb、B)がピクセル位置および各ピクセル位置(COLPTN)ごとに指定されたカラー(0/1/2/3)に従って選択されます。

4.3.1.2.3 フォールト・ピクセル補正

CCDC モジュールには、ルックアップ・テーブルを使用したオプションの(FPC.FPCEN)フォールト・ピクセル補正動作が実装されています。ルックアップ・テーブルは、外部 SDRAM/DDR メモリに格納されています。また、このテーブルにはピクセル上で行われる動作タイプだけでなく、水平方向と垂直方向の位置に関して補正されるピクセル情報が含まれています。FPC_ADDRレジスタは、SDRAM/DDR メモリのフォールト補正テーブルの先頭アドレスを指定します。

注： DDR2 アドレスは、64 バイトにアラインしてください(下位側 6 ビットは無視されます)

フォールト・ピクセル補正を行う上で、使用できる 3 つの選択方法があります。

- 現在のピクセル x を同一色の $x-1$ と $x+1$ の平均値と置き換える。
- 現在のピクセル x を同一色の $x-1$ と置き換える。
- 現在のピクセル x を同一色の $x+1$ と置き換える。

フォールト・ピクセル補正テーブルの先頭アドレスとともに、フレーム内で補正するフォールト・ピクセル数 (FPC.FPCNUM) を指定するのは、プログラマの責任です。各エントリは、32 ビット幅 (表 16) で、垂直位置を指定するために使われる 13 ビット、水平位置を指定するために使われる 14 ビット、およびフォールト・ピクセル (表 17) を補正する方法を指定するために使われる 5 ビットを備えています。同一色の 2 つのピクセル間の水平距離は、1 ~ 6 です。

表 16. フォールト・ピクセル・テーブル・フォーマット

| ビット 31:19 | ビット 18:5 | ビット 4:0 |
|--------------|--------------|---------|
| 不正なピクセルの垂直位置 | 不正なピクセルの水平位置 | 補正方法 |

表 17. フォールト・ピクセル補正方法

| ビット 4:0 の値 | 補正方法 |
|------------|-------------------------------------|
| 0 | x のピクセルを x - 1 と x + 1 の平均値と置き換えます。 |
| 1h | x のピクセルを x - 1 と置き換えます。 |
| 2h | x のピクセルを x + 1 と置き換えます。 |
| 3h | x のピクセルを x - 2 と x + 2 の平均値と置き換えます。 |
| 4h | x のピクセルを x - 2 と置き換えます。 |
| 5h | x のピクセルを x + 2 と置き換えます。 |
| 6h | x のピクセルを x - 3 と x + 3 の平均値と置き換えます。 |
| 7h | x のピクセルを x - 3 と置き換えます。 |
| 8h | x のピクセルを x + 3 と置き換えます。 |
| 9h | x のピクセルを x - 4 と x + 4 の平均値と置き換えます。 |
| Ah | x のピクセルを x - 4 と置き換えます。 |
| Bh | x のピクセルを x + 4 と置き換えます。 |
| Ch | x のピクセルを x - 5 と x + 5 の平均値と置き換えます。 |
| Dh | x のピクセルを x - 5 と置き換えます。 |
| Eh | x のピクセルを x + 5 と置き換えます。 |
| Fh | x のピクセルを x - 6 と x + 6 の平均値と置き換えます。 |
| 10h | x のピクセルを x - 6 と置き換えます。 |
| 11h | x のピクセルを x + 6 と置き換えます。 |
| 12h-1Fh | 予約。 |

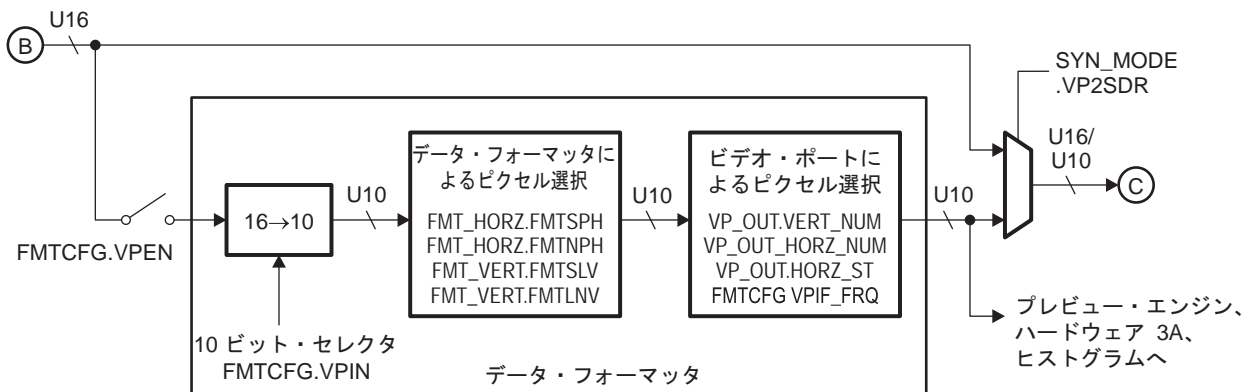
注： CCD/CMOS コントローラは、外部 SDRAM/DDRDRAM からフォールト・ピクセル・エントリをリクエストする必要があります。CCDC は、最大で 128 フォールト・エントリ全体をバッファリングすることができます。128 エントリは、ピンポン・バッファ方式における 2 つの 64 エントリ・ブロックとして配置されます。新たなフレームごとに、CCDC は 64 エントリを転送するためにシステム DMA へリクエストを発行します。SDRAM/DDRDRAM からフォールト・ピクセルをフェッチするための時間を考慮すると、一定の時間内に補正されるフォールト・ピクセル数は、システム DMA 帯域幅およびレイテンシに限定されます。少なくとも、外部メモリから 64 エントリを転送する時間は、ブロックに置かれる 64 エントリをフォールト・ピクセル補正する時間より小さくしてください。この要件がどの時点でも該当しない場合には、FPC.FPERR ビットを 1 にセットし、そのフレームに対する処理を停止します。エラーが発生すると、そのフレーム内ではフォールト・ピクセルはこれ以上補正されないこととなります。

4.3.1.3 ビデオ・ポート・インターフェイスおよびデータ・フォーマット - raw データ・モード

CCD/CMOS コントローラが処理する部分を図 14 に示します。この処理には、データ・フォーマットによる処理およびビデオ・ポート・インターフェイスによる処理/フォーマットが含まれます。ビデオ・ポート・インターフェイスは、次のモジュールへの内部 VPFE インターフェイスです。

- プレビュー・エンジン
- ハードウェア 3A (H3A)
- ヒストグラム

図 14. CCD コントローラのビデオ・ポート・インターフェイスおよびデータ・フォーマットを示すブロック図 - raw データ・モード



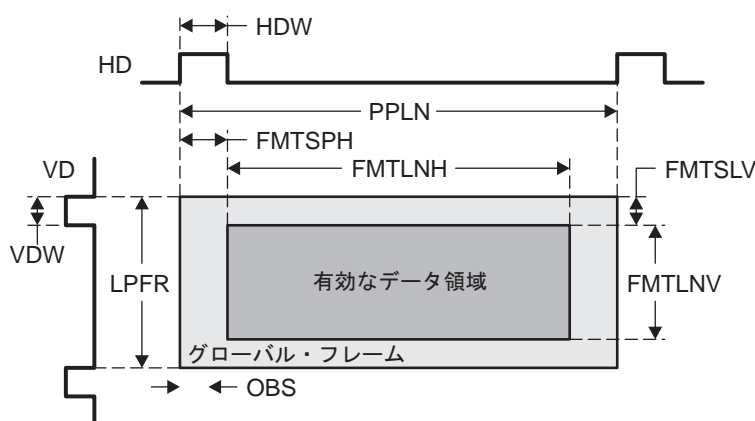
またビデオ・ポート/データ・フォーマット出力は、RAW CCD データではなく DDR2 へ保存されます。SYN_MODE.VP2SDR をセットすると、CCDC の出力フォーマットへビデオ・ポートのデータが送られます。さらに、DDR2 への出力を保存するために、通常の DDR2 ライト・イネーブル (SYN_MODE.WEN) もイネーブルする必要があります。

データ・フォーマットと VPI はわずか 10 ビット幅のため、入力データがこれらのモジュールへ入る際に、調整する必要があります。柔軟性を実現するために、保持するビットは FMTCFG.VPIN により選択できます。

4.3.1.3.1 領域選択パラメータの変換

設定値 PPLN、HDW、LPFR、VDW によって制御される出力 HD/VD 信号は、データ・フォーマットがイネーブルの場合に生成することができます。この設定は、結果として生じるこの機能によりリフォーマットされるフレームではなく、CCD センサーからのリードアウト・フレームに対する設定にする必要があります。レジスタ FMT_HORZ および FMT_VERT は、入力データ・フレームの解釈を制御するために機能します。これは、レジスタ HORZ_INFO、VERT_START、VERT_LINES が通常モードで機能するのと同じです（図 15 を参照）。

図 15. CCD コントローラのデータ・フォーマットによる変換領域の選択

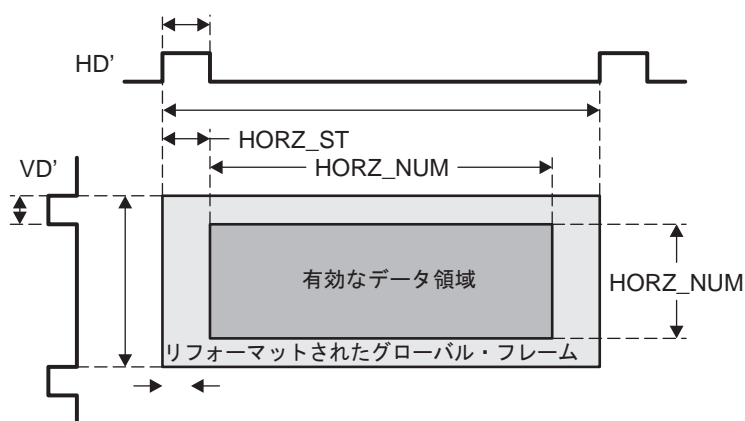


- | | |
|-------------------|----------------------------|
| HDW - 水平同期幅 | FMTSPH - 水平方向の開始ピクセル |
| HD - 水平同期 | FMTLNH - 有効なデータ領域の水平方向のサイズ |
| PPLN - ラインごとのピクセル | FMTSLV - 垂直方向の開始ライン |
| LPFR - フレームごとのライン | FMTLNV - 有効なデータ領域の垂直方向のサイズ |
| VDW - 垂直同期幅 | |
| VD - 垂直同期 | |

4.3.1.3.2 ビデオ・ポートのフレーム設定

データ・フォーマットの後に、この後の処理に送られるデータ領域が規定されている VP_OUT レジスタの設定によりデータをリフレームします。この操作は、データ・フォーマットからの出力の先頭に適用されるため、そのフレームを基準にこれらの設定を行う際には注意が必要です。図 16 を参照してください。

図 16. CCD コントローラのビデオ・ポートのフレーム設定



- | | |
|------------|------------------------------|
| HD' - 水平同期 | HORZ_ST - 水平方向の開始ピクセル |
| VD' - 垂直同期 | HORZ_NUM - 有効なデータ領域の水平方向のサイズ |
| | VERT_NUM - 有効なデータ領域の垂直方向のサイズ |

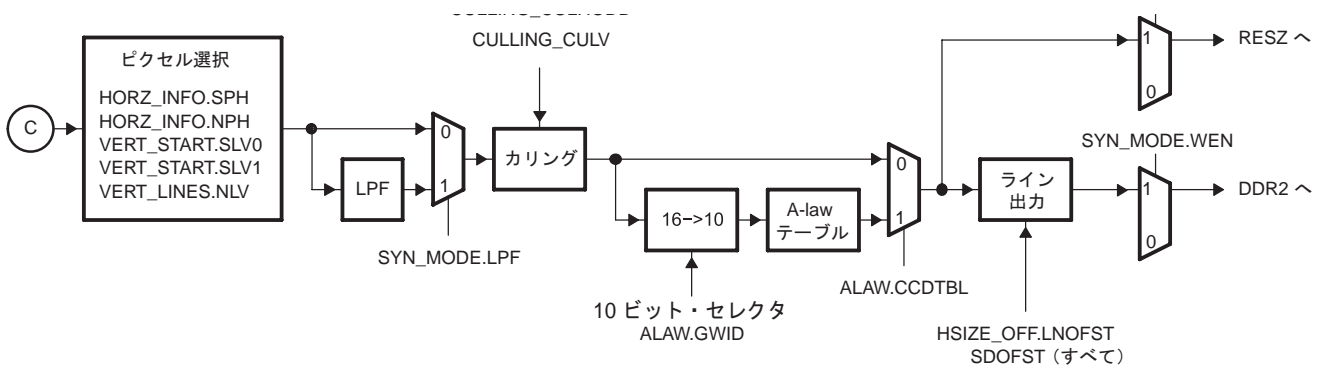
4.3.1.4 CCD コントローラの出フォーマット - raw データ・モード

CCD コントローラによる処理の最終段階は、出力フォーマットです (図 17 を参照)。また、フレーミング選択は `HORZ_INFO`、`VERT_START`、`VERT_LINES` の各レジスタでセットすることにより、処理範囲を制限するために適用されます。

これはビデオ・ポートの DDR2 へのパスが選択されている場合 (`SYN_MODE.VP2SDR`) に、データ・フォーマットの動作開始時および終了時に適用されるフレーミングにも制限が加えられていることに注意してください。該当フレームに対して、これらの設定を行う際には注意が必要です。

またリサイズは、YUV422 フォーマット・データでのみ動作するため、raw データ・モードの場合、CCD コントローラの出力をリサイズ・モジュールへ送るオプション (`SYN_MODE.SDR2RSZ`) を使用してはいけないことに注意してください。raw データ・モードでのリサイズが望ましい場合、プレビュー・エンジンの YUV422 出力を使用してください。

図 17. CCD コントローラの出フォーマットのブロック図 - raw データ・モード



4.3.1.4.1 ローパス・フィルタ

リフレーミング後に、オプションのローパス・フィルタが適用されます (`SYN_MODE.LPF`)。ローパス・フィルタは、シンプルな 3 タップ ($1/4$ 、 $1/2$ 、 $1/4$) フィルタで構成されます。フィルタがイネーブルの場合、各ラインの左右両側の 2 ピクセルが切り取られます。カリングがイネーブルの場合、ローパス・フィルタを使用すると、帯域幅を削減します。

4.3.1.4.2 カリング

オプションのカリング動作はイネーブルできます。この操作は、ライン (CULLING.CULHEVN、CULLING.CULHODD、8ビット繰り返しマスク、フィールドごとに1つ) から選択したピクセル・データおよびフレーム (CULLING.CULV) から選択したラインをそれぞれカリングします。

図 18 は、レジスタ値がデシメーション・パターンをデータに適用する様子を示す例です。白のピクセルは DDR2 に保存され、陰影を付けたピクセルは無視されます。この場合、CULLING = 59C4 0066h となります。

- CULHEVN = 59h
- CULHODD = C4h
- CULV = 66h

図 18. デシメーション・パターンの例

| | MSB | | | | LSB | | | | |
|----------|-----|---|---|---|-----|---|---|---|------|
| CULHEVN | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | |
| CULHODD | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | |
| 1 番目のライン | | | | | | | | | 0 |
| 2 番目のライン | | | | | | | | | 1 |
| 3 番目のライン | | | | | | | | | 1 |
| 4 番目のライン | | | | | | | | | 0 |
| 5 番目のライン | | | | | | | | | 0 |
| 6 番目のライン | | | | | | | | | 1 |
| 7 番目のライン | | | | | | | | | 1 |
| 8 番目のライン | | | | | | | | | 0 |
| | | | | | | | | | CULV |

0 = カリング。1 = 保持。

4.3.1.4.3 A-law 変換

オプションの 10 ビットから 8 ビットへの A-law 変換は、最後の処理段階として、固定 A-law テーブルを使用することにより使用可能です (ALAW.CCDBL)。これを使用すると、データ幅は 8 ビットに削減され、DDR2 への保存時に 8 ビット/ピクセルへのバッキングが可能になります。データ解像度はこの段階で 10 ビットより大きくなりうるため、A-law 変換動作への入力用に 10 ビットを選択する必要があります (ALAW.GWID)。

他の VPFE モジュールには反転 A-law テーブル・オプションが備えられているので、さらに他の処理を行うためにこの保存されたデータをリードバックする場合には、それらのモジュールはこの非線形演算の方向を逆向きにすることができることに注意してください。

図 19. A-law テーブル

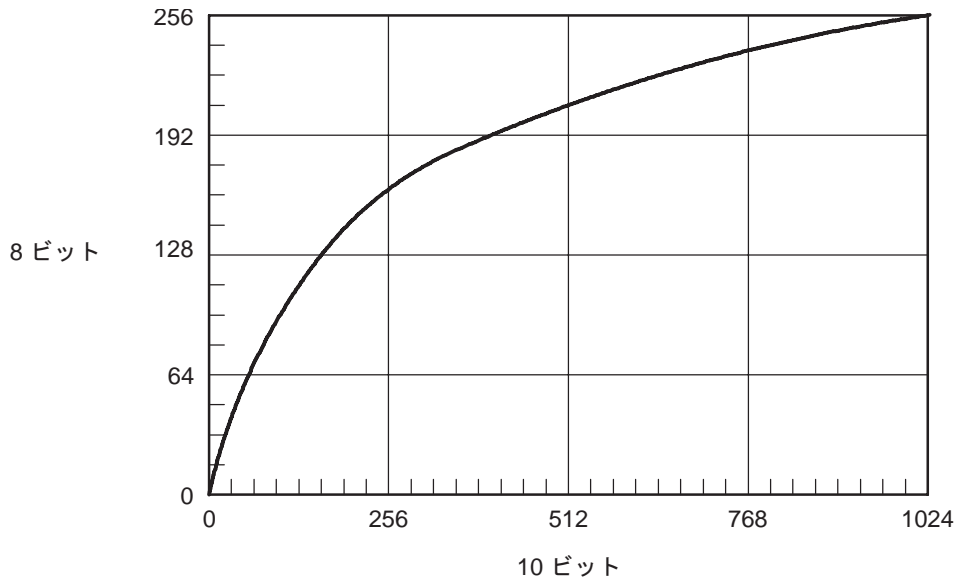


表 18. A-law テーブル - 第 1 部

| 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law |
|----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|
| 0 | 0 | 64 | 64 | 128 | 112 | 192 | 140 | 256 | 161 | 320 | 176 | 384 | 189 | 448 | 200 |
| 1 | 1 | 65 | 65 | 129 | 113 | 193 | 141 | 257 | 161 | 321 | 176 | 385 | 189 | 449 | 200 |
| 2 | 2 | 66 | 66 | 130 | 113 | 194 | 141 | 258 | 161 | 322 | 177 | 386 | 189 | 450 | 200 |
| 3 | 3 | 67 | 67 | 131 | 114 | 195 | 142 | 259 | 161 | 323 | 177 | 387 | 189 | 451 | 200 |
| 4 | 4 | 68 | 68 | 132 | 114 | 196 | 142 | 260 | 162 | 324 | 177 | 388 | 190 | 452 | 200 |
| 5 | 5 | 69 | 69 | 133 | 115 | 197 | 142 | 261 | 162 | 325 | 177 | 389 | 190 | 453 | 200 |
| 6 | 6 | 70 | 70 | 134 | 115 | 198 | 143 | 262 | 162 | 326 | 177 | 390 | 190 | 454 | 201 |
| 7 | 7 | 71 | 71 | 135 | 116 | 199 | 143 | 263 | 162 | 327 | 178 | 391 | 190 | 455 | 201 |
| 8 | 8 | 72 | 72 | 136 | 116 | 200 | 143 | 264 | 163 | 328 | 178 | 392 | 190 | 456 | 201 |
| 9 | 9 | 73 | 73 | 137 | 117 | 201 | 144 | 265 | 163 | 329 | 178 | 393 | 190 | 457 | 201 |
| 10 | 10 | 74 | 74 | 138 | 117 | 202 | 144 | 266 | 163 | 330 | 178 | 394 | 191 | 458 | 201 |
| 11 | 11 | 75 | 75 | 139 | 118 | 203 | 144 | 267 | 163 | 331 | 178 | 395 | 191 | 459 | 201 |
| 12 | 12 | 76 | 76 | 140 | 118 | 204 | 145 | 268 | 164 | 332 | 179 | 396 | 191 | 460 | 201 |
| 13 | 13 | 77 | 77 | 141 | 119 | 205 | 145 | 269 | 164 | 333 | 179 | 397 | 191 | 461 | 202 |
| 14 | 14 | 78 | 78 | 142 | 119 | 206 | 145 | 270 | 164 | 334 | 179 | 398 | 191 | 462 | 202 |
| 15 | 15 | 79 | 78 | 143 | 120 | 207 | 146 | 271 | 164 | 335 | 179 | 399 | 191 | 463 | 202 |
| 16 | 16 | 80 | 79 | 144 | 120 | 208 | 146 | 272 | 165 | 336 | 179 | 400 | 192 | 464 | 202 |
| 17 | 17 | 81 | 80 | 145 | 121 | 209 | 146 | 273 | 165 | 337 | 180 | 401 | 192 | 465 | 202 |
| 18 | 18 | 82 | 81 | 146 | 121 | 210 | 147 | 274 | 165 | 338 | 180 | 402 | 192 | 466 | 202 |
| 19 | 19 | 83 | 82 | 147 | 122 | 211 | 147 | 275 | 166 | 339 | 180 | 403 | 192 | 467 | 202 |
| 20 | 20 | 84 | 83 | 148 | 122 | 212 | 147 | 276 | 166 | 340 | 180 | 404 | 192 | 468 | 203 |
| 21 | 21 | 85 | 84 | 149 | 123 | 213 | 148 | 277 | 166 | 341 | 181 | 405 | 193 | 469 | 203 |
| 22 | 22 | 86 | 84 | 150 | 123 | 214 | 148 | 278 | 166 | 342 | 181 | 406 | 193 | 470 | 203 |
| 23 | 23 | 87 | 85 | 151 | 124 | 215 | 148 | 279 | 167 | 343 | 181 | 407 | 193 | 471 | 203 |
| 24 | 24 | 88 | 86 | 152 | 124 | 216 | 149 | 280 | 167 | 344 | 181 | 408 | 193 | 472 | 203 |
| 25 | 25 | 89 | 87 | 153 | 125 | 217 | 149 | 281 | 167 | 345 | 181 | 409 | 193 | 473 | 203 |
| 26 | 26 | 90 | 88 | 154 | 125 | 218 | 149 | 282 | 167 | 346 | 182 | 410 | 193 | 474 | 204 |
| 27 | 27 | 91 | 88 | 155 | 125 | 219 | 150 | 283 | 168 | 347 | 182 | 411 | 194 | 475 | 204 |
| 28 | 28 | 92 | 89 | 156 | 126 | 220 | 150 | 284 | 168 | 348 | 182 | 412 | 194 | 476 | 204 |
| 29 | 29 | 93 | 90 | 157 | 126 | 221 | 150 | 285 | 168 | 349 | 182 | 413 | 194 | 477 | 204 |
| 30 | 30 | 94 | 91 | 158 | 127 | 222 | 151 | 286 | 168 | 350 | 182 | 414 | 194 | 478 | 204 |
| 31 | 31 | 95 | 91 | 159 | 127 | 223 | 151 | 287 | 168 | 351 | 183 | 415 | 194 | 479 | 204 |
| 32 | 32 | 96 | 92 | 160 | 128 | 224 | 151 | 288 | 169 | 352 | 183 | 416 | 194 | 480 | 204 |
| 33 | 33 | 97 | 93 | 161 | 128 | 225 | 152 | 289 | 169 | 353 | 183 | 417 | 195 | 481 | 205 |
| 34 | 34 | 98 | 93 | 162 | 129 | 226 | 152 | 290 | 169 | 354 | 183 | 418 | 195 | 482 | 205 |
| 35 | 35 | 99 | 94 | 163 | 129 | 227 | 152 | 291 | 169 | 355 | 183 | 419 | 195 | 483 | 205 |
| 36 | 36 | 100 | 95 | 164 | 129 | 228 | 152 | 292 | 170 | 356 | 184 | 420 | 195 | 484 | 205 |
| 37 | 37 | 101 | 96 | 165 | 130 | 229 | 153 | 293 | 170 | 357 | 184 | 421 | 195 | 485 | 205 |
| 38 | 38 | 102 | 96 | 166 | 130 | 230 | 153 | 294 | 170 | 358 | 184 | 422 | 195 | 486 | 205 |
| 39 | 39 | 103 | 97 | 167 | 131 | 231 | 153 | 295 | 170 | 359 | 184 | 423 | 196 | 487 | 205 |
| 40 | 40 | 104 | 98 | 168 | 131 | 232 | 154 | 296 | 171 | 360 | 184 | 424 | 196 | 488 | 206 |
| 41 | 41 | 105 | 98 | 169 | 132 | 233 | 154 | 297 | 171 | 361 | 185 | 425 | 196 | 489 | 206 |
| 42 | 42 | 106 | 99 | 170 | 132 | 234 | 154 | 298 | 171 | 362 | 185 | 426 | 196 | 490 | 206 |
| 43 | 43 | 107 | 100 | 171 | 132 | 235 | 155 | 299 | 171 | 363 | 185 | 427 | 196 | 491 | 206 |
| 44 | 44 | 108 | 100 | 172 | 133 | 236 | 155 | 300 | 172 | 364 | 185 | 428 | 196 | 492 | 206 |
| 45 | 45 | 109 | 101 | 173 | 133 | 237 | 155 | 301 | 172 | 365 | 185 | 429 | 197 | 493 | 206 |
| 46 | 46 | 110 | 102 | 174 | 134 | 238 | 155 | 302 | 172 | 366 | 185 | 430 | 197 | 494 | 206 |
| 47 | 47 | 111 | 102 | 175 | 134 | 239 | 156 | 303 | 172 | 367 | 186 | 431 | 197 | 495 | 207 |
| 48 | 48 | 112 | 103 | 176 | 134 | 240 | 156 | 304 | 173 | 368 | 186 | 432 | 197 | 496 | 207 |
| 49 | 49 | 113 | 103 | 177 | 135 | 241 | 156 | 305 | 173 | 369 | 186 | 433 | 197 | 497 | 207 |
| 50 | 50 | 114 | 104 | 178 | 135 | 242 | 157 | 306 | 173 | 370 | 186 | 434 | 197 | 498 | 207 |
| 51 | 51 | 115 | 105 | 179 | 136 | 243 | 157 | 307 | 173 | 371 | 186 | 435 | 198 | 499 | 207 |
| 52 | 52 | 116 | 105 | 180 | 136 | 244 | 157 | 308 | 173 | 372 | 187 | 436 | 198 | 500 | 207 |
| 53 | 53 | 117 | 106 | 181 | 136 | 245 | 157 | 309 | 174 | 373 | 187 | 437 | 198 | 501 | 207 |
| 54 | 54 | 118 | 106 | 182 | 137 | 246 | 158 | 310 | 174 | 374 | 187 | 438 | 198 | 502 | 208 |
| 55 | 55 | 119 | 107 | 183 | 137 | 247 | 158 | 311 | 174 | 375 | 187 | 439 | 198 | 503 | 208 |
| 56 | 56 | 120 | 108 | 184 | 137 | 248 | 158 | 312 | 174 | 376 | 187 | 440 | 198 | 504 | 208 |
| 57 | 57 | 121 | 108 | 185 | 138 | 249 | 159 | 313 | 175 | 377 | 188 | 441 | 198 | 505 | 208 |
| 58 | 58 | 122 | 109 | 186 | 138 | 250 | 159 | 314 | 175 | 378 | 188 | 442 | 199 | 506 | 208 |
| 59 | 59 | 123 | 109 | 187 | 139 | 251 | 159 | 315 | 175 | 379 | 188 | 443 | 199 | 507 | 208 |
| 60 | 60 | 124 | 110 | 188 | 139 | 252 | 159 | 316 | 175 | 380 | 188 | 444 | 199 | 508 | 208 |
| 61 | 61 | 125 | 110 | 189 | 139 | 253 | 160 | 317 | 175 | 381 | 188 | 445 | 199 | 509 | 208 |
| 62 | 62 | 126 | 111 | 190 | 140 | 254 | 160 | 318 | 176 | 382 | 188 | 446 | 199 | 510 | 209 |
| 63 | 63 | 127 | 112 | 191 | 140 | 255 | 160 | 319 | 176 | 383 | 189 | 447 | 199 | 511 | 209 |

表 19. A-law テーブル - 第 2 部

| 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law | 入力 | A-law |
|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|-----|-------|------|-------|
| 512 | 209 | 576 | 217 | 640 | 224 | 704 | 231 | 768 | 237 | 832 | 243 | 896 | 248 | 960 | 253 |
| 513 | 209 | 577 | 217 | 641 | 225 | 705 | 231 | 769 | 237 | 833 | 243 | 897 | 248 | 961 | 253 |
| 514 | 209 | 578 | 217 | 642 | 225 | 706 | 231 | 770 | 237 | 834 | 243 | 898 | 248 | 962 | 253 |
| 515 | 209 | 579 | 217 | 643 | 225 | 707 | 231 | 771 | 237 | 835 | 243 | 899 | 248 | 963 | 253 |
| 516 | 209 | 580 | 218 | 644 | 225 | 708 | 232 | 772 | 238 | 836 | 243 | 900 | 248 | 964 | 253 |
| 517 | 210 | 581 | 218 | 645 | 225 | 709 | 232 | 773 | 238 | 837 | 243 | 901 | 248 | 965 | 253 |
| 518 | 210 | 582 | 218 | 646 | 225 | 710 | 232 | 774 | 238 | 838 | 243 | 902 | 248 | 966 | 253 |
| 519 | 210 | 583 | 218 | 647 | 225 | 711 | 232 | 775 | 238 | 839 | 243 | 903 | 249 | 967 | 253 |
| 520 | 210 | 584 | 218 | 648 | 225 | 712 | 232 | 776 | 238 | 840 | 243 | 904 | 249 | 968 | 253 |
| 521 | 210 | 585 | 218 | 649 | 225 | 713 | 232 | 777 | 238 | 841 | 244 | 905 | 249 | 969 | 253 |
| 522 | 210 | 586 | 218 | 650 | 226 | 714 | 232 | 778 | 238 | 842 | 244 | 906 | 249 | 970 | 254 |
| 523 | 210 | 587 | 218 | 651 | 226 | 715 | 232 | 779 | 238 | 843 | 244 | 907 | 249 | 971 | 254 |
| 524 | 211 | 588 | 219 | 652 | 226 | 716 | 232 | 780 | 238 | 844 | 244 | 908 | 249 | 972 | 254 |
| 525 | 211 | 589 | 219 | 653 | 226 | 717 | 232 | 781 | 238 | 845 | 244 | 909 | 249 | 973 | 254 |
| 526 | 211 | 590 | 219 | 654 | 226 | 718 | 233 | 782 | 238 | 846 | 244 | 910 | 249 | 974 | 254 |
| 527 | 211 | 591 | 219 | 655 | 226 | 719 | 233 | 783 | 239 | 847 | 244 | 911 | 249 | 975 | 254 |
| 528 | 211 | 592 | 219 | 656 | 226 | 720 | 233 | 784 | 239 | 848 | 244 | 912 | 249 | 976 | 254 |
| 529 | 211 | 593 | 219 | 657 | 226 | 721 | 233 | 785 | 239 | 849 | 244 | 913 | 249 | 977 | 254 |
| 530 | 211 | 594 | 219 | 658 | 226 | 722 | 233 | 786 | 239 | 850 | 244 | 914 | 249 | 978 | 254 |
| 531 | 211 | 595 | 219 | 659 | 227 | 723 | 233 | 787 | 239 | 851 | 244 | 915 | 249 | 979 | 254 |
| 532 | 212 | 596 | 220 | 660 | 227 | 724 | 233 | 788 | 239 | 852 | 244 | 916 | 250 | 980 | 254 |
| 533 | 212 | 597 | 220 | 661 | 227 | 725 | 233 | 789 | 239 | 853 | 245 | 917 | 250 | 981 | 254 |
| 534 | 212 | 598 | 220 | 662 | 227 | 726 | 233 | 790 | 239 | 854 | 245 | 918 | 250 | 982 | 254 |
| 535 | 212 | 599 | 220 | 663 | 227 | 727 | 233 | 791 | 239 | 855 | 245 | 919 | 250 | 983 | 254 |
| 536 | 212 | 600 | 220 | 664 | 227 | 728 | 233 | 792 | 239 | 856 | 245 | 920 | 250 | 984 | 255 |
| 537 | 212 | 601 | 220 | 665 | 227 | 729 | 234 | 793 | 239 | 857 | 245 | 921 | 250 | 985 | 255 |
| 538 | 212 | 602 | 220 | 666 | 227 | 730 | 234 | 794 | 240 | 858 | 245 | 922 | 250 | 986 | 255 |
| 539 | 212 | 603 | 220 | 667 | 227 | 731 | 234 | 795 | 240 | 859 | 245 | 923 | 250 | 987 | 255 |
| 540 | 213 | 604 | 220 | 668 | 227 | 732 | 234 | 796 | 240 | 860 | 245 | 924 | 250 | 988 | 255 |
| 541 | 213 | 605 | 221 | 669 | 228 | 733 | 234 | 797 | 240 | 861 | 245 | 925 | 250 | 989 | 255 |
| 542 | 213 | 606 | 221 | 670 | 228 | 734 | 234 | 798 | 240 | 862 | 245 | 926 | 250 | 990 | 255 |
| 543 | 213 | 607 | 221 | 671 | 228 | 735 | 234 | 799 | 240 | 863 | 245 | 927 | 250 | 991 | 255 |
| 544 | 213 | 608 | 221 | 672 | 228 | 736 | 234 | 800 | 240 | 864 | 245 | 928 | 250 | 992 | 255 |
| 545 | 213 | 609 | 221 | 673 | 228 | 737 | 234 | 801 | 240 | 865 | 246 | 929 | 250 | 993 | 255 |
| 546 | 213 | 610 | 221 | 674 | 228 | 738 | 234 | 802 | 240 | 866 | 246 | 930 | 251 | 994 | 255 |
| 547 | 214 | 611 | 221 | 675 | 228 | 739 | 235 | 803 | 240 | 867 | 246 | 931 | 251 | 995 | 255 |
| 548 | 214 | 612 | 221 | 676 | 228 | 740 | 235 | 804 | 240 | 868 | 246 | 932 | 251 | 996 | 255 |
| 549 | 214 | 613 | 221 | 677 | 228 | 741 | 235 | 805 | 240 | 869 | 246 | 933 | 251 | 997 | 255 |
| 550 | 214 | 614 | 222 | 678 | 229 | 742 | 235 | 806 | 241 | 870 | 246 | 934 | 251 | 998 | 255 |
| 551 | 214 | 615 | 222 | 679 | 229 | 743 | 235 | 807 | 241 | 871 | 246 | 935 | 251 | 999 | 255 |
| 552 | 214 | 616 | 222 | 680 | 229 | 744 | 235 | 808 | 241 | 872 | 246 | 936 | 251 | 1000 | 255 |
| 553 | 214 | 617 | 222 | 681 | 229 | 745 | 235 | 809 | 241 | 873 | 246 | 937 | 251 | 1001 | 255 |
| 554 | 214 | 618 | 222 | 682 | 229 | 746 | 235 | 810 | 241 | 874 | 246 | 938 | 251 | 1002 | 255 |
| 555 | 215 | 619 | 222 | 683 | 229 | 747 | 235 | 811 | 241 | 875 | 246 | 939 | 251 | 1003 | 255 |
| 556 | 215 | 620 | 222 | 684 | 229 | 748 | 235 | 812 | 241 | 876 | 246 | 940 | 251 | 1004 | 255 |
| 557 | 215 | 621 | 222 | 685 | 229 | 749 | 235 | 813 | 241 | 877 | 246 | 941 | 251 | 1005 | 255 |
| 558 | 215 | 622 | 222 | 686 | 229 | 750 | 236 | 814 | 241 | 878 | 247 | 942 | 251 | 1006 | 255 |
| 559 | 215 | 623 | 223 | 687 | 229 | 751 | 236 | 815 | 241 | 879 | 247 | 943 | 252 | 1007 | 255 |
| 560 | 215 | 624 | 223 | 688 | 230 | 752 | 236 | 816 | 241 | 880 | 247 | 944 | 252 | 1008 | 255 |
| 561 | 215 | 625 | 223 | 689 | 230 | 753 | 236 | 817 | 242 | 881 | 247 | 945 | 252 | 1009 | 255 |
| 562 | 215 | 626 | 223 | 690 | 230 | 754 | 236 | 818 | 242 | 882 | 247 | 946 | 252 | 1010 | 255 |
| 563 | 216 | 627 | 223 | 691 | 230 | 755 | 236 | 819 | 242 | 883 | 247 | 947 | 252 | 1011 | 255 |
| 564 | 216 | 628 | 223 | 692 | 230 | 756 | 236 | 820 | 242 | 884 | 247 | 948 | 252 | 1012 | 255 |
| 565 | 216 | 629 | 223 | 693 | 230 | 757 | 236 | 821 | 242 | 885 | 247 | 949 | 252 | 1013 | 255 |
| 566 | 216 | 630 | 223 | 694 | 230 | 758 | 236 | 822 | 242 | 886 | 247 | 950 | 252 | 1014 | 255 |
| 567 | 216 | 631 | 223 | 695 | 230 | 759 | 236 | 823 | 242 | 887 | 247 | 951 | 252 | 1015 | 255 |
| 568 | 216 | 632 | 224 | 696 | 230 | 760 | 236 | 824 | 242 | 888 | 247 | 952 | 252 | 1016 | 255 |
| 569 | 216 | 633 | 224 | 697 | 230 | 761 | 237 | 825 | 242 | 889 | 247 | 953 | 252 | 1017 | 255 |
| 570 | 216 | 634 | 224 | 698 | 231 | 762 | 237 | 826 | 242 | 890 | 247 | 954 | 252 | 1018 | 255 |
| 571 | 217 | 635 | 224 | 699 | 231 | 763 | 237 | 827 | 242 | 891 | 248 | 955 | 252 | 1019 | 255 |
| 572 | 217 | 636 | 224 | 700 | 231 | 764 | 237 | 828 | 242 | 892 | 248 | 956 | 252 | 1020 | 255 |
| 573 | 217 | 637 | 224 | 701 | 231 | 765 | 237 | 829 | 243 | 893 | 248 | 957 | 253 | 1021 | 255 |
| 574 | 217 | 638 | 224 | 702 | 231 | 766 | 237 | 830 | 243 | 894 | 248 | 958 | 253 | 1022 | 255 |
| 575 | 217 | 639 | 224 | 703 | 231 | 767 | 237 | 831 | 243 | 895 | 248 | 959 | 253 | 1023 | 255 |

4.3.1.4.4 ライン出力制御

CCD コントローラの最終段階は、入力センサー・ラインを DDR2 にライトする方法を制御するライン出力制御です。SDR_ADDR.ADR 値は、フレームを DDR2 にライトする開始アドレスを規定しています。HSIZE_OFF.LNOFST 値は、出力ライン同士の始点間の距離をバイト数で規定しています。開始アドレスおよびライン・オフセットの値は両方とも 32 バイト境界にアラインしておく必要があります。つまり、SYN_MODE.PACK8 の設定に応じて 16 ピクセルまたは 32 ピクセルのいずれかの値です。SDFST レジスタは、フィールド識別 (ID) および偶数または奇数のライン番号に応じてオフセットを追加定義するために使われます。これはインターレースされた 2 フィールド入力のインターレースを解除し、入力イメージの垂直方向への反転を行う手段を提供します。例として図 20 および図 21 を参照してください。

- SDFST.FIINV - フィールド識別信号の解釈方向を反転
- SDFST.LOFTS0 - 偶数フィールド上の偶数ライン間のオフセット (ライン数) (フィールド 0)
- SDFST.LOFTS1 - 偶数フィールド上の奇数ライン間のオフセット (ライン数) (フィールド 0)
- SDFST.LOFTS2 - 奇数フィールド上の偶数ライン間のオフセット (ライン数) (フィールド 1)
- SDFST.LOFTS3 - 奇数フィールド上の奇数ライン間のオフセット (ライン数) (フィールド 1)

図 20. フレーム・イメージ・フォーマット変換 (インターレース解除された 2 フィールド入力)

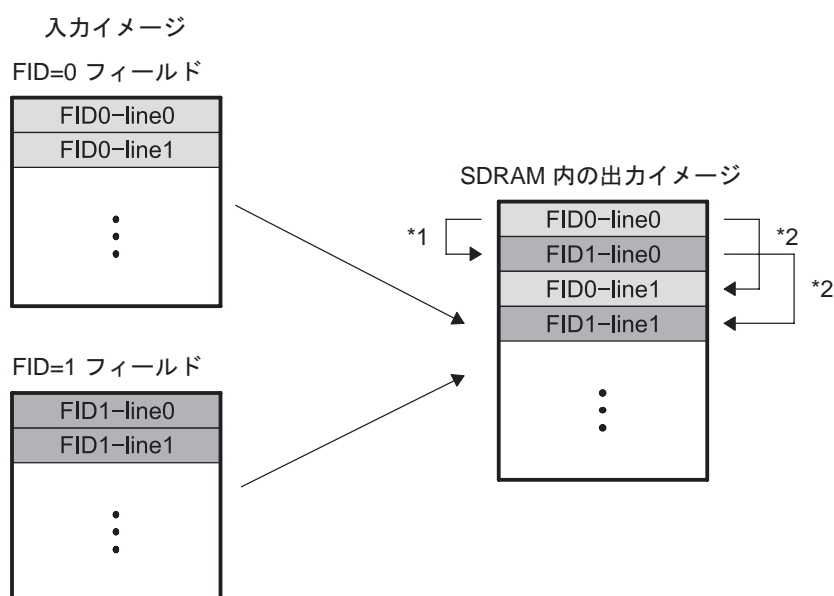
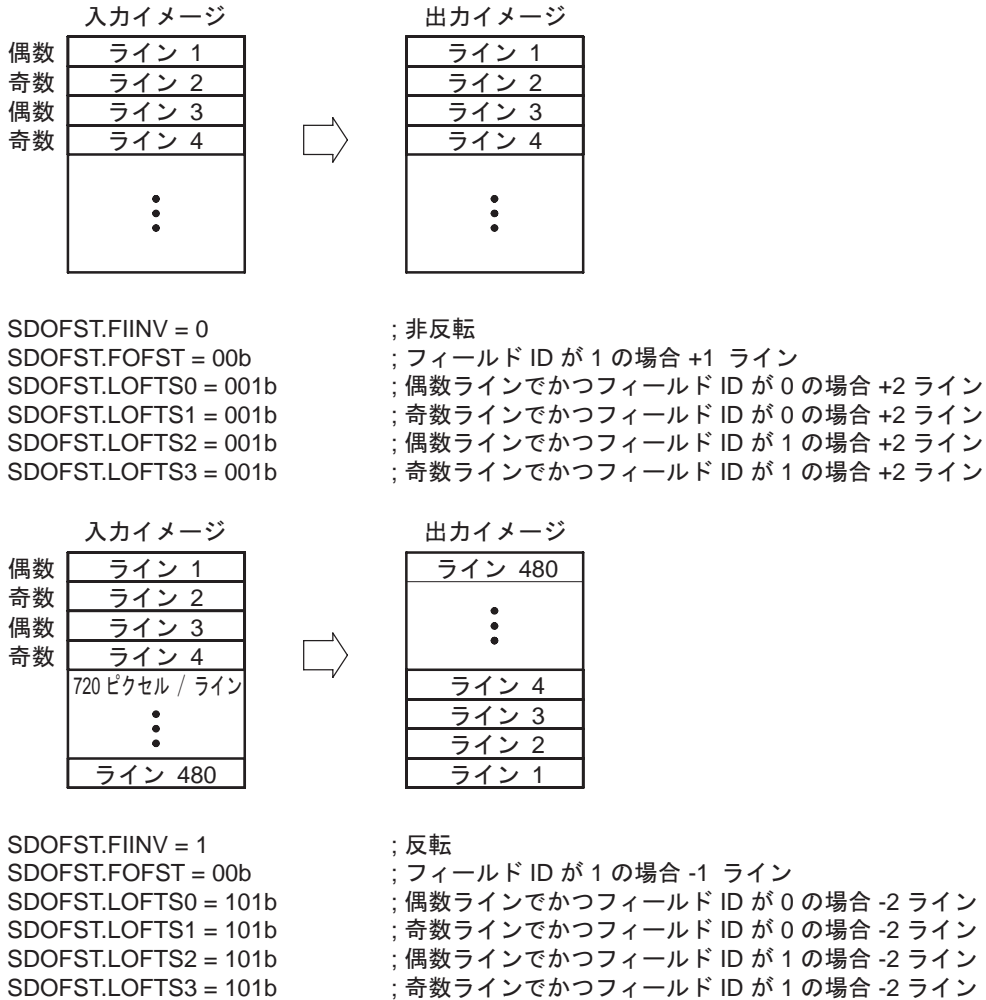


図 21. 入力イメージおよび出力イメージのフォーマット例



4.3.1.4.5 出力フォーマット

各ピクセルから構成されているデータ・ビットは 16 ビット DDR2 ワードの下位ビットに格納され、未使用のビット位置にはゼロが入ります。パックされたフォーマットを除くすべての DDR2 のデータ・フォーマットおよび SYN_MODE.DATSIZ の設定を図 22 に示します。8 ビット・データが入力される場合、つまり A-law 圧縮が適用される場合、データは SYN_MODE.PACK8 の設定を介してパック可能であるため、ピクセルは 8 ビットだけを使用します。

データが SYN_MODE.WEN 設定によりイネーブルの場合、そのデータは DDR2 にだけ出力されることに注意してください。

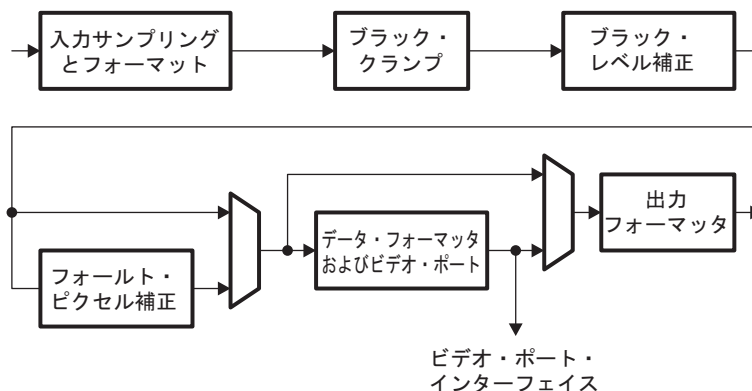
図 22. DDR2 の出力フォーマット

| | 上位ワード | | 下位ワード | |
|-----------|----------|----------|----------|---------|
| | MSB (31) | LSB (16) | MSB (15) | LSB (0) |
| 16 ビット | | ピクセル 1 | | ピクセル 0 |
| 15 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 14 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 13 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 12 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 11 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 10 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 9 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 8 ビット | 0 | ピクセル 1 | 0 | ピクセル 0 |
| 8 ビット・パック | ピクセル 3 | ピクセル 2 | ピクセル 1 | ピクセル 0 |

4.3.2 CCD コントローラによる処理 - YUV モード

前項では CCD/CMOS センサーからの raw データ・モードのデータ処理について説明しました。YUV データ・ソースに接続する場合、ほとんどの CCD 処理段階は明示的にバイパスしてください。想定される YUV データ・フローを含むハイレベル CCD コントローラの詳細なブロック図を図 23 に示します。

図 23. CCD コントローラによる処理を示すブロック図 - YUV モード



これ以降では、YUV 入力モード (SYN_MODE.INPMODE = 1 / 2 || REC656IF.REC656ON = 1) での CCD コントローラによる処理内容について詳細に説明します。通常、このモードでは、輝度 / 色差サンプルごとに 8 ビットの YUV422 入力データが入力されます。

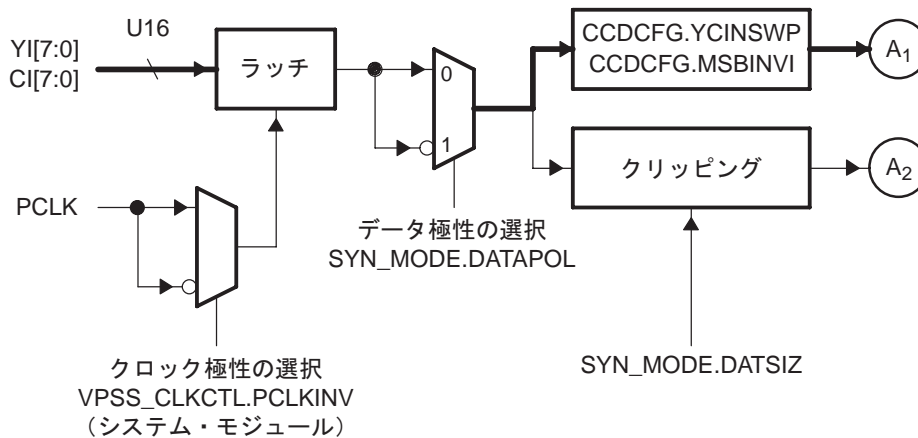
REC656 モードでの処理は、その他の YUV モードの処理と同じです。データ信号からの同期情報の取り出しおよびダウンストリーム処理を行うために HD / VD / フィールドの各信号の生成を行う処理ブロックが他にもありますが、明記していません。

4.3.2.1 CCD コントローラによる入力サンプリングおよびフォーマット - YUV モード

CCD コントローラによる入力サンプリングを図 24 に示します。太字のデータ・パス (A_1 出力) は、CCD コントローラからの YUV データ・パスです。下側のデータ・パスは raw データ入力モードにのみ適用可能です。

- データはピクセル・クロックでラッチされる。
- ピクセル・クロックの極性は、立ち上がりエッジまたは立ち下がりエッジのいずれかになる。これはレジスタ・フィールド VPSS_CLKCTL.PCLKINV を介してシステム・モジュールでセットされる。
- データは通常または反転のいずれかとして変換される (SYN_MODE.DATAPOL)。
- 16 ビット YUV データ・パスの上位部分と下位部分をスワップするオプションがある (CCDCFG.YCINSWP)。これは輝度と色差のサンプルを 16 ビット YUV モードでスワップする。16 ビット YUV データ・パスの上位と下位をスワップすると、8 ビット・モードの入力ソースとして使用するパスの上位 / 下位が決定され、2 つの別々の YUV 入力ポートをサポートするために 8 ビット YUV モードで使用できるパスの上位 / 下位も決定される。
- 色差信号の MSB も反転できる (CCDCFG.MSBINVI)。

図 24. CCD コントローラによる入力サンプリングを示すブロック図 - YUV モード

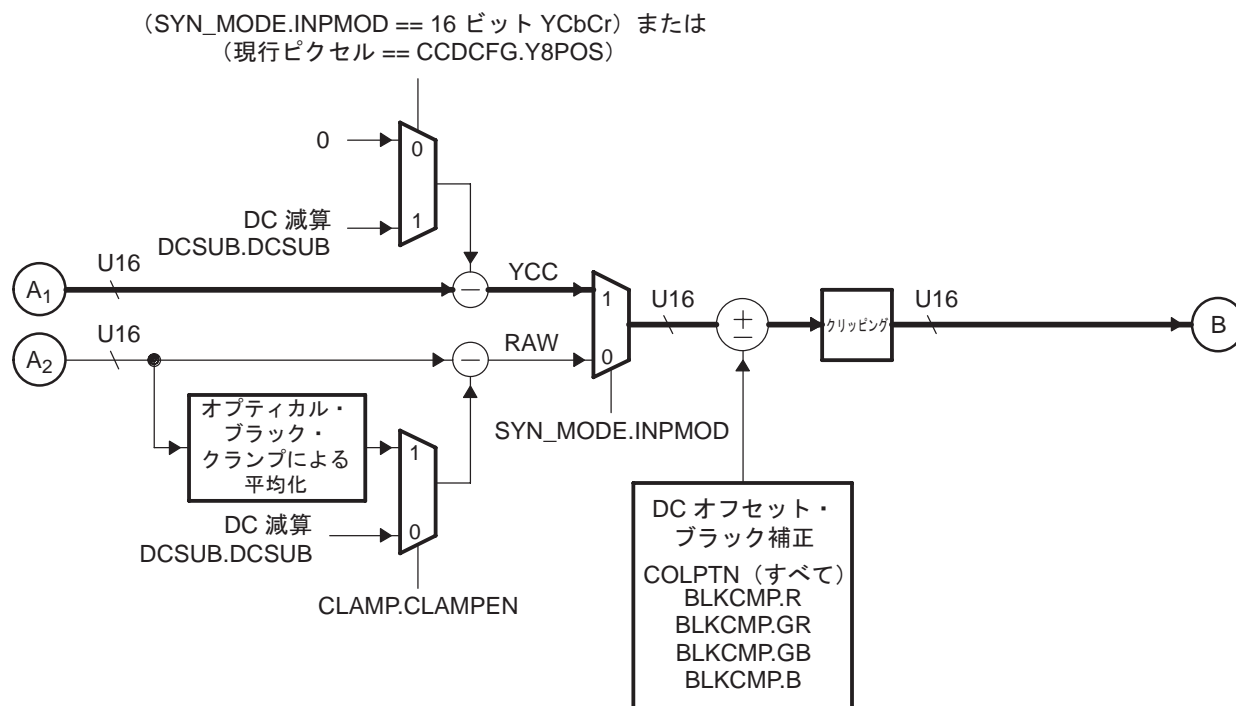


4.3.2.2 CCD コントローラによる初期処理 - YUV モード

CCD コントローラが YUV データ・パスのために初期に行う処理を図 25 に示します。また機能内容は次のとおりです。

- ・ オプティカル・ブラック・クランプ
- ・ ブラック・レベル補正

図 25. CCD コントローラによる初期処理を示すブロック図 - YUV モード



4.3.2.2.1 オプティカル・ブラック・クランプ

注： この機能によって、YUV 8 ビット入力モード (SYN_MODE.INPMOD = 2h) または REC656 入力モード (REC656IF.REC656ON = 1) の場合に、負の結果が 0 に切り上げられることはありません。

YUV データの場合、この動作によって、輝度サンプルから固定値 (DCSUB.DCSUB) が減算されます。この動作をディスエーブルするには、減算値を 0 にクリアします。

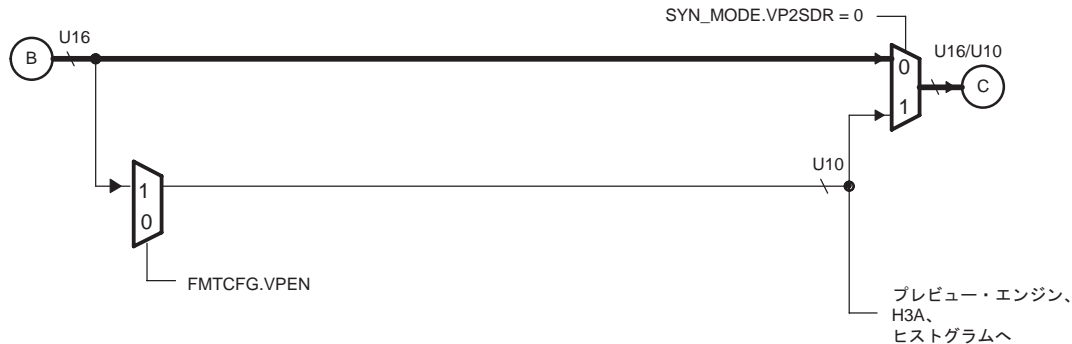
4.3.2.2.2 ブラック・レベル補正

ブラック・レベル補正は、raw データ・モードにのみ適用可能です。また YUV モードではブラック・コンペンセーション・レジスタの値 (BLKCMP レジスタ・フィールド: R, GR, GB, B) を 0 にクリアしてディスエーブルしてください。

4.3.2.3 ビデオ・ポート・インターフェイスおよびデータ・フォーマット - YUV モード

CCD コントローラが処理する該当部分 (図 26) は、YUV モード (FMTCFG.VPEN = 0 && SYN_MODE.VP2SDR = 0) ではバイパスしてください。

図 26. CCD コントローラのビデオ・ポート・インターフェイスおよびデータ・フォーマットを示すブロック図 - YUV モード

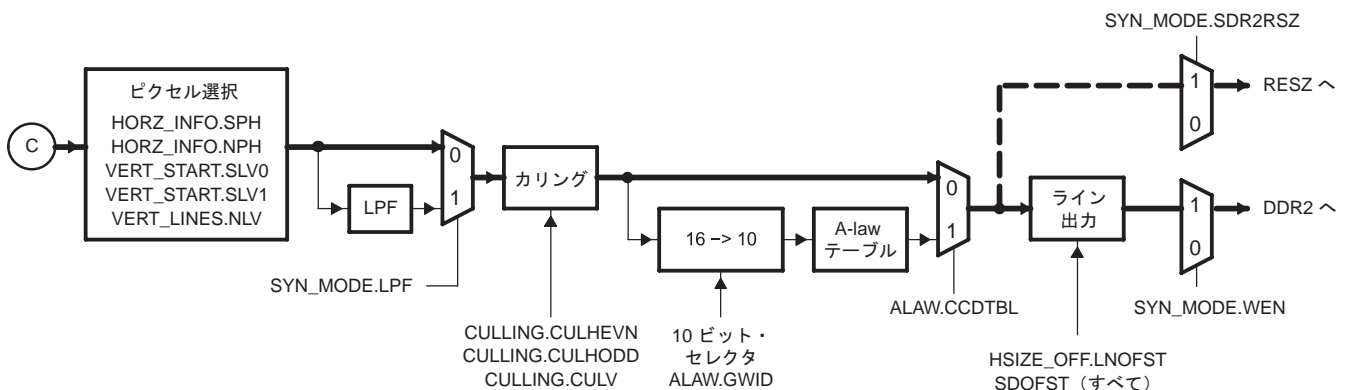


4.3.2.4 CCD コントローラの出カフォーマット - YUV モード

CCD コントローラによる処理の最終段階は、出力フォーマットです (図 27 を参照)。また、フレーミング選択を適用して処理範囲を制限するには、HORZ_INFO、VERT_START、VERT_LINES の各レジスタの値をセットします。

CCD コントローラの YUV 出力をリサイズ・モジュールへ送るオプションもあります (SYN_MODE.SDR2RSZ)。

図 27. CCD コントローラの出カフォーマットを示すブロック図 - YUV モード



4.3.2.4.1 ローパス・フィルタ

ローパス・フィルタはディスエーブルしてください (SYN_MODE.LPF = 0)。

4.3.2.4.2 カリング

理論上 YUV モードでカリングを使用することは可能ですが、YUV422 出力フォーマットを保持するには注意が必要です。

4.3.2.4.3 A-law 変換

A-law 変換は、YUV モード (ALAW.CCDTBL = 0) で使用してはいけません。

4.3.2.4.4 ライン出力制御

CCD コントローラによるライン出力制御の最終段階は、YUV モードのために使われます。raw データ処理については、4.3.1.4.4 項を参照してください。

4.3.2.4.5 出力フォーマット

16 ビット入力モードでは、データは 32 ビットごとに 2 つのピクセルを含むパックされた YUV422 モードで SDRAM に格納されます (表 20 を参照)。8 ビット・データが入力された場合、データは SYN_MODE.PACK8 設定によりパックされるため、Y 入力または C 入力はそれぞれ 8 ビットだけを使用します。8 ビットまたは 10 ビット入力で SYN_MODE.PACK8 がイネーブルされていない場合、Y 入力または C 入力はそれぞれ SDRAM の各 16 ビット・ワードの LSB を使用します。

表 20. YUV422 モードの場合の DDR 出力フォーマット

| SDRAM アドレス | 上位ワード | | 下位ワード | |
|------------|----------|----------|----------|---------|
| | MSB (31) | LSB (16) | MSB (15) | LSB (0) |
| N | Y1 | Cr0 | Y0 | Cb0 |
| N + 1 | Y3 | Cr2 | Y2 | Cb2 |
| N + 2 | Y5 | Cr4 | Y4 | Cb4 |

4.3.3 プレビュー・エンジン/イメージ・シグナル・プロセッサ

プレビュー・エンジンは、Bayer パターンの raw イメージ/ビデオ・データのみを受信可能で、そのデータを YUV422 フォーマットの YUV データに変換します。プレビュー・エンジンは、YUV モードでは使用されません。

raw カラーを YUV422 カラー・スペースへ変換するために、多数のイメージ処理作業が必要となります。通常、プレビュー・エンジンの出力はビデオ圧縮およびディスプレイの両方で (アナログまたはデジタル・インターフェイスを介して) 使用されます。プレビュー・エンジンは、最大で 75 M ピクセル/秒まで処理可能です。プレビュー・エンジンの処理フローを図 28 に示します。図 28 では、オプションのブロック (イネーブル/ディスエーブル可能な処理) は破線で囲まれた白地の箱で区別されます。必須のブロック (常時イネーブルでかつ必ずプログラムが必要) は、実線で囲まれた陰影付きの箱で表されています。

4.3.3.1 入力インターフェイス

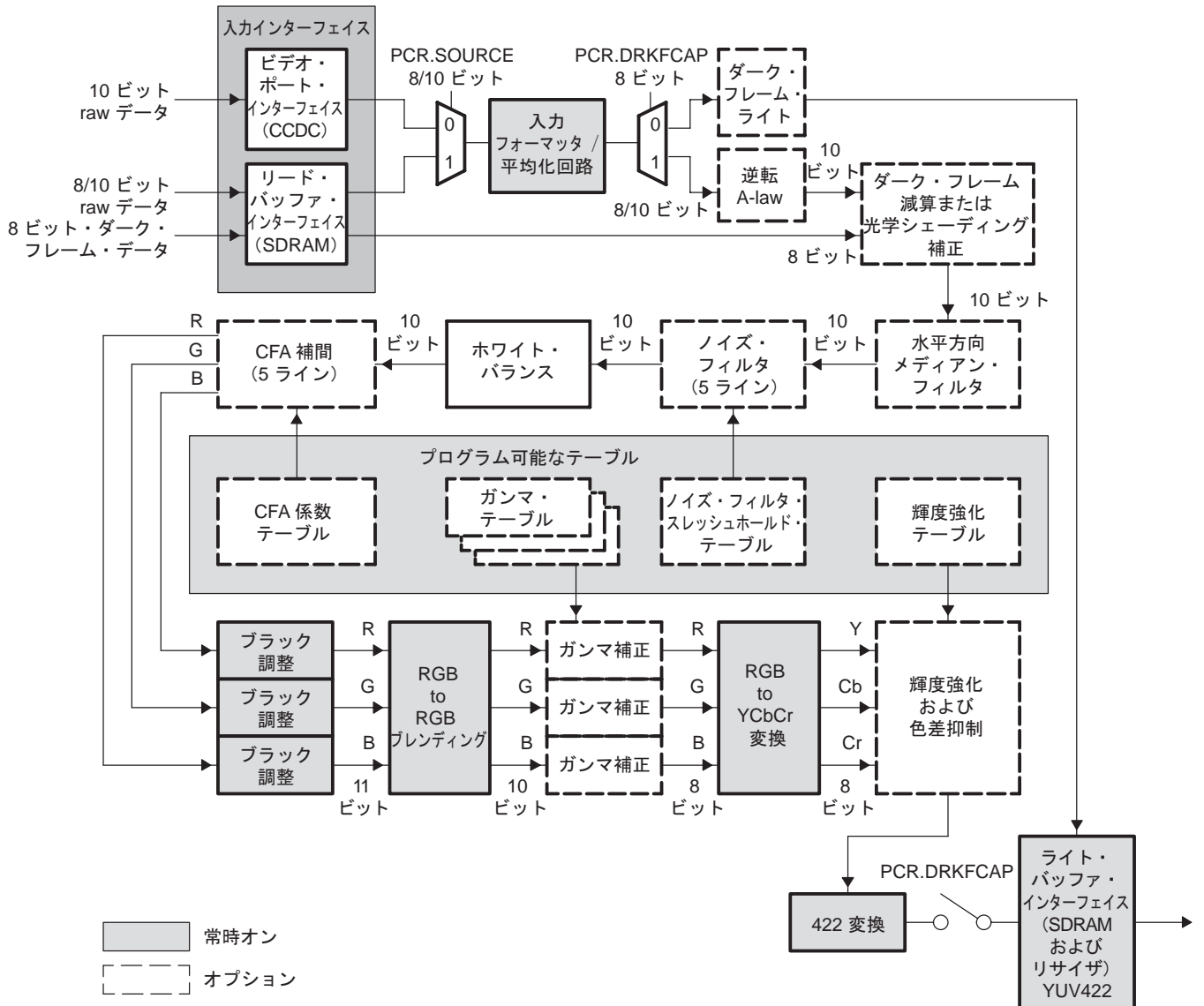
プレビュー・エンジンは (外部 CCD/CMOS センサーに接続される) CCD/CMOS コントローラ・モジュールを介してビデオ・ポート・インターフェイスから、または SDRAM/DDRDRAM を介してリード・バッファ・インターフェイスから raw イメージ/ビデオ・データを受け取ります (PCR.SOURCE)。入力ソースがビデオ・ポート・インターフェイスの場合、入力データは 10 ビット幅です。入力ソースがリード・バッファ・インターフェイスの場合、そのデータは 8 ビットまたは 10 ビット (PCR.WIDTH) のいずれかになります。8 ビット・データは、直線的または非直線的なデータになります (4.3.3.4 項を参照)。また、プレビュー・エンジンは必要に応じて 8 ビット幅の各ピクセルを含む SDRAM/DDRDRAM からダーク・フレームをフェッチすることもできます (詳細は、4.3.3.3 項をおよび 4.3.3.5 項を参照)。

フレーム入力サイズを設定するには、HORZ_INFO および VERT_INFO レジスタを使用します。入力ソースが CCD/CMOS コントローラの場合、プレビュー・エンジンでセットされる入力の高さは CCD/CMOS コントローラのビデオ・ポートから出力した出力の高さ以下に確実にしていることに注意する必要があります。また、入力幅は CCDC 出力幅より少なくとも 4 ピクセル小さくする必要があります (CCDC から送られる最後のピクセルの前で SPH ≥ 2 ピクセル、EPH ≥ 2 ピクセル)。

入力ソースが SDRAM/DDRDRAM にセットされた場合、インプット SDRAM/DDRDRAM アドレス (RSDR_ADDR) およびライン・オフセット (RADR_OFFSET) レジスタは、32 バイト境界にアラインする必要があります。さらに、ダーク・フレーム減算機能がイネーブルの場合、ダーク・フレーム・インプット・アドレス (DSDR_ADDR) およびライン・オフセット (DRKF_OFFSET) レジスタも 32 バイト境界にアラインする必要があります。

入力ソースが SDRAM/DDRDRAM の場合、プレビュー・エンジンは常にワンショット・モードで動作します。プレビュー・エンジンをイネーブルし、フレームを処理すると、イネーブル・ビットはオフになります。また、SDRAM/DDRDRAM からの次のフレームを処理するために、ファームウェアによりプレビュー・エンジンを再度イネーブルする必要があります。入力ソースが CCD コントローラの場合、プレビュー・エンジンはワンショット・モードでも連続モード (PCR.ONESHOT) でも動作するように必要に応じて設定できます。

図 28. プレビュー・エンジンの処理フローを示すブロック図



4.3.3.2 入力フォーマット / アベレージャ

プレビュー・エンジン出力はノイズ・フィルタおよびカラー・フィルタ配列 (CFA) 補間ブロックにおけるライン・メモリ幅の制約のため、水平ラインごとに 1280 ピクセルに制限されています。ラインごとに 1280 ピクセルより大きなピクセルを出力するセンサーをサポートするために、アベレージャが組み込まれ、水平方向 (AVE.COUN) に 1 (平均化なし)、2、4、8 倍のいずれかでのダウンサンプルを実現しています。平均化対象の同一カラーの 2 つの連続したピクセル間の水平距離は、偶数 (AVE.EVENDIST) ラインおよび奇数 (AVE.ODDDIST) ラインの両方とも 1、2、3、4 のいずれかから選択可能です。入力される Bayer パターンと一致させるためには、2 に設定する必要があります。入力フォーマット / アベレージャの有効な出力は、8 ビット幅または 10 ビット幅のいずれかです。

図 29. Bayer パターン入力の水平距離

| | |
|----|----|
| R | Gr |
| Gb | B |

別のラインで R/Gr および Gb/B を備えた Bayer フォーマット
- 同一色間の水平方向の距離は 2 です。

4.3.3.3 ダーク・フレーム・ライト

プレビュー・エンジンは従来の処理手順を実行するのではなく、SDRAM/DDRDRAM へのダーク・フレームのキャプチャおよび保存を行うことができます (PCR.DRKFCAP)。このダーク・フレームは、フレーム内の繰り返し可能なベースライン・ノイズ・レベルを解消するため、後で raw イメージ・データから減算されます (4.3.3.5 項を参照)。各入力ピクセルは、8 ビット値としてライトアウトされます。入力ピクセル値が 255 より大きい場合、255 に飽和されます。ダーク・ピクセルが 255 より大きい場合、このピクセルはフォールト・ピクセルになる可能性が高くなり、CCDC のフォールト・ピクセル補正モジュールにより補正が行われます。入力ピクセル値を適切に補正した場合、その値はプレビュー・エンジンに到達したとき 255 より小さくなります。WSDR_ADDR および WADD_OFFSET レジスタは、メモリ内のダーク・フレーム出力の出力アドレスおよびライン・オフセットをそれぞれ示すために使われます (4.3.3.13 項を参照)。

4.3.3.4 逆転 A-law

SDR/DDR 容量および帯域幅を節約するために、CCD/CMOS コントローラには 10 ビットから 8 ビットへの A-law 圧縮を適用し、センサー・データをピクセルごとに 1 バイトにパックするオプションが組み込まれています。このデータを適切に処理するために、逆転 A-law ブロックが用意されていて、可能な場合には 8 ビットの非線形データを 10 ビットの線形データに伸張します (PCR.INVALIDALAW)。逆転 A-law ブロックがディスエーブルの場合でも、入力ソースが 8 ビット (PCR.WIDTH) のままならば、データは 10 ビット・データにするために 2 ビット左シフトされます。入力ソースが 10 ビット幅の場合、データに対する演算は一切行われません。

4.3.3.5 ダーク・フレーム減算またはシェーディング補正

必要に応じて、プレビュー・エンジンは SDRAM/DDRDRAM から 8 ビット値を含むダーク・フレームをフェッチし、その値をピクセルごとに、受信入力フレームから減算できます (PCR.DRKFCEN)。この機能を使用して、センサー内のパターン・ノイズを取り除きます。ダーク・フレーム減算演算の出力は、10 ビット幅です。この機能がイネーブルの場合、適切な SDRAM/DDRDRAM 帯域幅が必要です。ピーク時 (75 MB/s での動作時) に、ダーク・フレーム減算リード帯域幅は 75 MB/s です。メモリからフェッチされたデータが遅れて到着した場合、障害が発生したことを示すために PCR.DRK_FAIL ステータス・ビットがセットされます。

ダーク・フレーム減算を行うのではなく、プレビュー・エンジンはレンズ・シェーディング補正を行うことができます (PCR.SHADE_COMP が PCR.DRKFCEN とともにセットされた場合)。この場合、SDRAM/DDRDRAM からフェッチされた 8 ビット値は受信ピクセルと乗算され、その演算結果は PCR.SHADE_SFT パラメータ (0 ~ 7 ビット) により指定されたビット数だけ、右シフトされます。

4.3.3.6 ノイズ・フィルタ

ダーク・フレーム減算に続いて、同一カラー・ピクセルの 3 × 3 グリッド上で動作するプログラム可能なノイズ・フィルタを使用して、イメージ / ビデオ・データのノイズを軽減することができます。このフィルタは、同一カラーの 9 ピクセル上で動作します（値の近い近傍の同一カラー・ピクセルを特定します）。このノイズ・フィルタは必要に応じてイネーブルにもディスエーブルにもできます（PCR.NFEN）。

イメージ・サイズの縮小：ノイズ・フィルタがイネーブルの場合、プレビュー・エンジンはこの段階の出力ラインの長さを 4 ピクセル（2 つの開始ピクセル（左端）と 2 つの終了ピクセル（右端））、フレームごとに 4 ライン（2 つの開始ライン（上端）と 2 つの終了ライン（下端））を切り捨てます。たとえば、入力サイズが 656 × 490 ピクセルの場合、出力サイズは 652 × 486 ピクセルになります。このブロックがディスエーブルの場合、入力データの切り捨てはありません。

4.3.3.7 ホワイト・バランス

ホワイト・バランス・モジュールには、2 つのゲイン調整回路、デジタル・ゲイン調整回路、およびホワイト・バランス調整回路が備わっています。デジタル・ゲイン調整回路（WB_DGAIN）では、raw データは処理対象のカラー・ピクセルとは関係なく固定値ゲインと乗算されます。ホワイト・バランス・ゲイン調整回路（WBGAIN）では、raw データは処理されるピクセルに対応するように設定されたゲインと乗算されます。ホワイト・バランスのゲインは、現在のピクセル位置に応じて、取りうる 4 つの 8 ビット値の中から選択できます。ファームウェアで、WBSEL を使用して、水平方向および垂直方向の 4 ピクセルを組み合わせて、合計 16 ロケーションを指定することができます。たとえば、ピクセル #0 とライン #0 で選択されるホワイト・バランスのゲインは、ピクセル #2 とライン #0 で選択されるゲインとは異なるようにすることができます。

4.3.3.8 CFA 補間

CFA 補間ブロックは、決まった位置にある 2 つの欠けたカラー・ピクセルを 3 色の RGB ピクセルとなるように表示します。これを行うには、同一色の隣接のピクセルからデータを補間します。CFA 機能は必要に応じてイネーブルにできません（PCR.CFAEN）。また、この機能は別の補間モードに設定することもできます（PCR.CFAFMT）。

オプションの CFA 補間処理機能には、次のような機能もあります。

- センサーでロケーションごとに 2 つのカラー・ピクセルを生成する場合、CFA 補間は、（従来の 2 つの欠けたカラー・ピクセルではなく）1 つの欠けたカラー・ピクセルのみを生成するように設定できます。このようなセンサーは、水平方向に 2 倍ダウンサンプリングされたイメージを生成すると考えられます。適切な CFA 係数をプログラムすることにより、センサー内の同一物理ロケーションに属するものとして、ロケーションごとに入力された 2 つのカラーをフェーズ補正するか、フェーズを補正しないで入力された 2 つのカラーを扱うかのいずれかが可能です。
- CFA 補間は、水平方向と垂直方向の両方に 2 倍ダウンサンプリングされたイメージを生成すると考えられているセンサー上で動作するように設定できます。この場合、欠けたカラー・ピクセルはなく、物理ピクセルが完全に含まれているものと考えられます。Bayer パターンの 2 つの緑の対角ピクセル（常に斜線を想定。ファームウェアで、最初のピクセルを赤にセットする部分を管理）は、緑のピクセルを取得するために平均化されます。
- CFA 補間がディスエーブルの場合、受信ピクセルは 3 つの出力カラーに現状のままコピーされます。

イメージ・サイズの縮小：CFA 補間がイネーブルの場合、プレビュー・エンジンはこの段階の出力を縮小します。左端、右端、上端、下端の 2 つのピクセル / ラインは、Bayer モード / 従来の CFA モードでは切り捨てられます。

CFA フォーマットは、水平方向と垂直方向の両方で 2 倍のダウンサンプリングを行うと、イメージの上端と下端の 2 ラインのみが切り捨てられます。左端と右端の 2 つのピクセルは処理されます。

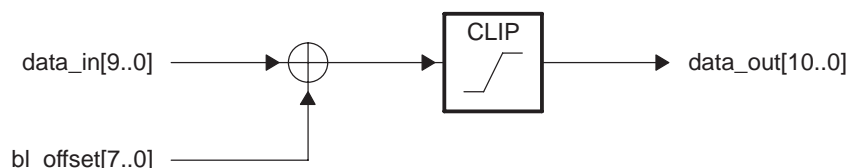
4.3.3.9 ブラック調整

CFA 補間出力は 3 つのピクセル（赤、青、緑の値）で、これはブラック調整モジュールへの入力として供給されます。ブラック調整モジュールは、各カラー・レベルを調整するために次の計算を行います。

$$data_out = data_in + bl_offset$$

各カラーの *bl_offset* 値は、BLKADJOFF レジスタでプログラム可能です。このブラック調整回路モジュールのブロック図を図 30 に示します。

図 30. ブラック調整機能モデル



4.3.3.10 RGB ブレンディング

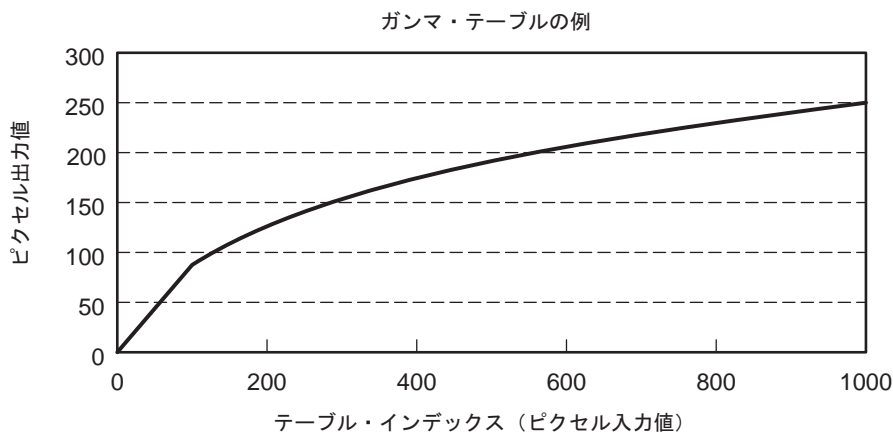
RGB2RGB ブレンディング・モジュールには一般的な 3×3 正方行列があり、CFA 補間モジュールからの RGB データを再定義します。これはカラー補正機能として使用できます。これはプログラム可能 (RGB_MAT1、RGB_MAT2、RGB_MAT3、RGB_MAT4、RGB_MAT5、RGB_OFF1、RGB_OFF2) なので、センサーのカラー・スペクトラムは人間が知覚できるカラー・スペクトラムに調整されます。このモジュールでは、次の計算が行われます。

$$\begin{bmatrix} R_{out} \\ G_{out} \\ B_{out} \end{bmatrix} = \begin{bmatrix} MTX_{RR} & MTX_{GR} & MTX_{BR} \\ MTX_{RG} & MTX_{GG} & MTX_{BG} \\ MTX_{RB} & MTX_{GB} & MTX_{BB} \end{bmatrix} \begin{bmatrix} R_{in} \\ G_{in} \\ B_{in} \end{bmatrix} + \begin{bmatrix} R_{offset} \\ G_{offset} \\ B_{offset} \end{bmatrix}$$

4.3.3.11 ガンマ補正

プログラム可能なガンマ・ルックアップ・テーブルを用いることにより、ガンマ補正を、R、G、B のピクセルごとに別々に行うことができます。各テーブルには、8 ビット・エントリが 1024 個あります。入力データ値を元にテーブル引きを行うと、テーブル内容が出力されます。ガンマ・テーブルは必要に応じてバイパス可能です (PCR.GAMMA_BYPASS)。この場合、ガンマ補正の出力は 10 ビット入力の上位 8 ビットになります。ガンマ・テーブルへのライトは、プレビュー・エンジンがディスエーブルの場合のみ可能です。ガンマ・テーブルの例を図 31 に示します。

図 31. ガンマ・テーブルの例



4.3.3.12 RGB to YCbCr への変換、輝度強化および色差抑制、コントラストと輝度、および 4:2:2 ダウン・サンプリングと出力クリッピング

4.3.3.12.1 RGB to YCbCr 変換

RGB to YCbCr 変換モジュールには 3 × 3 正方行列があり、イメージ・データの RGB カラー・スペースを YCbCr カラー・スペースに変換します。このモジュールでは、CSC0、CSC1、CSC2、CSC_OFFSET の各レジスタの内容を使用して次の計算が行われます。

$$\begin{bmatrix} Y \\ Cb \\ Cr \end{bmatrix} = \begin{bmatrix} CSCRY & CSCGY & CSCBY \\ CRCRCB & CSCGCB & CSCBCB \\ CSCRCR & CSCGCR & CSCBCR \end{bmatrix} \begin{bmatrix} R_{in} \\ G_{in} \\ B_{in} \end{bmatrix} + \begin{bmatrix} YOFST \\ OFSTCB \\ OFSTCR \end{bmatrix}$$

4.3.3.12.2 非線形輝度強化

非線形輝度強化は（水平方向で交差する）エッジ強化回路として機能します。この機能は、PCR.YNENHEN パラメータを使用して、必要に応じてイネーブルにもディスエーブルにもできます。イネーブルの場合、127 個の 20 ビット・エントリを備えたルックアップ・テーブルをプログラムする必要があります。それぞれのエントリには、最上位ビットに 10 ビット符号付き値および最下位ビットに 10 ビット符号付きスロープが含まれています。各エントリのフォーマットを表 21 に示します。

表 21. 非線形輝度強化テーブルのエントリ・フォーマット

| MSB | LSB |
|-------|------|
| 19-10 | 9-0 |
| オフセット | スロープ |

4.3.3.12.3 色差抑制

場合によっては、イメージの高輝度部分では、カラー・チャンネルのうち 1 つまたは 2 つだけが飽和され、残りのチャンネルは飽和されない場合があります。色差抑制を使用すると、この問題を修正できます。色差抑制機能は、PCR.SUPEN を使用して必要に応じてイネーブルにもディスエーブルにもできます。

ライン幅の縮小: 非線形輝度強化回路または色差抑制がイネーブルの場合、プレビュー・エンジンはこの段階の出力をラインごとに 2 ピクセル（1 つの開始ピクセル（左端）と 1 つの終了ピクセル（右端））を切り捨てます。たとえば、入力サイズが 656 × 490 ピクセルの場合、出力サイズは 654 × 490 ピクセルになります。非線形輝度強化回路および色差抑制の両方がディスエーブルの場合、入力データ・ラインの切り捨てはありません。

4.3.3.12.4 コントラストおよび輝度

輝度コンポーネントは必要に応じてコントラスト（スケーリング/乗算）や明るさの調整（オフセット/加算）を行うこともできます。コントラストは CNT_BRT.CNT フィールドでセットされ（U8Q4 精度）、輝度は CNT_BRT.BRT フィールドでセットされます（U8Q0 精度）。

4.3.3.12.5 4:2:2 ダウン・サンプリングおよび出力のクリッピング

4:2:2 変換モジュールは水平方向の Cb および Cr コンポーネントを 1 つおきに平均化することで、イメージ・データを YCbCr-4:2:2 フォーマットへ変換します。データを出力する前に、プレビュー・エンジンは YCC コンポーネント上で別々にクリッピングを行います。Y および C の値の最小/最大スレッショールド値は SETUP_YC レジスタを使用して指定されます。クリッピングが必要でない場合、Y および C の最大値にはレジスタをリセット値 FFh に、Y および C の最小値にはレジスタを 0 にセットしてください。

4.3.3.13 ライト・バッファ・インターフェイス

プレビュー・エンジンの出力は、直接リサイズ (PCR.RSZPORT) に渡されかつ / または、SDRAM (PCR.SDRPORT) へライトされます。出力のライト先が SDRAM の場合、ライト・アドレス (WSDR_ADDR) およびライン・オフセット (WADD_OFFSET) は 32 バイト境界上に設定してください。YCC データの出力フォーマットは、PCR.YCPOS パラメータをセットすることによりプログラム可能です。使用可能なオプションを表 22 に示します。

表 22. プログラム可能な YCC422 出力オプション

| MSB | | LSB | |
|-------|-------|------|-----|
| 31-24 | 23-16 | 15-8 | 7-0 |
| Y1 | Cr0 | Y0 | Cb0 |
| Y1 | Cb0 | Y0 | Cr0 |
| Cb0 | Y1 | Cr0 | Y0 |
| Cr0 | Y1 | Cb0 | Y0 |

最終的な出力の幅と高さは、イネーブルされる処理機能に応じて異なります。特定のモジュールをイネーブルしたことによりプレビュー・エンジン内で切り捨てられるエッジ・ピクセル / ライン数を表 23 に示します。プレビュー・エンジンの出力サイズを求めるためにアベレージで平均化後に、これらの値を入力の高さおよび幅から減算してください。

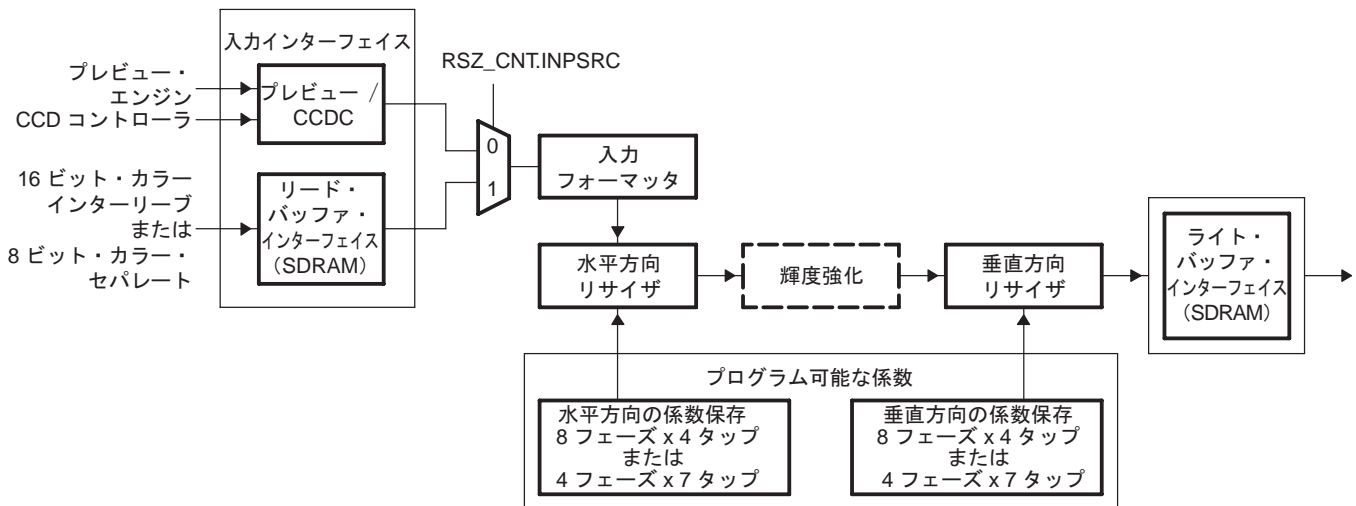
表 23. プレビュー機能によるイメージ・クロッピング

| 機能 | ピクセル / ライン | ライン |
|-----------------------|------------|-----|
| ノイズ・フィルタ | 4 | 4 |
| CFA (Bayer) | 4 | 4 |
| CFA (2 倍のダウンサンプリング) | 0 | 2 |
| カラー抑制または輝度強化 | 2 | 0 |
| 最大合計値 | 10 | 8 |

4.3.4 リサイズ

リサイズ・モジュールは、0.25 倍から 4 倍の範囲内でイメージ / ビデオ・データ上でアップサンプリング（デジタル・ズーム）またはダウンサンプリングのいずれかを行います。入力ソースは、プレビュー・エンジン / CCD コントローラまたは SDRAM/DDRDRAM のいずれかに設定でき、出力は SDRAM/DDRDRAM へ送られます。リサイズ・モジュールは、水平方向へリサイズしてから垂直方向へリサイズします。両者の間には、オプションのエッジ強化機能があります。この処理フローを図 32 に示します。

図 32. リサイズの処理フローを示すブロック図



4.3.4.1 入出力インターフェイス

入力ソースは、プレビュー・エンジン / CCD コントローラまたは SDRAM/DDRDRAM のいずれかにセット (RSZ_CNT.INPSRC) できます。入力幅 (IN_SIZE.HORZ) は、最低でも 32 ピクセル必要です。

4.3.4.1.1 プレビュー・エンジン / CCD コントローラ入力モード

プレビュー・エンジン / CCD コントローラ入力モードでは、ハードウェア信号により入力フレームは決められます。水平方向の開始バイト (IN_START.HORZ_ST) および垂直方向の開始ライン (IN_START.VERT_ST) は、入力イメージの左上隅に関連して開始ピクセルを規定します (水平同期および垂直同期を介して信号が送られる)。IN_SIZE レジスタの入力幅と高さは、指定した幅 / 高さの出力フレームを生成する上で必要となる (開始ピクセルに対して) 厳密な入力範囲を指定します。IN_START および IN_SIZE レジスタで指定された入力サイズは、プレビュー・エンジンまたは CCD コントローラから出力されたサイズ以下であることに注意する必要があります。そうしないと、不正なハードウェア動作が行われる場合があります。SDR_INADD および SDR_INOFF は、0 にプログラムする必要があります。また、CCD コントローラ (CCDC.SYN_MODE.SDR2RSZ) およびプレビュー・エンジン (PREV.PCR.RSZPORT) のリサイズへの出力ポートは、どちらか一方だけがイネーブルされるように設定しておく必要があります。両方ともイネーブルの場合、CCD コントローラがこのインターフェイスを制御することになります。入力ソースが CCD コントローラの場合、CCD コントローラの出力は YUV422 フォーマットにする必要があります (リサイズは CCD コントローラからの raw データのリサイズをサポートしません)。

4.3.4.1.2 SDRAM 入力モード

SDRAM 入力モードでは、SDR_INADD の SDRAM アドレスは開始ピクセルが含まれる 32 バイトでアラインされた SDRAM アドレスを指します。水平方向の開始ピクセル (IN_START.HORZ_ST) は、その 32 バイト・アライメント内に開始ピクセルを規定します。IN_START.HORZ_ST は YUV422 フォーマットの場合 0 ~ 15 ピクセルに、RGB フォーマットの場合 0 ~ 31 ピクセルに制約されます。垂直方向の開始ピクセル (IN_START.VERT_ST) は、SDRAM 入力モードではゼロにする必要があります。SDR_INOFF レジスタは入力データの列間のアドレス・オフセットを指定します。IN_SIZE レジスタの入力幅と高さは、指定した幅 / 高さの出力フレームを生成する上で必要となる (開始ピクセルに対して) 厳密な入力範囲を指定します。

4.3.4.1.3 入力フォーマット

入力ソースが SDRAM/DDRDRAM の場合、リサイザがカラー・セパレート・モード（8 ビット / ピクセル）でリサイズを行うように設定するには、RSZ_CNT.INPTYP パラメータをセットします。カラー・セパレート・モードでは、一度にリサイズできるのは 1 つのカラー・コンポーネントだけです。たとえば、カラー・セパレート・イメージの 3 つのコンポーネント（Y、Cb、Cr）をすべてメモリ内でリサイズするために、3 つの別々のリサイズ動作をセットアップして実行する必要があります。入力ソースが SDRAM/DDRDRAM ではない場合、RSZ_CNT.INPTYP パラメータは YUV422 カラー・インターリーブ（16 ビット / ピクセル）用に常にセットしておく必要があります。

入力が 16 ビット・カラー・インターリーブ・データにセットされた場合、RSZ_CNT.YCPOS パラメータは輝度および色差のデータが入力ピクセル（YC または CY）ごとに受信される順序を指定します。

4.3.4.1.4 出力インターフェイス

どちらの入力モードでも、OUT_SIZE レジスタは出力幅 / 高さを指定し、SDR_OUTADD レジスタは出力開始ピクセル（左上隅）の SDRAM アドレスを指定し、SDR_OUTOFF レジスタは出力列の開始から開始までの SDRAM アドレス・オフセットを指定します。リサイザの出力は常に SDRAM へ向かいます。

SDR_INADD、SDR_OUTADD、SDR_INOFF、SDR_OUTOFF はすべて 32 バイトにアラインされる必要があることに注意してください。バイト・アドレスの下位 5 ビットはゼロであると見なされます。

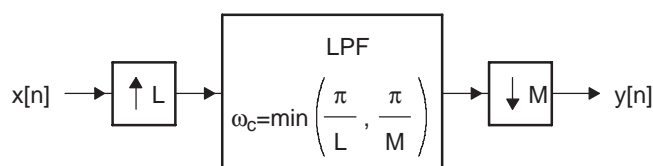
出力幅の制約事項：出力幅（OUT_SIZE.HORZ）は最低でも 16 ピクセル必要で、かつ偶数である必要があります（その結果、Cb と Cr コンポーネントは同じ数だけ出力されます）。垂直方向のメモリ・サイズには制約があるため、出力幅（OUT_SIZE.HORZ）は垂直方向のリサイズ比率が 0.5 倍 ~ 4 倍の場合、1280 ピクセルより大きくすることはできません（RSZ_CNT.VRSZ ≤ 512）。また、垂直方向のリサイズ比率が 0.25 倍 ~ 0.5 倍の場合、640 ピクセルより大きくすることはできません（RSZ_CNT.VRSZ > 512）。

4.3.4.2 水平方向と垂直方向へのリサイズ

リサイザ・モジュールは独立したリサイジング・ファクターを指定してイメージ・データを水平方向にも垂直方向にもアップサンプリングまたはダウンサンプリングすることができます（HRSZ および VRSZ）。HRSZ（RSZ_CNT.HRSZ）および VRSZ（RSZ_CNT.VRSZ）パラメータは、0.25 倍 ~ 4 倍（256/RSZ）のリサンプリング範囲を提供するために 64 ~ 1024 の値を取ります。

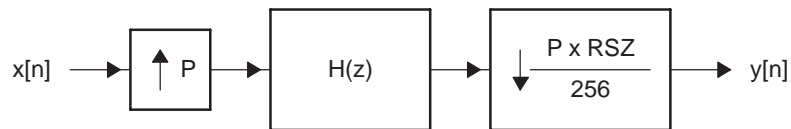
リサイザ・モジュールは、水平方向および垂直方向の両方に対して同じリサンプリング・アルゴリズムを使用します。リサイジング / リサンプリング・アルゴリズムは、プログラム可能なポリフェーズ・サンプル・レート・コンバータ（リサンブラ）を利用します。リサンプリング比率が L/M と等しい一般的なサンプル・レート・コンバータを図 33 に示します。

図 33. 典型的なサンプル・レート・コンバータ



典型的なポリフェーズ実装では、L 位相が使用されます。ただし、リサイザ・モジュールでは位相の数は 0.5 倍 ~ 4 倍 (RSZ = 64 ~ 512) のリサイジング範囲の場合 8 フェーズに、0.5 倍 ~ 4 倍 (RSZ = 513 ~ 1024) のリサイジング範囲の場合 4 フェーズにそれぞれ固定されています。このように、アップサンプリング値 (L) は 8 または 4 のいずれかに固定され、ダウンサンプリング値 (M) は RSZ に基づきます。リサイジング比率 $256/RSZ$ を実現するために、ダウンサンプリング値 (M) は $(P \times RSZ)/256$ と等しくなります。ここで、P は位相の数を表します。リサイザの機能は、図 34 にわかりやすく示されています。

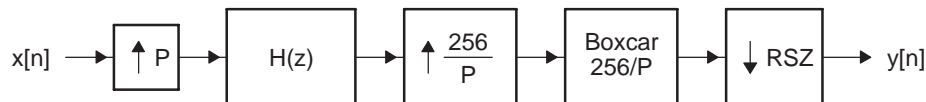
図 34. リサイザの機能



P = 8 (RSZ = 64 ~ 512) 。 P = 4 (RSZ = 513 ~ 1024) 。

非整数のダウンサンプリング比率を解決するために、図 35 にわかりやすくモデリングされています。ここで、フィルタからの補間出力がアップサンプリングされ、RSZ ファクターでダウンサンプリングされる前に $256/P$ 倍複製されています。

図 35. リサイザの近似スキーマ・モデル



P = 8 (RSZ = 64 ~ 512) 。 P = 4 (RSZ = 513 ~ 1024) 。

この実装により、 $256/RSZ$ 倍のリサイズ比率があれば、入力サイズを求めることができます。ただし、各出力ピクセルは $1/P$ の入力ピクセル精度の近似補間出力に丸められます。リサンプリング・アルゴリズムの詳細は、4.3.4.4 項を参照してください。

ポリフェーズ・フィルタ係数はプログラム可能なので、ユーザが指定した任意のフィルタを実装することができます。係数セットを選択してローパス・フィルタと次のカットオフ周波数を組み合わせて使用するサンプル・レート・コンバータを実装することを推奨します。

$$\omega_c = \min \left[\frac{\pi}{P}, \frac{\pi}{\left(\frac{P \times RSZ}{256} \right)} \right]$$

このポリフェーズ・リサンプリング方法を使用する場合、すべてのアップサンプリング・ファクターは同じ係数セットを共有することができます。ただし、8 フェーズ・モードと 4 フェーズ・モードの間で各種ダウン・サンプリング・ファクターと組み合わせて変更する場合には別の係数セットが必要です。

水平方向用に使用できるプログラム可能な係数 (HFILT10 ~ HFILT3130 レジスタ)、垂直方向用に使用できるプログラム可能な係数 (VFILT10 ~ VFILT3130 レジスタ) はそれぞれ 32 個ずつあります。ただし、32 個のプログラム可能な係数は 0.5 倍 ~ 4 倍 (RSZ = 64 ~ 512) のリサイジング範囲の場合 4 タップ / 8 フェーズとして、あるいは 0.25 倍 ~ 0.5 倍 (RSZ = 513 ~ 1024) のリサイジング範囲の場合 7 タップ / 4 フェーズとして配置されます。32 個のフィルタ係数の配置内容を表 24 に示します。各タップは、S10Q8 フォーマットで配置されます (10 ビット符号付きの値。10 ビットのうち 8 ビットを使用して小数部を示す)。

表 24. フィルタ係数の配置

| フィルタ係数 | 0.5 倍 ~ 4 倍 | | 0.25 倍 ~ ~0.5 倍 | |
|--------|-------------|-----|-----------------|-----|
| | 位相 | タップ | 位相 | タップ |
| 0 | 0 | 0 | 0 | 0 |
| 1 | | 1 | | 1 |
| 2 | | 2 | | 2 |
| 3 | | 3 | | 3 |
| 4 | 1 | 0 | | 4 |
| 5 | | 1 | | 5 |
| 6 | | 2 | | 6 |
| 7 | | 3 | | 未使用 |
| 8 | 2 | 0 | 1 | 0 |
| 9 | | 1 | | 1 |
| 10 | | 2 | | 2 |
| 11 | | 3 | | 3 |
| 12 | 3 | 0 | | 4 |
| 13 | | 1 | | 5 |
| 14 | | 2 | | 6 |
| 15 | | 3 | | 未使用 |
| 16 | 4 | 0 | 2 | 0 |
| 17 | | 1 | | 1 |
| 18 | | 2 | | 2 |
| 19 | | 3 | | 3 |
| 20 | 5 | 0 | | 4 |
| 21 | | 1 | | 5 |
| 22 | | 2 | | 6 |
| 23 | | 3 | | 未使用 |
| 24 | 6 | 0 | 3 | 0 |
| 25 | | 1 | | 1 |
| 26 | | 2 | | 2 |
| 27 | | 3 | | 3 |
| 28 | 7 | 0 | | 4 |
| 29 | | 1 | | 5 |
| 30 | | 2 | | 6 |
| 31 | | 3 | | 未使用 |

係数のインデックス方法はインパルス応答ではなく、ドット積（内積）を優先します。つまり、特定出力を生成する最初のデータ・ポイントは、タップ 0 に関連付けられている係数と乗算され、最後のデータ・ポイントは（4 タップまたは 7 タップ・モードに応じて）タップ 3 またはタップ 6 に関連付けられている係数と乗算されます。通常のラスタ・スキャン順序は、左上隅の座標が (0, 0) となる場所で使用されます。ピクセル 0 は、水平方向へリサイズする場合のピクセルの左端の列であり、垂直方向へリサイズする場合のピクセルの一番上の行です。単純な 1:1 のリサイズ（4 タップ・モード）を使用して係数を選択する入力ピクセルのアライメントの例を図 36 に示します。この例では、位相を 1 つだけ出力する必要があります。

図 36. 係数を選択するための入力ピクセルのアライメント

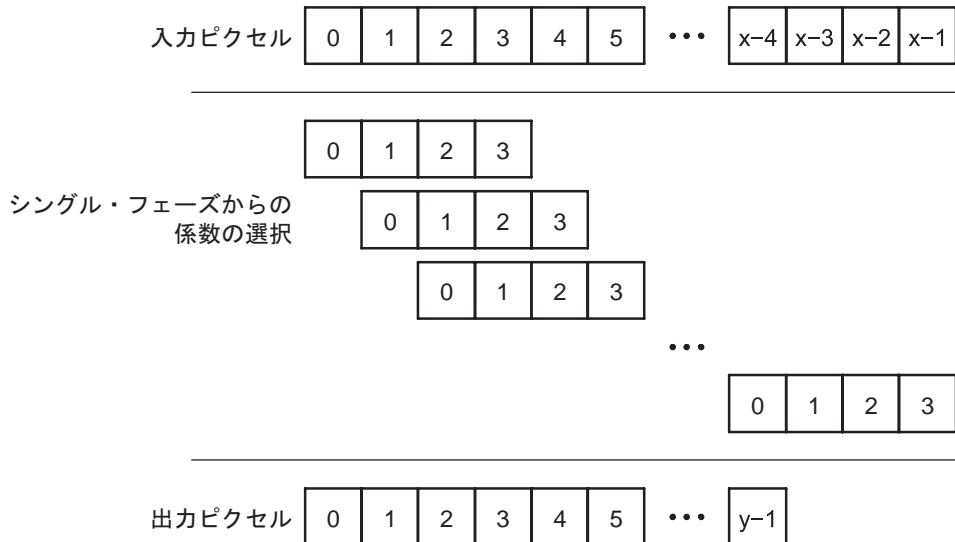


図 36 には、すべてのタップが実際の入出力ピクセルにアラインされている場合の最初の出力を計算する方法も示されています。最後のピクセルをラインまたは列ごといくつか計算するために、フィルタは次の計算式で求めた場合より多くの入力ピクセルが必要です。

$$\text{入力サイズ} = \text{出力サイズ} \times \text{RSZ}/256$$

前述の例で入力サイズを X、出力サイズを Y とすると、正確な出力ピクセル数を生成するにはさらに 3 つの入力ピクセルが必要です。

$$X = Y \times 256/256 + 3 \text{ (フィルタリング処理に必要な他のピクセルを考慮するため)}$$

実際の入力サイズの計算は、開始フェーズおよび該当アルゴリズムでの丸めの問題によっても異なります。

4.3.4.4 項に記述されたアルゴリズムの説明をもとにした実際の入力サイズの計算方法を表 25 に示します。入力幅と高さのパラメータは、以下の計算式に従って厳密にプログラムする必要があります。そうしないと、不正なハードウェア動作が行われる場合があります。

表 25. 入力サイズの計算⁽¹⁾

| | 8 フェーズ/4 タップ・モード | 4 フェーズ/7 タップ・モード |
|---------------------|---|---|
| IN_SIZE.HORZ | $(32 \times \text{sph} + (\text{ow} - 1) \times \text{hrs} + 16) \gg 8 + 7$ | $(64 \times \text{sph} + (\text{ow} - 1) \times \text{hrs} + 32) \gg 8 + 7$ |
| IN_SIZE.VERT | $(32 \times \text{spv} + (\text{oh} - 1) \times \text{vrs} + 16) \gg 8 + 4$ | $(64 \times \text{spv} + (\text{oh} - 1) \times \text{vrs} + 32) \gg 8 + 7$ |

- (1) sph = 水平方向の開始フェーズ (RSZ_CNT.HSTPH)
 spv = 垂直方向の開始フェーズ (RSZ_CNT.VSTPH)
 ow = 出力の幅 (OUT_SIZE.HORZ)
 oh = 出力の高さ (OUT_SIZE.VERT)
 hrs = 水平方向のリサイジング値 (RSZ_CNT.HRSZ)
 vrs = 垂直方向のリサイジング値 (RSZ_CNT.VRSZ)
 Extra = 0 (YENH.ALGO = 0) (エッジ強化はディスエーブル), Extra = 4 (YENH.ALGO = 0) (エッジ強化はイネーブル)

水平方向および垂直方向の開始フェーズは、RSZ_CNT.HSTPH および RSZ_CNT.VSTPH フィールドでそれぞれプログラム可能です。色差データは、双線形補間または輝度データと同じアルゴリズムを使用してリサイズできます (RSZ_CNT.CBILIN)。これらのフィールドを該当アルゴリズムで使用方法の詳細は、4.3.4.4 項を参照してください。

4.3.4.3 輝度エッジの強化

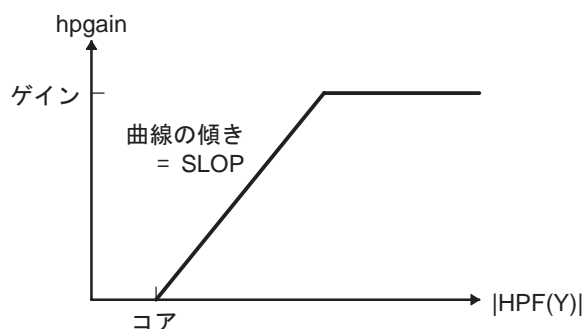
エッジ強化は、水平方向の段階の出力がライン・メモリおよび垂直方向の段階に送られる前に、水平方向へリサイズされた輝度コンポーネントに必要な応じて適用できます。YENH.ALGO ビットは、エッジ強化をディスエーブルするため、または輝度強化用の 3 タップまたは 5 タップの水平方向のハイパス・フィルタを選択するためにクリアされます。

エッジ強化が選択された場合、ラインごとに左端および右端の 2 ピクセルがそれぞれライン・メモリおよび垂直方向の段階に出力されません。OUT_SIZE.HORZ 設定は、最終出力幅です。垂直方向の 4 タップ・モードが使用されている場合には最大で 1280 ピクセル、垂直方向の 7 タップ・モードが使用されている場合には最大で 640 ピクセルになります。エッジ強化がイネーブルの場合、必要な出力幅を計算するために使用される水平方向のリサイズ出力幅は必ず $OUT_SIZE.HORZ + 4$ にしてください。

ハイパス・ゲインを計算するには、高域にある輝度の絶対値を図 37 の曲線にマッピングします。

YENH.CORE は U8Q0、つまり符号なし 8 ビット整数フォーマットです。YENH.SLOP は U4Q4、つまり符号なし 4 ビット小数フォーマットです。YENH.GAIN は U4Q4、つまり符号なし 4 ビット小数フォーマットです。hpgain (ハイパス・ゲイン) は符号付き / 整数ビットに 4 ビットの小数を加算して計算されますが、ゲインでクリッピングする前に 0 ~ 15 (0..15/16 を表す) に飽和可能です。

図 37. 高域にある輝度の絶対値を求める機能としてのハイパス・ゲイン



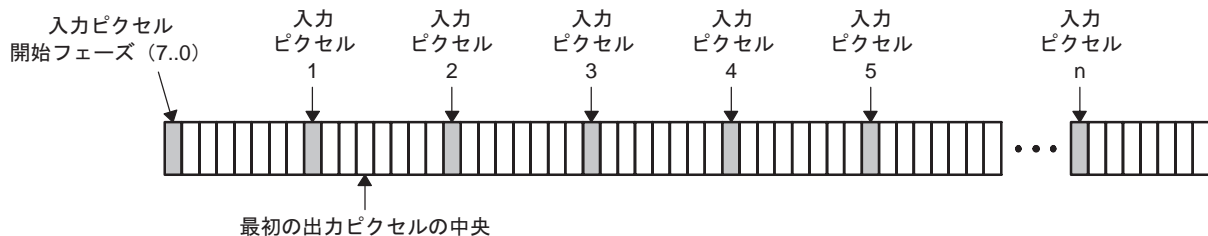
4.3.4.4 リサンプリング・アルゴリズム

リサイザ・モジュールは、水平方向および垂直方向の両方に対して同じリサンプリング・アルゴリズムを使用します。これ以降では、水平方向という用語はリサンプリング・アルゴリズムを説明する際に使用されます。このアルゴリズムは4タップ/8フェーズ・モードの場合を最初に説明してから、7タップ/4フェーズ・モードの場合を説明します。

4.3.4.4.1 4タップ/8フェーズ・モード

4タップ/8フェーズ・モードでは、8フェーズそれぞれの係数は、各入力ピクセル間で8個の中間ピクセルを補間するためにセットされる場合があります。各出力ピクセルを計算するために、1/256の入力ピクセル精度を備えた精度の高い入力ポインタはRSZ値ずつインクリメントされます。1/8入力ピクセル精度を備えた(8フェーズのいずれかに対応する)精度の低い入力ポインタは、精度の高い入力ポインタを最も近い1/8ピクセルに丸めることで計算されます。出力ピクセルを計算するには、(精度の低い入力ポインタによって選択される)フェーズ・フィルタの係数のドット積および適切な4つの入力ピクセルを使用します。7タップ/4フェーズ・モードでのリサイザ・アルゴリズムの疑似コードによる説明を図38に示します。

図 38. リサイザ・アルゴリズムの疑似コード：4タップ/8フェーズ・モード



- (ピクセル全体での)入力ピクセルの開始位置および位相の開始位置(1/8ピクセル単位で)は、リサイザ・レジスタを介してプログラムされます。
- 精度の高い入力ポインタは、1/256ピクセル精度で保持されます。
- 精度の低い入力ポインタとピクセル入力ポインタは、精度の高い入力ポインタに基づいて出力ごとに計算されます。
- 精度の低い入力ポインタは、1/8ピクセル精度で保持されます。ピクセル入力ポインタは、ピクセル精度全体で使用されます。
- 初期状態では、精度の高い入力ポインタ = $256 \times$ 入力ピクセルの開始位置 + $32 \times$ 位相の開始位置 - 256。精度の高い入力ポインタは、フィルタ波形の適用を受ける1/8ピクセル開始位置を規定します。
- 出力ピクセルごとに：

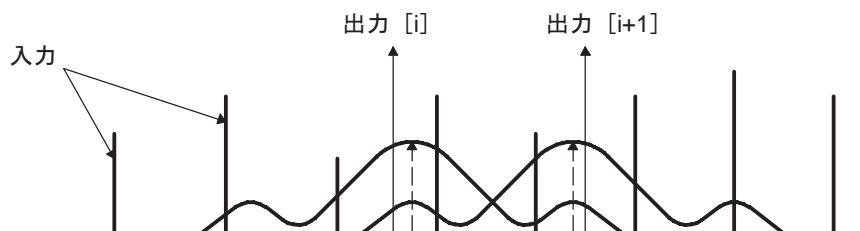
```

Coarse input pointer = (fine input pointer + 16) >> 5 /* round to nearest phase */
Pixel input pointer = (coarse input pointer >> 3) + 1 /* round up to a whole pixel, when already
                                                         on an integer pixel, go to next one to
                                                         simplify coefficient organization */

Coefficient phase = (coarse input pointer & 7) /* 3 LSBs = phase */
Output = dot product of the 4 coefficients and the 4 inputs starting with pixel input pointer
Clip output to 8-bit unsigned for luma, 8-bit signed for chroma
Fine input pointer = fine input pointer + RSZ
/* distance between outputs = 1/resize_factor = RSZ/256 = RSZ in 1/256 precision */
  
```

- 水平方向および垂直方向では両方とも同一アルゴリズムが適用されますが、ピクセル/位相の初期値やRSZ値はそれぞれ異なります。

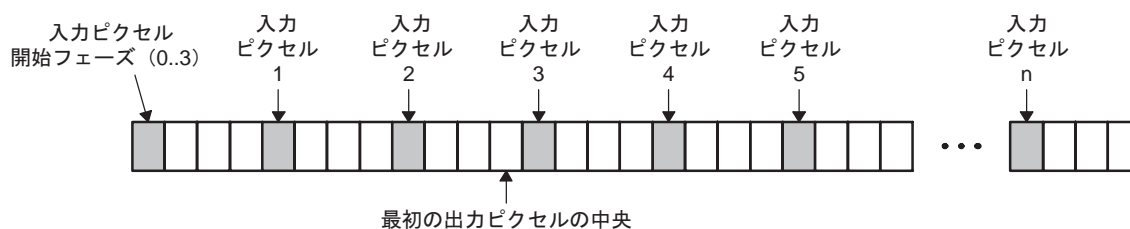
図 39. 4 タップ / 8 フェーズ・モードのリサンプリング・アルゴリズム



4.3.4.4.2 7 タップ / 4 フェーズ・モード

7 タップ / 4 フェーズ・モードでは、4 フェーズそれぞれの係数は各入力ピクセル間で 4 個の中間ピクセルを補間するためにセットされる場合があります。各出力ピクセルを計算するために、1/256 の入力ピクセル精度を備えた精度の高い入力ポインタは RSZ 値ずつインクリメントされます。1/4 入力ピクセル精度を備えた (4 フェーズのいずれかに対応する) 精度の低い入力ポインタは、精度の高い入力ポインタを最も近い 1/4 ピクセルに丸めることで計算されます。出力ピクセルを計算するには、(精度の低い入力ポインタによって選択される) フェーズ・フィルタの係数のドット積および適切な 7 つの入力ピクセルを使用します。7 タップ / 4 フェーズ・モードでのリサイズ・アルゴリズムの疑似コードによる説明を図 40 に示します。

図 40. リサイズ・アルゴリズムの疑似コード : 7 タップ / 4 フェーズ・モード



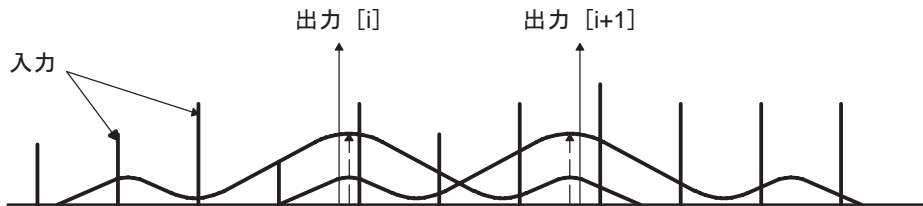
- (ピクセル全体での) 入力ピクセルの開始位置および位相の開始位置 (1/4 ピクセル単位で) は、リサイズ・レジスタを介してプログラムされます。
- 精度の高い入力ポインタは、1/256 ピクセル精度で保持されます。
- 精度の低い入力ポインタとピクセル入力ポインタは、精度の高い入力ポインタに基づいて出力ごとに計算されます。
- 精度の低い入力ポインタは、1/4 ピクセル精度で保持されます。ピクセル入力ポインタは、ピクセル精度全体で使用されます。
- 初期状態では、精度の高い入力ポインタ = 256 × 入力ピクセルの開始位置 + 64 × 位相の開始位置 - 256。精度の高い入力ポインタは、フィルタ波形の適用を受ける 1/4 ピクセル開始位置を規定します。
- 出力ピクセルごとに：

```
Coarse input pointer = (fine input pointer + 32) >> 6 /* round to nearest phase */
Pixel input pointer = (coarse input pointer >> 2) + 1 /* round up to a whole pixel, when
already
on an integer pixel, go to next one to
simplify coefficient organization */

Coefficient phase = (coarse input pointer & 3) /* 2 LSBs = phase */
Output = dot product of the 7 coefficients and the 7 inputs starting with pixel input pointer
Clip output to 8-bit unsigned for luma, 8-bit signed for chroma
/* It is acceptable to require the 8th coefficients to be filled with zero by firmware so that
8 coefficients and 8 inputs, the last input being don't care value, are multiply-added */
Fine input pointer = fine input pointer + RSZ
/* distance between outputs = 1/resize_factor = RSZ/256 = RSZ in 1/256 precision */
```

- 水平方向および垂直方向では両方とも同一アルゴリズムが適用されますが、ピクセル / 位相の初期値や RSZ 値はそれぞれ異なります。

図 41. 7 タップ/4 フェーズ・モードのリサンプリング・アルゴリズム



アルゴリズムの説明にあるピクセル入力ポインタ `pip` は、メモリにおける `byte` 型や `short` 型ではなくピクセル「を指す」用語であることに注意してください。精度の高い入力ポインタ `fip` は、 $1/256$ の解像度のサブピクセル位置を指します。精度の低い入力ポインタ `cip` は、位相の数に応じて $1/8$ または $1/4$ の解像度のサブピクセル位置を指します。

4.3.4.4.3 インターリーブされた色差を使用した水平方向のリサイズ

色差入力 `Cb` および `Cr` は、8 ビット符号なし値で、128 バイアスされた 8 ビット符号付きの値を表します（符号付き色差は、`Cb` や `Cr` ではなく `U` および `V` と呼ばれます）。リサイズの計算時に、色差の値は 8 ビット符号付きフォーマットに変換するために 128 バイアスが減算されます。垂直方向へのリサイズ後に、8 ビット符号なしフォーマットに変換するために 128 バイアスが加算されます。

輝度に対して水平方向へ 2:1 にダウンサンプリングされた色差コンポーネントには、水平方向へリサイズ処理する方法として、輝度を組み合わせたフィルタリングと双線形補間の 2 つがあります。このオプションは、`HRSZ/VRSZ` パラメータとは無関係に `RSZ_CNT.CBILIN` フィールドで選択できます。ただし、輝度を組み合わせたフィルタリングはダウンサンプリングだけを想定していて、双線形補間はアップサンプリングだけを想定しています。

図 34 および図 35 に記述されたアルゴリズムの説明は特定のカラーに依存しませんが、最大解像度の例を示すことを目的としていることに注意してください。そのため、`Y` を水平方向へのリサイズ、`Y/Cb/Cr` を垂直方向へのリサイズにそれぞれ適用可能です。フィルタリング・フローを組み合わせると `Y/Cb/Cr` を水平方向へリサイズするために、アルゴリズムは次のアルゴリズムの説明で示されているように変更されます。

色差と輝度を組み合わせたフィルタ (4 タップ/8 フェーズ・モード):

```

For (I=0; i<output_width; I++) {
  Coarse input pointer = (fine input pointer + 16) >> 5 /* round to nearest phase */
  Pixel input pointer = (coarse input pointer >> 3) + 1 /* round up to a whole pixel */
  Coefficient phase = pixel input pointer & 7 /* 3 LSBs = phase */
  if (I & 1 == 0) { /* even output pixel, generate YCbCr */
    Yout = dot product of the 4 coefficients and the 4 Y inputs starting with pixel input
    pointer
    Cbout = dot product of the 4 coefficients and the 4 upsampled Cb inputs starting with
    pixel input pointer
    Crout = dot product of the 4 coefficients and the 4 upsampled Cr inputs starting with
    pixel input pointer
    Clip outputs to 8-bit unsigned for luma, 8-bit signed for chroma
  }
  Else { /* odd output pixel, generate Y only */
    Yout = dot product of the 4 coefficients and the 4 Y inputs starting with pixel input
    pointer
    Clip output to 8-bit unsigned
  }
  Fine input pointer = fine input pointer + RSZ
}
}

```

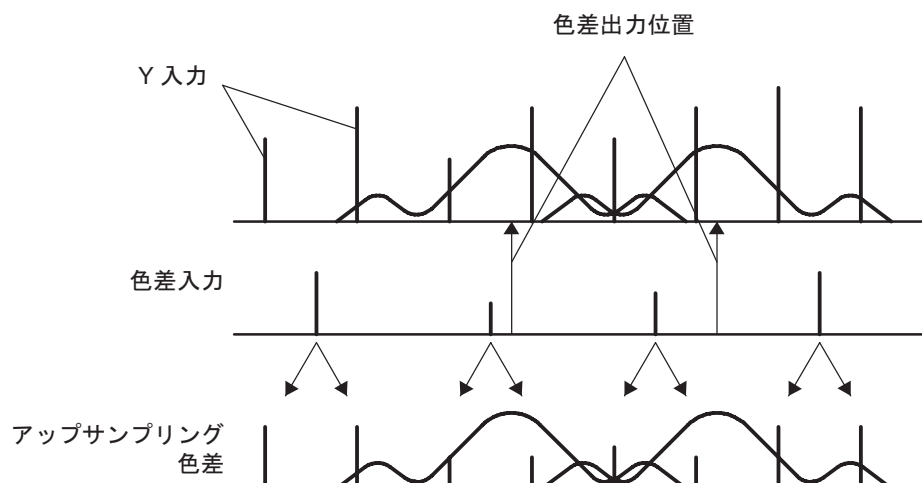
色差と輝度を組み合わせたフィルタ (7タップ/4フェーズ・モード)

```

For (I=0; i<output_width; I++) {
  Coarse input pointer = (fine input pointer + 32) >> 6 /* round to nearest phase */
  Pixel input pointer = (coarse input pointer >> 2) + 1 /* round up to a whole pixel */
  Coefficient phase = pixel input pointer & 3 /* 2 LSBs = phase */
  if (I & 1 == 0) { /* even output pixel, generate YCbCr */
    Yout = dot product of the 7 coefficients and the 7 Y inputs starting with pixel input
    pointer
    Cbout = dot product of the 7 coefficients and the 7 upsampled Cb inputs starting with
    pixel input pointer
    Crout = dot product of the 7 coefficients and the 7 upsampled Cr inputs starting with
    pixel input pointer
    Clip outputs to 8-bit unsigned for luma, 8-bit signed for chroma
  }
  Else { /* odd output pixel, generate Y only */
    Yout = dot product of the 7 coefficients and the 7 Y inputs starting with pixel input
    pointer
    Clip output to 8-bit unsigned
  }
  Fine input pointer = fine input pointer + RSZ
}
}

```

図 42. 色差処理オプション 1: 輝度を組み合わせたフィルタ



色差入力値は、内部で複製されて、輝度入力値に合う 1:2 のアップサンプリングを実現します。必要な色差出力だけが計算されます。これらは偶数の輝度出力に対応します。

色差を水平方向へリサイズする双線形補間フローの場合、アルゴリズムを次のように変更します。双線形補間オプションの場合、色差サンプルの複製は必要ではありません。

双線形補間 (4 タップまたは 7 タップ):

```

For (I=0; i<output_width; I++) {
  if (I & 1 == 0) { /* even output pixel, generate YCbCr */
    Coarse input pointer = ...
    Pixel input pointer = ...
    Yout = dot product of ...
    C_fine_input_pointer = fine_input_pointer + 128*ntaps /* points to center of filter
kernel */
    Cidx = C_fine_input_pointer >> 9 /* truncate to even pixel grid to find left
value */
    Cbin[0] = Cb[Cidx]
    Cbin[1] = Cb[Cidx + 1]
    Crin[0] = Cr[Cidx]
    Crin[1] = Cr[Cidx + 1]
    frac = C_fine_input_pointer & 511 /* 9-bit fraction */
    Cbout = ((512 - frac) * Cbin[0] + frac * Cbin[1] + 256) >> 9
    Crout = ((512 - frac) * Crin[0] + frac * Crin[1] + 256) >> 9
    Clip outputs to 8-bit unsigned for luma, 8-bit signed for chroma
    Fine input pointer = fine input pointer + RSZ
  }
  else { /* odd output pixel, generate Y */
    ...
  }
}

```

図 43. 色差処理オプション 2 : 双線形補間

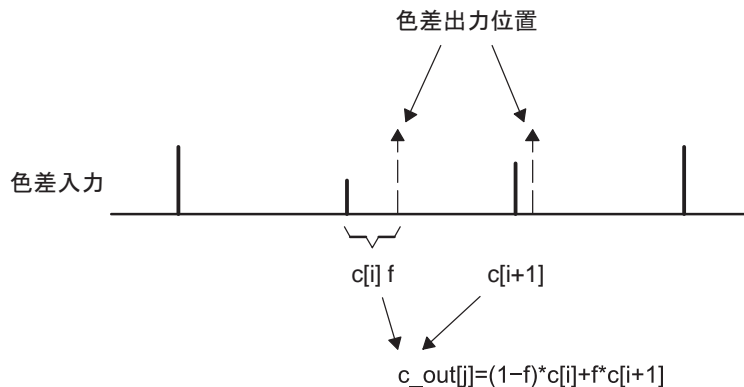


図 43 では、変数 f は実数の量を表すために、補間の計算で重み付けのために f および $1-f$ を使用します。上記アルゴリズムでは、固定小数点算術演算が使用されています。変数 $frac$ は小数 f を表す符号なし整数です。そのため、 $1-f$ は $512 - frac$ になります。積の和を計算後に、実数 0.5 を表す 256 がその計算した和に加算され、次にその和は 9 ビットだけ右シフトされ、整数色差表記に戻ります。

いずれのアルゴリズム・オプションでも、計算される色差出力は輝度値でインターリーブされ、YCbYCr 出力フォーマット (または RSZ_CNT.YCPOS で指定された別のフォーマット) を生成します。

垂直方向へのリサイズ段階では、2 つの色差平面は別の 1 つのイメージとしてインターリーブ処理されることに注意してください。垂直方向では解像度の問題はなく、また垂直方向へリサイズする際に水平方向の依存性もないため、垂直方向へのリサイズ方法は、従来の処理フローと整合性があります。ここではこれ以上説明しません。

4.3.4.4 アルゴリズムの機能性に関する例

4:2:2 フォーマット (4 タップ / 8 フェーズ・モード) でのアドレス計算と色差処理を示すために、水平方向へ 1:2.56 (hrsz = 100) にリサイズする例を表 26 に示します。ピクセルおよび位相の開始位置はゼロと見なされています。

表 26. 水平方向へ 1:2.56 にリサイズする場合の処理例

| 出力 | Y0 | Cb0 | Cr0 | Y1 | Y2 | Cb2 | Cr2 | Y3 | Y4 | Cb4 | Cr4 | Y5 |
|--|------|-----|-----|------|-----|-----|-----|----|-----|-----|-----|-----|
| fip (= hrsz) | -256 | | | -156 | -56 | | | 44 | 144 | | | 244 |
| cip (= (fip + 16) >> 5) | -8 | | | -5 | -2 | | | 1 | 5 | | | 8 |
| pip (= (cip >> 3) + 1) | 0 | | | 0 | 0 | | | 1 | 1 | | | 2 |
| coef ph (= cip & 7) | 0 | | | 3 | 6 | | | 1 | 5 | | | 0 |
| 必要な入力 (輝度のようにフィルタリング 処理される色差) | Y0 | Cb0 | Cr0 | Y0 | Y0 | Cb0 | Cr0 | Y1 | Y1 | Cb0 | Cr0 | Y2 |
| | Y1 | Cb0 | Cr0 | Y1 | Y1 | Cb0 | Cr0 | Y2 | Y2 | Cb2 | Cr2 | Y3 |
| | Y2 | Cb2 | Cr2 | Y2 | Y2 | Cb2 | Cr2 | Y3 | Y3 | Cb2 | Cr2 | Y4 |
| | Y3 | Cb2 | Cr2 | Y3 | Y3 | Cb2 | Cr2 | Y4 | Y4 | Cb4 | Cr4 | Y5 |
| Cfip (= fip + 512) | 256 | | | | 488 | | | | 720 | | | |
| Cidx (= Cfip >> 9) | 0 | | | | 0 | | | | 1 | | | |
| 色差双線形補間に必要な入力 | | Cb0 | Cr0 | | | Cb0 | Cr0 | | | Cb2 | Cr2 | |
| | | Cb2 | Cr2 | | | Cb2 | Cr2 | | | Cb4 | Cr4 | |

フィルタへの入力として {Cb0, Cb0, Cb2, Cb2} と {Cb0, Cb2, Cb2, Cb4} の使い分けに注意してください。4 つのフィルタ・タップが順に適用されます。そのため各種色差コンポーネントが繰り返されると、その結果は異なります (係数位相が同じ場合でも)。

また、色差双線形補間フローの Cidx は線形配列の順に色差サンプルを指します。そのため、Cidx = 1 というのは Cb2 および Cb4 を利用しているということを意味します。

4.3.5 カメラ制御モジュール

4.3.5.1 ハードウェア 3A (H3A)

H3A モジュールは、イメージ処理 / ビデオ・データに関するメトリックスを収集することにより、オート・フォーカス (AF)、オート・ホワイト・バランス (AWB)、オート・エクスポージャ (AE) が行えるように制御ループをサポートするために設計されています。H3A モジュールは、raw カラー Bayer パターン・データの場合のみ機能します。H3A モジュールは YUV モードでは機能しません。

H3A モジュールによって収集されたメトリックスは、イメージ処理 / ビデオ・データを処理する場合に各種パラメータを調整するために使われます。H3A モジュールには 2 つの主要なブロックがあります。

- オート・フォーカス (AF) エンジン：AF エンジンは、入力イメージ / ビデオ・データから赤、緑、青の各データを取り出しフィルタリングして、指定された領域のデータを累積するかその頂点を提供します。
- オート・エクスポージャおよびオート・ホワイト・バランス (AE/AWB) エンジン：AE/AWB エンジンはその値を累積し、ビデオ・データのサブサンプリングでの飽和値をチェックします。

AF 領域および AE/AWB 領域ウィンドウの数、次元、開始位置は個別にプログラム可能です。

4.3.5.1.1 オプションの前処理

H3A モジュールの入力ソースは、CCD コントローラからの 10 ビット raw データです。10 ビットから 8 ビットへの A-law 圧縮の手順は、AF エンジンおよび AE/AWB エンジンの両方に対して、別々にイネーブルにもディスエーブルにもできません。A-law テーブルがイネーブルの場合、出力は 10 ビットのままでその上位 2 ビットに 0 が入ります。A-law 圧縮には、アキュムレータのオーバーフローを防止する機能が別途用意されています。

AF 処理フローの場合、水平方向メディアン・フィルタは A-law 圧縮が行われる前はイネーブルにもディスエーブルにもできません。このフィルタは、温度誘導ノイズの影響を軽減するのに有効です。

4.3.5.1.2 オート・フォーカス・エンジン

オート・フォーカス (AF) エンジンは、最初にビデオ・ストリームから赤、緑、青の各ピクセルを取り出し、そのピクセル値から固定オフセットを減算します (A-law がイネーブルの場合 128、A-law がディスエーブルの場合 512)。次にオフセット値は 2 つの IIR フィルタに通され、フィルタ出力の絶対値がフォーカス値 (FV) になります。

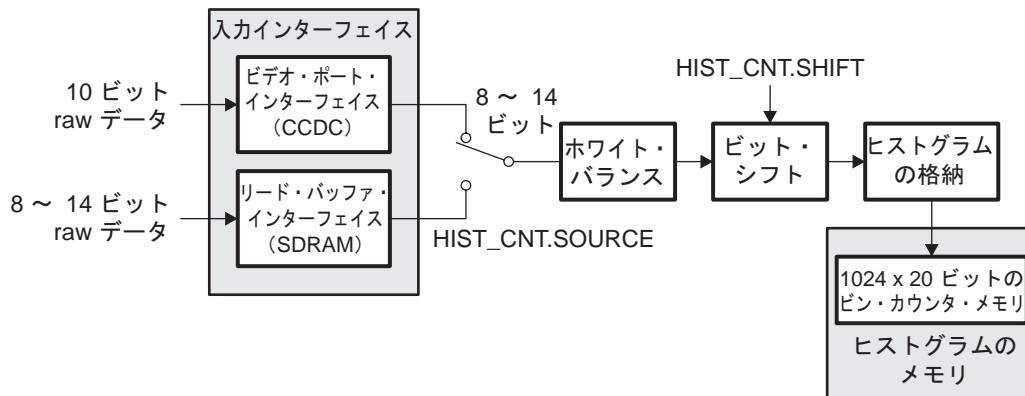
4.3.5.1.3 オート・エクスポージャおよびオート・ホワイト・バランス・エンジン

オート・エクスポージャおよびオート・ホワイト・バランス (AE/AWB) エンジンは、最初にフレームをウィンドウに分割し、さらにそれぞれのウィンドウを 2×2 ブロックにサブサンプリングします。次に、サブサンプリングされた 2×2 ブロックに対して、各ピクセルが累積されます。また各ピクセルは、レジスタにセットされた制限値と比較されます。 2×2 ブロック内のピクセルがいずれも制限値以上の場合、該当ブロックは飽和されていないブロック・カウンタにはカウントされません。制限値より大きなピクセルはすべて制限値で置き換えられ、ピクセル値が累積されます。

4.3.5.2 ヒストグラム (HIST)

ヒストグラムは、CCD/CMOS コントローラまたは SDRAM/DDRAM いずれかのビデオ・ポート・インターフェイスから raw イメージ / ビデオ・データを受け付け、各ピクセル上で色ごとにゲイン処理を行い、レジスタの設定値を使用して指定された振幅、カラー、領域に従ってそのデータを保存します。4 色 Bayer および最大で 4 つの領域を同時にサポートすることができます。ヒストグラム・モジュールの処理フローを図 44 に示します。

図 44. ヒストグラムの処理フロー



4.3.5.2.1 入力インターフェイス

ヒストグラムは (外部 CCD/CMOS センサーに接続される) CCD/CMOS コントローラ・モジュールを介してビデオ・ポート・インターフェイスから、または SDRAM/DDRAM を介してリード・バッファ・インターフェイスから raw イメージ / ビデオ・データを受け取ります (HIST_CNT.SOURCE)。入力ソースがビデオ・ポート・インターフェイスの場合、入力データは 10 ビット幅です。

入力ソースが SDRAM/DDRDRAM の場合、データ・ビット幅は 8 ~ 14 ビットの値になります。入力データが 8 ビットにパックされる（メモリに 16 ビットごとに 8 ビット・ピクセルが 2 つ含まれる）場合、HIST_CNT.DATSIZ ビットをセットしてください。同様に、メモリに 16 ビットごとにピクセルが 1 つ含まれている場合、HIST_CNT.DATSIZ ビットをクリアしてください。インプット SDRAM/DDRDRAM アドレス（RADD）およびライン・オフセット（RADD_OFF）レジスタは、メモリ内の入力フレームのロケーションを指定するために使われます。これらのレジスタは両方とも 32 バイト境界にアラインする必要があります。フレーム入力幅とその高さを設定するには、H_V_INFO.HSIZE および H_V_INFO.VSIZE レジスタ・フィールドをそれぞれ使用します。

ヒストグラム・モジュールは 4 色の Bayer カラー・パターンをサポートします。図 45 を参照してください。HIST_CNT.CFA フィールドは、入力データのカラー・パターンを選択するために使われます（必ず Bayer フォーマットにすること）。

図 45. カラー・パターン・インデックス

| Bayer | |
|-------|---|
| 0 | 1 |
| 2 | 3 |

4.3.5.2.2 ホワイト・バランス

ホワイト・バランスのゲインを、それぞれのカラー・チャンネルに対して別々に適用するには、WB_GAIN レジスタのフィールドをプログラムします。カラー・パターンのどのピクセル・インデックスが WB_GAIN レジスタの各フィールドに対応するかを表 27 に示します。

表 27. ホワイト・バランスのフィールドからパターンへの割り当て

| WB_GAIN フィールド | Bayer |
|---------------|-------|
| WB00 | 1 |
| WB01 | 2 |
| WB02 | 3 |
| WB03 | 4 |

それぞれのゲイン定数は、10 進精度の 5 ビットを備えた 8 ビット幅です（U8Q5）。

4.3.5.2.3 ヒストグラムの格納

ヒストグラムは、入力データを振幅、カラー、領域ごとに格納します。それぞれのビンには、ビンに対応した範囲内のカラーのピクセル数をカウントしたカウンタが含まれています。ビンの数は、HIST_CNT.BINS フィールドの 32、64、128、256 のいずれかにプログラム可能です。ただし、ヒストグラムのメモリ・サイズは制限されている（1024 ワード）ため、ビンの数（4 色の倍数）はアクティブになりうる領域の数を制限します。表 28 を参照してください。

表 28. ヒストグラムの領域とビンの数

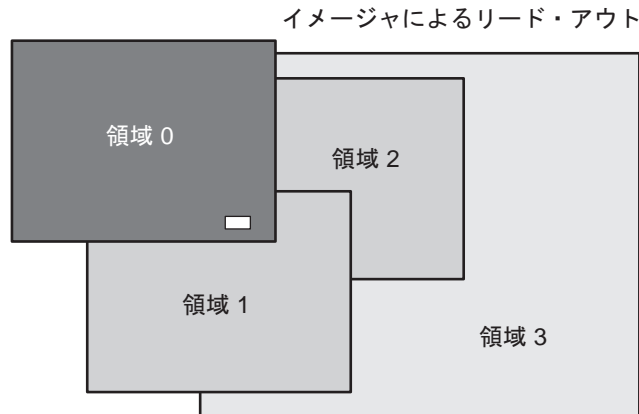
| ビンの数 | 許容される領域の数 |
|------|-----------|
| 256 | 1 |
| 128 | 2 |
| 64 | 4 |
| 32 | 4 |

表 28 に示したように、最大で 4 つのオーバーラップ領域をフレーム内に指定することができます。それぞれの領域は、水平方向の開始ピクセル（Rn_HORZ.HSTART）と終了ピクセル（Rn_HORZ.HEND）、垂直方向の開始ライン（Rn_VERT.VSTART）と終了ライン（Rn_VERT.VEND）により指定されます（ここで、n は領域番号 0..3）。開始ピクセル / ラインと終了ピクセル / ラインが同じ場合、領域サイズはゼロとして処理され、そのような領域では保存するものではありません。

4.3.5.2.3.1 領域の優先順位

同時にアクティブにできる領域は最大で4領域ですが、ピクセルは1つの領域にのみ保存されます。優先順位は、領域0 > 領域1 > 領域2 > 領域3の順です。図46の白ピクセルは、4つの領域すべてに存在しますが、領域0の場合にのみ保存されます。

図 46. 領域の優先順位



4.3.5.2.3.2 ピンのクリッピングおよび右シフト

保存に使用される入力ビットの下位側のビット数は、 \log_2 (ピンの数) に等しくなります。入力ビット幅がこの値より大きい場合、上位ビットがピンの最上位ロケーションにクリップされることとなります。これにより、上記ピンの範囲からのデータは一番上のピンに組み込まれます。

例 1.

1つの領域がイネーブル、カラーごとに256ピン ($\log_2(256) = 8$)

入力ビット幅 = 10ビット (そのため、上位2ビットは最上位のピンにクリップされる)

シフト = 0、入力ピクセル値 = 1000

ピクセル値 (1000) > 最大のピン・インデックス (255) (そのため、ピン255がインクリメントされる)

データが評価され、保存される前に、HIST_CNT.SHIFTレジスタ・フィールドで指定されたビット数だけ右シフトされます。HIST_CNT.SHIFTレジスタ・フィールドの値が、それぞれのピンの範囲を決定します。入力データを右シフトすると、単一のピンに送られることになる入力値の範囲は基本的に広がります。単一のピンに格納される入力ピクセル値の数は、 2^{SHIFT} と等しくなります。たとえば、0を右シフトすると、ピンごとに1つのピクセル値のみになります (ただし、最上位のピンは除く)。その一方で、4を右シフトすると、ピンごとに $2^4 = 16$ ピクセル値になります。これを使用すると、クリッピングを回避できるため、さまざまな入力幅のサイズに合わせてピンの範囲全体を使用することができます。次の計算式を使用して、ピンによるクリッピングを回避します。

$$\text{HIST_CNT.SHIFT} = (\text{入力ビット幅}) - \log_2(\text{ピンの数})$$

各種入力ビット幅およびピンの数を上記の計算式に代入したときの値を表29に示します (陰影付きの行は、入力ソースがCCD/CMOSコントローラのビデオ・ポート・インターフェイスの場合の入力ビット幅を示します)。

表 29. ビン・クリッピングを回避するために推奨される SHIFT 値

| 入力ビット幅 | ビンの数 / log ₂ (ビン) | | | |
|--------|------------------------------|--------|--------|--------|
| | 256/ 8 | 128/ 7 | 64/ 6 | 32/ 5 |
| 8 | 0 | 1 | 2 | 3 |
| 9 | 1 | 2 | 3 | 4 |
| 10 | 2 | 3 | 4 | 5 |
| 11 | 3 | 4 | 5 | 6 |
| 12 | 4 | 5 | 6 | 7 |
| 13 | 5 | 6 | 7 | クリッピング |
| 14 | 6 | 7 | クリッピング | クリッピング |

4.3.5.2.3.3 ビンの飽和

ヒストグラムのビンのカウンタ・メモリは 20 ビット幅です。ヒストグラムのビンをインクリメントした結果、そのカウンタ値がこのメモリ・ワードに保持されていた値より大きくなる場合、その値は最大値 $2^{20} - 1$ に飽和します。

4.3.5.2.4 ヒストグラムのメモリ出力フォーマット

ヒストグラムの出力メモリには、1024 個の 20 ビット・ワードが含まれています。データのライトまたはリードを行うには、HIST_ADDR および HIST_DATA レジスタを使用します。最初にメモリ・オフセット・アドレスを HIST_ADDR ヘライトし、その後 HIST_DATA レジスタが指定メモリ・ロケーションを指します。そのため、カウンタに対してリードまたはライトを行うことができます。HIST_DATA レジスタへアクセスを行うたびに、アドレスが自動インクリメントされます。その結果、HIST_ADDR アドレス・ポインタを変化させることなく、連続したメモリ・リードを行うことができます。このメモリを明示的にクリアするには、各レジスタへゼロをライトします。必要に応じて、HIST_CNT.CLR レジスタ・フィールドをセットできます。これにより、各アドレスではリード後にデータが自動的にクリアされます。

最初に、ヒストグラムの出力メモリは使用されるビンの数に応じて複数の領域に分割されます。ヒストグラムの出力メモリの各領域の先頭アドレスを表 30 に示します。

表 30. 領域オフセット・アドレス

| 領域番号 | ビンの数 | | | |
|------|------|-----|-----|-----|
| | 256 | 128 | 64 | 32 |
| 領域 0 | 0 | 0 | 0 | 0 |
| 領域 1 | | 512 | 256 | 128 |
| 領域 2 | | | 512 | 256 |
| 領域 3 | | | 768 | 384 |

それぞれの領域は、さらにカラー領域に分割されます。図 47 に示したカラー・パターン・インデックスを使用すると、次の計算式を使用して、各領域に分割されたカラー・オフセットを求めることができます。

$$\text{カラー・オフセット} = (\text{カラー・インデックス}) \times (\text{ビンの数})$$

図 47. カラー・パターン・インデックス



上記の計算式を利用して求めた値を表 31 に示します。

表 31. 各領域内のカラー・オフセット・アドレス

| カラー | ピンの数 | | | |
|-----|------|-----|-----|----|
| | 256 | 128 | 64 | 32 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 256 | 128 | 64 | 32 |
| 2 | 512 | 256 | 128 | 64 |
| 3 | 768 | 384 | 192 | 96 |

個々のピクセルの振幅値を備えたピンが各カラー領域内にあります。各カラー領域に分割されたアドレス・オフセットはピンの値を示します。

4.4 VPFE アービトレーションおよびデータ転送

共有バッファ・ロジック (SBL) セントラル・リソースは、VPSS モジュールと DDR EMIF 間のデータ・フローを管理します。外部の DDR2 帯域を効率的に使用するために、共有バッファ・ロジック / メモリは、高帯域バス (64 ビット幅) を介して DMA システムと接続されています。また共有バッファ・ロジック / メモリは、128 ビット幅のバスを介してすべての VPFE および VPBE モジュールとも接続されています。

高速でしかも高解像度でのイメージ処理を行うリアルタイム性が要求されるため、VPSS はシステムに最大の帯域幅要件を要求します。VPSS に搭載されている各モジュールの最大データ・スループット能力を表 32 に示します。

表 32. 最大データ・スループット能力

| モジュール | リード時の帯域幅 (MB/s) | ライト時の帯域幅 (MB/s) |
|----------------------|-----------------|-----------------|
| CCD コントローラ | ~10 | DSPCLK/3 |
| プレビュー・エンジン | 225 | DSPCLK/3 |
| リサイザ | DSPCLK/3 | 4 倍の DSPCLK/3 |
| ヒストグラム | DSPCLK/3 | - |
| ハードウェア 3A (H3A) | - | ~2 |
| オンスクリーン・ディスプレイ (OSD) | 175 | - |

上記レート合計すると、DDR2 のピーク時に得られる帯域幅より大きくなるため、上記レートでの持続性能は得られません。ただし、瞬間的なピーク時のトラフィックは内部でのバッファリングでサポート可能です。VPSS の DMA マスタは、機能性を確保するためにシステム上、優先順位を最上位に設定する (デフォルト) 必要があります。この優先順位は、VPSS モジュールの PCR.DMA_PRI レジスタ・フィールドを変更すると低くすることもできます (非推奨)。

4.4.1 VPSS の DMA 転送の動作

これから説明する情報は、ユーザには見えないハードウェアの動作について解説したものです。この動作を理解するとシステム性能を最適化することができます。

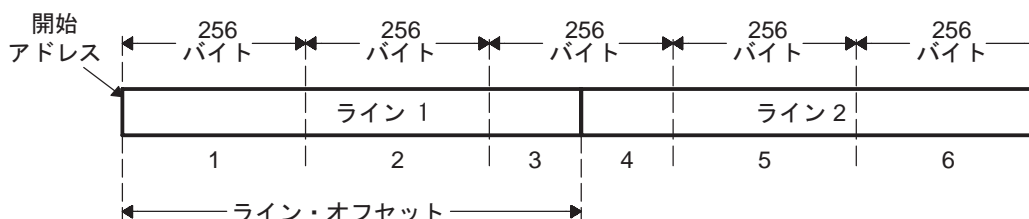
各 DDR2 リクエストは最大で 256 バイトに対応し、転送完了までに最大で 40 DMA サイクルかかる場合があります。

$$(8 \text{ バイト / サイクル} \times 32 \text{ サイクル}) + (8 \text{ サイクルのセットアップ} \cdot \text{オーバーヘッド}) = 40 \text{ サイクルで 256 バイト}$$

各データ転送は、DDR メモリ内で 256 バイト境界にまたがることはありません。リード / ライト・リクエストの開始アドレスが 256 バイト境界にある場合、最初のリクエストは開始アドレスから始まる 256 バイト・ブロック全体を転送します。ただし、開始アドレスが 256 バイト境界にない場合、最初のリクエストは開始アドレスから最初の 256 バイト境界までのデータだけを転送します。これは 256 バイト未満の転送になります。その後、以降のリクエストはそれぞれ、ラインの終わりに達するまで 256 バイトを転送します (256 バイト境界にアラインされているため)。各ラインの終わりに、ラインを完了するのに必要な量だけが転送されます。

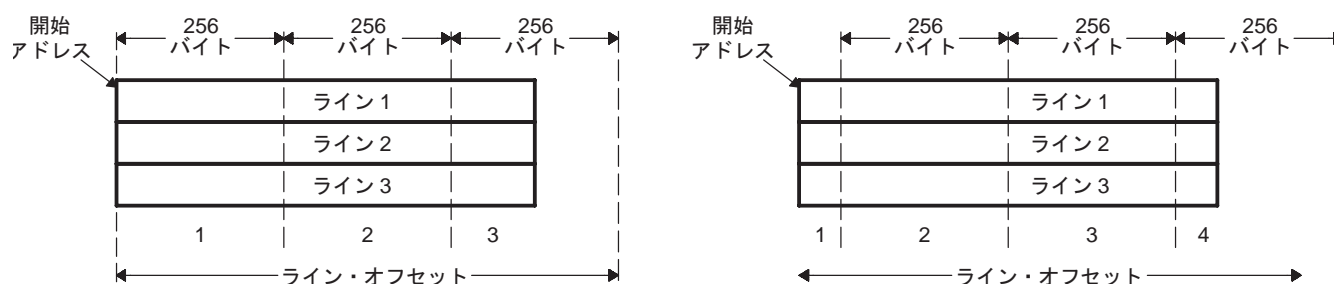
フレームの各ラインは、別々に転送されます。つまり、あるラインの終わりからのデータおよび次のラインの始まりからのデータは両方とも同一 256 バイトのメモリ・ブロックにあっても、同じリクエストでは転送されないということです。その代わりに、あるリクエストが最初のラインの最後の部分に対して行われ、新規リクエストが次のラインの最初の部分に対して行われます。図 48 では、開始アドレスが 256 バイト境界にあり、かつ各ライン幅とライン・オフセットが 640 バイトにセットされているため、各ラインは両方のラインに対して、5 つのリクエストではなく、各 3 つのリクエストで、合計で 6 つのリクエストになります。

図 48. ラインごとの DMA 転送リクエスト数



各ラインの幅に応じて、開始アドレスとライン・オフセット・レジスタの両方またはそのいずれかを (32 または 64 バイト境界が必要とする) 256 バイト境界にあるようにプログラムしないと、さらに多くの DMA リクエストが必要になる場合があります。開始アドレスおよびライン・オフセット・レジスタをプログラムする 2 つのケースを図 49 に示します。

図 49. 開始アドレス・ポインタのアライメント



(a) 開始アドレス - 256 バイトがアラインされている
ライン・オフセット - 256 バイトがアラインされている

(b) 開始アドレス - 256 バイトにアラインされていない
ライン・オフセット - 256 バイトがアラインされている

ケース (a) では、開始アドレスとライン・オフセットの両方が 256 バイトにアラインされていて、ラインごとに 3 つのリクエストが連続しています。ケース (b) では、ライン・オフセットだけが 256 バイトにアラインされていて、ラインごとに 4 つのリクエストが連続しています。ライン・オフセットが 256 バイトにアラインされていないケースでは、場合によって、ラインは 256 バイト境界で開始することもあります、それ以外ではアラインされません。これにより、モデル化がより難しくなります。真偽を表 33 に示します。ここで Y は 256 バイトにアラインされていること、N は 256 バイトにアラインされていないことをそれぞれ表します。性能の列に記述された - 記号は、ベスト・ケースとワースト・ケース間のある時点を表します。

表 33. アライメント性能

| 開始アドレス | ライン・オフセット | 性能 |
|--------|-----------|----|
| Y | Y | 最適 |
| Y | N | - |
| N | Y | 最悪 |
| N | N | - |

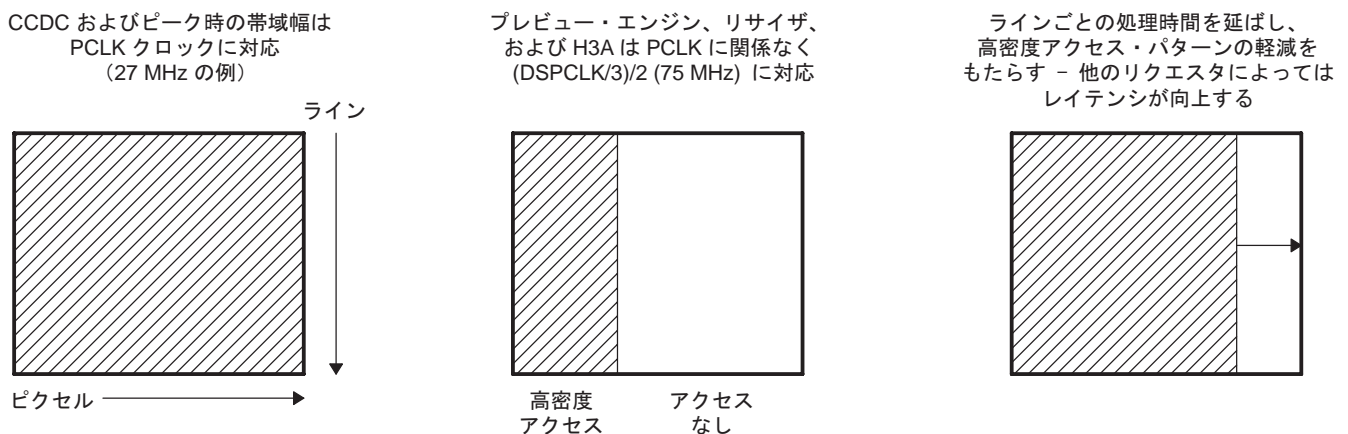
4.4.2 VPSS の DMA 帯域幅調整

VPSS はシステム内で優先順位が最も高いため、処理可能な最大レートでデータの処理と転送を行います。この処理に時間がかかって、リアルタイムに決められた時間内に行われない場合、この処理は DMA リソースを必要以上に消費してしまい、システム内の他のペリフェラル性能に悪影響を与える場合があります。VPSS はこのような状況でデータ処理速度をスロー・ダウンさせることができる 2 つの調整方法を提供します。1 つは CCD コントローラへのセンサー入力が入力ソースの場合に実行可能な方法で、もう 1 つは SDRAM/DDRDRAM が入力イメージのソースの場合に実行可能な方法です。

4.4.2.1 CCD コントローラのビデオ・ポート・インターフェイスからの入力

ビデオ・ポート・インターフェイスは、PCLK のレートとは無関係にデータを転送します。デフォルトでは、このレートは $(\text{DSPCLK}/3)/2$ (通常モードでは ~75 MHz、ターボ・モードでは 99 MHz) にセットされますが、通常モードでは ~71 MHz、ターボ・モードでは 90 MHz で動作する PCLK をサポートするには十分な速度です。PCLK がより低速な周波数で動作する場合、ビデオ・ポート・インターフェイスがそのような高速な周波数で動作することは不必要です。CCD コントローラの FMTCFG.VPIF_FRQ フィールドをプログラムして、ビデオ・ポートが新規データを他のモジュール (プレビュー・エンジン、H3A、ヒストグラム) に転送するレートを引き下げることができます。実質的に、FMTCFG はプレビュー・エンジンおよび H3A の出力帯域幅を間接的に制御しています。出力センサー・クロックに応じて、このフィールドを適切にセットし、SDRAM に対する帯域幅要件のバランスを調整することができます。このレジスタが PCLK の低速な周波数に対して、ラインごとの処理時間を延ばすことができる様子を図 50 に示します。

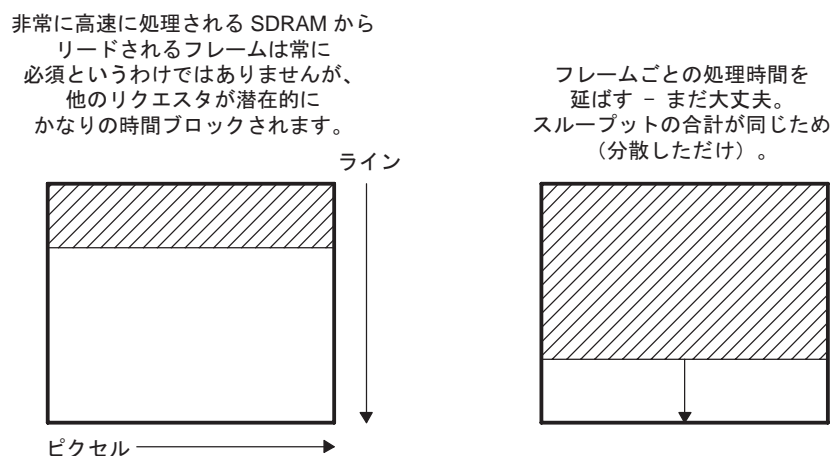
図 50. ビデオ・ポート・インターフェイスによる帯域幅のバランス調整



4.4.2.2 SDRAM/DDRDRAM からの入力

入力イメージ・ソースが SDRAM/DDRDRAM の場合、データはメモリからフェッチされ、定常状態のレート $\text{DSPCLK}/3 \text{ MB/s}$ で処理されます。各フレームのイメージ・サイズとリアルタイム・デッドラインに応じて、このレートは必要以上に高速になる場合があります。このような動作は、システム内の他のプロセスを停止させてしまうこともあります。VPSS モジュールの SDR_REQ_EXP レジスタをプログラムすると、VPSS モジュール (プレビュー・エンジン、リサイズ、ヒストグラム) はメモリから入力フレームをリードするレートを制御できます。これは、プレビュー・エンジンおよびリサイズの出力帯域幅を間接的に制御します。イメージ・サイズおよびリアルタイム・デッドラインに応じて、このフィールドを適切にセットすると、SDRAM に対する帯域幅要件のバランスを調整することができます。リアルタイム性がそれほど要求されない場合、このレジスタが処理時間を延ばすことができる様子を図 51 に示します。

図 51. SDRAM/DDRAM によるリード時の帯域幅のバランス調整



内部では、VPSS モジュールが DDR から入力を受信している場合、内部バッファに使用可能なメモリがある限り VPSS は DDR EMIF に対してリード・リクエストを発行します。SDR_REQ_EXP レジスタをプログラムするために使われるリード・リクエスト間の最小サイクル数 (DSPCLK/3) は、フレーム・サイズおよびリアルタイム要求に基づいて決定されます。サイクル数の計算は次の式を使用します。

$$\text{サイクル数/リクエスト} = (\text{DMA サイクル/フレーム}) / (\text{DMA リード・リクエスト/フレーム})$$

この計算式では、(DMA サイクル/フレーム) は、リアルタイム要求に基づいています。たとえば、リアルタイム要求がフレーム・レート 1/30 秒でかつ、DSPCLK/3 が 153 MHz の場合、これは次のように計算されます。

$$\begin{aligned} \text{DMA サイクル/フレーム} &= \text{DSPCLK}/3 \times \text{フレーム・レート} \\ &= 153 \text{ MHz} \times 1/30 = 5.1M \text{ サイクル} \end{aligned}$$

この計算式では、(DMA リード・リクエスト/フレーム) はフレーム・サイズおよびメモリ内のアライメントに基づきます (4.4.1 項を参照)。VGA (640 × 480) のフレーム・サイズおよび最適なアライメント条件については、次のようになります。

$$\begin{aligned} \text{DMA リード・リクエスト/フレーム} &= \text{転送数/ライン} \times \text{ライン数} \\ &= ((640 \text{ ピクセル/ライン} \times 2 \text{ バイト/ピクセル}) / 256 \text{ バイト/転送数}) \times 480 \text{ ライン} \\ &= 2400 \text{ リクエスト/フレーム} \end{aligned}$$

この例では、最終的な計算式は次のようになります。

$$\text{サイクル数/リクエスト} = 5.1M \text{ サイクル} / 2400 \text{ リクエスト} = 2125 \text{ サイクル/リクエスト}$$

各種リード・リクエストに対して SDR_REQ_EXP レジスタへライト可能な最大値は、1023 です。ヒストグラムおよびプレビュー・エンジンの場合、この数値は raw データ・フレームの一般的なサイズでは十分なはずですが、ただし、リサイズはさまざまなビデオ・フレーム・サイズをリードできるため、内部ではリサイズのフィールドと 32 が乗算されています。そのため、この例の場合、SDR_REQ_EXP.RESZ_EXP フィールドは FLOOR(2125/32) = 66 にプログラムされます。

この例の計算式から、SDR_REQ_EXP をプログラムするための推定値つまり開始位置がわかります。システムの負荷および使用可能な帯域幅に応じて、非常に負荷の高いシステムに合わせて補正するために、この数値を小さくすることが必要になる場合があります。

4.5 エラー・レポート

前述した共有バッファ・ロジック (SBL) には、VPSS リードまたはライトを行うデッドラインが欠けているときにフラグを設定する、ユーザがアクセス可能なレポート機能が含まれています。メモリ・オーバーフローまたはアンダーフロー・エラーは、VPFE のリード・バッファまたはライト・バッファで発生します。ライト・バッファが原因でオーバーフローが発生した場合、対応するフェイル・ビットが VPSS.PCR レジスタにセットされます (表 34 を参照)。フォールト・ピクセル補正を使用すると、DDR2 からのフォールト・ピクセル・データをリードできなかったことが、CCDC.FPC.FPERR ビットにより特定されます。最後に、ダークフレーム減算またはシェーディング補正を使用すると、DDR2 からのデータをリードできなかったことが PREV.PCR.DARK_FAIL ビットにより特定されます。

表 34. VPSS エラーを示す内容

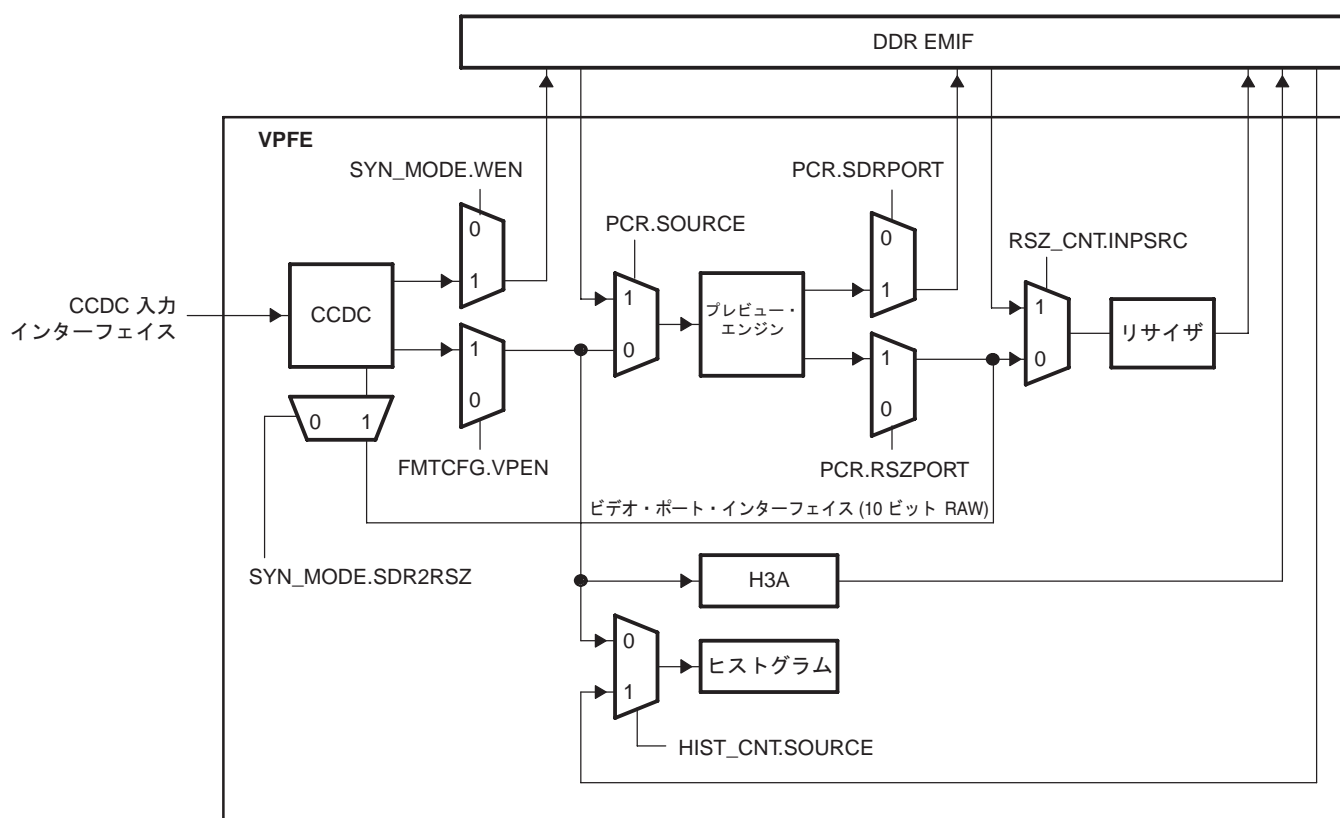
| PCR ビット | エラー条件 |
|------------|-----------------------------------|
| CCDC_WBL_O | ライト・バッファ・メモリ・オーバーフロー (CCDC) |
| PRV_WBL_O | ライト・バッファ・メモリ・オーバーフロー (プレビュー・エンジン) |
| RSZ1_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 1) |
| RSZ2_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 2) |
| RSZ3_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 3) |
| RSZ4_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 4) |
| AF_WBL_O | ライト・バッファ・メモリ・オーバーフロー (AF) |
| AEW_WBL_O | ライト・バッファ・メモリ・オーバーフロー (AE/AWB) |

5 プログラミング・モデル

5.1 典型的なコンフィギュレーション用のセットアップ

デジタル・カメラ・アプリケーション用の VPFE の典型的なコンフィギュレーションには、CCD コントローラ、タイミング・ジェネレータ (TG)、およびアナログ・フロント・エンド (AFE) イメージャー・サブシステムへの接続が含まれます。このような外部デバイスのプログラミングに加え、VPFE は 30 Hz のフレーム・レートでデータをキャプチャするようにプレビュー・モードでプログラムされます。VPFE サブモジュールは、プレビュー・エンジンおよび必要に応じてリサイズを介してディスプレイするために、このデータおよびフォーマットをキャプチャ/リードするように設定されます。同時に、統計情報収集モジュールは、ユーザが定義した焦点制御アルゴリズムなどで使用するデータを収集します。VPFE のデータ・フローを図 52 に示します。モジュール間のインターフェイスは、記載されたレジスタ・フィールドの値を使用して設定されます。CCD コントローラへの入力ソースは、AFE からの raw イメージ・データまたは YCC データのいずれかです。プレビュー・エンジン、H3A、およびヒストグラムへの入力ソースは、raw イメージ・データのみです。リサイズへの入力ソースは、YCC データのみです。

図 52. VPFE のデータ・フローを示すブロック図



5.2 カメラ・サブシステムのリセット

VPSS サブシステム全体 (VPFE と VPBE) は、パワー・スリープ・コントローラ (PSC) を介してリセットされます。

5.3 クロックと制御信号のコンフィギュレーション

入力ピクセルのデータ・クロックは、外部イメージャー・デバイスから供給される必要があります。

VPFE が HD/VD 同期信号を出力するマスタ・モードで設定されている場合、適切なフレーム定義は CCD コントローラで設定される必要があります。それ以外の場合、スレーブ・モードでは、VPFE は外部から供給される信号に同期します。

5.4 CCD コントローラのプログラミング

ここでは、CCD コントローラのソフトウェア制御に関する手法について説明します。各種モードでプログラムが必要なレジスタ、CCD コントローラをイネーブル/ディスエーブルする方法、および CCD コントローラのステータスをチェックする方法を示し、各種レジスタのアクセス・タイプについて説明し、さまざまなプログラミング上の制約事項についても列挙します。

5.4.1 ハードウェアのセットアップ/初期化

ここでは、イメージ処理を開始する前に必要な CCD コントローラのコンフィギュレーション方法を説明します。

5.4.1.1 リセット動作

VPSS のハードウェア・リセットによって、CCD コントローラのすべてのレジスタがそのデフォルト値にセットされます。

5.4.1.2 レジスタのセットアップ

CCD コントローラをイネーブルする前に、レジスタヘライトすることによりハードウェアを適切に設定しておく必要があります。CCD コントローラをイネーブルする前に必ずプログラムを必要とするレジスタのパラメータを表 35 に示します。

対応する条件に合致するかどうかに応じて、他の必要なコンフィギュレーションを表 36 に示します。表は次のように読んでください。

(条件が真の場合)

パラメータをプログラムするために、コンフィギュレーションが必要

表 35. コンフィギュレーション・パラメータが必要な CCD コントローラ

| 機能 | 必要なコンフィギュレーション | |
|---------------------|----------------|----------|
| | レジスタ | フィールド |
| 外部ピンの信号のコンフィギュレーション | SYN_MODE | VDHDOUT |
| | SYN_MODE | VDHDEN |
| | SYN_MODE | VDPOL |
| | SYN_MODE | HDPOL |
| | SYN_MODE | FLDMODE |
| | SYN_MODE | FLDOUT |
| | SYN_MODE | FLDPOL |
| | SYN_MODE | EXWEN |
| | SYN_MODE | DATAPOL |
| | CCDCFG | VDLC = 1 |
| 入力モード | REC656 | R656ON |
| | SYN_MODE | INPMOD |
| カラー・パターン | COLPTN | |
| ブラック補正 | BLKCMP | |
| データ・パスのコンフィギュレーション | FMTCFG | VPEN |
| | SYN_MODE | VP2SDR |
| | SYN_MODE | WEN |
| | SYN_MODE | SDR2RSZ |

表 36. CCD コントローラの条件付きコンフィギュレーション・パラメータ

| 機能 | 条件 | 必要なコンフィギュレーション |
|-----------------------------|--|--|
| 出力としてセットされる VD/HD | SYN_MODE.VDHDOUT | VD_HD_WID PIX_LINES |
| インターレース対象フィールド | SYN_MODE.FLDMODE | CCDCFG.FIDMD |
| 外部 WEN | SYN_MODE.EXWEN | CCDCFG.WENLOG |
| REC656 入力 | REC656.R656ON | REC656.ECCFVH CCDCFG.BW656 |
| YCC 入力 | SYN_MODE.INPMOD != 0 && !REC656.R656ON | CCDCFG.YCINSWP CCDCFG.MSBINVI DCSUB |
| 8 ビット YCC 入力 | SYN_MODE.INPMOD == 2 && !REC656.R656ON | CCDCFG.Y8POS |
| raw 入力 | SYN_MODE.INPMOD == 0 && !REC656.R656ON | SYN_MODE.DATSIZ CLAMP.CLAMPEN |
| オプティカル・ブラック・クランプのイネーブル | CLAMP.CLAMPEN && SYN_MODE.INPMOD == 0 | CLAMP.OBGAIN CLAMP.OBST CLAMP.OBSLN CLAMP.OBSLEN |
| オプティカル・ブラック・クランプのディスエーブル | !CLAMP.CLAMPEN && SYN_MODE.INPMOD == 0 | DCSUB |
| SDRAM またはリサイズへのライト | SYN_MODE.WEN SYN_MODE.SDR2RSZ | HORZ_INFO VERT_START VERT_LINES SYN_MODE.LPF CULLING ALAW.CCDTBL SYN_MODE.PACK8 CCDCFG.BSWD |
| SDRAM へのライト | SYN_MODE.WEN | SDR_ADDR HSIZE_OFF SDOFST |
| A-law | ALAW.CCDTBL | ALAW.GWID |
| 割り込みの使用 | VDINT[1:0] 割り込みがイネーブル | VDINT |
| フォールト・ピクセル補正 | FPC.FPCEN | FPC.FPNUM FPC_ADDR フォールト・ピクセル・テーブルは SDRAM/DDRAM に配置してください |
| ビデオ・ポート (データ・フォーマット) のイネーブル | FMTCFG.VPEN | FMTCFG.VPIN FMT_HORZ FMT_VERT VP_OUT FMTCFG.VPIF_FRQ |

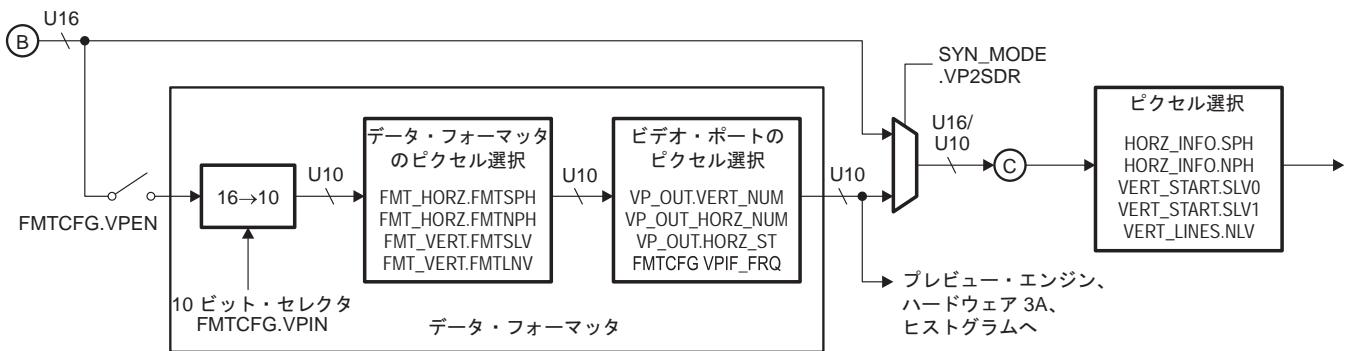
5.4.1.3 ピクセル・セレクション (フレーミング) レジスタの依存関係

データ・フローの中には、有効なデータ領域を指定できる場所が3箇所あります。

- データ・フォーマット入力ピクセル選択
- ビデオ・ポート出力ピクセル選択
- 出力フォーマット・ピクセル選択

フレームの指定は、アップストリーム・フレームの指定出力に関連しているために注意する必要があります。ビデオ・ポートがイネーブルの場合、VP_OUT.VERT_NUM は FMT_VERT.FMTLNV より小さくする必要があります。

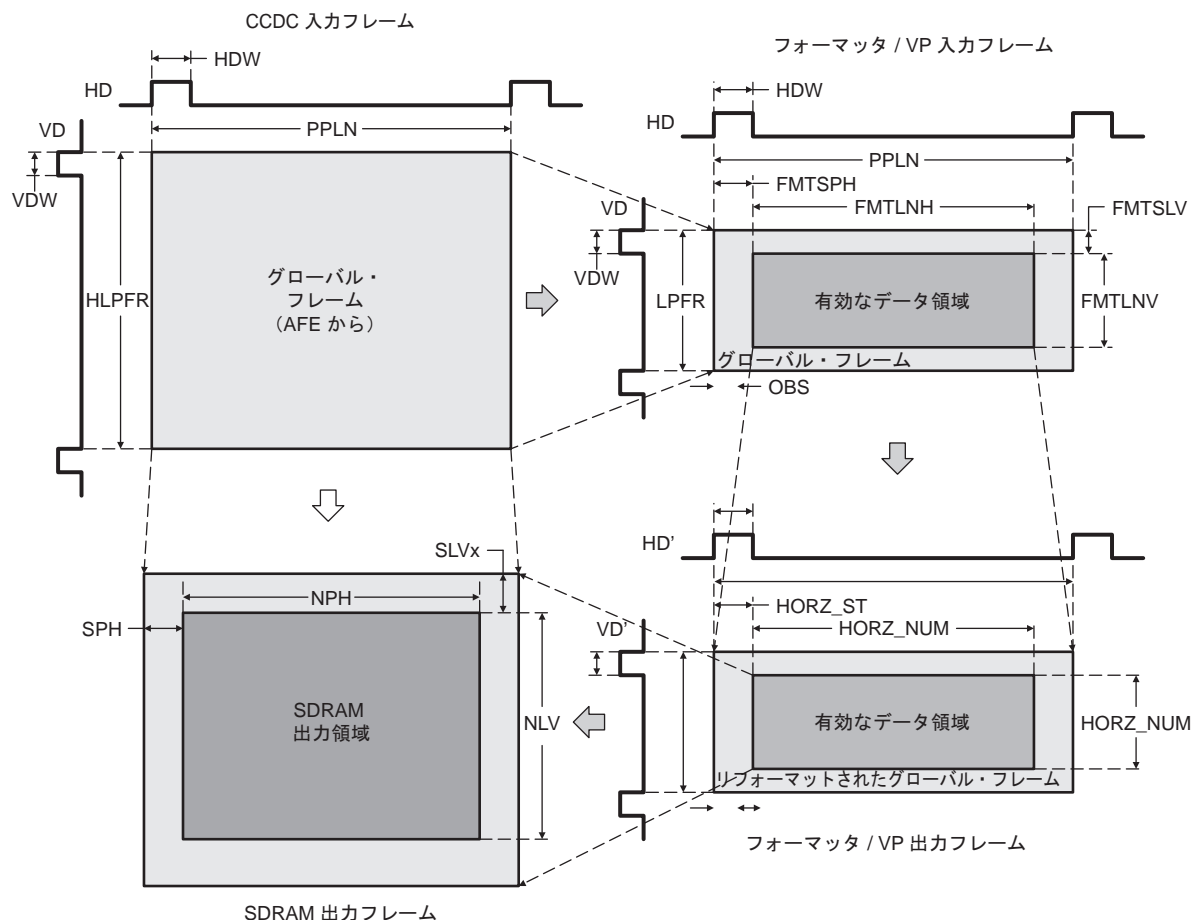
図 53. データ・フロー図におけるピクセル選択ロケーション



ピクセル・セレクション・レジスタのプログラミングに影響を与える CCDC から 2 つのデータ・パスがあります。これは VP2SDR フィールドの値によって異なります。

- VP2SDR = 0 : 入力データは、データ・フォーマット / ビデオ・ポートをバイパスします。この場合、SDRAM 出力フレーム・パラメータのみが適用されます。このデータ・パスは、図 54 では白矢印で表されています。
- VP2SDR = 1 : 入力データは、データ・フォーマット / ビデオ・ポートを通ります。この場合、データ・フォーマット・フレームの指定は両方ともビデオ・ポート出力に適用されます。また 3 つのすべてのフレームの指定が SDRAM 出力に適用されます。このデータ・パスは、図 54 では緑の陰影を付きの矢印で表されています。

図 54. データ・フローにおけるフレーミング設定値の依存関係



5.4.2 ハードウェアのイネーブル/ディスエーブル

注： CCD コントローラがディスエーブルの場合 ($PCR.ENABLE = 0$)、CCD コントローラは引き続き割り込みを生成します。ユーザの設計では割り込みが想定されていない場合、割り込みコントローラ (INTC) から生成されるこれらの割り込みをディスエーブルする必要があります。INTC の詳細については、『TMS320DM643x DMP DSP Subsystem Reference Guide』(資料番号 [SPRU978](#)) を参照してください。

PCR.ENABLE ビットを 1 にセットすると、CCD コントローラがイネーブルされます。前項で説明した、該当するすべてのレジスタをプログラムしてから、この作業を行ってください。

CCD コントローラは常に連続モードで動作します。CCD コントローラをイネーブルすると、PCR.ENABLE ビットがソフトウェアによってクリアされるまで、以降のフレームは引き続き処理されます。これが行われると、CCD コントローラがディスエーブルされる前では、処理されているフレームは引き続き完了するまで処理が行われます。

CCD コントローラが (HD/VD 信号が出力にセットされている) マスタ・モードで動作している場合、フレームのフェッチおよび処理は PCR.ENABLE ビットをセットするとただちに開始します。

CCD コントローラが (HD/VD 信号が入力にセットされている) スリープ・モードで動作している場合、フレームの処理は外部センサー/デコーダの入力タイミングに応じて異なります。外部デバイスからのデータが欠けていないことを確実にするために、CCD コントローラは外部デバイスからデータ送信が行われる前にイネーブルしてください。このように、CCD コントローラは外部デバイスからのデータを待ちます。

5.4.3 イベントとステータスのチェック

CCD コントローラは、3 つの異なる割り込み VDINT0、VDINT1、および VDINT2 を生成します。CCD コントローラの割り込みをすべて受け取るために、SYN_MODE.VDHDEN ビットをイネーブルする必要があることに注意してください。

5.4.3.1 VDINT0 および VDINT1 割り込み

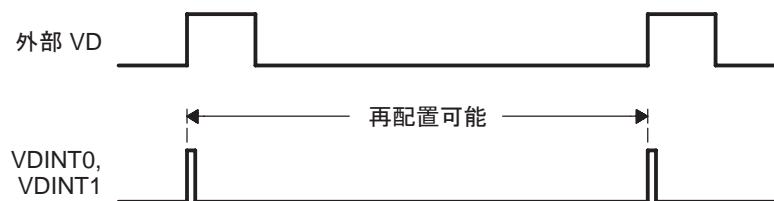
注： CCD コントローラがディスエーブルの場合 (PCR.ENABLE = 0)、CCD コントローラは引き続き割り込みを生成します。ユーザの設計では割り込みが想定されていない場合、割り込みコントローラ (INTC) から生成されるこれらの割り込みをディスエーブルする必要があります。INTC の詳細については、『TMS320DM643x DMP DSP Subsystem Reference Guide』(資料番号 SPRU978) を参照してください。

図 55 および図 56 に示すように、VDINT0 および VDINT1 割り込みは、VD パルスに関連して発生します。トリガのタイミングを選択するには、SYN_MODE.VDPOL 設定を使用します。VDINT0 および VDINT1 は、VDINT.VDINT0 および VDINT.VDINT1 レジスタ・フィールドでそれぞれセットされた水平方向のライン数 (HD パルス信号) を受信した後に発生します。

注： BT.656 入力モードの場合、各フィールドの先頭に VD があります。したがって、フレームごとに 2 つの割り込み (フィールドごとに 1 つ) があります。

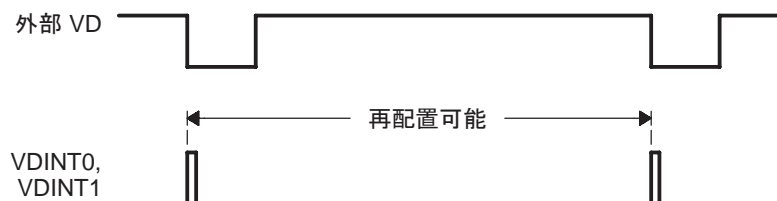
SYN_MODE.VDPOL = 0 の場合 (図 55)、VDINT0 および VDINT1 の HD カウンタは、HD パルスのカウントを外部 VD の立ち上がりエッジから開始します。

図 55. VDPOL = 0 の場合の VDINT0/VDINT1 割り込み動作



SYN_MODE.VDPOL = 1 の場合 (図 56)、VDINT0 および VDINT1 の HD カウンタは、HD パルスのカウントを外部 VD の立ち下がりエッジから開始します。

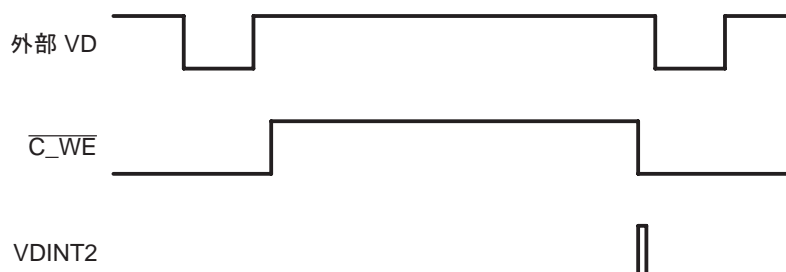
図 56. VDPOL = 1 の場合の VDINT0/VDINT1 割り込み動作



5.4.3.2 VDINT2 割り込み

VDINT0 および VDINT1 割り込みに加え、CCD コントローラには VDINT2 割り込みも備えられています(図 57)。VDINT2 割り込みは、(外部ピンを介して) C_WE 信号の立ち下がりエッジで常に発生します。CCD コントローラ・モジュールには、この割り込みを設定するレジスタはありません。

図 57. VDINT2 割り込み動作



5.4.3.3 ステータス・チェック

フレームの開始時に (PCR.ENABLE ビットがその時点で 1 の場合) PCR.BUSY ステータス・ビットがセットされます。フレームの終了時点で、そのビットは自動的に 0 にリセットされます。フレーム処理が終了したというステータスを判別するために、PCR.BUSY ステータス・ビットをポーリングすることができます。

メモリからフェッチされたフォールト・ピクセル・データが遅れて届いた場合、FPC.FPERR ステータス・ビットがセットされます。このビットをリセットするには、このビットへ 1 をライトします。

5.4.4 フレーム処理時のレジスタ・アクセシビリティ

CCD コントローラのレジスタへのアクセスには 3 つのタイプがあります。

- **シャドウ・レジスタ**：CCD コントローラには、各種の方法でシャドウイングされる 3 つの異なるレジスタ・フィールドがあります。シャドウ・レジスタは、いつでもリードもライトも可能なレジスタですが、ライトされた値は特定のイベントに基づき一定の時間だけ有効になり (ラッチされ) ます。設定内容は特定のイベントが発生するまで使用されなくても、リードすると最後にライトされた値が返されることに注意してください。シャドウイングされるレジスタ/フィールドは次のとおりです。
 - **PCR.ENABLE**：ライトされた値は、フレーム・イベントの開始時点 (SYN_MODE.VDPOL が正の場合の VD の立ち上がりエッジ。SYN_MODE.VDPOL が負の場合の VD の立ち下がりエッジ) でのみ有効です。
 - **SDR_ADDR**：CCDCFG.VDLC が 0 にクリアされた場合、ライトされた値はフレーム・イベントの開始時点 (SYN_MODE.VDPOL が正の場合の VD の立ち上がりエッジ。SYN_MODE.VDPOL が負の場合の VD の立ち下がりエッジ) でのみ有効です。CCDCFG.VDLC が 1 にセットされた場合、ライトされた値はフレームの SDRAM への出力開始時点 (出力が各フィールドの VERT_START.SLV_n ラインの HORZ_INFO.SPH ピクセルに達した時点) でのみ有効です。
 - **CCDCFG.YCINSWP**：ライトされた値は、VD がアクティブになっている周期 (SYN_MODE.VDPOL が正の場合で VD が High のとき。SYN_MODE.VDPOL が負の場合で VD が Low のとき) でのみ有効です。
- **ビジー・ライタブル・レジスタ**：これらのレジスタ/フィールドは、モジュールがビジーであってもリードもライトも可能です。基本設定への変更は、瞬時に行われます。シャドウ・レジスタとしても、必要に応じてシャドウ/ビジーライタブル・レジスタになるレジスタとしてもリストされていないすべてのレジスタ・フィールドは、ビジー・ライタブル・レジスタです。

- 必要に応じてシャドウ/ビジーライタブル・レジスタになるレジスタ。これらのレジスタ/フィールドは、シャドウ・レジスタとしても、また必要に応じてビジーライタブル・レジスタとしてもセットすることができます。CCDCFG.VDLC が 0 にクリアされている場合、これらのレジスタはシャドウイングされます。CCDCFG.VDLC が 1 にセットされている場合、これらのレジスタはビジーライタブルです。

注： CCD コントローラを使用する場合、CCDCFG.VDLC は 1 にセットしておく必要があります。したがって、これらのレジスタはビジーライタブルになります。CCDCFG.VDLC が 0 にクリアされたままの場合（デフォルト）、次に示すレジスタだけではなく、CCD コントローラのレジスタへアクセスが行われた場合の結果は不定です。

| | | |
|------------------|------------|---------------|
| SYN_MODE.SDR2RSZ | HD_VD_WID | CULLING |
| SYN_MODE.VP2SDR | PIX_LINES | HSIZE_OFF |
| SYN_MODE.VDHEN | HORZ_INFO | SDOFST |
| SYN_MODE.WEN | VERT_START | CLAMP.CLAMPEN |
| SYN_MODE.LPF | VERT_LINES | FMTCFG.FMTEN |

5.4.5 フレーム間の動作

フレーム間では、複数の機能をイネーブル/ディスエーブルすることや、メモリ・ポインタを変更することが必要になる場合があります。PCR レジスタおよびメモリ・ポインタ・レジスタがシャドウイングされているため、これらの変更はフレームの終了前にいつでも行われ、データは次のフレームでラッチされます。ホスト・コントローラは、割り込みを受け取るとこれらの変更を実行することができます。

5.4.6 制約事項のサマリ

次に、CCD コントローラをプログラムする際に順守する必要があるレジスタ・コンフィギュレーション上の制約事項を示します。これは簡単なチェックリストとして使うことができます。レジスタ設定上の制約事項に関する詳細は、個々のレジスタを説明している箇所に記述されています。

- PCLK は 90 MHz より高い周波数には設定できません。
- SDRAM 出力ポートがイネーブルの場合、メモリ出力ライン・オフセットおよびアドレスは 32 バイト境界に設定してください。
- VP2SDR バスがイネーブルの場合、外部 WEN は使用できません。
- ビデオ・ポートの水平方向の数値 (VP_OUT.HORZ_NUM) は、1376 × 4 以下に設定する必要があります。
- ビデオ・ポートがイネーブルの場合、ビデオ・ポートの垂直方向の数値 (VP_OUT.VERT_NUM) は FMT_VERT.FMTLN 未満に設定する必要があります。
- YCC 入力モードでは
 - COLPTN は 0 にクリアしてください。
 - BLKCOMP は 0 にクリアしてください。
 - ビデオ・ポートはディスエーブルしてください。
 - フォーマッタはディスエーブルしてください。
 - VP2SDR はディスエーブルしてください。
 - ローパス・フィルタはディスエーブルしてください。
 - ALAW はディスエーブルしてください。
- raw 入力モードでは、リサイズ出力バスはイネーブルしてはいけません。
- フォールト・ピクセル補正がイネーブルの場合、FPC アドレスは 64 バイト境界にアラインしてください。

5.5 プレビュー・エンジンのプログラミング

ここでは、プレビュー・エンジンのソフトウェア制御に関する手法について説明します。各種モードでプログラムが必要なレジスタ、プレビュー・エンジンをイネーブル/ディスエーブルする方法、およびプレビュー・エンジンのステータスをチェックする方法を示し、各種レジスタのアクセス・タイプについて説明し、さまざまなプログラミング上の制約事項についても列挙します。

5.5.1 ハードウェアのセットアップ/初期化

ここでは、イメージ処理を開始する前に必要なプレビュー・エンジンのコンフィギュレーション方法を説明します。

5.5.1.1 リセット動作

VPSS をハードウェア・リセットすると、プレビュー・エンジンのすべてのレジスタはそのリセット値にリセットされます。ただし、プレビュー・エンジンのプログラム可能なテーブル（ガンマ、ノイズ・フィルタ、輝度強化回路、および CFA 係数）が内部 RAM に格納されているため、その内容にはリセット値はありません。リセットがチップレベルのパワーオン・リセット（電源印加後にリセット）の場合、これらのテーブルの内容は不明です。リセットが VPSS モジュール・リセットの場合（電源はアクティブ状態のままの場合）、これらのテーブルの内容はリセット前と同じ内容を保持しています。

5.5.1.2 レジスタのセットアップ

プレビュー・エンジンをイネーブルする前に、レジスタヘライトすることによりハードウェアを適切にコンフィギュレーションしておく必要があります。

表 37 に、プレビュー・エンジンをイネーブルする前にプログラムが必要なレジスタのパラメータを示します。

表 37. コンフィギュレーション・パラメータが必要なプレビュー・エンジン

| 機能 | 必要なコンフィギュレーション |
|------------------|------------------|
| 機能のイネーブル/ディスエーブル | PCR.INVALIDAW |
| | PCR.DRKFCAP |
| | PCR.DRKFNEN |
| | PCR.SHADE_COMP |
| | PCR.HMEDEN |
| | PCR.NFEN |
| | PCR.CFAEN |
| | PCR.GAMMA_BYPASS |
| | PCR.YNENHEN |
| | PCR.SUPEN |
| 入出力 (I/O) ポート | PCR.SOURCE |
| | PCR.SDRPORT |
| | PCR.RSZPORT |
| 入力サイズ | HORZ_INFO |
| | VERT_INFO |
| アベレージャ | AVE |
| ホワイト・バランス | PCR.CFAFMT |
| | WB_DGAIN |
| | WBGAIN |
| ブラック調整 | WBSEL |
| | BLKADJOFF |

表 37. コンフィギュレーション・パラメータが必要なプレビュー・エンジン (続き)

| 機能 | 必要なコンフィギュレーション |
|--------------------|------------------------------|
| RGB to RGB ブレンディング | RGB_MAT[5:1] RGB_OFF[2:1] |
| RGB to YCbCr 変換 | CSC[3:0] |
| コントラストおよび輝度 | CNT_BRT |
| YCC 出力フォーマット | SETUP_YC PCR.YCPOS |

PCR レジスタには、オプション機能およびモジュール入出力 (I/O) ポートをイネーブルにもディスエーブルにもするいくつかの制御ビットが含まれています。オプション機能またはポートがイネーブルの場合、プレビュー・エンジンが適切に動作する上で必要なレジスタやコンフィギュレーション情報が多くなります。表 38 に、対応する条件に合致するかどうかに応じて、他の必要なコンフィギュレーションを示します。表 38 は次のように読んでください。

(条件が真の場合)

パラメータをプログラムするために、コンフィギュレーションが必要

表 38. プレビュー・エンジンの条件付きコンフィギュレーション・パラメータ

| 機能 | 条件 | 必要なコンフィギュレーション |
|--------------|----------------------------------|--|
| CCDC からのリード | !PCR.SOURCE | PCR.ONESHOT |
| SDRAM からのリード | PCR.SOURCE | PCR.WIDTH RSDR_ADDR RADR_OFFSET |
| ダーク・フレーム減算 | PCR.DRKFEN | DSDR_ADDR DRKF_OFFSET ダーク・フレームは、SDRAM/DDRAM に配置してください。 |
| シェーディング補正 | PCR.SHADE_COMP および PCR.DRKFEN | PCR.SHADE_SFTDSR_ADDR DRKF_OFFSET ダーク・フレームは、SDRAM/DDRAM に配置してください。 |
| ノイズ・フィルタ | PCR.NFEN | NF ノイズ・フィルタ・テーブルをセットアップしてください。 |
| CFA 補間 | PCR.CFAEN | CFA CFA 係数テーブルをセットアップしてください。 |
| ガンマ補正 | !PCR.GAMMA_BYPASS | ガンマ補正テーブルをセットアップしてください。 |
| 輝度強化 | PCR.YNENHEN | 輝度強化テーブルをセットアップしてください。 |
| 色差抑制 | PCR.SUPEN | CSUP |
| SDRAM へのライト | PCR.SDRPORT | WSDR_ADDR WADD_OFFSET |

5.5.1.3 テーブルのセットアップ

ノイズ・フィルタ・スレッシュホールド、輝度強化回路、CFA 係数の機能がそれぞれイネーブルの場合、ノイズ・フィルタ・スレッシュホールド・メモリ、輝度強化回路メモリ、CFA 係数メモリの3つのガンマ・メモリには、プレビュー・エンジンが動作する前に、データが入っている必要があります。メモリ内容をリードもライトも行うための2つのレジスタがあります。アドレス・レジスタ (SET_TBL_ADDRESS) は、特定のテーブル・エントリを選択するために使われます。データ・レジスタ (SET_TBL_DATA) には、指定ロケーションへライトするデータが含まれています。データ・レジスタは20ビット幅ありますが、下位側8ビット・データのみが、ガンマ、ノイズ・フィルタ、およびCFAフィルタのタップ・メモリのために使われます。表39に、プレビュー・エンジンに用意されているメモリごとのアドレッシング範囲を示します。

表 39. プレビュー・エンジンのメモリ・アドレス範囲

| 開始アドレス | 終了アドレス | ビット幅 | メモリ |
|--------|--------|------|-------------------|
| 000h | 3FFh | 8 | 赤のガンマ・テーブル |
| 400h | 7FFh | 8 | 緑のガンマ・テーブル |
| 800h | BFFh | 8 | 青のガンマ・テーブル |
| C00h | CFFh | 8 | NF スレッシュホールド・テーブル |
| 1000h | 107Fh | 20 | 非線形輝度強化テーブル |
| 1400h | 16F7h | 8 | CFA フィルタ係数テーブル |

プレビュー・エンジンは、リードおよびライト時に自動的にリニアにインクリメントするアドレス・モードをサポートします。次の例では、プログラマがどのようにメモリをリード/ライトできるかを示します。データをリード/ライトすると、アドレス・ポインタは自動的にインクリメントされます。ランダムに、非連続的にリード / ライトする場合、SET_TBL_ADDRESS レジスタを変更する必要があります。プレビュー・エンジンがビジーで、かつユーザがテーブルをリード/ライトする場合、アドレスは自動的にインクリメントされません。

例 2. CFA テーブルのすべてのエントリをリード/ライト (リニアにインクリメントするアドレス・モードを使用)

```
WRITE (SET_TBL_ADDRESS, 0x1400);
READ (SET_TBL_DATA, 0xvalue1);
WRITE (SET_TBL_DATA, 0xvalue2);
READ (SET_TBL_DATA, 0xvalue3);
READ (SET_TBL_DATA, 0xvalue163F);
```

例 3. テーブルのエントリを選択的にリード/ライト (リード/ライトごとに別々にアドレスをプログラムする必要がある)

```
WRITE (SET_TBL_ADDRESS, 11);
READ (SET_TBL_DATA, value11);
WRITE (SET_TBL_ADDRESS, 564);
WRITE (SET_TBL_DATA, value564);
```

5.5.2 ハードウェアのイネーブル/ディスエーブル

PCR.ENABLE ビットをセットすると、プレビュー・エンジンがイネーブルされます。前項で説明した、該当するすべてのレジスタおよびテーブルをプログラムしてから、この作業を行ってください。

入力ソースが SDRAM/DDRDRAM の場合、プレビュー・エンジンは常にワンショット・モードで動作します。つまり、プレビュー・エンジンをイネーブルすると、PCR.ENABLE ビットは自動的にオフになり (0 にセットされ)、1 つのフレームだけがメモリから処理されます。このモードでは、フレームのフェッチと処理は、PCR.ENABLE ビットをセットするとただちに開始します。

入力ソースが CCD/CMOS コントローラの場合、プレビュー・エンジンはワンショット・モードでも連続モードでも動作するように設定できます (PCR.ONESHOT)。フレームの処理は、CCDC のタイミングによって異なります。CCDC からデータが欠けていないことを保証するために、プレビュー・エンジンは CCDC が動作する前にイネーブルしてください。このように、プレビュー・エンジンは CCDC からデータを待ちます。

注: ワンショット・モードでは、PCR.ENABLE ビットをセットすると、フレームの処理が開始し、PCR.ENABLE、PCR.ONESHOT、PCR.SOURCE の各ビットはそのリセット値にリセットされます。

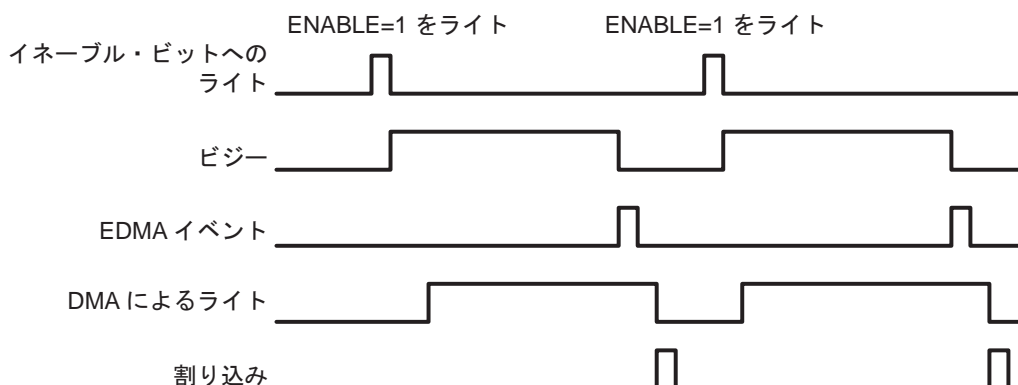
プレビュー・エンジンが連続モードで動作している場合、最後のフレームを処理中に PCR.ENABLE ビットをクリアするとプレビュー・エンジンをディスエーブルすることができます。ディスエーブルするには、フレームがライトされた最後の時点でラッチします。

5.5.3 イベントとステータスのチェック

プレビュー・エンジンは、フレームごとに割り込みと EDMA イベントの両方を生成します (図 58 を参照)。

フレームの開始時に (PCR.ENABLE ビットがその時点で 1 の場合) PCR.BUSY ステータス・ビットがセットされます。次のフレームをセットアップするためにビジーロック・レジスタ (次の 5.5.4 項を参照) を変更しても安全な場合、PCR.BUSY ビットは自動的に 0 にクリアされ、EDMA イベントがトリガされます。これが発生した時点では、フレームはまだそのデスティネーションに完全に格納されていないことがあります。その代わりに、割り込み信号の場合はすべてのデータが実際にそのデスティネーションに到達した時点を示します。PCR.BUSY ステータス・ビットをポーリングして、プロセッサが該当レジスタをアップデートできるタイミングを判断することも、また EDMA トリガを使用して該当レジスタをアップデートするために EDMA 転送をトリガすることもできます。コンフィギュレーション・レジスタおよびフィルタ係数は、ビジー周期の間に、ENABLE = 1 をライトする前にプログラムしてください。下記の図 58 に、SDRAM 入力モードで行われる相互作用を示します。

図 58. SDRAM 入力モードで動作するプレビューのファームウェアの相互作用



メモリからフェッチされたダーク・フレーム・データが遅れて届いた場合、PCR.DRK_FAIL ステータス・ビットがセットされます。このビットをリセットするには、このビットへ 1 をライトします。

5.5.4 フレーム処理時のレジスタ・アクセシビリティ

プレビュー・エンジンのレジスタへのアクセスには3つのタイプがあります。

- シャドウ・レジスタ
 - これらのレジスタ / フィールドはいつでもリードも（該当フィールドがライト可能な場合）ライトも可能です。ただし、ライトされた値はフレームの開始時点でのみ有効です。設定内容は次のフレームの開始まで使用されなくても、リードすると最後にライトされた値が返されることに注意してください。
 - プレビュー・エンジンのシャドウ・レジスタは、PCR、RSDR_ADDR、RADR_OFFSET、DSDR_ADDR、DRKF_OFFSET、WSDR_ADDR、WADD_OFFSET レジスタのみです。
- ビジー・ライタブル・レジスタ
 - これらのレジスタ / フィールドは、モジュールがビジーであってもリードもライトも可能です。基本設定への変更は、瞬時に行われます。
 - WB_DGAIN および WBGAIN レジスタは、ビジー・ライタブルです。
- ビジーロック・レジスタ
 - シャドウ・レジスタおよびビジーライタブル・レジスタ以外のすべてのレジスタは、このカテゴリに分類されません。モジュールがビジーの場合、ビジーロック・レジスタにはライトできません。このレジスタにライトすることはできますが、何も変更されません（ハードウェアからのライトはブロックされますが、ソフトウェアからのライトは可能です）。PCR.BUSY ビットを0にリセットすると、ビジーロック・レジスタにライトできます。
 - SET_TBL_DATA レジスタは内部ではメモリにマップされているため、プレビュー・エンジンがビジーの場合はリードできません。このようなリードを行うと、中間データが返されます。バイト・イネーブルは、プレビュー・エンジンのメモリをリードする目的で実装されているわけではありません。

プレビュー・エンジンのレジスタを変更する場合の理想的な手順は、次のようになります。

```
(PCR.BUSY == 0) の場合または (EOF 割り込みが発生した) 場合
    プレビュー・エンジンをディスエーブルする
    レジスタを変更する
    プレビュー・エンジンをイネーブルする
```

5.5.5 フレーム間の動作

フレーム間では、複数の機能をイネーブル / ディスエーブルすることや、メモリ・ポインタを変更することが必要になる場合があります。PCR レジスタおよびメモリ・ポインタ・レジスタがシャドウイングされているため、これらの変更はフレームの終了前にいつでも行うことができ、データは次のフレームでラッチされます。ホスト・コントローラは割り込みを受信するとこれらの変更を行うことができます。つまり EDMA 転送をプログラムするとイベントを受信したときにこれらの変更を行うことができます。

5.5.6 制約事項のサマリ

次に、プレビュー・エンジンをプログラムする際に順守する必要があるレジスタ・コンフィギュレーション上の制約事項を示します。これは簡単なチェックリストとして使うことができます。レジスタ設定上の制約事項に関する詳細は、個々のレジスタを説明している箇所に記述されています。

- 最初の入力ピクセルは、レジスタ名が適切なカラーにアラインされるようにするため、赤のピクセルに設定してください。
- SDRAM 出力ポートがイネーブルの場合：
 - メモリ出力ライン・オフセットおよびアドレスは、32 バイト境界に設定してください。
- 出力幅は、1280 以下に設定してください。
- 出力幅は偶数に設定してください。
- 入力幅は、AVE パラメータの倍数に設定してください。
- 入力の高さは、CCD/CMOS コントローラの出力の高さより小さくしてください。
- 入力幅は、CCD/CMOS コントローラの出力幅より少なくとも 4 ピクセル小さくしてください。
 - CCDC から最後のピクセルが到着する前に、少なくとも SPH は 2 ピクセル、SPH は 2 ピクセルそれぞれ小さくしてください。

5.6 リサイズのプログラミング

ここでは、リサイズのソフトウェア制御に関する手法について説明します。各種モードでプログラムが必要なレジスタ、リサイズをイネーブル/ディスエーブルする方法、およびリサイズのステータスをチェックする方法を示し、各種レジスタのアクセス・タイプについて説明し、さまざまなプログラミング上の制約事項についても列挙します。

5.6.1 ハードウェアのセットアップ/初期化

ここでは、イメージ処理を開始する前に必要なリサイズのコンフィギュレーション方法を説明します。

5.6.1.1 リセット動作

VPSS のハードウェア・リセットによって、リサイズのすべてのレジスタがそのデフォルト値にセットされます。

5.6.1.2 レジスタのセットアップ

リサイズをイネーブルする前に、レジスタヘライトすることによりハードウェアを適切にコンフィギュレーションしておく必要があります。表 40 に、リサイズをイネーブルする前に必ずプログラムを必要とするレジスタのパラメータを示します。

表 40. コンフィギュレーション・パラメータが必要なリサイズ

| 機能 | 必要なコンフィギュレーション |
|---------------|--|
| リサイズ制御パラメータ | RSZ_CNT |
| 入出力 (I/O) サイズ | OUT_SIZE IN_START IN_SIZE |
| メモリ・アドレス | SDR_INADD SDR_INOFF SDR_OUTADD SDR_OUTOFF |
| フィルタ係数 | HFILT[31:0] VFILT[31:0] |
| エッジ強化 | YENH.ALG |

エッジ強化機能はオプションです。この機能がディスエーブルの場合、YENH レジスタの残りはプログラムする必要がありません。ただし、イネーブルの場合、エッジ強化パラメータ (表 41) をプログラムしてエッジ強化機能が正しく動作するようにする必要があります。

表 41. リサイズの条件付きコンフィギュレーション・パラメータ

| 機能 | 条件 | 必要なコンフィギュレーション |
|-------|---------------|-------------------------------------|
| エッジ強化 | YENH.ALG != 0 | YENH.GAIN YENH.SLOP YENH.CORE |

5.6.2 ハードウェアのイネーブル/ディスエーブル

PCR.ENABLE ビットをセットすると、リサイザがイネーブルされます。前項で説明した、該当するすべてのレジスタをプログラムしてから、この作業を行ってください。

リサイザは常にワンショット・モードで動作します。リサイザをイネーブルすると、PCR.ENABLE ビットは自動的にオフになり (0 にクリアされ)、1 つのフレームだけがメモリから処理されます。

入力ソースが SDRAM/DDRDRAM の場合、フレームのフェッチと処理は PCR.ENABLE ビットをセットするとただちに開始します。

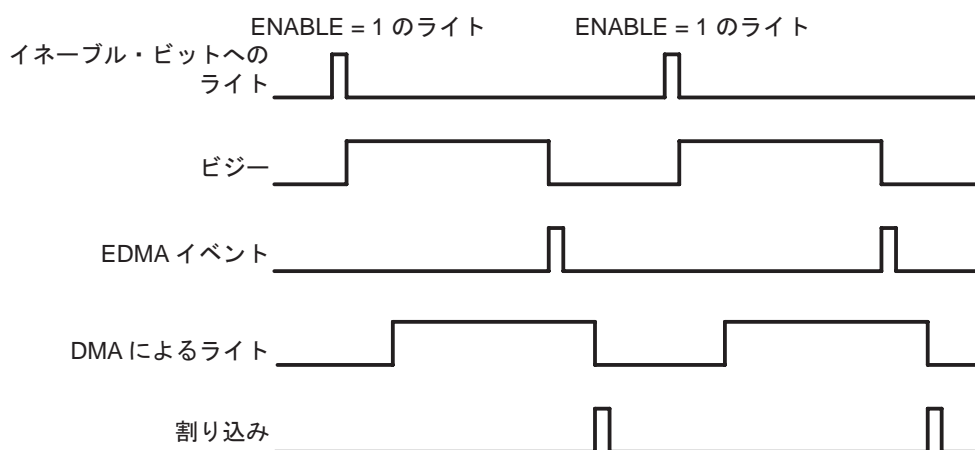
入力ソースが CCD コントローラまたはプレビュー・エンジンの場合、フレームの処理は CCD コントローラのタイミングに応じて異なります。CCD コントローラまたはプレビュー・エンジンからのデータが欠けていないことを確実にするために、リサイザはこれらのアップストリーム・モジュールの前にイネーブルしておく必要があります。このように、リサイザは CCD コントローラまたはプレビュー・エンジンからのデータを待ちます。

5.6.3 イベントとステータスのチェック

リサイザは、割り込みと EDMA イベントを各フレームの終了時点で生成します。

フレームの開始時に (PCR.ENABLE ビットがその時点で 1 の場合) PCR.BUSY ステータス・ビットがセットされます。次のフレームをセットアップするためにビジーロック・レジスタ (5.6.4 項を参照) を変更しても安全な場合、PCR.BUSY ビットは自動的に 0 にクリアされ、EDMA イベントがトリガされます。これが発生した時点では、フレームはまだ SDRAM に完全に格納されていない場合があります。その代わりに、割り込み信号の場合はすべてのデータが実際に SDRAM に到達した時点を示します。PCR.BUSY ステータス・ビットをポーリングして、プロセッサが該当レジスタをアップデートできるタイミングを判別することも、また EDMA トリガを使用して該当レジスタをアップデートするために EDMA 転送をトリガすることもできます。図 59 に、ファームウェア / ハードウェアの相互作用を示します。コンフィギュレーション・レジスタおよびフィルタ係数は、ビジー周期の間に、ENABLE = 1 をライトする前にプログラムしてください。

図 59. SDRAM 入力モードで動作するリサイザのファームウェアの相互作用



5.6.4 フレーム処理時のレジスタ・アクセシビリティ

リサイズのレジスタへのアクセスには2つのタイプがあります。

- シャドウ・レジスタ**：これらのレジスタ/フィールドはいつでもリードも（該当フィールドがライト可能な場合）ライトも可能です。ただし、ライトされた値はフレームの開始時点でのみ有効です。設定内容は次のフレームの開始まで使用されなくても、リードすると最後にライトされた値が返されることに注意してください。リサイズでシャドウイングされるレジスタ/フィールドは次のとおりです。

| | |
|-----------|------------|
| PCR | SDR_OUTADD |
| SDR_INADD | SDR_OUTOFF |
| SDR_INOFF | |

- ビジーロック・レジスタ**：PCR、SDR_INADD、SDR_INOFF、SDR_OUTADD、SDR_OUTOFF 以外のレジスタはすべて、ビジーロック・レジスタです。モジュールがビジーの場合、ビジーロック・レジスタにはライトできません。このレジスタにライトすることはできますが、何も変更されません（ハードウェアからのライトはブロックされますが、ソフトウェアからのライトは可能です）。PCR.BUSY ビットを0にリセットすると、ビジーロック・レジスタにライトできます。

リサイズ・レジスタを変更する場合の理想的な手順は、次のようになります。

(PCR.BUSY == 0) の場合または (EOF 割り込みが発生した) 場合
 リサイズをディスエーブルする
 レジスタを変更する
 リサイズをイネーブルする

5.6.5 フレーム間の動作

フレーム間では、次のフレームを処理する前にメモリ・ポインタの変更が必要になる場合があります。PCR.ENABLE ビットおよびメモリ・ポインタ・レジスタはシャドウイングされているため、これらの変更はフレームの終了前にいつでも行われ、データは次のフレームでラッチされます。ホスト・コントローラは割り込みを受信するとこれらの変更を行うことができます。つまり EDMA 転送をプログラムするとイベントを受信したときにこれらの変更を行うことができます。

ファームウェアは、フィルタ係数を計算しアップロードすることに注意してください。ポリフェーズ・リサンプリング手法を使用している場合、4タップと7タップ・モードで変更するとき異なるダウンサンプリング・ファクターを組み合わせた別のセットが必要です。すべてのアップサンプリング・ファクターは同じ係数セットを共有することができます。ビジーロック・レジスタ（係数、リサイジング比率、入出力サイズなど）を変更する連続したリサイズが必要な場合、これらのレジスタへの変更は最初のリサイズが終了するまで待つ必要があります。次に、これが必要となるシナリオについて説明します。

5.6.5.1 大きいサイズへリサイズする場合の複数のパス

リサイズは、大きいサイズへリサイズする場合の処理方法として複数のパスをサポートしています。大きいサイズにするという言葉の意味は、いくつかあります。

- 1280 ピクセルより出力幅を広げる**：これは、SDRAM 入力モードでのみ機能します。入力複数のリサイズ・ブロックに分割され、各ブロックは別々にリサイズしたり一緒につなぎ合わせたりできます。入力/出力 SDRAM ライン・オフセットを備えるために、入力開始ピクセルおよび開始フェーズは使う必要があります。基本的な考えは、以前のイメージがちょうど終わった場所からそれ以降のスライスを開始するということです。開始フェーズおよびピクセル・レジスタに、この正確な場所をプログラムします。この場所を計算するには、4.3.4.4 項に詳細が記述されたアルゴリズムを使用します。
- 4 倍アップサンプリングよりサイズを大きくする**：リサイジングは、複数のパスで適用できます。たとえば、10 倍のアップサンプリングを実現するには、最初に 4 倍のアップサンプリングを行ってから 2.5 倍のアップサンプリングを行います。最初のパスは、プレビューでオンザフライで行われます。2 番目のパスは、SDRAM からの入力でのみ行われます。また 10 倍のデジタル・ズームの場合、2 番目のパスを実行するための時間が、アクティブなピクチャ領域外にあります。詳細については、5.11.1.1.1 項を参照してください。
- 4:1 のダウンサンプリングよりサイズを大きくする**：大きなイメージから非常に小さなイメージを生成することはほとんどありませんが、これはハードウェアでサポートされます。たとえば、10 倍のダウンサンプリングを実現するには、プレビューで最初に 4 倍のダウンサンプリングをオンザフライで行ってから SDRAM 入力バス内で 2.5 倍のダ

ウンサンプリングを行います。2 番目のパスの場合、アクティブなデータ領域外にまったく時間がないこともありますが、すでに元のサイズの 1/16 に縮小されているため、多くの時間が必要ではありません。一般的に、CCD センサーまたはビデオ入力には使用できる 10% から 20% の垂直ブランキングがあります。

これらのシナリオのすべてに対して、2 番目のパスが設定され、リサイズのフレーム終了割り込みによってトリガされる割り込みサービス・ルーチンから開始されます。

5.6.5.2 処理時間の計算

入力ソースが SDRAM の場合、次の式を使用してリサイズの処理時間を決定します。

$$Time = \frac{bytes_per_pixel \times W \times input_height}{DSPCLK/3}$$

ここで、RSZ_CNT.INPTYP = 1 (カラー・セパレート) の場合、bytes_per_pixel = 1
RSZ_CNT.INPTYP = 0 (YUV422) の場合、bytes_per_pixel = 2

入力ソースが YUV422 の場合、水平方向のダウンサンプリングが行われます。

```
if((RSZ_CNT.INPTYP == 0) && (RSZ_CNT.HRSZ > 256))
W = average(input width, output width*);
else
W = max(input width, output width*);
```

* エッジ強化がイネーブルの場合、余分な 4 ピクセルが含まれます。

この時間はハードウェアによるベースラインの定常状態の計算で、ハードウェアが最初の入力をフェッチしてパイプラインに入れるまでにかかる時間は含まれません。またリサイズによる割り込みが発生した場合に SDRAM メモリに戻すために、リサイズが最後の出力にかかる時間も含まれません。ただし、このような開始時間も終了時間も比較的無視できるものです。リアルタイム性が要求されるという制約事項があるため、この処理時間は必要以上に高速になる場合があります。他のシステム・ペリフェラルで使用する場合、より多くの帯域幅を解放するために、SDRAM からのデータ・フェッチを遅延させる方法に関する詳細は、4.4.2.2 項を参照してください。

5.6.6 制約事項のサマリ

次に、リサイズをプログラムする際に順守する必要があるレジスタ・コンフィギュレーション上の制約事項を示します。これは簡単なチェックリストとして使うことができます。レジスタ設定上の制約事項に関する詳細は、個々のレジスタを説明している箇所に記述されています。

- 垂直方向および水平方向のリサイズ比率の値 (RSZ_CNT.VRSZ および RSZ_CNT.HRSZ) は、64 ~ 1024 の範囲内に設定してください。
- 出力幅：
 - 最大限度内に設定してください。
 - 幅は 1280 未満 (垂直方向のリサイズ値が RSZ_CNT.VRSZ = 64 ~ 512 の範囲内の場合)
 - 幅は 640 未満 (垂直方向のリサイズ値が RSZ_CNT.VRSZ = 513 ~ 1024 の範囲内の場合)
 - 偶数値に設定してください。
 - 16 バイトの倍数に設定してください (垂直方向にアップサイジングする場合)。
- 入力ソースがプレビュー・エンジンまたは CCD コントローラの場合：
 - 入力の高さおよび幅は、プレビュー・エンジンまたは CCD コントローラの出力以下に設定してください。
 - 入力アドレスおよびオフセットは 0 に設定してください。
 - 入力はカラー・セパレート・データにできません。
- 入力ソースが SDRAM の場合：
 - 垂直方向の開始ピクセルは 0 に設定してください。
 - 水平方向の開始ピクセルは、カラー・インターリーブの場合 [0 ~ 15]、カラー・セパレート・データの場合 [0 ~ 31] の範囲内にそれぞれ設定してください。

- メモリ出力ライン・オフセットおよびアドレスは、32 バイト境界に設定してください。
- 入力の高さおよび幅は、表 25 に示されている計算式に従う必要があります。
- 入力の高さおよび幅は、表 25 に示されている計算式に従う必要があります。

5.7 H3A のプログラミング

ここでは、H3A モジュールのソフトウェア制御に関する手法について説明します。各種モードでプログラムが必要なレジスタ、H3A をイネーブル/ディスエーブルする方法、および H3A のステータスをチェックする方法を示し、各種レジスタのアクセス・タイプについて説明し、さまざまなプログラミング上の制約事項についても列挙します。

5.7.1 ハードウェアのセットアップ/初期化

ここでは、イメージ処理を開始する前に必要な H3A のコンフィギュレーション方法を説明します。

5.7.1.1 リセット動作

VPSS をハードウェア・リセットすると、H3A のすべてのレジスタはそのリセット値にリセットされます。

5.7.1.2 レジスタのセットアップ

レジスタのコンフィギュレーションを行う場合、H3A の AF エンジンおよび AEW エンジンは個別に設定できます。エンジンごとに別々のイネーブル・ビットがあるため、ここでは AF エンジンと AEW エンジンにわけて説明します。

5.7.1.2.1 AF エンジン

AF エンジンをイネーブルする前に、レジスタヘライトすることによりハードウェアを適切に構成しておく必要があります。表 42 に、H3A の AF エンジンをイネーブルする前にプログラムが必要なレジスタのパラメータを示します。

表 42. コンフィギュレーション・パラメータが必要な AF エンジン

| 機能 | 必要なコンフィギュレーション |
|---------------------|----------------|
| AF オプションの前処理 | PCR.AF_MED_EN |
| | PCR.AF_ALAW_EN |
| AF モードのコンフィギュレーション | PCR.RGBPOS |
| | PCR.FVMODE |
| パクセルの始点およびサイズに関する情報 | AFPAX1 |
| | AFPAX2 |
| | AFPAXSTART |
| | AFIIRSH |
| メモリ・アドレス | AFBUFST |
| フィルタ係数 | AFCOEF0[10:0] |
| | AFCOEF1[10:0] |

水平方向メディアン・フィルタ機能はオプションです。この機能がディスエーブルの場合、PCR.MED_TH をプログラムする必要はありません。ただし、イネーブルの場合、表 43 の PCR.MED_TH パラメータをプログラムして水平方向メディアン・フィルタ機能が正しく動作するようにする必要があります。

表 43. AF エンジンの条件付きコンフィギュレーション・パラメータ

| 機能 | 条件 | 必要なコンフィギュレーション |
|----------------|---------------|----------------|
| 水平方向メディアン・フィルタ | PCR.AF_MED_EN | PCR.MED_TH |

フィルタ係数をプログラムする方法および H3A 出力を利用する方法に関するガイドラインとして参考資料を示します。

- M. Gamadia, V. Peddigari, N. Kehtarnavaz, S-Y. Lee, G. Cook 共著 『Real-time Implementation of Auto Focus on the TI DSC Processor』, SPIE Real-Time Imaging Conference 議事録、2004 年 1 月
- N. Kehtarnavaz, H-J. Oh 共著 『Development and real-time implementation of a rule-based auto-focus algorithm』, Journal of Real-Time Imaging、第 9 号、P.197-203、2003 年

5.7.1.2.2 AEW エンジン

AEW エンジンを実行する前に、レジスタをライトすることによりハードウェアを適切に構成しておく必要があります。表 44 に、H3A の AEW エンジンを実行する前にプログラムが必要なレジスタのパラメータを示します。

表 44. コンフィギュレーション・パラメータが必要な AEW エンジン

| 機能 | 必要なコンフィギュレーション |
|----------------------|-----------------|
| AEW オプションの前処理 | PCR.AEW_ALAW_EN |
| 飽和限界 | PCR.AVE2LMT |
| ウィンドウの始点およびサイズに関する情報 | AEWWIN1 |
| | AEWINSTART |
| | AEWINBLK |
| | AEWSUBWIN |
| メモリ・アドレス | AEWBUFST |

5.7.2 ハードウェアのイネーブル/ディスエーブル

PCR.AF_EN ビットをセットすると AF エンジンがイネーブルされ、PCR.AEW_EN ビットをセットすると AEW エンジンがイネーブルされます。前項で説明した、該当するすべてのレジスタをプログラムしてから、この作業を行ってください。

H3A は常に連続モードで動作します。H3A モジュールへの入力は CCD/CMOS コントローラのビデオ・ポート・インターフェイスであるため、フレームの処理は CCD/CMOS コントローラのタイミングによって異なります。CCD/CMOS コントローラからのデータが欠けていないことを保証するために、H3A は CCD/CMOS コントローラが動作する前にイネーブルしてください。このように、H3A は CCD/CMOS コントローラからのデータを待ちます。

AF エンジンまたは AEW エンジンを実行するには、最後のフレームを処理中に PCR.AF_EN または PCR.AEW_EN ビットをそれぞれクリアします。ディスエーブルするには、フレームがライトされた最後の時点でラッチします。

5.7.3 イベントとステータスのチェック

AF エンジンと AEW エンジンは両方とも、フレームごとに割り込みと EDMA イベントを生成します。フレームの開始時に（対応するイネーブル・ビットがその時点で 1 の場合）、PCR.BUSYAF と PCR.BUSYAEAWB ステータス・ビットの両方またはそのいずれかがセットされます。次のフレームをセットアップするためにビジーロック・レジスタ（5.7.4 項を参照）を変更しても安全な場合、PCR.BUSYAF と PCR.BUSYAEAWB ステータス・ビットの両方またはそのいずれかが自動的に 0 にクリアされ、EDMA イベントがトリガされます。これが発生した時点では、フレームはまだそのデスティネーションに完全に格納されていないことがあります。その代わりに、割り込み信号の場合はすべてのデータが実際にそのデスティネーションに到達した時点を示します。

AF と AEW 割り込み（およびイベント）は内部で互いに接続されているため、割り込みコントローラからは H3A 割り込み信号（および H3A EDMA イベント）が 1 つだけ見えます。AF エンジンと AEW エンジンは同じフレームを同時に処理しない場合でも、これは問題にはなりません。ただし、AF エンジンと AEW エンジンが両方とも同時に動作している場合、次の 2 つの結果のうちいずれかが発生することがあります。

- H3A 割り込みがフレームごとに 1 回トリガするように見える場合がある。
これが発生するのは、AF エンジンと AEW エンジンが両方とも同時またはほぼ同時に終了した場合です。割り込みサービス・ルーチンは、2 番目の割り込みが発生する前に最初の割り込みに対する割り込みフラグをクリアする十分な時間がない場合です。

- H3A 割り込みがフレームごとに 2 回トリガする場合がある。
 これが発生するのは、AF エンジンと AEW エンジンの一方が、他方のエンジンより早くフレームの処理を終了した場合です。この場合、割り込みサービス・ルーチンは、2 番目の割り込みが発生する時間までに最初の割り込みに対する割り込みフラグをクリアする十分な時間がある場合です。

この結果は、フレームの最後のパクセル / ウィンドウのロケーションの違い、システム内で参照するクロックの周波数、システム内で発生する他の割り込みの発生頻度およびトリガ方法、およびコンテキスト・スイッチングのレイテンシと割り込みサービス・ルーチンの実行によって異なります。

フレームの開始時に (PCR.AF_EN と PCR.AEW_EN ビットの両方またはそのいずれかがその時点で 1 の場合) PCR.BUSYAF と PCR.BUSYAEAWB ステータス・ビットの両方またはそのいずれかがセットされます。フレーム処理の終了時点で、そのビットは自動的に 0 にリセットされます。フレーム処理が終了したというステータスを判別するために、PCR.BUSYAF と PCR.BUSYAEAWB ステータス・ビットの両方またはそのいずれかをポーリングすることができます。

5.7.4 フレーム処理時のレジスタ・アクセシビリティ

H3A モジュールのレジスタへのアクセスには 2 つのタイプがあります。

- シャドウ・レジスタ
 - これらのレジスタ / フィールドはいつでもリードも (該当フィールドがライト可能な場合) ライトも可能です。ただし、ライトされた値はフレームの開始時点でのみ有効です。設定内容は次のフレームの開始まで使用されなくても、リードすると最後にライトされた値が返されます。
 - H3A モジュールのシャドウ・レジスタは、PCR、AFBUFST、および AEWBUFST レジスタだけです。
- ビジーロック・レジスタ
 - PCR、AFBUFST、および AEWBUFST レジスタ以外のすべてのレジスタは、このカテゴリに分類されます。
 - モジュールがビジーの場合、ビジーロック・レジスタにはライトできません。このレジスタにライトすることはできますが、何も変更されません (ハードウェアからのライトはブロックされますが、ソフトウェアからのライトは可能です)。PCR レジスタのビジー・ビットを 0 にリセットすると、ビジーロック・レジスタにライトできます。

H3A レジスタを変更する場合の理想的な手順は、次のようになります。

(busy == 0) の場合または (EOF 割り込みが発生した) 場合

AF または AE/AWB をディスエーブルする
 レジスタを変更する
 AF または AE/AWB をイネーブルする

5.7.5 フレーム間の動作

フレーム間では、次のフレームを処理する前にメモリ・ポインタの変更が必要になる場合があります。PCR レジスタおよびメモリ・ポインタ・レジスタがシャドウイングされているため、これらの変更はフレームの終了前にいつでも行うことができ、データは次のフレームでラッチされます。ホスト・コントローラは割り込みを受信するとこれらの変更を行うことができます。つまり EDMA 転送をプログラムするとイベントを受信したときにこれらの変更を行うことができます。

5.7.6 制約事項のサマリ

次に、H3A をプログラムする際に順守する必要があるレジスタ・コンフィギュレーション上の制約事項を示します。これは簡単なチェックリストとして使うことができます。レジスタ設定上の制約事項に関する詳細は、個々のレジスタを説明している箇所に記述されています。

- 出力アドレスは、64 バイト境界に設定する必要があります。

AF エンジン :

- パクセルの水平方向の開始値は、IIR の水平方向の開始位置以上に設定する必要があります。
- パクセルの幅と高さは、偶数に設定する必要があります。
- オート・フォーカス・パクセルの最小幅は、6 ピクセルに設定する必要があります。
- パクセルは、ラインの最後のピクセルと重複させることはできません。

- パクセルは、互いに隣接するように設定してください。

AEW エンジン :

- ウィンドウの幅と高さは、偶数に設定する必要があります。
- サブサンプリング・ウィンドウは、偶数番目のピクセルから始まるように設定してください。
- AE/AWB ウィンドウの最小幅は、6 ピクセルに設定する必要があります。

5.8 ヒストグラムのプログラミング

ここでは、ヒストグラム・モジュールのソフトウェア制御に関する手法について説明します。各種モードでプログラムが必要なレジスタ、ヒストグラムをイネーブル/ディスエーブルする方法、およびヒストグラムのステータスをチェックする方法を示し、各種レジスタのアクセス・タイプについて説明し、さまざまなプログラミング上の制約事項についても列挙します。

5.8.1 ハードウェアのセットアップ/初期化

ここでは、イメージ処理を開始する前に必要なヒストグラムのコンフィギュレーション方法を説明します。

5.8.1.1 リセット動作

VPSS をハードウェア・リセットすると、ヒストグラムのすべてのレジスタはそのリセット値にリセットされます。ただし、ヒストグラムの出力メモリは、内部 RAM に格納されるため、その内容にはリセット値は含まれません。リセットがチップレベルのパワーオン・リセット(電源印加後にリセット)の場合、このメモリの内容は不明です。リセットが VPSS モジュール・リセットの場合(電源がアクティブ状態のままの場合)、このメモリの内容はリセット前と同じ内容を保持しています。

5.8.1.2 ヒストグラムの出力メモリのリセット

ヒストグラムをイネーブルする前に、出力メモリをクリアしてください。これを行うには、2つの方法があります。

- ソフトウェアでゼロを RAM ヘライトする。
- HIST_CNT.CLR ビットがセットされたら、メモリをリードしてリード後にメモリがリセットされるようにする。

PCR.BUSY ビットが1の場合、出力メモリのリードとライトはブロックされます。

5.8.1.3 レジスタのセットアップ

ヒストグラム・モジュールをイネーブルする前に、レジスタヘライトすることによりハードウェアを適切に構成しておく必要があります。表 45 に、ヒストグラムをイネーブルする前に必ずプログラムを必要とするレジスタのパラメータを示します。

表 45. コンフィギュレーション・パラメータが必要なヒストグラム

| 機能 | 必要なコンフィギュレーション |
|---------------|--|
| ヒストグラム制御ビット | HIST_CNT.SOURCE HIST_CNT.CFA HIST_CNT.BINS HIST_CNT.SHIFT HIST_CNT.CLR |
| ホワイト・バランス・ゲイン | WB_GAIN |
| 領域 0 のサイズと位置 | R0_HORZ R0_VERT |

表 46 に、対応する条件に合致するかどうかに応じて、他の必要なコンフィギュレーションを示します。表は次のように読んでください。

(条件が真の場合)

パラメータをプログラムするために、コンフィギュレーションが必要

表 46. ヒストグラムの条件付きコンフィギュレーション・パラメータ

| 機能 | 条件 | 必要なコンフィギュレーション |
|-------------|-------------------|-----------------|
| SDRAM からの入力 | HIST_CNT.SOURCE | HIST_CNT.DATSIZ |
| | | RADD |
| | | RADD_OFF |
| | | H_V_INFO |
| 256 ビンより少ない | HIST_CNT.BINS < 3 | R1_HORZ |
| | | R1_VERT |
| 128 ビンより少ない | HIST_CNT.BINS < 2 | R2_HORZ |
| | | R2_VERT |
| | | R3_HORZ |
| | | R3_VERT |

5.8.2 ハードウェアのイネーブル/ディスエーブル

PCR.ENABLE ビットをセットすると、ヒストグラムがイネーブルされます。前項で説明した、該当するすべてのレジスタをプログラムし、出力メモリをクリアしてから、この作業を行ってください。

入力ソースが SDRAM/DDRDRAM の場合、ヒストグラム・モジュールは常にワンショット・モードで動作します。つまり、ヒストグラムをイネーブルすると、PCR.ENABLE ビットは自動的にオフになり (0 にセットされ)、1 つのフレームだけがメモリから処理されます。このモードでは、フレームのフェッチと処理は、PCR.ENABLE ビットをセットするとただちに開始します。

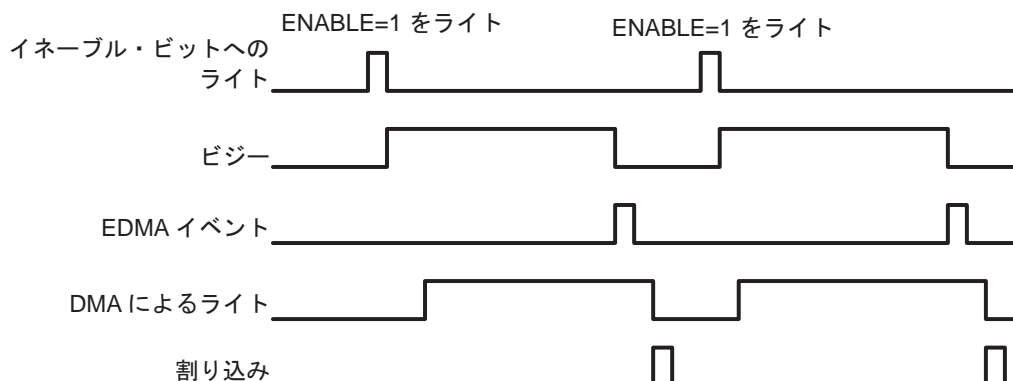
入力ソースが CCD/CMOS コントローラの場合、ヒストグラムは常に連続モードで動作します。フレームの処理は、CCD/CMOS コントローラのタイミングによって異なります。CCD/CMOS コントローラからのデータが欠けていないことを保証するために、ヒストグラムは CCD/CMOS コントローラが動作する前にイネーブルしてください。このように、ヒストグラムは CCD/CMOS コントローラからのデータを待ちます。

ヒストグラムが連続モードで動作している場合、最後のフレームを処理中に PCR.ENABLE ビットをクリアするとヒストグラムをディスエーブルすることができます。ディスエーブルするには、フレームがライトされた最後の時点でラッチします。

5.8.3 イベントとステータスのチェック

ヒストグラムは、フレームごとに割り込みと EDMA イベントの両方を生成します (図 60 を参照)。

フレームの開始時に (PCR.ENABLE ビットがその時点で 1 の場合) PCR.BUSY ステータス・ビットがセットされます。次のフレームをセットアップするためにビジーロック・レジスタ (5.8.4 項を参照) を変更しても安全な場合、PCR.BUSY ビットは自動的に 0 にクリアされ、EDMA イベントがトリガされます。これが発生した時点では、フレームはまだそのデスティネーションに完全に格納されていないことがあります。その代わりに、割り込み信号の場合はすべてのデータが実際にそのデスティネーションに到達した時点を示します。PCR.BUSY ステータス・ビットをポーリングして、プロセッサが該当レジスタをアップデートできるタイミングを判断することも、また EDMA トリガを使用して該当レジスタをアップデートするために EDMA 転送をトリガすることもできます。コンフィギュレーション・レジスタおよびフィルタ係数は、ビジー周期の間に、ENABLE = 1 をライトする前にプログラムしてください。図 60 に、SDRAM 入力モードで行われる相互作用を示します。

図 60. SDRAM 入力モードで動作するヒストグラムのファームウェアの相互作用


5.8.4 フレーム処理時のレジスタ・アクセシビリティ

ヒストグラム・モジュールのレジスタへのアクセスには2つのタイプがあります。

- シャドウ・レジスタ
 - これらのレジスタ / フィールドはいつでもリードも（該当フィールドがライト可能な場合）ライトも可能です。ただし、ライトされた値はフレームの開始時点でのみ有効です。設定内容は次のフレームの開始まで使用されなくても、リードすると最後にライトされた値が返されます。
 - ヒストグラム・モジュールのシャドウ・レジスタは、PCR、RADD、および RADD_OFF レジスタだけです。
- ビジーロック・レジスタ
 - PCR、RADD、および RADD_OFF レジスタ以外のすべてのレジスタは、このカテゴリに分類されます。
 - モジュールがビジーの場合、ビジーロック・レジスタにはライトできません。このレジスタにライトすることはできませんが、何も変更されません（ハードウェアからのライトはブロックされますが、ソフトウェアからのライトは可能です）。PCR レジスタのビジー・ビットを0にリセットすると、ビジーロック・レジスタにライトできます。
 - HIST_DATA レジスタは内部ではメモリにマップされているため、ヒストグラムがビジーの場合はリードできません。このようなリードを行うと、中間データが返されます。バイト・イネーブルは、ヒストグラムのメモリをリードする目的で実装されているわけではありません。

H3A レジスタを変更する場合の理想的な手順は、次のようになります。

- (PCR.BUSY == 0) の場合または (EOF 割り込みが発生した) 場合
- ヒストグラムをディスエーブルする
 - レジスタを変更する
 - ヒストグラムをイネーブルする

5.8.5 フレーム間の動作

フレーム間でメモリからのリード時に、次のフレームを処理する前に入力されたメモリ・ポインタの変更が必要になる場合があります。PCR レジスタおよびメモリ・ポインタ・レジスタがシャドウイングされているため、これらの変更はフレームの終了前にいつでも行うことができ、データは次のフレームでラッチされます。ホスト・コントローラは割り込みを受信するとこれらの変更を行うことができます。つまり EDMA 転送をプログラムするとイベントを受信したときにこれらの変更を行うことができます。

ヒストグラム出力メモリをクリアしないで連続したフレームを処理する場合、ピン・カウンタには最後にクリアされてから処理されたイメージ分が含まれます。フレームごとにピン・カウンタをリードするために、次のフレームが開始する前ではなく、それぞれのフレームの処理完了後にピン・カウンタをリードする必要があります（これは、PCR.BUSY が 1 の場合、ピン・カウンタをリードすることができないため）。

入力ソースが SDRAM の場合（ワンショット・モード）、そのフレームの PCR.ENABLE ビットを 1 回セットする必要があります。また次のフレームをイネーブルする前に、そのフレームの処理完了後に、ピン・カウンタをリード/クリアすることができます。

入力ソースが CCD/CMOS コントローラのビデオ・ポート・インターフェイスの場合（連続モード）、フレーム処理が開始すると、そのフレームを処理できるようにするために、PCR.ENABLE ビットをセットしたり、クリアしたりすることも必要になります（ディスエーブルするには、フレームの終了時点でラッチします）。この手順により、1 つのフレームだけを処理できます。フレーム処理が完了後に、次のフレームに対してヒストグラムをイネーブルする前に、ピン・カウンタをリード/クリアすることができます。

5.8.6 制約事項のサマリ

次に、ヒストグラムをプログラムする際に順守する必要があるレジスタ・コンフィギュレーション上の制約事項を示します。これは簡単なチェックリストとして使うことができます。レジスタ設定上の制約事項に関する詳細は、個々のレジスタを説明している箇所に記述されています。

- 入力アドレスおよびライン・オフセットは 32 バイト境界に設定する必要があります。
- 領域次元 1（水平方向と垂直方向の両方またはそのいずれか）は、許可されていません。

5.9 共有バッファ・ロジックのプログラミング (VPSS レジスタ)

共有バッファ・ロジック (SBL) は、VPSS 内のモジュール間で行われるデータの相互作用およびメモリへの DMA インターフェイスを制御します。VPSS の DMA 転送の優先順位および VPFE モジュールの DMA で SDRAM/DDRDRAM メモリからのリード時に発生するレイテンシを設定するレジスタがあります。ここでは、VPSS SBL のソフトウェア制御に関する手法について説明し、各種モードでプログラムが必要なレジスタ、SBL オーバーフロー・ビットのステータスをチェックする方法を示し、さまざまなプログラミング上の制約事項についても列挙します。

5.9.1 ハードウェアのセットアップ / 初期化

ここでは、イメージ処理を開始する前に必要な SBL (VPSS MMR) のコンフィギュレーション方法を説明します。

5.9.1.1 リセット動作

VPSS をハードウェア・リセットすると、SBL (VPSS MMR) のすべてのレジスタはそのリセット値にリセットされます。

5.9.1.2 レジスタのセットアップ

いくつかの VPSS モジュールをイネーブルする前に、VPSS レジスタへライトすることによりハードウェアを適切に設定する必要があります。PCR.CPRIO パラメータをセットする必要があります。このパラメータで、システムの DDR EMIF の優先順位を設定します。デフォルト値 0 (最上位の優先順位) を推奨します。

プレビュー・エンジン、リサイズ、ヒストグラムのいずれかで、SDRAM/DDRDRAM からデータをリードする場合、SDR_REQ_EXP レジスタをプログラムする必要があります。3 つのフィールド (PRV_EXP、RESZ_EXP、HIST_EXP) それぞれでプログラムされた値は、DMA メモリによるリード・リクエスト間で収容する DMA サイクル数をモジュールごとに判別します。

5.9.2 ハードウェアのイネーブル / ディスエーブル

PSC が VPSS へのクロックをアイドル状態にしない限り、SBL 機能は常にイネーブルです。

5.9.3 イベントとステータスのチェック

PCR のステータス・ビットは、(データ破損を引き起こす) メモリ・オーバーフローが発生したかどうかをモニタするために使われます。表 47 を参照してください。

表 47. VPSS エラーが示す内容

| PCR ビット | エラー条件 |
|------------|-----------------------------------|
| CCDC_WBL_O | ライト・バッファ・メモリ・オーバーフロー (CCDC) |
| PRV_WBL_O | ライト・バッファ・メモリ・オーバーフロー (プレビュー・エンジン) |
| RSZ1_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイズ・ライン 1) |
| RSZ2_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイズ・ライン 2) |
| RSZ3_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイズ・ライン 3) |
| RSZ4_WBL_O | ライト・バッファ・メモリ・オーバーフロー (リサイズ・ライン 4) |
| AF_WBL_O | ライト・バッファ・メモリ・オーバーフロー (AF) |
| AEW_WBL_O | ライト・バッファ・メモリ・オーバーフロー (AE/AWB) |

5.9.4 フレーム処理時のレジスタ・アクセシビリティ

SBL VPSS レジスタは、すべてビジーライタブルなレジスタです。これらのレジスタ / フィールドは、モジュールがビジーであってもリードもライトも可能です。基本設定への変更は、瞬時に行われます。

5.9.5 フレーム間の動作

特筆すべきことはありません。

5.9.6 制約事項のサマリ

特筆すべきことはありません。

5.10 エラーの特定

メモリ・オーバーフローまたはアンダーフロー・エラーは、VPFE のリード・バッファまたはライト・バッファで発生します。ライト・バッファからオーバーフローが発生した場合、VPSS.PCR レジスタの対応するフェイル・ビットがセットされます。フォールト・ピクセル補正を使用すると、DDR2 からのフォールト・ピクセル・データをリードできなかったことが CCDC.FPC.FPERR ビットにより特定されます。最後に、ダークフレーム減算またはシェーディング補正を使用すると、DDR2 からのデータをリードできなかったことが PREV.PCR.DARK_FAIL ビットにより特定されます。特定のモードで使われているリード・バッファおよびライト・バッファに応じて、障害が発生したことを検出し、必要な調整を行うために、ソフトウェアでこれらのビットをモニタすることができます。これらのタイプの障害は DDR2 間でデータの転送を行っていたため、その是正措置はクロック・スピードを高めるか、システムでのメモリ帯域幅の使用を軽減することです。

5.11 サポートされる使用方法

VPFE は、さまざまなビデオおよびイメージ処理アプリケーションをサポートするために設計されています。VPFE のコンフィギュレーション方法について説明する目的の場合、典型的な使用方法ではアプリケーション空間は、CCD/CMOS センサー・データおよび YUV ビデオ・データの 2 つの入力タイプに分割されます。ここでは、これらの両方の入力タイプに対して典型的な VPFE コンフィギュレーションを別々に説明し、両方のアプリケーションでリサイズを使用して、処理対象のビデオ・データまたはイメージ・データのアスペクト比のリサイズ方法または変更方法について解説します。

図 52 に、VPFE から可能なデータ・パスをすべて示します。ここで説明する各モードには、各種モジュールからの固有のデータ・パスがあります。

5.11.1 CCD/CMOS センサー入力固有のアプリケーション

デジタル・スチル・カメラおよびデジタル・ビデオ・カメラは、CCD または CMOS センサーを入力ソースとして使用する主要なアプリケーションです。CCD または CMOS センサーはアナログ・データをタイミング・ジェネレータ (TG) によって決定されるレートで出力します。アナログ・フロント・エンド (AFE) はこのデータをデジタル信号に変換し、このデジタル raw センサー・データを CCD コントローラの入力インターフェイスに送信します。センサーに応じて、通常このデータはどのピクセルも 3 つの主要なカラー (RGB) のいずれか 1 つだけを表す Bayer パターンです。VPFE にはプログラム可能な機能が組み込まれていて、この raw データをキャプチャして、圧縮可能な YUV フォーマットでビデオまたはイメージ・データにデジタル処理したり、外部ディスプレイに直接ディスプレイできます。

このアプリケーションには、各種 VPFE データ・パスおよびコンフィギュレーションを必要とする 3 つの基本的な動作モードがあります。

- プレビュー / ムービー・キャプチャ・モード
- 静止画キャプチャ・モード
- 静止画処理モード

5.11.1.1 プレビュー / ムービー・キャプチャ・モード

デジタル・スチル・カメラまたはビデオ・カメラでは、プレビューおよびムービー・キャプチャ・モードで VPFE は raw ビデオ・データをセンサーから受け取り、YUV フォーマットに変換し、リアルタイムでディスプレイにディスプレイします。プレビュー・モードとムービー・キャプチャ・モードの間には、細部で際立った違いが 1 つだけあります。プレビュー・モードでは、ビデオ・データはディスプレイされるか送信されるまで DDR メモリのサーキュラ・バッファに一時的に保存されます。ムービー・キャプチャ・モードでは、ビデオ・データはさらに圧縮され不揮発性メモリ（フラッシュ、デジタル・ビデオ・テープ、DVD、ハードディスクなど）に保存されます。両方のモードとも、VPFE からの同じデータ・バスを備えています（図 61 を参照）。両方のモードでのレジスタ・コンフィギュレーションを表 48 に示します。

図 61 に示すように、VPFE 内のすべてのモジュールはこのモードでイネーブルです。カメラ・アプリケーションは、このモードで大部分の時間を消費するため、DDR2 帯域幅の消費を最小限に抑制するには、正しいディスプレイ・サイズにリサイズされるように、（H3A 統計情報収集データ・バスに加えて）メモリへの単一のイメージ・データ・バスを使用します。ARM、DSP、または EDMA 転送を行うときは、フレーム完了後に、統計情報データをヒストグラム・メモリマップド・レジスタからリードする必要があります。

通常このモードでは、CCD コントローラはダウンサンプリングされた解像度フォーマットで、デジタル raw データをセンサー / AFE から受信します。10 ビット raw データがプレビュー・エンジン、H3A、およびヒストグラムの各モジュールに供給するビデオ・ポート・インターフェイス上に出力されます。プレビュー・エンジンは、イメージ信号処理の大部分（CFA 補間、ホワイト・バランス、ノイズ・フィルタリングなど）を行って、raw データを YUV 4:2:2 ビデオ・フォーマットに変換します。プレビュー・エンジンの出力が正しいサイズではなく、ディスプレイ用のアスペクト比でもない場合、またデジタル・ズームが必要な場合、その出力はリサイズに直接送られます。プレビュー・エンジンとリサイズの両方またはそのいずれかからのイメージ出力は最終的にサーキュラ・バッファ内の DDR2 に送られ、そこでディスプレイまたは圧縮のために使われます。リサイズと他の VPFE モジュールの両方またはそのいずれかからのフレーム終了割り込みにより、ARM 割り込みサービス・ルーチンをトリガして、フレームごとにプレビュー・エンジンとリサイズ・モジュールの両方またはそのいずれかのライト・バッファのアドレスを変更できます。H3A およびヒストグラムからのイメージ統計情報は、以降のフレームに対してプレビュー・エンジンのイメージ処理パラメータやイメージャーの焦点レンズの倍率を変更するアルゴリズムを実装するために ARM によって使用されます。

図 61. プレビュー/ムービー・キャプチャ・モードのデータ・パス

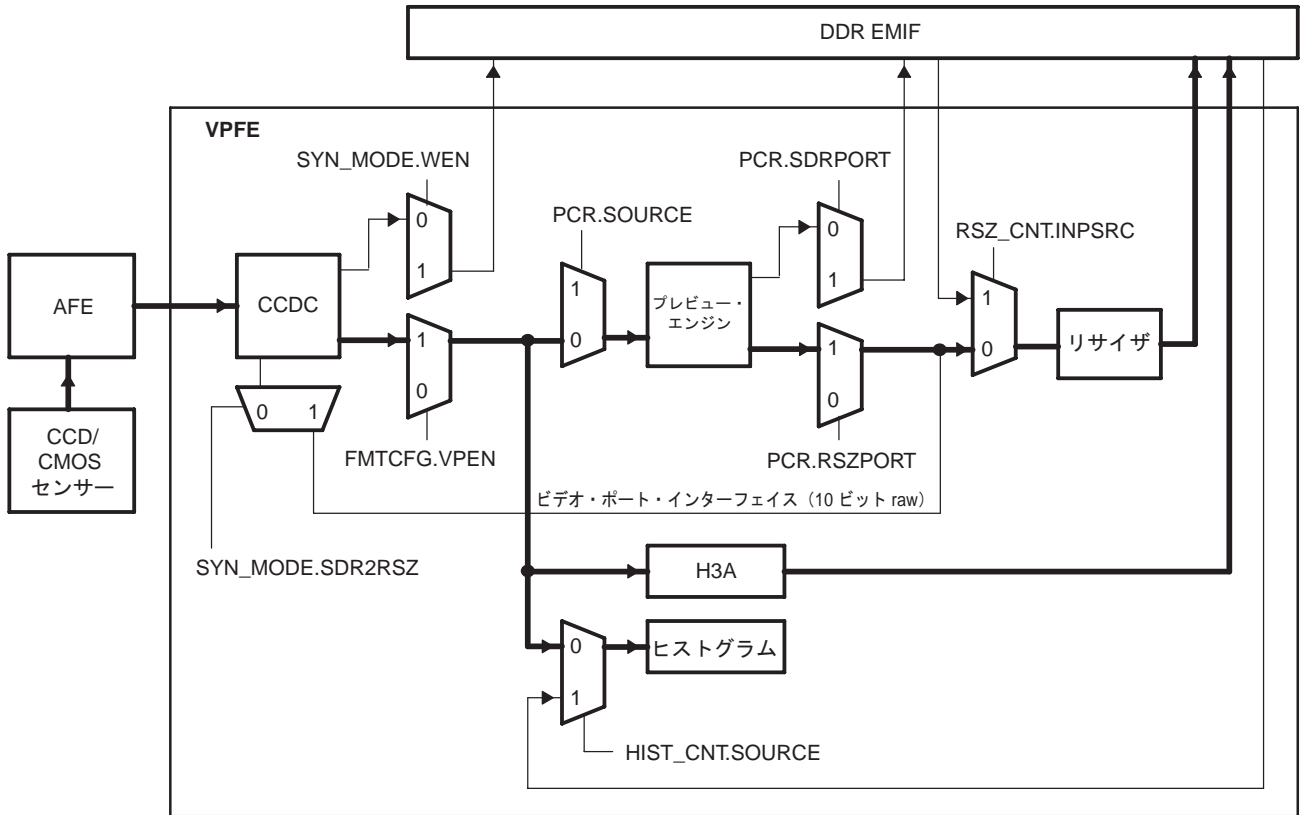


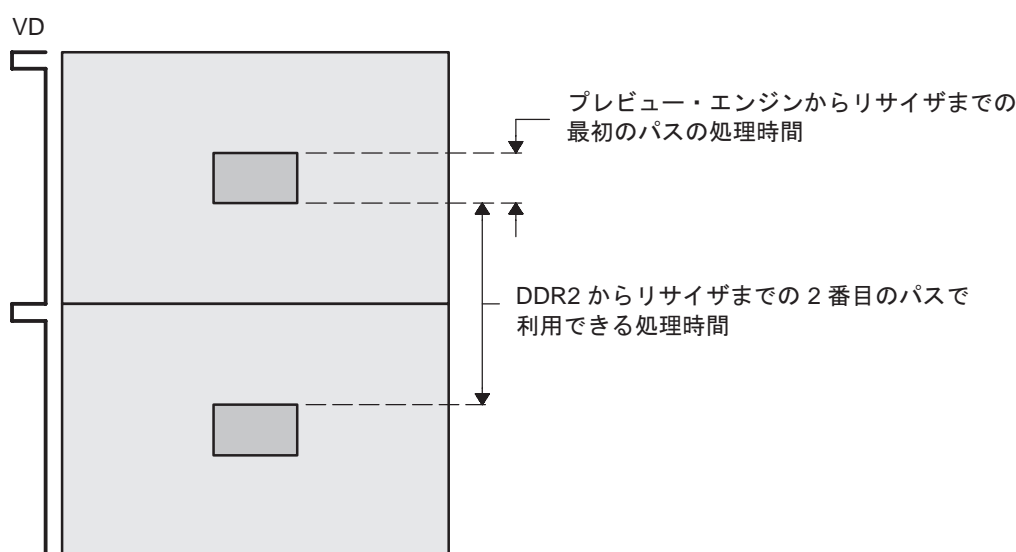
表 48. プレビュー/ムービー・キャプチャ・モードのデータ・パスにおけるレジスタ・コンフィギュレーション

| モジュール | レジスタ | フィールド | 設定 |
|------------|----------|---------|----|
| CCD コントローラ | FMTCFG | VPEN | 1 |
| | SYN_MODE | WEN | 0 |
| | SYN_MODE | SDR2RSZ | 0 |
| プレビュー・エンジン | PCR | SOURCE | 0 |
| | PCR | RSZPORT | 1 |
| | PCR | SDRPORT | 0 |
| リサイザ | RSZ_CNT | INPSRC | 0 |
| ヒストグラム | HIST_CNT | SOURCE | 0 |

5.11.1.1.1 プレビュー / ムービー・キャプチャ・モードの 2 パスによるリサイズ

リサイザからの単一パスにより、イメージの入力幅や高さを 1/4 または最大で 4 倍にリサイズすることができます。この範囲を超えるリサイズ動作を実現するためには、リサイザから複数のパスが必要になります。VPFE は 4 倍を超えて最大で 16 倍のデジタル・ズームを行うリサイズ時のズーム機能を実現するために、プレビュー / ムービー・キャプチャ・モードで 2 パスによるリサイズ動作をサポートします。最初のパスは、プレビュー・エンジン (RESZ.RESZ_CNT.INPSRC = 0) の出力から「オンザフライで」直接行われます。これはズーム・インのため、イメージの小さい部分だけが最初のパスでリサイズされます。2 番目のパスは、イメージのインアクティブな領域が CCD コントローラに送られている間、DDR (RESZ.RESZ_CNT.INPSRC = 1) から行われます。DDR2 からのリサイザ動作は DMA クロック・スピードの 1/2 (通常 PCLK より高速) で、元のサイズ (とブランキング) より小さなイメージに対して行われるため、次のフレーム用にリサイズの入力ソースをプレビュー・エンジンに再度切り替える前に、2 番目のパスが完了するまでに十分な時間があります (図 62 を参照)。

図 62. プレビュー・モードの 2 パスを介したリサイズ処理時間



最初のリサイズを行うためにリサイザを初期化してから、割り込みサービス・ルーチンまたはレジスタへのライト時に EDMA 転送が行う必要のある制御シーケンスを例 4 の疑似コードに示します。両方のパスはアップサンプリングを行うため、フィルタ係数を初期状態にセットすると変更する必要はありません。この例では、最初のパスが 4 倍で、2 番目のパスが 2.5 倍となる 10 倍のリサイズを行います。

メモリ / 帯域幅のトレードオフに関する注意: 最初のパスと 2 番目のパスで、使用するリサイズ比率を決める場合、システムの制約事項に関連する次の点についてご考慮ください。最初のパスで比率を小さくすると、使用される中間バッファ・メモリは最小限に抑制されますが、2 番目のパスでは瞬間的な帯域幅要件が大きくなります。リアルタイム要件に応じて、瞬間的な帯域消費量は、4.4.2 項に記載されている手法を使用すると低減することができます。

例 4. プレビュー・モードで 10 倍にリサイズする場合の疑似コード例

```

void reszISR()
{
    if(pass0)
    {
        RSZ_CNT.INPSRC = 0;                // Input source is Preview Engine
        SDR_INADD = 0;                    // Required to be 0 for PREV input
        SDR_INOFF = 0;                    // Required to be 0 for PREV input
        SDR_OUTADD = outBuff_pass0;       // Output buffer address
        SDR_OUTOFF = offset_pass0;        // Output buffer offset
        RSZ_CNT.VRSZ = vert4X;            // Vertical Resize ratio
        RSZ_CNT.HRSZ = horz4X;            // Horizontal Resize ratio
        IN_SIZE = insize_pass0;           // Horizontal & Vertical input size
        OUT_SIZE = outsize_pass0;         // Horizontal & Vertical output size
        IN_START = instart_pass0;         // Horizontal & Vertical input start
    }
    else
    {
        buffNum %= NUM_BUFFS;             // Implementation of a circular buffer
        RSZ_CNT.INPSRC = 1;                // Input source is DDR
        SDR_INADD = outBuff_pass0;         // Output of 1st pass
        SDR_INOFF = offset_pass0;          // Output of 1st pass
        SDR_OUTADD = outBuff[buffNum];     // Output buffer address
        SDR_OUTOFF = offset_pass1;         // Output buffer offset
        RSZ_CNT.VRSZ = vert2_5X;           // Vertical Resize ratio
        RSZ_CNT.HRSZ = horz2_5X;           // Horizontal Resize ratio
        IN_SIZE = insize_pass1;            // Horizontal & Vertical input size
        OUT_SIZE = outsize_pass1;          // Horizontal & Vertical output size
        IN_START = instart_pass1;          // Horizontal & Vertical input start
        buffNum++;                          // Increments the output buffer number
    }

    PCR.ENABLE = 1;

    pass0 = !pass0;
}
  
```

5.11.1.2 静止画キャプチャ・モード

デジタル・スチル・カメラまたはビデオ・カメラでは、静止画キャプチャ・モードで VPFE はセンサーから最大解像度の raw イメージ・データを受信し、そのデータを DDR に格納し、分析、処理を行ってから不揮発性メモリ（フラッシュ、デジタル・ビデオ・テープ、ハードディスクなど）に格納します。静止画をキャプチャするための VPFE からのデータ・パスを図 63 に示します。このモードでのレジスタ・コンフィギュレーションを表 49 に示します。

図 63 に示すように、VPFE 内の CCD コントローラ・モジュールだけをイネーブルする必要があります。通常このモードでは、CCD コントローラは最大解像度のデジタル raw データをセンサー / AFE から受信します。センサー（通常 CMOS）の中には、プログレッシブ・フォーマットでデータをリードするもの、複数のフィールドでデータをリードするものもあります。入力フォーマットがフィールド・ベースの場合、ソフトウェアは CCD コントローラ出力のライン・オフセットおよび開始アドレスをセットする必要があるため、フレームは DDR メモリに保存される際にインターリーブ解除されません。

普通、単一フレームがこのモードでキャプチャされます。ただし、VPFE は DDR2 に収納できるフレームと同じ数のフレームのためにバースト（連続）キャプチャ・モードもサポートします。ソフトウェアは、CCD コントローラ出力バッファ・アドレスをフレームごとに管理することによりこの機能を実現しています。

図 63. 静止画 (raw) キャプチャ・モードのデータ・バス

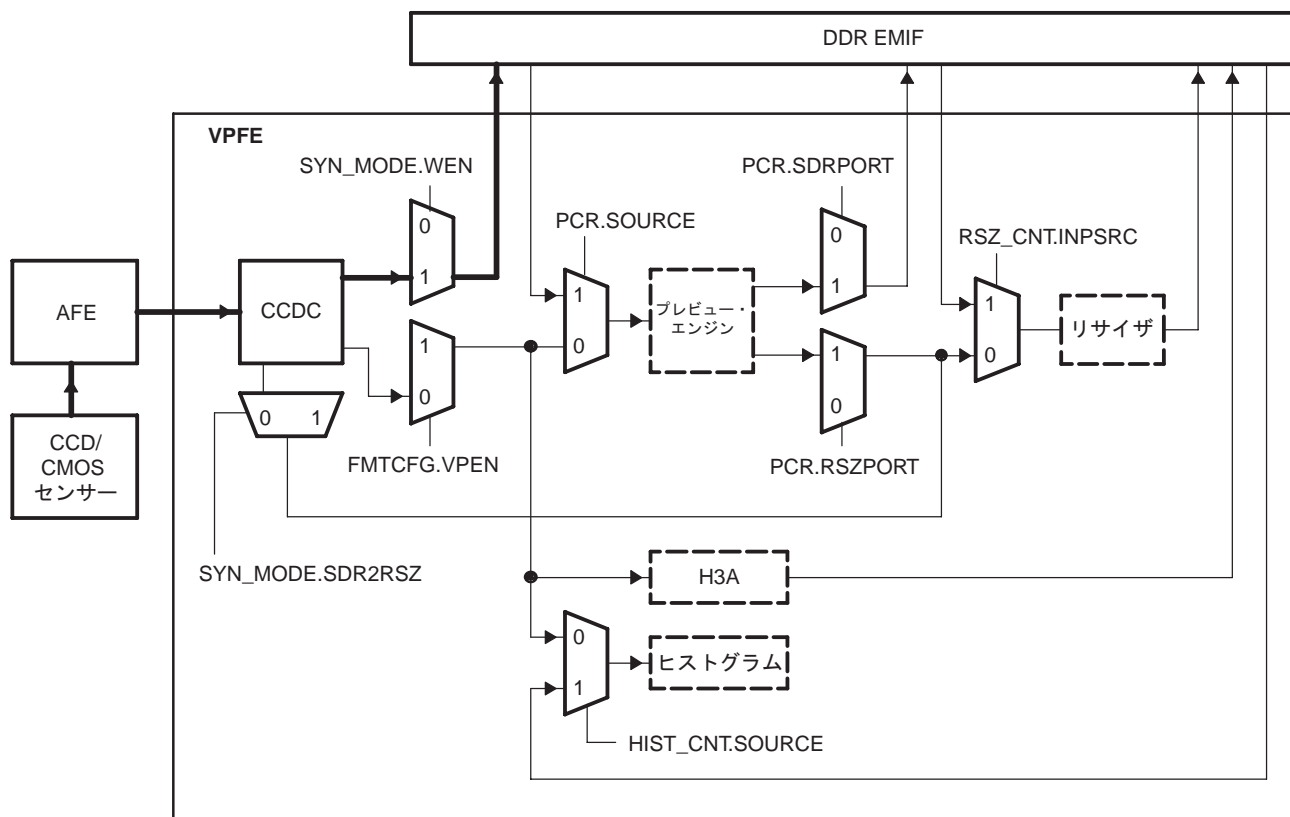


表 49. 静止画キャプチャ・モードのデータ・バスにおけるレジスタ・コンフィギュレーション

| モジュール | レジスタ | フィールド | 設定 |
|------------|----------|---------|----|
| CCD コントローラ | FMTCFG | VPEN | 0 |
| | SYN_MODE | WEN | 1 |
| | SYN_MODE | SDR2RSZ | 0 |
| プレビュー・エンジン | PCR | SOURCE | x |
| | PCR | RSZPORT | x |
| | PCR | SDRPORT | x |
| リサイザ | RSZ_CNT | INPSRC | x |
| ヒストグラム | HIST_CNT | SOURCE | x |

5.11.1.3 静止画処理モード

デジタル・スチル・カメラまたはビデオ・カメラでは、静止画処理モードで静止画キャプチャ・モードの DDR2 にキャプチャされる raw イメージ・データは、圧縮可能な YUV イメージ・データに加工され、不揮発性メモリに保存されます。このモードは、VPFE のプレビュー・エンジンによって、または DSP やイメージ・コプロセッサによって必要に応じて行われます。この処理を VPFE で行う場合、VPFE からのデータ・バスを図 64 に示します。このモードでのレジスタ・コンフィギュレーションを表 50 に示します。

図 64. 静止画処理モードのデータ・パス

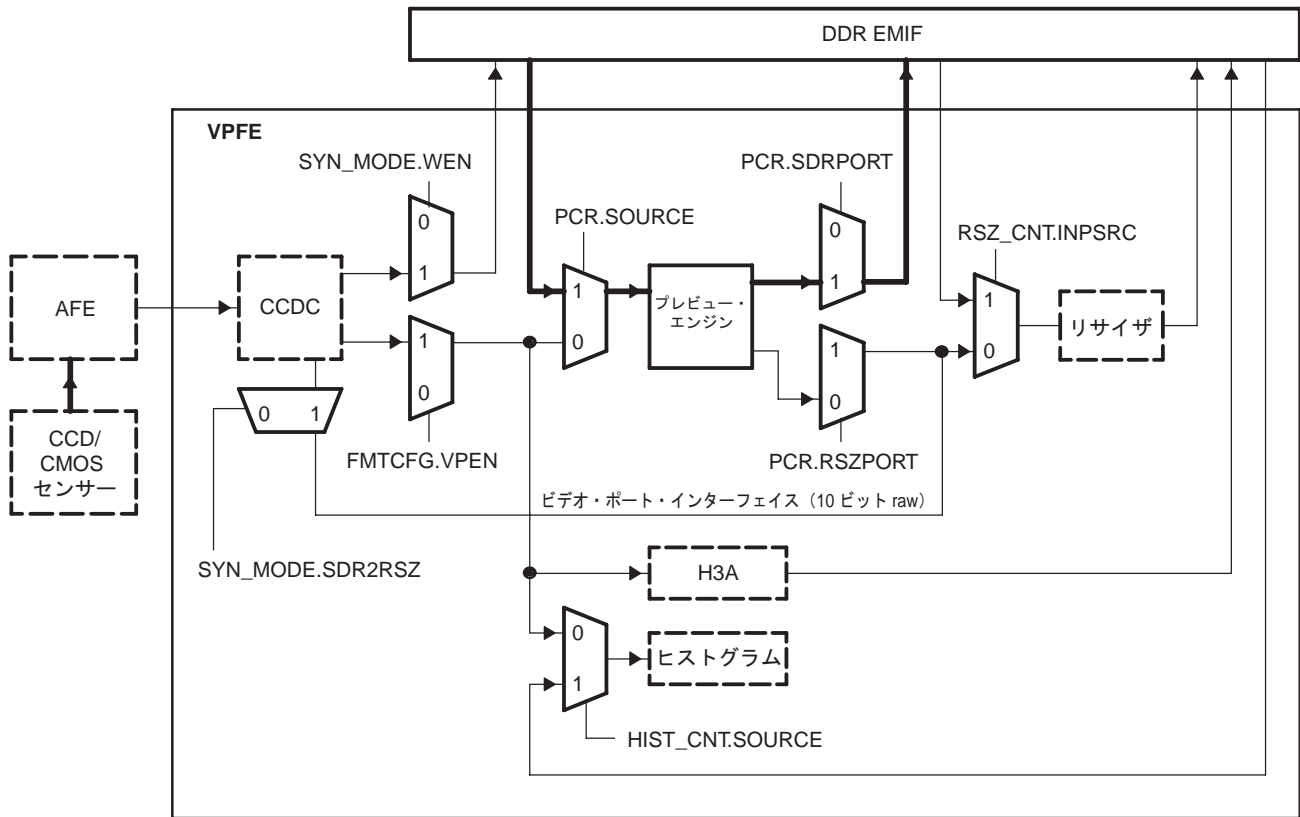


表 50. 静止画処理モードのデータ・パスにおけるレジスタ・コンフィギュレーション

| モジュール | レジスタ | フィールド | 設定 |
|------------|----------|---------|----|
| CCD コントローラ | FMTCFG | VPEN | x |
| | SYN_MODE | WEN | x |
| | SYN_MODE | SDR2RSZ | x |
| プレビュー・エンジン | PCR | SOURCE | 1 |
| | PCR | RSZPORT | 0 |
| | PCR | SDRPORT | 1 |
| リサイザ | RSZ_CNT | INPSRC | x |
| ヒストグラム | HIST_CNT | SOURCE | x |

内部ライン・メモリはビデオ解像度に合わせて最適化されているため、プレビュー・エンジンは単一パスで最大出力幅の1280ピクセルを処理することができます。したがって、キャプチャされた最大解像度の静止画を処理するには、通常プレビュー・エンジンから複数のパスが必要です。これを行うには、入力イメージをオーバーラップした複数の垂直方向のスライスに分割し、その出力を処理されたイメージが互いにシームレスにつながるようにアラインします。必要なスライスの数を計算する式は次のとおりです。

$$\text{スライスの数} = \lceil \text{フロア} \times ((\text{出力幅} - 1) / 1280) \rceil + 1$$

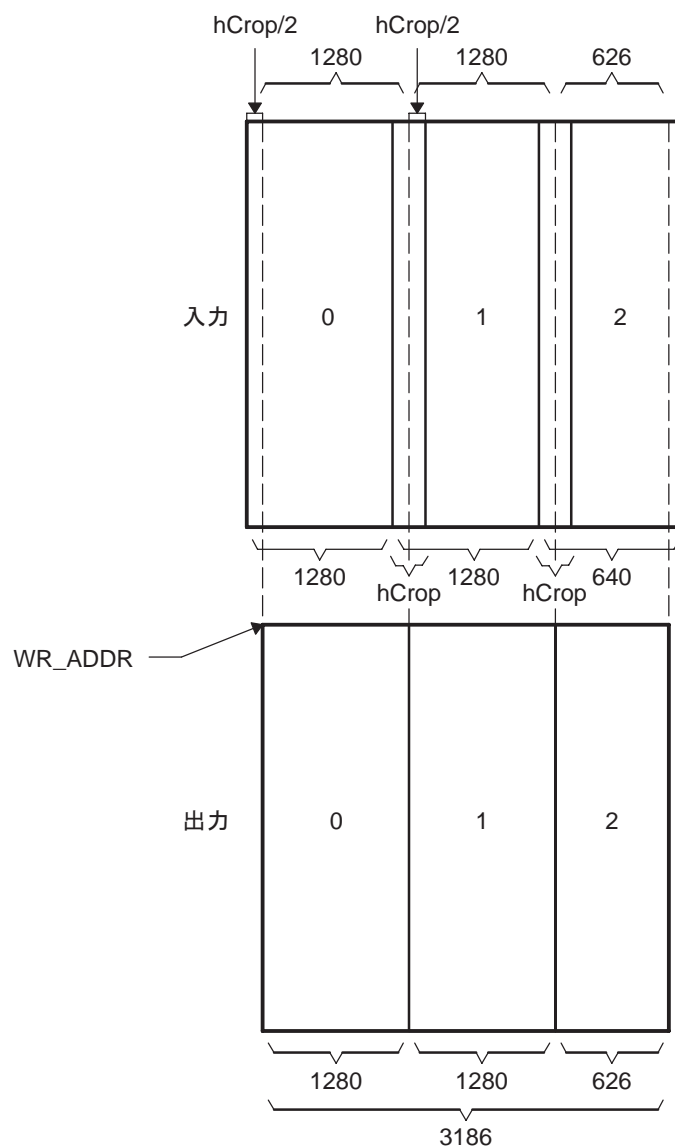
プレビュー・エンジンが処理する垂直方向のスライスは、内部フィルタリング処理(4.3.3.13項を参照)でイメージ・データを切り捨てるために、オーバーラップする必要があります。オーバーラップの量は、処理中にイネーブルするフィルタリング機能によって決まります。表 51 に、特定の機能をイネーブルしたことでプレビュー・エンジン内で切り捨てられるエッジ・ピクセル/ライン数を示します。

表 51. プレビュー機能によるイメージ・クロッピング

| 機能 | ピクセル/ライン | ライン |
|----------------|----------|-----|
| 水平方向メディアン・フィルタ | 4 | 0 |
| ノイズ・フィルタ | 4 | 4 |
| CFA | 4 | 4 |
| カラー抑制または輝度強化 | 2 | 0 |
| 最大合計値 | 14 | 8 |

図 65 および例 5 の疑似コードに、プレビュー・エンジンからの複数のパスによる静止画処理を実現する様子を示します。これを説明する上で、 $hCrop$ は内部フィルタリング機能のためイメージから切り捨てられるラインあたりのピクセル数を指します。スライスのオーバーラップ量は、 $hCrop$ ピクセルと同じです。

図 65. プレビュー・エンジンからの複数のパスによる処理



例 5. 静止画処理を示す疑似コード例

```

#define HCROP          14          // cropped pixels (all functions on)
#define OUTWIDTH      3186        // required output width
#define VSTRIPEWIDTH  1280        // must be a multiple of 16 pixels

int vStripeCnt, lastPassNum, lastPassSize;

void stillProcess()          // assumes all other PREVIEW parameters initialized
{
    int inWidth;

    vStripeCnt = 0;          // initialize vStripe counter

    inWidth = OUTWIDTH + HCROP;      // 3200 (set CCDC output width to this)

    lastPassNum = (OUTWIDTH-1) / VSTRIPEWIDTH;    // 2
    lastPassSize = OUTWIDTH % VSTRIPEWIDTH;      // 626

    if(lastPassSize == 0)          // if output width is less than 1280
    lastPassSize = OUTWIDTH;

    HORZ_INFO.SPH = 0;            // start pixel horizontal
    HORZ_INFO.EPH = (VSTRIPEWIDTH-1) + HCROP;    // end pixel horizontal
    RADR_ADDR = input_buff;      // Read starting address
    WSDR_ADDR = output_buff;     // Write starting address

    PCR.ENABLE = 1;              // Enable Preview Engine
    ...
}

void prevISR()
{
    vStripeCnt++;
    RADR_ADDR = input_buff + 2*(vStripeCnt * VSTRIPEWIDTH);
    WSDR_ADDR = output_buff + 2*(vStripeCnt * VSTRIPEWIDTH);

    if(vStripeCnt == lastPassNum)
        HORZ_INFO.EPH = (lastPassSize-1) + HCROP;

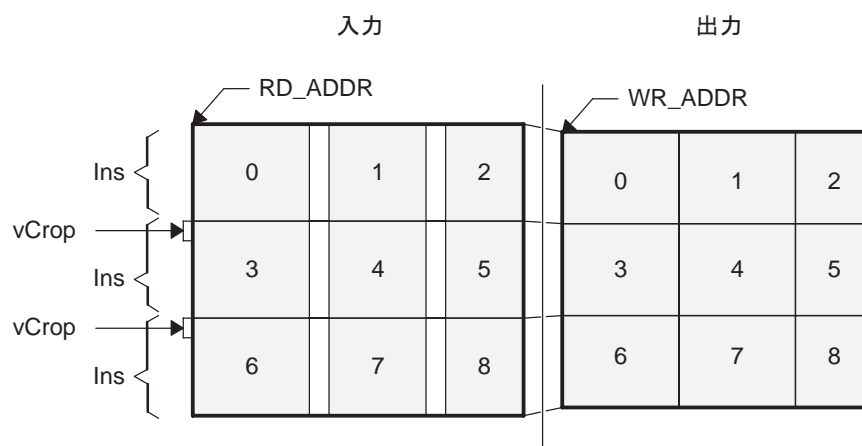
    if(vStripeCnt <= lastPassNum)
        PCR.ENABLE = 1;          // Enable Preview Engine
}

```


5.11.1.3.1 水平方向のスライス

垂直方向のスライスに加え、処理上、水平方向のスライスを行うことが必要になる場合があり、その結果、出力イメージの圧縮は並列にパイプライン処理可能です。この概念は、垂直方向のスライスとまったく同様に実装することができます。オーバーラッピングしたライン数は、表 51 で指定したイメージ (*vCrop*) から切り捨てられるライン数と同じです。図 66 および例 6 の疑似コードに、プレビュー・エンジンからの垂直方向および水平方向のスライス処理を実現する様子を示します。

図 66. プレビュー・エンジンからの水平方向のスライス



例 6. 水平方向および垂直方向のスライスを示す疑似コード例

```
#define HCROP          14          // cropped pixels (all functions on)
#define VCROP          8          // cropped lines (all functions on)
#define OUTWIDTH       3186       // required output width
#define OUTHEIGHT      2392       // required output width
#define VSTRIPEWIDTH   1280       // must be a multiple of 16 pixels
#define HSTRIPEHEIGHT  960        // can be anything, not limited

int vStripeCnt, hStripeCnt, lastPassNum, lastPassSize, vLastPassNum, vLastPassSize,
    numPasses, passCnt;

void stillProcess()           // assumes all other PREVIEW parameters initialized
{
    int inWidth, inHeight;

    vStripeCnt = 0;           // initialize vStripe counter
    hStripeCnt = 0;           // initialize hStripe counter
    passCnt = 0;              // initialize pass counter

    inWidth = OUTWIDTH + HCROP; // 3200 (set CCDC output width to this)
    inHeight = OUTHEIGHT + VCROP; // 2400 (set CCDC output height to this)

    lastPassNum = (OUTWIDTH-1) / VSTRIPEWIDTH; // 2
    lastPassSize = OUTWIDTH % VSTRIPEWIDTH; // 626

    if(lastPassSize == 0) // if output width is less than 1280
        lastPassSize = OUTWIDTH;

    vLastPassNum = (OUTHEIGHT-1) / HSTRIPEHEIGHT; // 2
    vLastPassSize = OUTHEIGHT % HSTRIPEHEIGHT; // 472

    if(vLastPassSize == 0) // if output height is less than 960
        vLastPassSize = OUTHEIGHT;

    numPasses = lastPassNum+1 * vLastPassNum+1;
}
```

例 6. 水平方向および垂直方向のスライスを示す疑似コード例 (続き)

```

HORIZ_INFO.SPH = 0; // start pixel horizontal
HORIZ_INFO.EPH = (VSTRIPEWIDTH-1) + HCROP; // end pixel horizontal
VERT_INFO.SLV = 0; // start line vertical
VERT_INFO.ELV = (HSTRIPEHEIGHT-1) + VCROP; // end line vertical
RSDR_ADDR = input_buff; // Read starting address
WSDR_ADDR = output_buff; // Write starting address

PCR.ENABLE = 1; // Enable Preview Engine
...
}

void prevISR()
{
  vStripeCnt++;
  RADR_ADDR = input_buff + 2*(vStripeCnt * VSTRIPEWIDTH)
              + (hStripeCnt * HSTRIPEHEIGHT * RADR_OFFSET);

  WSDR_ADDR = output_buff + 2*(vStripeCnt * VSTRIPEWIDTH)
              + (hStripeCnt * HSTRIPEHEIGHT * WADD_OFFSET);

  if(vStripeCnt == lastPassNum) {
    HORIZ_INFO.EPH = (lastPassSize-1) + HCROP;
    vStripeCnt = -1;
    hStripeCnt++;
  }
  else if(hStripeCnt == vLastPassNum)
    VERT_INFO.ELV = (vLastPassSize-1) + VCROP;

  if(++passCnt < numPasses)
    PCR.ENABLE = 1; // Enable Preview Engine
}

```

5.11.2 YUV ビデオ入力固有のアプリケーション

YUV ビデオ入力ソースを使用するさまざまなアプリケーションがあります。たとえば、IP フォン、ビデオ監視システム、デジタル・ビデオ・レコーダなどです。ほとんどのアプリケーションでも YUV ビデオのキャプチャ、圧縮、送信、保存が必要で、応用カテゴリに分類されます。

5.11.2.1 ビデオ・キャプチャ・モード

ビデオ・キャプチャ・モードで、VPFE は YUV ビデオ・データをデジタル・ビデオ・ソースから受信し、さらに処理や圧縮を行うために DDR に保存します。VPFE の CCD コントローラは、BT.656 フォーマットのビデオまたは一般的な 16 ビットまたは 8 ビットの YUV デジタル・ビデオ・データを NTSC/PAL ビデオ・デコーダなどのデジタル・ビデオ・ソースからキャプチャします。ビデオをキャプチャするための VPFE からの想定されるデータ・パスを図 67 に示します。このモードでのレジスタ・コンフィギュレーションを表 52 に示します。

図 67 に示すように、CCD コントローラはこのモードでイネーブルです。また、入力ビデオがプログレッシブの場合、CCD コントローラの出力は直接リサイズに渡され、ビデオ・データのリサイズが行われます。最初に DDR2 に渡す必要はありません。

図 67. ビデオ・キャプチャ・モードのデータ・バス

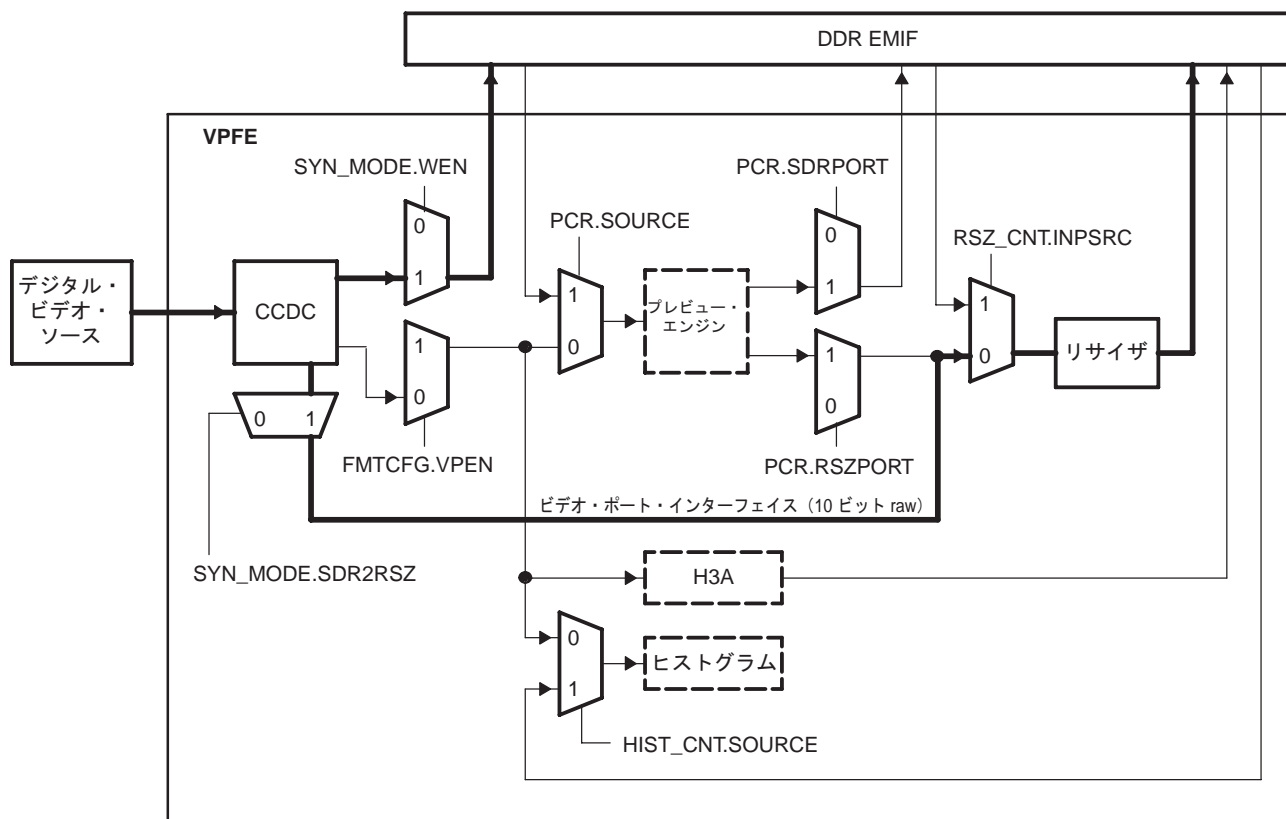


表 52. ビデオ・キャプチャ・モードのデータ・バスにおけるレジスタ・コンフィギュレーション

| モジュール | レジスタ | フィールド | 設定 |
|------------|----------|---------|----|
| CCD コントローラ | FMTCFG | VPEN | 0 |
| | SYN_MODE | WEN | 1 |
| | SYN_MODE | SDR2RSZ | 1 |
| プレビュー・エンジン | PCR | SOURCE | x |
| | PCR | RSZPORT | x |
| | PCR | SDRPORT | x |
| リサイザ | RSZ_CNT | INPSRC | 0 |
| ヒストグラム | HIST_CNT | SOURCE | x |

5.11.3 ビデオ/イメージ・リサイズ・アプリケーション

CCD/CMOS センサー・データおよび YUV ビデオ・データ両方の入力カテゴリに分類されるアプリケーションは、リサイズを使用して、DDR2 メモリからの YUV 4:2:2 フォーマットのビデオおよびイメージをリサイズします。また、リサイズを設定すると、YUV 4:4:4 平面データを処理できます。

5.11.3.1 処理されたイメージのリサイズ

処理されたイメージをリサイズする場合、VPFE に搭載されたリサイズは DDR から YUV フォーマットのイメージ/ビデオ・データを受け取り、そのデータをリサイズしてまた DDR に戻します。通常、DSP およびイメージ・コプロセッサは最初にイメージまたはビデオ・データを解凍し、次にリサイズでイメージをリサイズしてディスプレイ・デバイスにディスプレイするか、再度圧縮します。処理されたイメージをリサイズするための VPFE からのデータ・パスを図 68 に示します。このモードでのレジスタ・コンフィギュレーションを表 53 に示します。

図 68. 処理されたイメージをリサイズする場合のデータ・パス

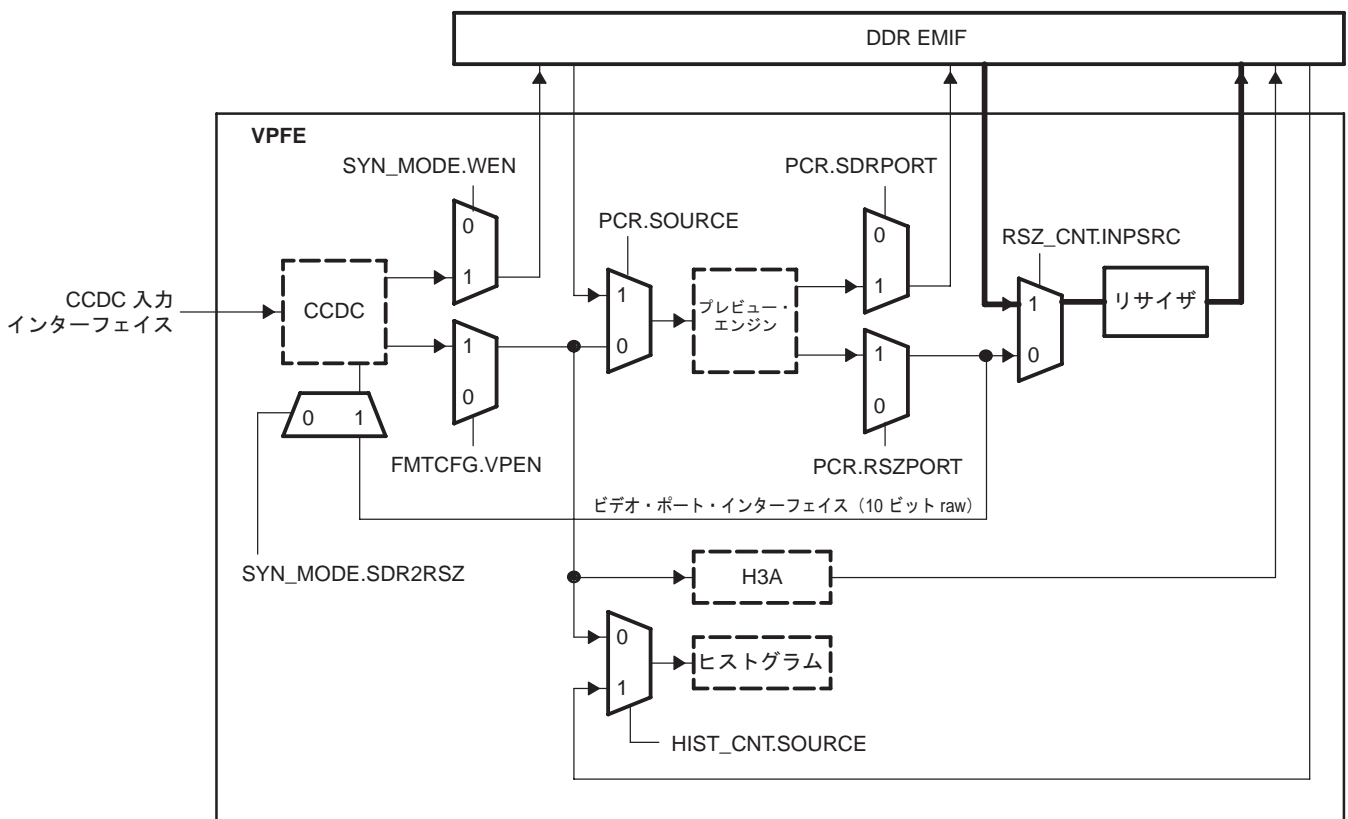


表 53. 処理されたイメージをリサイズする場合のデータ・パスにおけるレジスタ・コンフィギュレーション

| モジュール | レジスタ | フィールド | 設定 |
|------------|----------|---------|----|
| CCD コントローラ | FMTCFG | VPEN | x |
| | SYN_MODE | WEN | x |
| | SYN_MODE | SDR2RSZ | x |
| プレビュー・エンジン | PCR | SOURCE | x |
| | PCR | RSZPORT | x |
| | PCR | SDRPORT | x |
| リサイザ | RSZ_CNT | INPSRC | 1 |
| ヒストグラム | HIST_CNT | SOURCE | x |

5.11.3.1.1 複数のパスによるリサイズ

複数のパスを必要とする場合、リサイズには目的のサイズを実現するために2つの制約事項があります。

- リサイズ比率の範囲は、1/4 倍から 4 倍に制限される
- 最大出力幅は 1280 ピクセル (1/2 から 1/4 の垂直方向のダウンサンプリング比率の場合 640)

リサイズ比率の範囲：リサイズからの単一パスにより、イメージの入力幅や高さを 1/4 または最大で 4 倍にリサイズすることができます。この範囲を超えるリサイズ動作を実現するためには、最終的なサイズ変更が終了するまでにリサイズから複数のパスが必要になります。たとえば、10 倍のリサイズが必要な場合、4 倍のリサイズと 2.5 倍のリサイズを 2 回のパスで適用します。

最大出力幅：内部ライン・メモリがビデオ解像度に合わせて最適化されているため、リサイズは単一パスで最大出力幅の 1280 ピクセル (1/2 から 1/4 の垂直方向のダウンサンプリング比率の場合 640) で動作します。したがって、この水平方向の幅要の制限を超える、もっと大きなイメージにリサイズするには、リサイズから複数のパスが必要です。これを行うには、入力イメージを複数の垂直スライスに分割し、その出力を処理されたイメージが互いにシームレスにつながるようアラインします。

基本的な考えは、以前のイメージがちょうど終わった場所からそれ以降のスライスを開始するということです。開始フェーズおよびピクセル・レジスタに、この正確な場所をプログラムします。この場所を計算するには、4.3.4.4 項に詳細が記述されたアルゴリズムを使用します。

6 ビデオ・プロセッシング・フロント・エンド (VPFE) レジスタ

ビデオ・プロセッシング・フロント・エンド (VPFE) サブシステムのサブモジュールを表 54 に示します。

表 54. ビデオ・プロセッシング・フロント・エンドのサブシステム・モジュールのレジスタ・マップ

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|------|--|-------|
| 400h | CCDC | CCD コントローラ | 6.1 節 |
| 800h | PREV | プレビュー・エンジン / イメージ・シグナル・プロセッサ | 6.2 節 |
| C00h | RESZ | リサイザ | 6.3 節 |
| 1000h | HIST | ヒストグラム | 6.4 節 |
| 1400h | H3A | ハードウェア 3A (オートフォーカス / オート・ホワイト・バランス / オート・エクスポージャ) | 6.5 節 |

6.1 CCD コントローラ (CCDC) レジスタ

表 55 に、CCD コントローラのメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 55. CCD コントローラ (CCDC) レジスタ

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|------------|---|----------|
| 400h | PID | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ | 6.1.1 項 |
| 404h | PCR | ペリフェラル・コントロール・レジスタ | 6.1.2 項 |
| 408h | SYN_MODE | シンク / モード・セット・レジスタ | 6.1.3 項 |
| 40Ch | HD_VD_WID | HD / VD シグナル・ワイズ・レジスタ | 6.1.4 項 |
| 410h | PIX_LINES | ナンバー・オブ・ピクセルズ・イン・ア・ホリゾンタル・ライン / ナンバー・オブ・ラインズ・イン・ア・フレーム・レジスタ | 6.1.5 項 |
| 414h | HORZ_INFO | ホリゾンタル・ピクセル・インフォメーション・レジスタ | 6.1.6 項 |
| 418h | VERT_START | パーティカル・ライン・セッティングス・フォー・ザ・スターティング・ピクセル・レジスタ | 6.1.7 項 |
| 41Ch | VERT_LINES | ナンバー・オブ・パーティカル・ラインズ・レジスタ | 6.1.8 項 |
| 420h | CULLING | カリング・インフォメーション・イン・ホリゾンタル / パーティカル・ディレクションズ・レジスタ | 6.1.9 項 |
| 424h | HSIZE_OFF | ホリゾンタル・サイズ・レジスタ | 6.1.10 項 |
| 428h | SDOFST | SDRAM/DDRAM ライン・オフセット・レジスタ | 6.1.11 項 |
| 42Ch | SDR_ADDR | SDRAM アドレス・レジスタ | 6.1.12 項 |
| 430h | CLAMP | オブティカル・ブラック・クランピング・セッティングス・レジスタ | 6.1.13 項 |
| 434h | DCSUB | DC クランプ・レジスタ | 6.1.14 項 |
| 438h | COLPTN | CCD カラー・パターン・レジスタ | 6.1.15 項 |
| 43Ch | BLKCOMP | ブラック・コンベンション・レジスタ | 6.1.16 項 |
| 440h | FPC | フォールト・ピクセル・コレクション・レジスタ | 6.1.17 項 |
| 444h | FPC_ADDR | フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ | 6.1.18 項 |
| 448h | VDINT | VD インタラプト・タイミング・レジスタ | 6.1.19 項 |
| 44Ch | ALAW | A-law セッティング・レジスタ | 6.1.20 項 |
| 450h | REC656IF | REC656 インターフェイス・レジスタ | 6.1.21 項 |
| 454h | CCDCFG | CCD コンフィギュレーション・レジスタ | 6.1.22 項 |

表 55. CCD コントローラ (CCDC) レジスタ (続き)

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|-----------|--|----------|
| 458h | FMTCFG | データ・リフォーマッタ / ビデオ・ポート・コンフィギュレーション・レジスタ | 6.1.23 項 |
| 45Ch | FMT_HORIZ | データ・リフォーマッタ / ビデオ・インプット・インターフェイス・ホリゾンタル・インフォメーション・レジスタ | 6.1.24 項 |
| 460h | FMT_VERT | データ・リフォーマッタ / ビデオ・インプット・インターフェイス・バーティカル・インフォメーション・レジスタ | 6.1.25 項 |
| 494h | VP_OUT | ビデオ・ポート・アウトプット・セッティングス・レジスタ | 6.1.26 項 |

6.1.1 ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) を図 69 に示し、表 56 で説明します。

図 69. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

| | | | |
|----------|----|------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | TID | |
| R-0 | | R-1 | |
| 15 | 8 | 7 | 0 |
| CID | | PREV | |
| R-FEh | | R-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 56. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明

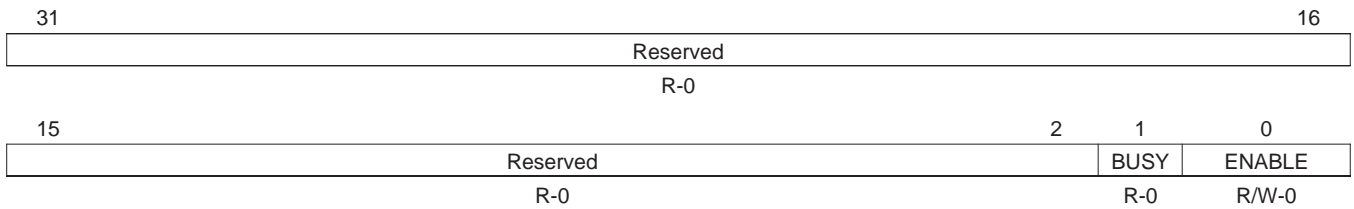
| ビット | フィールド | 値 | 説明 |
|-------|----------|-----|---------------------------------------|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | TID | 1 | ペリフェラルの識別。 CCD/CMOS コントローラ |
| 15-8 | CID | FEh | クラスの識別。 ビデオ・プロセッシング・フロント・エンド・モジュール |
| 7-0 | PREV | 0 | ペリフェラルのリビジョン番号。 現在のバージョン |

6.1.2 ペリフェラル・コントロール・レジスタ (PCR)

注： CCD コントローラがディスエーブルの場合 (ENABLE = 0)、CCD コントローラは引き続き割り込みを生成します。ユーザの設計では割り込みが想定されていない場合、割り込みコントローラ (INTC) から生成されるこれらの割り込みをディスエーブルする必要があります。INTC の詳細については、『TMS320DM643x DMP DSP Subsystem Reference Guide』(資料番号 SPRU978) を参照してください。

ペリフェラル・コントロール・レジスタ (PCR) を図 70 に示し、表 57 で説明します。

図 70. ペリフェラル・コントロール・レジスタ (PCR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 57. ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|---|--------------------------------|
| 31-2 | Reserved | 0 | 予約。 |
| 1 | BUSY | 0 | CCD コントローラのビジー・ビット。 ビジーではない |
| | | 1 | ビジー |
| 0 | ENABLE | 0 | CCD コントローラのイネーブル。 ディスエーブル |
| | | 1 | イネーブル |

6.1.3 シンク/モード・セット・レジスタ (SYN_MODE)

シンク/モード・セット・レジスタ (SYN_MODE) を図 71 に示し、表 58 で説明します。

図 71. シンク/モード・セット・レジスタ (SYN_MODE)

| | | | | | | | | | | | | | | | |
|----------|--|---------|--|--------|--|--------|--|---------|--|--------|--|--------|--|---------|--|
| 31 | | | | | | | | 24 | | | | | | | |
| Reserved | | | | | | | | | | | | | | | |
| R-0 | | | | | | | | | | | | | | | |
| 23 | | | | 20 | | | | 19 | | 18 | | 17 | | 16 | |
| Reserved | | | | R-0 | | | | SDR2RSZ | | VP2SDR | | WEN | | VDHDEN | |
| R-0 | | | | R-0 | | | | R/W-0 | | R/W-0 | | R/W-0 | | R/W-0 | |
| 15 | | 14 | | 13 | | 12 | | 11 | | 10 | | 8 | | | |
| FLDSTAT | | LPF | | INPMOD | | | | PACK8 | | DATSIZ | | | | | |
| 7 | | 6 | | 5 | | 4 | | 3 | | 2 | | 1 | | 0 | |
| FLDMODE | | DATAPOL | | EXWEN | | FLDPOL | | HDPOL | | VDPOL | | FLDOUT | | VDHDOUT | |
| R/W-0 | | R/W-0 | | R/W-0 | | R/W-0 | | R/W-0 | | R/W-0 | | R/W-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 58. シンク/モード・セット・レジスタ (SYN_MODE) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---|---|
| 31-20 | Reserved | 0 | 予約。 |
| 19 | SDR2RSZ | 0 | リサイズ入力への SDRAM ポート出力。SDRAM 出力データをリサイズ入力ポートへ転送するかどうかを制御します。 |
| | | 1 | ディスエーブル イネーブル |
| 18 | VP2SDR | 0 | SDRAM ポートへのビデオ・ポート出力。ビデオ・ポート・データを SDRAM ヘライトする出力フォーマットへ順番に転送するかどうかを制御します。VP2SDR がセットされた場合、SDRAM ライン (VERT_START の SLV _n ビット) およびピクセル開始 (HORZ_INFO の SPH ビット) がビデオ・ポート出力に関連している (かつ元の入力に関連していない) ことに注意してください。このビットは VD によってラッチされます。 |
| | | 1 | ディスエーブル イネーブル |
| 17 | WEN | 0 | データ・ライトのイネーブル。CCD raw データが SDRAM にライトされるかどうかを制御します。このビットは VD によってラッチされます。 |
| | | 1 | ディスエーブル イネーブル |
| 16 | VDHDEN | 0 | VD/HD のイネーブル。VD/HD が出力として指定されている場合、内部タイミング・ジェネレータがアクティブになります。VD/HD が入力として指定されている場合、VD/HD と同期をとるために内部タイミング・ジェネレータがアクティブになります。 |
| | | 1 | ディスエーブル イネーブル |
| 15 | FLDSTAT | 0 | フィールドのステータス。インターレース・モードで動作している場合、現在のフィールドのステータスを示します。 |
| | | 1 | 奇数フィールド 偶数フィールド |

表 58. シンク/モード・セット・レジスタ (SYN_MODE) フィールドの説明 (続き)

| ビット | フィールド | 値 | 説明 |
|-------|---------|---|---|
| 14 | LPF | 0 1 | 3 タップ・ローパス (アンチエイリアシング) フィルタ。このビットは VD によってラッチされます。 オフ オン |
| 13-12 | INPMOD | 0 ~ 3h 0 1h 2h 3h | データ入力モード。 CCD raw データ YCbCr 16 ビット YCbCr 8 ビット 予約 |
| 11 | PACK8 | 0 1 | 8 ビット/ピクセルにパックします (SDRAM へ)。 通常 (16 ビット/ピクセル) 8 ビット/ピクセルにパック |
| 10-8 | DATSIZ | 0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h | CCD データ幅。INPMOD ビットが 0 にクリアされた場合にのみ有効。 16 ビット 15 ビット 14 ビット 13 ビット 12 ビット 11 ビット 10 ビット 8 ビット |
| 7 | FLDMODE | 0 1 | センサー・フィールドのモード。 ノンインターレース (プログレッシブ) インターレース |
| 6 | DATAPOL | 0 1 | CCD データの極性。 通常 (変更なし) 1 の補数 |
| 5 | EXWEN | 0 1 | 外部 WEN 選択。このビットを 1 にセットし、かつ VDHDEN ビットを 1 にセットすると、入力された CCD データは SDRAM にロードされます。 外部 WEN を使用しない (ライト・イネーブル)。 外部 WEN を使用する (ライト・イネーブル)。 |
| 4 | FLDPOL | 0 1 | フィールド・インジケータの極性。 正 負 |
| 3 | HDPOL | 0 1 | HD 同期極性。 正 負 |
| 2 | VDPOL | 0 1 | VD 同期極性。 正 負 |

表 58. シンク/モード・セット・レジスタ (SYN_MODE) フィールドの説明 (続き)

| ビット | フィールド | 値 | 説明 |
|-----|---------|---|---------------------|
| 1 | FLDOUT | 0 | フィールド ID の方向。 入力 |
| | | 1 | 出力 |
| 0 | VDHDOUT | 0 | VD/HD の同期方向。 入力 |
| | | 1 | 出力 |

6.1.4 HD / VD シグナル・ワイズ・レジスタ (HD_VD_WID)

HD/VD シグナル・ワイズ・レジスタ (HD_VD_WID) を図 72 に示し、表 59 で説明します。

図 72. HD / VD シグナル・ワイズ・レジスタ (HD_VD_WID)

| | | | |
|----------|----|-------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | HDW | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | VDW | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 59. HD / VD シグナル・ワイズ・レジスタ (HD_VD_WID) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | HDW | 0 ~ FFFh | HD 同期パルス幅 (HD が出力の場合)、HDW + 1 ピクセル・クロック。HD が入力の場合 (SYN_MODE の VDHDOUT ビットが 0 にクリアされる場合)、HDW は使われません。このビット・フィールドは VD によってラッチされます。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | VDW | 0 ~ FFFh | VD 同期パルス幅 (VD が出力の場合)、VDW + 1 ライン。VD が入力の場合 (SYN_MODE の VDHDOUT ビットが 0 にクリアされる場合)、VDW は使われません。このビット・フィールドは VD によってラッチされます。 |

6.1.5 ナンバー・オブ・ピクセルズ・イン・ア・ホリゾンタル・ライン/ナンバー・オブ・ラインズ・イン・ア・フレーム・レジスタ (PIX_LINES)

ナンバー・オブ・ピクセルズ・イン・ア・ホリゾンタル・ライン/ナンバー・オブ・ラインズ・イン・ア・フレーム・レジスタ (PIX_LINES) を図 73 に示し、表 60 で説明します。

図 73. ナンバー・オブ・ピクセルズ・イン・ア・ホリゾンタル・ライン/ナンバー・オブ・ラインズ・イン・ア・フレーム・レジスタ (PIX_LINES)

| | | |
|----|-------|----|
| 31 | PPLN | 16 |
| | R/W-0 | |
| 15 | HLPFR | 0 |
| | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 60. ナンバー・オブ・ピクセルズ・イン・ア・ホリゾンタル・ライン/ナンバー・オブ・ラインズ・イン・ア・フレーム・レジスタ (PIX_LINES) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------|-----------|--|
| 31-16 | PPLN | 0 ~ FFFFh | ラインごとのピクセル数。1 ラインに含まれるピクセル・クロック周期数。 HD 周期 = PPLN + 1 ピクセル・クロック。HD および VD が入力の場合 (SYN_MODE の VDHDOUT ビットが 0 にクリアされる場合)、PPLN は使われません。このビット・フィールドは VD によってラッチされます。 |
| 15-0 | HLPFR | 0 ~ FFFFh | フィールドまたはフレームごとのハーフ・ライン。フィールドまたはフレームごとのハーフ・ライン数をセットします。VD 周期 = (HLPFR + 1)/2 ライン。HD が入力の場合 (SYN_MODE の VDHDOUT ビットが 0 にクリアされる場合)、HLPFR は使われません。このビット・フィールドは VD によってラッチされます。 |

6.1.6 ホリゾンタル・ピクセル・インフォメーション・レジスタ (HORZ_INFO)

ホリゾンタル・ピクセル・インフォメーション・レジスタ (HORZ_INFO) を図 74 に示し、表 61 で説明します。

注： CCD コントローラは、SAV および EAV 内の XY コードを SDRAM へ出力します。これを解消するために、SPH フィールドを +1 にセットします。また、アクティブなピクセル数を正確に表すために、NPH フィールドもセットします。

図 74. ホリゾンタル・ピクセル・インフォメーション・レジスタ (HORZ_INFO)

| | | |
|----------|-------|----|
| 31 | 30 | 16 |
| Reserved | SPH | |
| R-0 | R/W-0 | |
| 15 | 14 | 0 |
| Reserved | NPH | |
| R-0 | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 61. ホリゾンタル・ピクセル・インフォメーション・レジスタ (HORZ_INFO) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31 | Reserved | 0 | 予約。 |
| 30-16 | SPH | 0 ~ 7FFFh | 水平方向の開始ピクセル。SDRAM へのデータ出力が開始される時点のピクセル・クロックの位置を HD の開始位置から測定してセットします。このビット・フィールドは VD によってラッチされます。 |
| 15 | Reserved | 0 | 予約。 |
| 14-0 | NPH | 0 ~ 7FFFh | 水平方向のピクセル数。SDRAM へ出力される水平方向のピクセル数を NPH + 1 にセットします。このビット・フィールドは VD によってラッチされます。 |

6.1.7 パーティカル・ライン・セッティングス・フォー・ザ・スターティング・ピクセル・レジスタ (VERT_START)

パーティカル・ライン・セッティングス・フォー・ザ・スターティング・ピクセル・レジスタ (VERT_START) を図 75 に示し、表 62 で説明します。

図 75. パーティカル・ライン・セッティングス・フォー・ザ・スターティング・ピクセル・レジスタ (VERT_START)

| | | |
|----------|----|-------|
| 31 | 30 | 16 |
| Reserved | | SLV0 |
| R-0 | | R/W-0 |
| 15 | 14 | 0 |
| Reserved | | SLV1 |
| R-0 | | R/W-0 |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 62. パーティカル・ライン・セッティングス・フォー・ザ・スターティング・ピクセル・レジスタ (VERT_START) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31 | Reserved | 0 | 予約。 |
| 30-16 | SLV0 | 0 ~ 7FFFh | 垂直方向の開始ライン (フィールド 0)。SDRAM へのデータ出力が開始される時点のラインを VD の開始位置から測定してセットします。このビット・フィールドは VD によってラッチされます。 |
| 15 | Reserved | 0 | 予約。 |
| 14-0 | SLV1 | 0 ~ 7FFFh | 垂直方向の開始ライン (フィールド 1)。SDRAM へのデータ出力が開始される時点のラインを VD の開始位置から測定してセットします。このビット・フィールドは VD によってラッチされます。 |

6.1.8 ナンバー・オブ・パーティカル・ラインズ・レジスタ (VERT_LINES)

ナンバー・オブ・パーティカル・ラインズ・レジスタ (VERT_LINES) を図 76 に示し、表 63 で説明します。

図 76. ナンバー・オブ・パーティカル・ラインズ・レジスタ (VERT_LINES)

| | | |
|----------|----|-------|
| 31 | 16 | |
| Reserved | | |
| R-0 | | |
| 15 | 14 | 0 |
| Reserved | | NLV |
| R-0 | | R/W-0 |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 63. ナンバー・オブ・パーティカル・ラインズ・レジスタ (VERT_LINES) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|--|
| 31-15 | Reserved | 0 | 予約。 |
| 14-0 | NLV | 0 ~ 7FFFh | フィールドごとに SDRAM へ出力される垂直方向のライン数をセットします。フィールドごとに SDRAM へ出力されるライン数は NLV + 1 です。このビット・フィールドは VD によってラッチされます。 |

6.1.9 カリング・インフォメーション・イン・ホリゾンタル/パーティカル・ディレクションズ・レジスタ (CULLING)

カリング・インフォメーション・イン・ホリゾンタル/パーティカル・ディレクションズ・レジスタ (CULLING) を図 77 に示し、表 64 で説明します。

図 77. カリング・インフォメーション・イン・ホリゾンタル/パーティカル・ディレクションズ・レジスタ (CULLING)

| | | | |
|--------------------|----|--------------------|----|
| 31 | 24 | 23 | 16 |
| CULHEVN R/W-FFh | | CULHODD R/W-FFh | |
| 15 | 8 | 7 | 0 |
| Reserved R-0 | | CULV R/W-FFh | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 64. カリング・インフォメーション・イン・ホリゾンタル/パーティカル・ディレクションズ・レジスタ (CULLING) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-24 | CULHEVN | 0 ~ FFh | 偶数ラインで 8 ビット・マスクの場合の水平方向カリング・パターン。0 の場合、カリング。1 の場合、保持。LSB は最初のピクセル、MSB は 8 番目のピクセル。パターンが繰り返されます。このビット・フィールドは VD によってラッチされます。 |
| 23-16 | CULHODD | 0 ~ FFh | 奇数ラインで 8 ビット・マスクの場合の水平方向カリング・パターン。0 の場合、カリング。1 の場合、保持。LSB は最初のピクセル、MSB は 8 番目のピクセル。パターンが繰り返されます。このビット・フィールドは VD によってラッチされます。 |
| 15-8 | Reserved | 0 | 予約。 |
| 7-0 | CULV | 0 ~ FFh | 垂直方向のカリング・パターン (8 ビット・マスク)。0 の場合、カリング。1 の場合、保持。LSB は最初のライン、MSB は 8 番目のライン。パターンが繰り返されます。このビット・フィールドは VD によってラッチされます。 |

6.1.10 ホリゾンタル・サイズ・レジスタ (HSIZE_OFF)

ホリゾンタル・サイズ・レジスタ (HSIZE_OFF) を図 78 に示し、表 65 で説明します。

図 78. ホリゾンタル・サイズ・レジスタ (HSIZE_OFF)

| | |
|-----------------|----|
| 31 | 16 |
| Reserved R-0 | |
| 15 | 0 |
| LNOFST R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

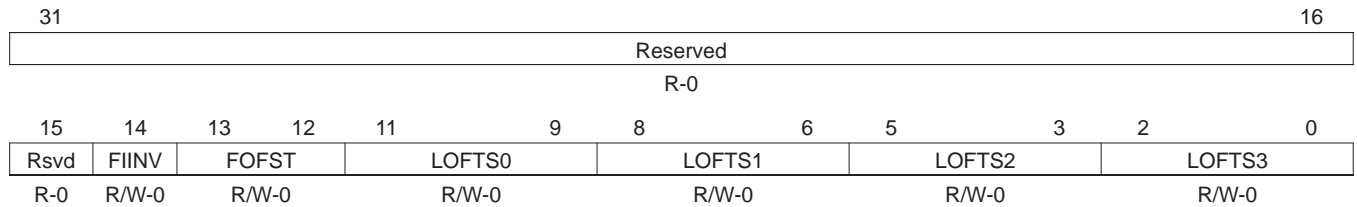
表 65. ホリゾンタル・サイズ・レジスタ (HSIZE_OFF) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|--|
| 31-16 | Reserved | 0 | 予約。 |
| 15-0 | LNOFST | 0 ~ FFFFh | ラインごとのアドレス・オフセット。SDRAM の出力ラインごとにオフセットをセットします。SYN_MODE の PACK8 ビットの設定内容に応じて、16 ピクセルまたは 32 ピクセルのいずれか。このビット・フィールドは VD によってラッチされます。下位側 5 ビットは無視されます。オフセットは 32 バイト境界にあります。最適なシステム性能を実現するために、アドレス・オフセットは 256 バイト境界に設定してください。 |

6.1.11 SDRAM/DDRAM ライン・オフセット・レジスタ (SDFST)

SDRAM/DDRAM ライン・オフセット・レジスタ (SDFST) を図 79 に示し、表 66 で説明します。

図 79. SDRAM/DDRAM ライン・オフセット・レジスタ (SDFST)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 66. SDRAM/DDRAM ライン・オフセット・レジスタ (SDFST) フィールドの説明

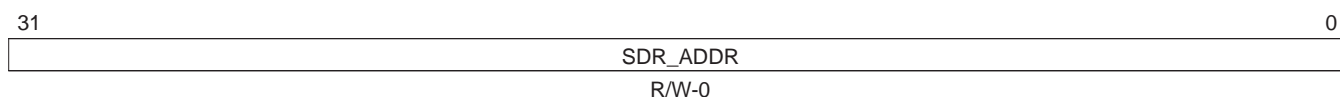
| ビット | フィールド | 値 | 説明 |
|-------|----------|--------|---|
| 31-15 | Reserved | 0 | 予約。 |
| 14 | FIINV | 0 | 非反転 |
| | | 1 | 反転 |
| 13-12 | FOFST | 0 ~ 3h | フィールド ID = 0 のライン・オフセット値 (ライン数)。このフィールドは VD によってラッチされます。 |
| | | 0 | +1 ライン |
| | | 1h | +2 ライン |
| | | 2h | +3 ライン |
| | | 3h | +4 ライン |
| 11-9 | LOFTS0 | 0 ~ 7h | 偶数ラインでかつ偶数フィールド ID = 0 のライン・オフセット値。このフィールドは VD によってラッチされます。 |
| | | 0 | +1 ライン |
| | | 1h | +2 ライン |
| | | 2h | +3 ライン |
| | | 3h | +4 ライン |
| | | 4h | -1 ライン |
| | | 5h | -2 ライン |
| | | 6h | -3 ライン |
| 7h | -4 ライン | | |
| 8-6 | LOFTS1 | 0 ~ 7h | 奇数ラインでかつ偶数フィールド ID = 0 のライン・オフセット値。このフィールドは VD によってラッチされます。 |
| | | 0 | +1 ライン |
| | | 1h | +2 ライン |
| | | 2h | +3 ライン |
| | | 3h | +4 ライン |
| | | 4h | -1 ライン |
| | | 5h | -2 ライン |
| | | 6h | -3 ライン |
| 7h | -4 ライン | | |

表 66. SDRAM/DDRAM ライン・オフセット・レジスタ (SDOFST) フィールドの説明 (続き)

| ビット | フィールド | 値 | 説明 |
|-----|--------|---|---|
| 5-3 | LOFST2 | 0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h | 偶数ラインでかつ奇数フィールド ID=1 のライン・オフセット値。このフィールドは VD によってラッチされます。 +1 ライン +2 ライン +3 ライン +4 ライン -1 ライン -2 ライン -3 ライン -4 ライン |
| 2-0 | LOFST3 | 0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h | 奇数ラインでかつ奇数フィールド ID=1 のライン・オフセット値。このフィールドは VD によってラッチされます。 +1 ライン +2 ライン +3 ライン +4 ライン -1 ライン -2 ライン -3 ライン -4 ライン |

6.1.12 SDRAM アドレス・レジスタ (SDR_ADDR)

SDRAM アドレス・レジスタ (SDR_ADDR) を図 80 に示し、表 67 で説明します。

図 80. SDRAM アドレス・レジスタ (SDR_ADDR)


凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 67. SDRAM アドレス・レジスタ (SDR_ADDR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|----------------|---|
| 31-0 | SDR_ADDR | 0 ~ FFFF FFFFh | CCD コントローラ出力の 32 ビット SDRAM の開始アドレス。このビット・フィールドは VD によってラッチされます。アドレスは、32 バイト境界にアラインされている必要があることに注意してください。下位側 5 ビットは無視されます。このレジスタをリードすると、下位側 5 ビットは常に 0 にクリアされます。最適なシステム性能を実現するためには、アドレス・オフセットは 256 バイト境界に設定してください。 |

6.1.13 オプティカル・ブラック・クランピング・セッティングス・レジスタ (CLAMP)

オプティカル・ブラック・クランピング・セッティングス・レジスタ (CLAMP) を図 81 に示し、表 68 で説明します。

図 81. オプティカル・ブラック・クランピング・セッティングス・レジスタ (CLAMP)

| | | | | | | |
|---------|--------|-------|----------|-------|--------|----|
| 31 | 30 | 28 | 27 | 25 | 24 | 16 |
| CLAMPEN | OBSLEN | OBSLN | | OBST | | |
| R/W-0 | R/W-0 | R/W-0 | | R/W-0 | | |
| 15 | 10 | | 9 | 5 | 4 | 0 |
| OBST | | | Reserved | | OBGAIN | |
| R/W-0 | | | R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 68. オプティカル・ブラック・クランピング・セッティングス・レジスタ (CLAMP) フィールドの説明

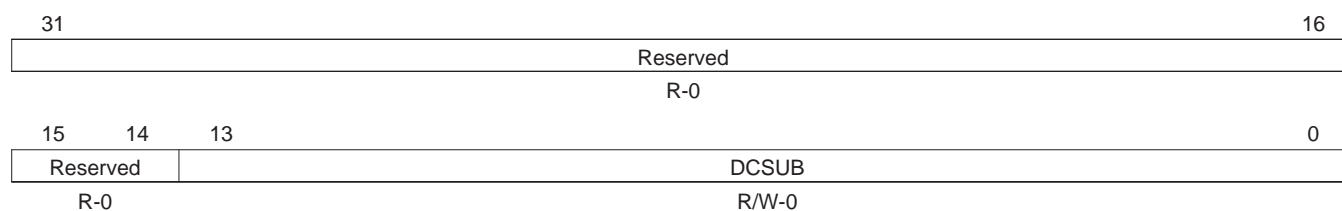
| ビット | フィールド | 値 | 説明 |
|-------|----------|--|--|
| 31 | CLAMPEN | 0 1 | クランピングのイネーブル。オプティカル・ブラック・サンプルの平均を計算した結果に基づいて CCD データのクランピングをイネーブルします。このビットは VD によってラッチされます。 ディスエーブル イネーブル |
| 30-28 | OBSLEN | 0 ~ 7h 0 1h 2h 3h 4h | オプティカル・ブラック・サンプルの長さ。平均を計算した結果に含まれるラインごとのオプティカル・ブラック・サンプルのピクセル数。 1 ピクセル 2 ピクセル 4 ピクセル 8 ピクセル 16 ピクセル |
| 27-25 | OBSLN | 0 ~ 7h 0 1h 2h 3h 4h 5h ~ 7h | オプティカル・ブラック・サンプルのライン。5-7: 予約。平均を計算した結果に含まれるオプティカル・ブラック・サンプルのライン数。 1 ライン 2 ライン 4 ライン 8 ライン 16 ライン 予約。 |
| 24-10 | OBST | 0 ~ 7FFFh | オプティカル・ブラック・サンプルの開始ピクセル。オプティカル・ブラック・サンプルのピクセルの開始位置。HD の開始位置から指定されます (ピクセル・クロック数)。 |
| 9-5 | Reserved | 0 | 予約。 |
| 4-0 | OBGAIN | 0 ~ 1Fh | オプティカル・ブラックの平均に適用するゲイン。オプティカル・ブラックの平均と指定したゲイン (U5Q4 フォーマット: 0 ~ ~2 の範囲) を乗算します。 |

6.1.14 DC クランプ・レジスタ (DCSUB)

DC クランプ・レジスタ (DCSUB) を図 82 に示し、表 69 で説明します。

注： この機能によって、YUV 8 ビット入力モード (SYN_MODE.INPMOD = 2h) または REC656 入力モード (REC656IF.REC656ON = 1) の場合に、負の結果が 0 に切り上げられることはありません。

図 82. DC クランプ・レジスタ (DCSUB)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 69. DC クランプ・レジスタ (DCSUB) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-14 | Reserved | 0 | 予約。 |
| 13-0 | DCSUB | 0 ~ 3FFFh | CCD データから減算するための DC レベル。OBS クランピングがディスエーブルの場合 (CLAMP の CLAMPEN ビットが 0 にクリアされる場合)、DC 値は CCD データから減算されます。 |

6.1.15 CCD カラー・パターン・レジスタ (COLPTN)

CCD カラー・パターン・レジスタ (COLPTN) を図 83 に示し、表 70 で説明します。

図 83. CCD カラー・パターン・レジスタ (COLPTN)

| | | | | | | | | | | | | | | | |
|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| CP3LPC3 | CP3LPC2 | CP3LPC1 | CP3LPC0 | CP2LPC3 | CP2LPC2 | CP2LPC1 | CP2LPC0 | CP1LPC3 | CP1LPC2 | CP1LPC1 | CP1LPC0 | CP0LPC3 | CP0LPC2 | CP0LPC1 | CP0LPC0 |
| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CP1LPC3 | CP1LPC2 | CP1LPC1 | CP1LPC0 | CP0LPC3 | CP0LPC2 | CP0LPC1 | CP0LPC0 | | | | | | | | |
| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | | | | | | | | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 70. CCD カラー・パターン・レジスタ (COLPTN) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|---------|-------------------------------|--|
| 31-30 | CP3LPC3 | 0 ~ 3h 0 1h 2h 3h | 3 番目のラインのカラー・パターン。ピクセル・カウンタ = 3。 R Gr Gb B |
| 29-28 | CP3LPC2 | 0 ~ 3h | 3 番目のラインのカラー・パターン。ピクセル・カウンタ = 2。 |
| 27-26 | CP3LPC1 | 0 ~ 3h | 3 番目のラインのカラー・パターン。ピクセル・カウンタ = 1。 |
| 25-24 | CP3LPC0 | 0 ~ 3h | 3 番目のラインのカラー・パターン。ピクセル・カウンタ = 0。 |
| 23-22 | CP2LPC3 | 0 ~ 3h | 2 番目のラインのカラー・パターン。ピクセル・カウンタ = 3。 |
| 21-20 | CP2LPC2 | 0 ~ 3h | 2 番目のラインのカラー・パターン。ピクセル・カウンタ = 2。 |
| 19-18 | CP2LPC1 | 0 ~ 3h | 2 番目のラインのカラー・パターン。ピクセル・カウンタ = 1。 |
| 17-16 | CP2LPC0 | 0 ~ 3h | 2 番目のラインのカラー・パターン。ピクセル・カウンタ = 0。 |
| 15-14 | CP1LPC3 | 0 ~ 3h | 1 番目のラインのカラー・パターン。ピクセル・カウンタ = 3。 |
| 13-12 | CP1LPC2 | 0 ~ 3h | 1 番目のラインのカラー・パターン。ピクセル・カウンタ = 2。 |
| 11-10 | CP1LPC1 | 0 ~ 3h | 1 番目のラインのカラー・パターン。ピクセル・カウンタ = 1。 |
| 9-8 | CP1LPC0 | 0 ~ 3h | 1 番目のラインのカラー・パターン。ピクセル・カウンタ = 0。 |
| 7-6 | CP0LPC3 | 0 ~ 3h | 0 番目のラインのカラー・パターン。ピクセル・カウンタ = 3。 |
| 5-4 | CP0LPC2 | 0 ~ 3h | 0 番目のラインのカラー・パターン。ピクセル・カウンタ = 2。 |
| 3-2 | CP0LPC1 | 0 ~ 3h | 0 番目のラインのカラー・パターン。ピクセル・カウンタ = 1。 |
| 1-0 | CP0LPC0 | 0 ~ 3h | 0 番目のラインのカラー・パターン。ピクセル・カウンタ = 0。 |

6.1.16 ブラック・コンペンセーション・レジスタ (BLKCMP)

ブラック・コンペンセーション・レジスタ (BLKCMP) を図 84 に示し、表 71 で説明します。

図 84. ブラック・コンペンセーション・レジスタ (BLKCMP)

| | | | |
|-------|----|-------|----|
| 31 | 24 | 23 | 16 |
| R | | GR | |
| R/W-0 | | R/W-0 | |
| 15 | 8 | 7 | 0 |
| GB | | B | |
| R/W-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 71. ブラック・コンペンセーション・レジスタ (BLKCMP) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------|---------|--|
| 31-24 | R | 0 ~ FFh | R ピクセル (-128 ~ +127) 用のブラック・レベル補正。2 の補数。MSB は符号ビット。 |
| 23-16 | GR | 0 ~ FFh | Gr ピクセル (-128 ~ +127) 用のブラック・レベル補正。2 の補数。MSB は符号ビット。 |
| 15-8 | GB | 0 ~ FFh | Gb ピクセル (-128 ~ +127) 用のブラック・レベル補正。2 の補数。MSB は符号ビット。 |
| 7-0 | B | 0 ~ FFh | B ピクセル (-128 ~ +127) 用のブラック・レベル補正。2 の補数。MSB は符号ビット。 |

6.1.17 フォールト・ピクセル・コレクション・レジスタ (FPC)

フォールト・ピクセル・コレクション・レジスタ (FPC) を図 85 に示し、表 72 で説明します。

図 85. フォールト・ピクセル・コレクション・レジスタ (FPC)

| | | |
|----------|-------|-------|
| 31 | 17 | 16 |
| Reserved | | FPERR |
| R-0 | | R/W-0 |
| 15 | 14 | 0 |
| FPCEN | FPNUM | |
| R/W-0 | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

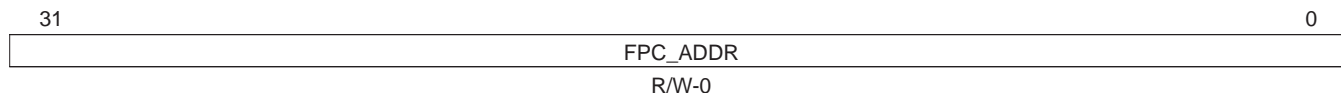
表 72. フォールト・ピクセル・コレクション・レジスタ (FPC) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|--|
| 31-17 | Reserved | 0 | 予約。 |
| 16 | FPERR | 0 1 | <p>フォールト・ピクセル・コレクションのエラー。このビットに 1 をライトすると、エラーをクリアします。</p> <p>このビットは、CCDC がピクセルを補正するために、時間内に必要なフォールト・ピクセル・テーブルのエントリをフェッチできない場合にセットされます。たとえば、現在処理されているピクセルには、座標 256/512 (256 番目のラインで、そのラインの 512 番目のピクセル) があり、そのピクセルを補正する必要があります。使用する必要があるフォールト・ピクセル・テーブルのエントリに、座標 256/256 がある場合、補正エントリが時間内にロードされないため現在のピクセルを補正することができません。</p> <p>CCDC には、エラー・リカバリ・メカニズムは搭載されていません。このビットがフレーム内の任意の時点でセットされると、そのフレームで補正されるフォールト・ピクセルはこれ以上ありません。ファームウェアで、システムにフォールト・ピクセル・テーブルをロードできる十分な帯域幅があることを確認します。別の方法として、補正対象のフォールト・ピクセルの周波数を引き下げて、このビットがセットされないようにする可能性を高めることもできます。</p> |
| 15 | FPCEN | 0 1 | <p>フォールト・ピクセル・コレクションのイネーブル。</p> <p>このビットをセットして、イネーブルのままである限り、フォールト・ピクセル・ロジックは引き続きデータをリクエストし、最後のデータを受け取るとはじめてから繰り返します。レジスタがセットされるとすぐに、データはフェッチされます。</p> <p>ライト (FPC_ADDR)。</p> <p>このビット (FPC.FPCEN) をオフにしてライト (FPC)。</p> <p>このビット (FPC.FPCEN) をオンにしてライト (FPC)。このとき、他のフィールドは以前にライトされたときと同じです。</p> |
| 14-0 | FPNUM | 0 ~ 7FFFh | フレーム内の補正対象フォールト・ピクセル数。このフィールドは VD によってラッチされます。 |

6.1.18 フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ (FPC_ADDR)

フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ (FPC_ADDR) を図 86 に示し、表 73 で説明します。

図 86. フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ (FPC_ADDR)



凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 73. フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ (FPC_ADDR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|----------------|---|
| 31-0 | FPC_ADDR | 0 ~ FFFF FFFFh | <p>フォールト・ピクセル・エントリの SDRAM/DDRAM 開始アドレス。このアドレスは 64 バイト境界にアラインされます。その結果、下位側 6 ビットは無視されます。32 ビット・フォールト・メモリ・エントリには 13 ビットの垂直位置、14 ビットの水平位置、5 ビットの動作フィールドが含まれています。次の動作が、5 ビットの動作フィールド (4:0) により表されます。x は水平方向の座標を表していることに注意してください。</p> <p>0 x のピクセルを x-1 と x+1 の平均値と置き換えます。</p> <p>1h x のピクセルを x-1 と置き換えます。</p> <p>2h x のピクセルを x+1 と置き換えます。</p> <p>3h x のピクセルを x-2 と x+2 の平均値と置き換えます。</p> <p>4h x のピクセルを x-2 と置き換えます。</p> <p>5h x のピクセルを x+2 と置き換えます。</p> <p>6h x のピクセルを x-3 と x+3 の平均値と置き換えます。</p> <p>7h x のピクセルを x-3 と置き換えます。</p> <p>8h x のピクセルを x+3 と置き換えます。</p> <p>9h x のピクセルを x-4 と x+4 の平均値と置き換えます。</p> <p>10h x のピクセルを x-4 と置き換えます。</p> <p>11h x のピクセルを x+4 と置き換えます。</p> <p>12h x のピクセルを x-5 と x+5 の平均値と置き換えます。</p> <p>13h x のピクセルを x-5 と置き換えます。</p> <p>14h x のピクセルを x+5 と置き換えます。</p> <p>15h x のピクセルを x-6 と x+6 の平均値と置き換えます。</p> <p>16h x のピクセルを x-6 と置き換えます。</p> <p>17h x のピクセルを x+6 と置き換えます。</p> <p>18 ~ 31h 予約。</p> |

6.1.19 VD インタラプト・タイミング・レジスタ (VDINT)

VD インタラプト・タイミング・レジスタ (VDINT) を図 87 に示し、表 74 で説明します。

図 87. VD インタラプト・タイミング・レジスタ (VDINT)

| | | |
|----------|--------|----|
| 31 | 30 | 16 |
| Reserved | VDINT0 | |
| R-0 | R/W-0 | |
| 15 | 14 | 0 |
| Reserved | VDINT1 | |
| R-0 | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

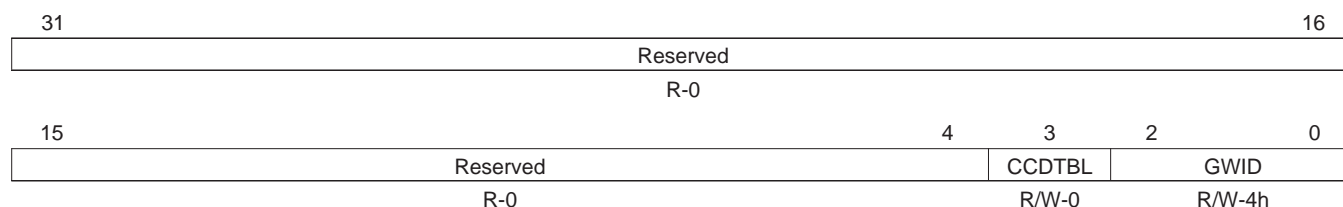
表 74. VD インタラプト・タイミング・レジスタ (VDINT) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31 | Reserved | 0 | 予約。 |
| 30-16 | VDINT0 | 0 ~ 7FFFh | VD0 割り込みタイミング。VD パルスの開始位置からの水平方向のライン数で VDINT0 を指定します。結果値は VDINT0 + 1 です。HD の立ち上がりエッジ (プログラムされている場合には、立ち下がりエッジ) が VD の立ち上がりエッジ (プログラムされている場合には、立ち下がりエッジ) と一致する場合、最初の HD はカウントされないということに注意してください。 |
| 15 | Reserved | 0 | 予約。 |
| 14-0 | VDINT1 | 0 ~ 7FFFh | VD1 割り込みタイミング。VD パルスの開始位置からの水平方向のライン数で VDINT1 を指定します。結果値は VDINT1 + 1 です。HD の立ち上がりエッジ (プログラムされている場合には、立ち下がりエッジ) が VD の立ち上がりエッジ (プログラムされている場合には、立ち下がりエッジ) と一致する場合、最初の HD はカウントされないということに注意してください。 |

6.1.20 A-law セットティング・レジスタ (ALAW)

A-law セットティング・レジスタ (ALAW) を図 88 に示し、表 75 で説明します。

図 88. A-law セットティング・レジスタ (ALAW)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 75. A-law セットティング・レジスタ (ALAW) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|--------|--|
| 31-4 | Reserved | 0 | 予約。 |
| 3 | CCDTBL | 0 | ガンマ (A-law) を SDRAM へ保存される CCD コントローラのデータに適用します。 |
| | | 1 | ディスエーブル イネーブル |
| 2-0 | GWID | 0 ~ 7h | ガンマ幅入力 (A-law テーブル) |
| | | 0 | ビット 15 ~ 6 |
| | | 1h | ビット 14 ~ 5 |
| | | 2h | ビット 13 ~ 4 |
| | | 3h | ビット 12 ~ 3 |
| | | 4h | ビット 11 ~ 2 |
| | | 5h | ビット 10 ~ 1 |
| | | 6h | ビット 9 ~ 0 |
| 7h | 予約 | | |

6.1.21 REC656 インターフェイス・レジスタ (REC656IF)

REC656 インターフェイス・レジスタ (REC656IF) を図 89 に示し、表 76 で説明します。

図 89. REC656 インターフェイス・レジスタ (REC656IF)

| | | | | | |
|-----|----------|--|--------|--------|---|
| 31 | Reserved | | | 16 | |
| R-0 | | | | | |
| 15 | Reserved | | 2 | 1 | 0 |
| R-0 | | | ECCFVH | R656ON | |
| | | | R/W-0 | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 76. REC656 インターフェイス・レジスタ (REC656IF) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|---|-----------------------------------|
| 31-2 | Reserved | 0 | 予約。 |
| 1 | ECCFVH | 0 | FVH エラー補正のイネーブル。 ディスエーブル |
| | | 1 | イネーブル |
| 0 | R656ON | 0 | REC656 インターフェイスのイネーブル。 ディスエーブル |
| | | 1 | イネーブル |

6.1.22 CCD コンフィギュレーション・レジスタ (CCDCFG)

CCD コンフィギュレーション・レジスタ (CCDCFG) を図 90 に示し、表 77 で説明します。

注： CCD コントローラを使用する場合、CCDCFG.VDLC はソフトウェアで 1 にセットする必要があります。CCDCFG.VDLC が 0 にクリアされたままの場合（デフォルト）、CCD コントローラのレジスタへアクセスが行われた場合の結果は不定です。詳細については、5.4.4 項を参照してください。

図 90. CCD コンフィギュレーション・レジスタ (CCDCFG)

| | | | | | | | | |
|-------|----------|---------|---------|----------|----------|---|--------|----|
| 31 | Reserved | | | | | | | 16 |
| R-0 | | | | | | | | |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | |
| VDLC | Reserved | MSBINVI | BSWD | Y8POS | Reserved | | WENLOG | |
| R/W-0 | R-0 | R/W-0 | R/W-0 | R/W-0 | R-0 | | R/W-0 | |
| 7 | 6 | 5 | 4 | 3 | 0 | | | |
| FIDMD | | BW656 | YCINSWP | Reserved | | | | |
| R/W-0 | | R/W-0 | R/W-0 | R-0 | | | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 77. CCD コンフィギュレーション・レジスタ (CCDCFG) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------------------------------|--------|--|
| 31-16 | Reserved | 0 | 予約。 |
| 15 | VDLC | 0 | 内部 VSYNC 上での機能レジスタのラッチをイネーブルします。 |
| | | 1 | VSYNC 上でラッチ VSYNC 上でラッチされない |
| 14 | Reserved | 0 | 予約。 |
| 13 | MSBINVI | 0 | SDRAM に保存される色差入力信号の MSB の反転。 |
| | | 1 | 通常 MSB の反転 |
| 12 | BSWD | 0 | SDRAM へ格納されるデータのバイトをスワップします。バイト・パッキングがイネーブル(でかつ、このフィールドが 1 にセットされる)の場合、ピクセル数は偶数にする必要があります。 |
| | | 1 | 通常 バイトをスワップ |
| 11 | Y8POS | 0 | 8 ビット YCbCr データが入力の場合の Y 信号のロケーション。 |
| | | 1 | 偶数ピクセル 奇数ピクセル |
| 10-9 | Reserved | 0 | 予約。 |
| 8 | WENLOG | 0 | 有効な CCD の領域を指定します。 |
| | | 1 | 内部の有効な信号と WEN 信号の論理 AND 演算が行われる 内部の有効な信号と WEN 信号の論理 OR 演算が行われる |
| 7-6 | FIDMD | 0 ~ 3h | FID 検出機能をセットします。 |
| | | 0 | FID 信号は、VSYNC タイミングでラッチされる |
| | | 1h | FID 信号は、ラッチされない |
| | | 2h | FID 信号は、VD のエッジでラッチされる |
| 3h | FID 信号は、VD および HD の位相に基づいてラッチされる | | |
| 5 | BW656 | 0 | CCIR656 入力モードのデータ幅。CCIR656 入力モードがイネーブルの場合、このビットはシンク / モード・セット・レジスタ (SYN_MODE) の INPMOD および DATSIZ ビットより優先します。 |
| | | 1 | 8 ビット 10 ビット |
| 4 | YCINSWP | 0 | Y 入力 (YIN[7:0]) と C 入力 (CIN[7:0]) がスワップされます。このフィールドは、VSYNC/VD 信号上でラッチされます。これは輝度と色差のサンプルを 16 ビット YUV モードでスワップします。16 ビット YUV データ・バスの上位と下位をスワップすると、8 ビット・モードの入力ソースとして使用するバスの上位 / 下位が決定されます。また 2 つの別々の YUV 入力ポートをサポートするために 8 ビット YUV モードで使用できるバスの上位 / 下位も決定されます。この方法は、REC656 モードでは使用できません。 |
| | | 1 | スワップなし。YIN[7:0] = Y 信号 / CIN[7:0] = C 信号 スワップ。YIN[7:0] = C 信号 / CIN[7:0] = Y 信号 |
| 3-0 | Reserved | 0 | 予約。 |

6.1.23 データ・リフォーマッタ/ビデオ・ポート・コンフィギュレーション・レジスタ (FMTCFG)

データ・リフォーマッタ/ビデオ・ポート・コンフィギュレーション・レジスタ (FMTCFG) を図 91 に示し、表 78 で説明します。

図 91. データ・リフォーマッタ/ビデオ・ポート・コンフィギュレーション・レジスタ (FMTCFG)

| | | | |
|----------|--------|----------|----|
| 31 | 19 | 18 | 16 |
| Reserved | | VPIF_FRQ | |
| R-0 | | R/W-0 | |
| 15 | 14 | 12 | 11 |
| VPEN | VPIN | Reserved | |
| R/W-0 | R/W-4h | R-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 78. データ・リフォーマッタ/ビデオ・ポート・コンフィギュレーション・レジスタ (FMTCFG) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-19 | Reserved | 0 | 予約。 |
| 18-16 | VPIF_FRQ | 0 ~ 7h | ビデオ・ポートのデータ・レディ周波数。このフィールドを使用すると、ファームウェアはビデオ・ポートが新規データを他のモジュール (プレビュー・エンジン、H3A、ヒストグラム) に転送するレートを制御できます。実質的に、このレジスタはプレビュー・エンジン、H3A、およびヒストグラムの raw 出力帯域幅を制御します。出力センサー・クロックに応じて、このフィールドを適切にセットし、SDRAM に対する帯域幅要件のバランスを調整することができます。 CCD コントローラの動作クロックが DSPCLK/3 (これは特定のチップによって異なるため、チップ・レベルのクロック供給方法を参照) の場合、次の設定が適用されます。 <ul style="list-style-type: none"> • 1/2: センサーは (DSPCLK/3)/2 = 75 MHz よりピクセル・クロックを高くすることはできません。 • 1/3.5: センサーは (DSPCLK/3)/3.5 = 42.8 MHz よりピクセル・クロックを高くすることはできません。 • 1/4.5: センサーは (DSPCLK/3)/4.5 = 33.3 MHz よりピクセル・クロックを高くすることはできません。 • 1/5.5: センサーは (DSPCLK/3)/5.5 = 27.2 MHz よりピクセル・クロックを高くすることはできません。 • 1/6.5: センサーは (DSPCLK/3)/6.5 = 23 MHz よりピクセル・クロックを高くすることはできません。 センサー・スピードに応じて、最も高い分周値をこのフィールドに適用することを推奨します。 |
| | | 0 | 1/2 (2 分の 1) |
| | | 1h | 1/3.5 (3.5 分の 1) |
| | | 2h | 1/4.5 (4.5 分の 1) |
| | | 3h | 1/5.5 (5.5 分の 1) |
| | | 4h | 1/6.5 (6.5 分の 1) |
| | | 5h ~ 7h | 予約 |
| 15 | VPEN | 0 | ビデオ・ポートのイネーブル。 ディスエーブル |
| | | 1 | イネーブル |

表 78. データ・リフォーマッタ/ビデオ・ポート・コンフィギュレーション・レジスタ (FMTCFG) フィールドの説明 (続き)

| ビット | フィールド | 値 | 説明 |
|-------|----------|---|--|
| 14-12 | VPIN | 0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h | ビデオ・ポート入力の選択 (10 ビット入力) ビット 15 ~ 6 ビット 14 ~ 5 ビット 13 ~ 4 ビット 12 ~ 3 ビット 11 ~ 2 ビット 10 ~ 1 ビット 9 ~ 0 予約 |
| 11-0 | Reserved | 0 | 予約。 |

6.1.24 データ・リフォーマッタ / ビデオ・インプット・インターフェイス・ホリゾンタル・インフォメーション・レジスタ (FMT_HORZ)

データ・リフォーマッタ/ビデオ・インプット・インターフェイス・ホリゾンタル・インフォメーション・レジスタ (FMT_HORZ) を図 92 に示し、表 79 で説明します。

図 92. データ・リフォーマッタ/ビデオ・インプット・インターフェイス・ホリゾンタル・インフォメーション・レジスタ (FMT_HORZ)

| | | | |
|----------|----|--------|----|
| 31 | 29 | 28 | 16 |
| Reserved | | FMTSPH | |
| R-0 | | R/W-0 | |
| 15 | 13 | 12 | 0 |
| Reserved | | FMTLNH | |
| R-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 79. データ・リフォーマッタ/ビデオ・インプット・インターフェイス・ホリゾンタル・インフォメーション・レジスタ (FMT_HORZ) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---------------------------|
| 31-29 | Reserved | 0 | 予約。 |
| 28-16 | FMTSPH | 0 ~ 1FFFh | HD の開始位置からの水平方向のピクセル開始位置。 |
| 15-13 | Reserved | 0 | 予約。 |
| 12-0 | FMTLNH | 0 ~ 1FFFh | 水平方向のピクセル数。 |

6.1.25 データ・リフォーマッタ / ビデオ・インプット・インターフェイス・パーティカル・インフォメーション・レジスタ (FMT_VERT)

データ・リフォーマッタ / ビデオ・インプット・インターフェイス・パーティカル・インフォメーション・レジスタ (FMT_VERT) を図 93 に示し、表 80 で説明します。

図 93. データ・リフォーマッタ / ビデオ・インプット・インターフェイス・パーティカル・インフォメーション・レジスタ (FMT_VERT)

| | | | |
|----------|----|--------|----|
| 31 | 29 | 28 | 16 |
| Reserved | | FMTSLV | |
| R-0 | | R/W-0 | |
| 15 | 13 | 12 | 0 |
| Reserved | | FMTLNV | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 80. データ・リフォーマッタ / ビデオ・インプット・インターフェイス・パーティカル・インフォメーション・レジスタ (FMT_VERT) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|-------------------|
| 31-29 | Reserved | 0 | 予約。 |
| 28-16 | FMTSLV | 0 ~ 1FFFh | VD の開始位置からの開始ライン。 |
| 15-13 | Reserved | 0 | 予約。 |
| 12-0 | FMTLNV | 0 ~ 1FFFh | 垂直方向のライン数。 |

6.1.26 ビデオ・ポート・アウトプット・セッティングス・レジスタ (VP_OUT)

ビデオ・ポート・アウトプット・セッティングス・レジスタ (VP_OUT) を図 94 に示し、表 81 で説明します。

図 94. ビデオ・ポート・アウトプット・セッティングス・レジスタ (VP_OUT)

| | | | |
|----------|----------|----|----------|
| 31 | 30 | 17 | 16 |
| Reserved | VERT_NUM | | HORZ_NUM |
| R-0 | R/W-0 | | R/W-0 |
| 15 | 4 | 3 | 0 |
| HORZ_NUM | | | HORZ_ST |
| R/W-0 | | | R/W-0 |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 81. ビデオ・ポート・アウトプット・セッティングス・レジスタ (VP_OUT) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31 | Reserved | 0 | 予約。 |
| 30-17 | VERT_NUM | 0 ~ 3FFFh | ビデオ・ポートへクロック出力するための垂直方向のライン数。ビデオ・ポート出力は、プレビュー・エンジン、H3A、ヒストグラムの各モジュールへの入力です (モジュールごとに選択されている場合)。ビデオ・ポートからクロックを供給可能なライン数は、センサーから入力されるライン数よりも最低でも 1 ライン小さくしてください。ビデオ・ポート出力 VSYNC は、最初のビデオ・ポート入力 VSYNC 自身から正しく生成されます。 |
| 16-4 | HORZ_NUM | 0 ~ 1FFFh | ビデオ・ポートへ出力クロックするための水平方向のピクセル数。 |
| 3-0 | HORZ_ST | 0 ~ Fh | 各出力ラインの水平方向の開始ピクセル。許容されている最大のオフセットは 15 で、ビデオ・ポート出力 HSYNC はラインごとにこの位置から生成されます。15 より大きいオフセットを選択できるようにするために、データ・リフォーマッタへの入力設定は適切に設定してください。このパラメータの目的は、長方形のイメージではなく、平行四辺形のイメージをリードできるセンサーを考慮することです。 |

6.2 プレビュー・エンジン (PREV) レジスタ

表 82 に、プレビュー・エンジン (PREV) のメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 82. プレビュー・エンジン (PREV) レジスタ

| オフセット | 略称 | レジスタの説明 | セクション |
|-------|---------------------|-----------------------------------|----------|
| 800h | PID | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ | 6.2.1 項 |
| 804h | PCR | ペリフェラル・コントロール・レジスタ | 6.2.2 項 |
| 808h | HORZ_INFO | 水平・インフォメーション / セットアップ・レジスタ | 6.2.3 項 |
| 80Ch | VERT_INFO | 垂直・インフォメーション / セットアップ・レジスタ | 6.2.4 項 |
| 810h | RSDR_ADDR | リード・アドレス・フロム SDRAM レジスタ | 6.2.5 項 |
| 814h | RADR_OFFSET | ライン・オフセット・フォー・ザ・リード・データ・レジスタ | 6.2.6 項 |
| 818h | DSDR_ADDR | ダーク・フレーム・アドレス・フロム SDRAM レジスタ | 6.2.7 項 |
| 81Ch | DRKF_OFFSET | ライン・オフセット・フォー・ザ・ダーク・フレーム・データ・レジスタ | 6.2.8 項 |
| 820h | WSDR_ADDR | ライト・アドレス・トゥー SDRAM レジスタ | 6.2.9 項 |
| 824h | WADD_OFFSET | ライン・オフセット・フォー・ザ・ライト・データ・レジスタ | 6.2.10 項 |
| 828h | AVE | インプット・フォーマッタ / アベレージャ・レジスタ | 6.2.11 項 |
| 82Ch | HMED | 水平・メディアン・フィルタ・レジスタ | 6.2.12 項 |
| 830h | NF | ノイズ・フィルタ・レジスタ | 6.2.13 項 |
| 834h | WB_DGAIN | ホワイト・バランス・デジタル・ゲイン・レジスタ | 6.2.14 項 |
| 838h | WBGAIN | ホワイト・バランス・コエフィシェンツ・レジスタ | 6.2.15 項 |
| 83Ch | WBSEL | ホワイト・バランス・コエフィシェンツ・セレクション・レジスタ | 6.2.16 項 |
| 840h | CFA | CFA レジスタ | 6.2.17 項 |
| 844h | BLKADJOFF | ブラック・アジャストメント・オフセット・レジスタ | 6.2.18 項 |
| 848h | RGB_MAT1 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ | 6.2.19 項 |
| 84Ch | RGB_MAT2 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ | 6.2.20 項 |
| 850h | RGB_MAT3 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ | 6.2.21 項 |
| 854h | RGB_MAT4 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ | 6.2.22 項 |
| 858h | RGB_MAT5 | RGB2RGB ブレンド・マトリックス・コエフィシェンツ・レジスタ | 6.2.23 項 |
| 85Ch | RGB_OFF1 | RGB2RGB ブレンド・マトリックス・オフセット・レジスタ | 6.2.24 項 |
| 860h | RGB_OFF2 | RGB2RGB ブレンド・マトリックス・オフセット・レジスタ | 6.2.25 項 |
| 864h | CSC0 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ | 6.2.26 項 |
| 868h | CSC1 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ | 6.2.27 項 |
| 86Ch | CSC2 | カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ | 6.2.28 項 |
| 870h | CSC_OFFSET | カラー・スペース・コンバージョン・オフセット・レジスタ | 6.2.29 項 |
| 874h | CNT_BRT | コントラスト / ブライトネス・セッティングス・レジスタ | 6.2.30 項 |
| 878h | CSUP | クロミナンス・サブレスジョン・セッティングス・レジスタ | 6.2.31 項 |
| 87Ch | SETUP_YC | マキシマム / ミニマム Y / C セッティングス・レジスタ | 6.2.32 項 |
| 880h | SET_TBL_ADDR ESS | セットアップ・テーブル・アドレス・レジスタ | 6.2.33 項 |
| 884h | SET_TBL_DATA | セットアップ・テーブル・データ・レジスタ | 6.2.34 項 |

6.2.1 ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) を図 95 に示し、表 83 で説明します。

図 95. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

| | | | |
|----------|----|------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | TID | |
| R-0 | | R-2h | |
| 15 | 8 | 7 | 0 |
| CID | | PREV | |
| R-FEh | | R-0 | |

凡例：R = リード専用。-n = リセット後の値。

表 83. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----|---------------------------------------|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | TID | 2h | ペリフェラルの識別。 プレビュー・エンジン |
| 15-8 | CID | FEh | クラスの識別。 ビデオ・プロセッシング・フロント・エンド・モジュール |
| 7-0 | PREV | 0 | ペリフェラルのリビジョン番号。 現在のバージョン |

6.2.2 ペリフェラル・コントロール・レジスタ (PCR)

ペリフェラル・コントロール・レジスタ (PCR) を図 96 に示し、表 84 で説明します。

図 96. ペリフェラル・コントロール・レジスタ (PCR)

| | | | | | | | | | | | | |
|---------|----------|----------|-------|---------|---------|--------------|---------|-------|----------|--------|-----------|-------|
| 31 | Reserved | | | | 27 | GAMMA_BYPASS | | 25 | Reserved | 24 | SHADE_SFT | |
| | R-0 | | | | | R/W-0 | | | R-0 | | R/W-0 | |
| 23 | Reserved | | | 21 | SDRPORT | 19 | RSZPORT | 18 | YCPOS | 17 | 16 | SUPEN |
| | R-0 | | | | R/W-1 | | R/W-0 | | R/W-0 | | | R/W-0 |
| 15 | 14 | Reserved | | | | 11 | 10 | 9 | 8 | | | |
| YNNHEN | | R/W-0 | | | | R-0 | | CFAEN | NFEN | HMEDEN | | |
| | R/W-0 | | R-0 | | | | R/W-0 | | R/W-0 | R/W-0 | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | |
| DRKFCAP | DRKFEN | INVALAW | WIDTH | ONESHOT | SOURCE | BUSY | ENABLE | | | | | |
| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R-0 | R/W-0 | | | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 84. ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|--------------|--------|---|
| 31-27 | Reserved | 0 | 予約。 |
| 26 | GAMMA_BYPASS | 0 | ガンマ・テーブルのバイパス。 ガンマ・テーブルはバイパスされない |
| | | 1 | ガンマ・テーブルはバイパスされる (出力は、8 MSB または 10 ビット入力) |
| 25 | Reserved | 0 | 予約。 |
| 24 | SHADE_SFT | 0 | 乗算後に、シェーディング補正右シフト。 ディスエーブル |
| | | 1 | イネーブル |
| 23-21 | Reserved | 0 | 予約。 |
| 20 | SDRPORT | 0 | プレビューからの出力用 SDRAM ポート。 ディスエーブル |
| | | 1 | イネーブル |
| 19 | RSZPORT | 0 | リサイザ・ポートのイネーブル (リサイザへの入力用)。SDRAM 出力データをリサイザ 入力ポートへ転送するかどうかを制御します。この制御ビットは、SDRPORT ビットのステ ートには依存しません。データは SDRAM へ同時にライトされます (SDRPORT ビット がセットされた場合)。このとき、同じデータが入力としてリサイザへ送られています。 CCD コントローラは、リサイザ入力ポートへ直接ライトすることもできることに注意し てください。CCD コントローラの設定は、プレビュー・エンジンの設定より優先されます。 |
| | | 1 | イネーブル |
| 18-17 | YCPOS | 0 ~ 3h | YC の位置。 |
| | | 0 | YCrYCb |
| | | 1h | YCbYCr |
| | | 2h | CbYCrY |
| | | 3h | CrYCbY |

表 84. ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明 (続き)

| ビット | フィールド | 値 | 説明 |
|-------|----------|--------|---|
| 16 | SUPEN | 0 1 | カラー抑制。 ディスエーブル イネーブル |
| 15 | YNENHEN | 0 1 | 非線形輝度強化回路。 ディスエーブル イネーブル |
| 14-11 | Reserved | 0 | 予約。 |
| 10 | CFAEN | 0 1 | CFA のイネーブル。 ディスエーブル イネーブル |
| 9 | NFEN | 0 1 | ノイズ・フィルタ (レジスタへの影響なし) ディスエーブル イネーブル |
| 8 | HMEDEN | 0 1 | ノイズ・フィルタ (レジスタへの影響なし) ディスエーブル イネーブル |
| 7 | DRKFCAP | 0 1 | ダーク・フレームのキャプチャ。 通常処理 ダーク・フレームのキャプチャ |
| 6 | DRKFEN | 0 1 | ダーク・フレームの減算。 ディスエーブル イネーブル |
| 5 | INVALAW | 0 1 | 逆転 A-law ディスエーブル イネーブル |
| 4 | WIDTH | 0 1 | 入力データ幅。 10 ビット幅 8 ビット幅 |
| 3 | ONESHOT | 0 1 | ワンショット・モード。このビットを 1 にセットすると、ENABLE ビットがアサートされた後に、このビットは 0 にリセットされます。 連続モード (ビデオ・ポートを使用) ワンショット・モード |
| 2 | SOURCE | 0 1 | 入力ソース。このビットを 1 にセットすると、ENABLE ビットがアサートされた後に、このビットは 0 にリセットされます。 ビデオ・ポート (CCD を使用) SDRAM |
| 1 | BUSY | 0 1 | プレビュー・エンジンのビジー・ビット。 プレビュー・エンジンはビジーではない プレビュー・エンジンはビジー |
| 0 | ENABLE | 0 1 | プレビュー・エンジンのイネーブル・ビット。ENABLE ビットがアサートされた場合、ONESHOT および SOURCE ビットは 1 にセットされても、0 にリセットされます。 プレビュー・エンジンはディスエーブル プレビュー・エンジンはイネーブル |

6.2.3 ホリゾンタル・インフォメーション/セットアップ・レジスタ (HORZ_INFO)

ホリゾンタル・インフォメーション/セットアップ・レジスタ (HORZ_INFO) を図 97 に示し、表 85 で説明します。

注： CCD コントローラは SAV および EAV 内の XY コードを SDRAM に出力します。これを解消するために、HORZ_INFO の SPH フィールドを +1 にセットしてください。

図 97. ホリゾンタル・インフォメーション/セットアップ・レジスタ (HORZ_INFO)

| | | | |
|----------|----|-------|----|
| 31 | 30 | 29 | 16 |
| Reserved | | SPH | |
| R-0 | | R/W-0 | |
| 15 | 14 | 13 | 0 |
| Reserved | | EPH | |
| R-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 85. ホリゾンタル・インフォメーション/セットアップ・レジスタ (HORZ_INFO) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|--|
| 31-30 | Reserved | 0 | 予約。 |
| 29-16 | SPH | 0 ~ 3FFFh | 水平方向の開始ピクセル。ペリフェラル・コントロール・レジスタ (PCR) の SOURCE ビットが 0 にクリアされた場合 (CCDC 入力)、SPH を 2 以上にセットする必要があります。 |
| 15-14 | Reserved | 0 | 予約。 |
| 13-0 | EPH | 0 ~ 3FFFh | 水平方向の終了ピクセル。プレビュー・エンジンの入力幅は、平均カウントに、インプット・フォーマット/アベレージャ・レジスタ (AVE) の設定に含まれる奇数距離と偶数距離の最小公倍数を乗算した数の倍数に設定する必要があります。ペリフェラル・コントロール・レジスタ (PCR) の SOURCE ビットが 0 にクリアされた場合 (CCDC 入力)、CCD コントローラから最後のピクセルが送られる前に、EPH を 2 以上にセットする必要があります。 |

6.2.4 パーティカル・インフォメーション/セットアップ・レジスタ (VERT_INFO)

パーティカル・インフォメーション/セットアップ・レジスタ (VERT_INFO) を図 98 に示し、表 86 で説明します。

図 98. パーティカル・インフォメーション/セットアップ・レジスタ (VERT_INFO)

| | | | |
|----------|----|-------|----|
| 31 | 30 | 29 | 16 |
| Reserved | | SLV | |
| R-0 | | R/W-0 | |
| 15 | 14 | 13 | 0 |
| Reserved | | ELV | |
| R-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 86. パーティカル・インフォメーション/セットアップ・レジスタ (VERT_INFO) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|-------------|
| 31-30 | Reserved | 0 | 予約。 |
| 29-16 | SLV | 0 ~ 3FFFh | 垂直方向の開始ライン。 |
| 15-14 | Reserved | 0 | 予約。 |
| 13-0 | ELV | 0 ~ 3FFFh | 垂直方向の終了ライン。 |

6.2.5 リード・アドレス・フロム SDRAM レジスタ (RSDR_ADDR)

リード・アドレス・フロム SDRAM レジスタ (RSDR_ADDR) を図 99 に示し、表 87 で説明します。

図 99. リード・アドレス・フロム SDRAM レジスタ (RSDR_ADDR)



凡例：R/W = リード / ライト。-n = リセット後の値。

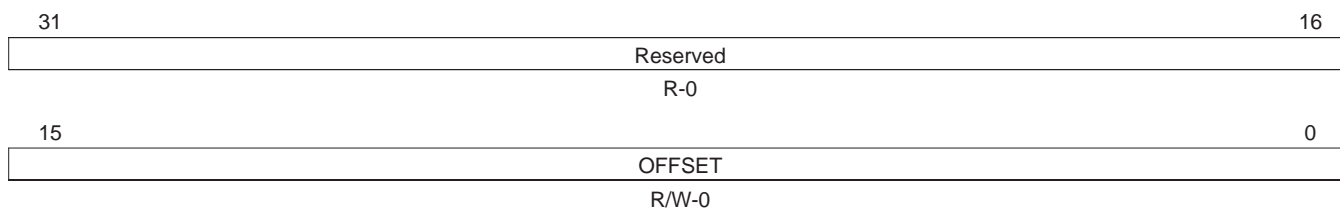
表 87. リード・アドレス・フロム SDRAM レジスタ (RSDR_ADDR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|-------|----------------|--|
| 31-0 | RADR | 0 ~ FFFF FFFFh | リード・アドレス。SDRAM からフェッチされるフレームの最初のアドレスを指定します。このレジスタの下位 5 ビットは、常に 0 として処理されます (開始アドレスは、32 バイトにアラインしてください)。プレビュー・エンジンがビジーの場合でも、RADR を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.2.6 ライン・オフセット・フォー・ザ・リード・データ・レジスタ (RADR_OFFSET)

ライン・オフセット・フォー・ザ・リード・データ・レジスタ (RADR_OFFSET) を図 100 に示し、表 88 で説明します。

図 100. ライン・オフセット・フォー・ザ・リード・データ・レジスタ (RADR_OFFSET)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

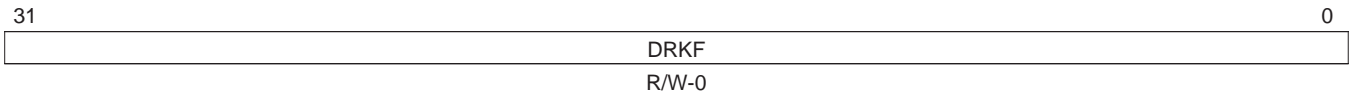
表 88. ライン・オフセット・フォー・ザ・リード・データ・レジスタ (RADR_OFFSET) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-16 | Reserved | 0 | 予約。 |
| 15-0 | OFFSET | 0 ~ FFFFh | ライン・オフセット。前のラインに対するラインごとにオフセットを指定します。このレジスタの下位 5 ビットは、常に 0 として処理されます (オフセットは、32 バイトにアラインしてください)。プレビュー・エンジンがビジーの場合でも、OFFSET を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.2.7 ダーク・フレーム・アドレス・フロム SDRAM レジスタ (DSDR_ADDR)

ダーク・フレーム・アドレス・フロム SDRAM レジスタ (DSDR_ADDR) を図 101 に示し、表 89 で説明します。

図 101. ダーク・フレーム・アドレス・フロム SDRAM レジスタ (DSDR_ADDR)



凡例：R/W = リード / ライト。-n = リセット後の値。

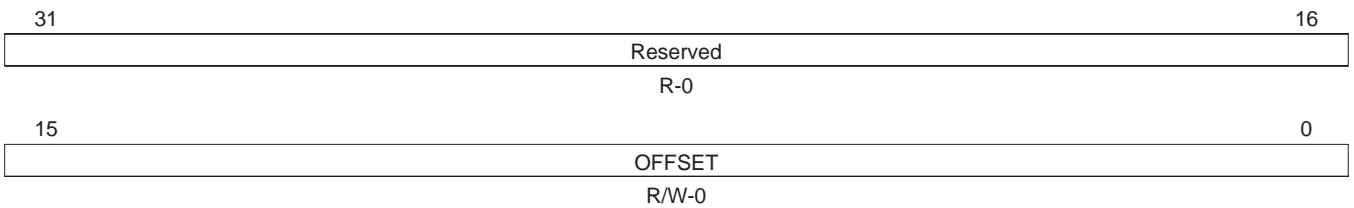
表 89. ダーク・フレーム・アドレス・フロム SDRAM レジスタ (DSDR_ADDR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|-------|----------------|--|
| 31-0 | DRKF | 0 ~ FFFF FFFFh | リード・アドレス。SDRAM からフェッチされるダーク・フレームの最初のアドレスを指定します。このレジスタの下位 5 ビットは、常に 0 として処理されます (開始アドレスは、32 バイトにアラインしてください)。プレビュー・エンジンがビジーの場合でも、DRKF を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.2.8 ライン・オフセット・フォー・ザ・ダーク・フレーム・データ・レジスタ (DRKF_OFFSET)

ライン・オフセット・フォー・ザ・ダーク・フレーム・データ・レジスタ (DRKF_OFFSET) を図 102 に示し、表 90 で説明します。

図 102. ライン・オフセット・フォー・ザ・ダーク・フレーム・データ・レジスタ (DRKF_OFFSET)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

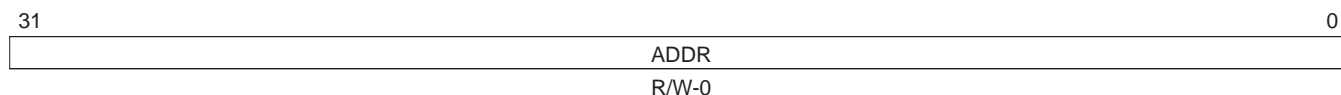
表 90. ライン・オフセット・フォー・ザ・ダーク・フレーム・データ・レジスタ (DRKF_OFFSET) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-16 | Reserved | 0 | 予約。 |
| 15-0 | OFFSET | 0 ~ FFFFh | ライン・オフセット。前のラインに対するラインごとにオフセットを指定します。このレジスタの下位 5 ビットは、常に 0 として処理されます (オフセットは、32 バイトにアラインしてください)。プレビュー・エンジンがビジーの場合でも、OFFSET を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.2.9 ライト・アドレス・トゥー SDRAM レジスタ (WSDR_ADDR)

ライト・アドレス・トゥー SDRAM レジスタ (WSDR_ADDR) を図 103 に示し、表 91 で説明します。

図 103. ライト・アドレス・トゥー SDRAM レジスタ (WSDR_ADDR)



凡例：R/W = リード / ライト。-n = リセット後の値。

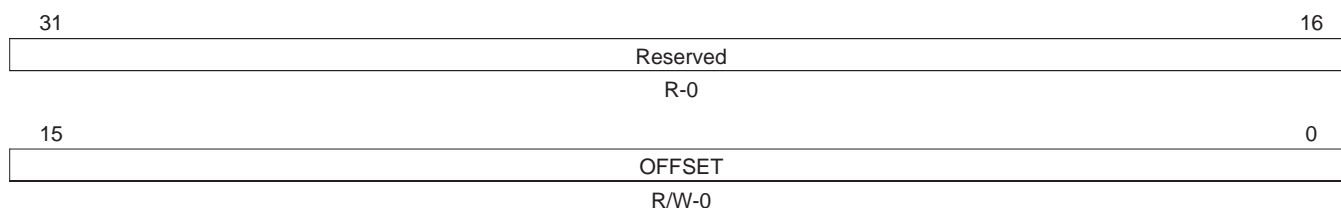
表 91. ライト・アドレス・トゥー SDRAM レジスタ (WSDR_ADDR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|-------|----------------|--|
| 31-0 | ADDR | 0 ~ FFFF FFFFh | ライト・アドレス。SDRAM/DDRAM に格納されるフレームの出力アドレスを指定します。このレジスタの下位 5 ビットは、常に 0 として処理されます (開始アドレスは、32 バイトにアラインしてください)。プレビュー・エンジンがビジーの場合でも、ADDR を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.2.10 ライン・オフセット・フォー・ザ・ライト・データ・レジスタ (WADD_OFFSET)

ライン・オフセット・フォー・ザ・ライト・データ・レジスタ (WADD_OFFSET) を図 104 に示し、表 92 で説明します。

図 104. ライン・オフセット・フォー・ザ・ライト・データ・レジスタ (WADD_OFFSET)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

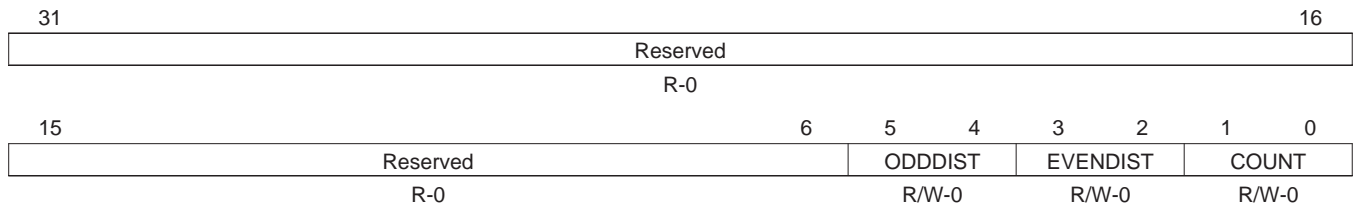
表 92. ライン・オフセット・フォー・ザ・ライト・データ・レジスタ (WADD_OFFSET) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-16 | Reserved | 0 | 予約。 |
| 15-0 | OFFSET | 0 ~ FFFFh | ライン・オフセット。前のラインに対するラインごとにオフセットを指定します。このレジスタの下位 5 ビットは、常に 0 として処理されます (オフセットは、32 バイトにアラインしてください)。プレビュー・エンジンがビジーの場合でも、OFFSET を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.2.11 インプット・フォーマッタ/アベレージャ・レジスタ (AVE)

インプット・フォーマッタ/アベレージャ・レジスタ (AVE) を図 105 に示し、表 93 で説明します。

図 105. インプット・フォーマッタ/アベレージャ・レジスタ (AVE)



凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

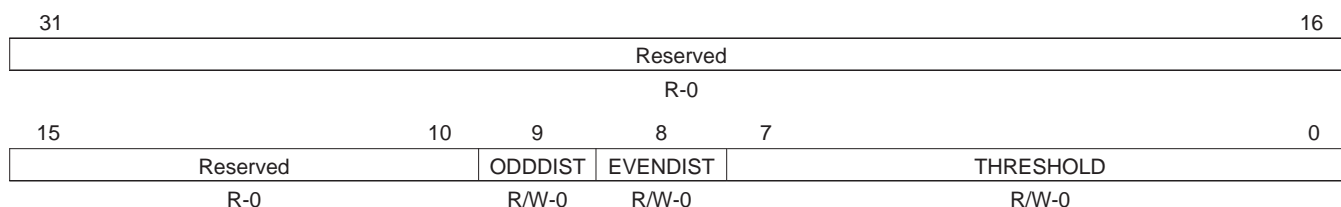
表 93. インプット・フォーマッタ/アベレージャ・レジスタ (AVE) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|--------|--|
| 31-6 | Reserved | 0 | 予約。 |
| 5-4 | ODDDIST | 0 ~ 3h | 奇数ラインで同じ色の隣り合ったピクセル間の距離。 |
| | | 0 | 1 ピクセル |
| | | 1h | 2 ピクセル |
| | | 2h | 3 ピクセル |
| | | 3h | 4 ピクセル |
| 3-2 | EVENDIST | 0 ~ 3h | 偶数ラインで同じ色の隣り合ったピクセル間の距離。 |
| | | 0 | 1 ピクセル |
| | | 1h | 2 ピクセル |
| | | 2h | 3 ピクセル |
| | | 3h | 4 ピクセル |
| 1-0 | COUNT | 0 ~ 3h | 水平方向の平均化するピクセル数。ペリフェラル・コントロール・レジスタ (PCR) の DRKFEN ビットが 1 にセットされている場合、COUNT を変更してはいけません。入力幅は水平方向の平均化するピクセル数で分割可能にする必要があります。これは COUNT の値で示されます (つまり、4 ピクセル平均を選択した場合、入力幅は 4 の倍数にする必要があります)。 |
| | | 0 | 平均なし |
| | | 1h | 2 ピクセル平均 |
| | | 2h | 4 ピクセル平均 |
| | | 3h | 8 ピクセル平均 |

6.2.12 ホリゾンタル・メディアン・フィルタ・レジスタ (HMED)

ホリゾンタル・メディアン・フィルタ・レジスタ (HMED) を図 106 に示し、表 94 で説明します。

図 106. ホリゾンタル・メディアン・フィルタ・レジスタ (HMED)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

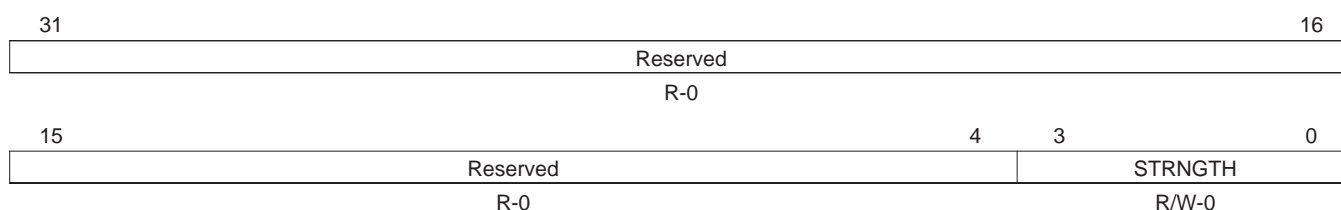
表 94. ホリゾンタル・メディアン・フィルタ・レジスタ (HMED) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-----------|---------|------------------------------------|
| 31-10 | Reserved | 0 | 予約。 |
| 9 | ODDDIST | 0 | 奇数ラインで同じ色の隣り合ったピクセル間の距離。 1 ピクセル |
| | | 1 | 2 ピクセル |
| 8 | EVENDIST | 0 | 偶数ラインで同じ色の隣り合ったピクセル間の距離。 1 ピクセル |
| | | 1 | 2 ピクセル |
| 7-0 | THRESHOLD | 0 ~ FFh | ホリゾンタル・メディアン・フィルタのスレッシュホールド。 |

6.2.13 ノイズ・フィルタ・レジスタ (NF)

ノイズ・フィルタ・レジスタ (NF) を図 107 に示し、表 95 で説明します。

図 107. ノイズ・フィルタ・レジスタ (NF)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 95. ノイズ・フィルタ・レジスタ (NF) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|--------|--|
| 31-4 | Reserved | 0 | 予約。 |
| 3-0 | STRNGTH | 0 ~ Fh | ノイズ・フィルタで使用する強度。 $x = ((x \times (16 - \text{STRNGTH})) + (\text{ave} \times \text{STRNGTH})) \gg 4$ |

6.2.14 ホワイト・バランス・デジタル・ゲイン・レジスタ (WB_DGAIN)

ホワイト・バランス・デジタル・ゲイン・レジスタ (WB_DGAIN) を図 108 に示し、表 96 で説明します。

図 108. ホワイト・バランス・デジタル・ゲイン・レジスタ (WB_DGAIN)

| | | | |
|----------|----------|----------|----|
| 31 | Reserved | | 16 |
| R-0 | | | |
| 15 | 10 | 9 | 0 |
| Reserved | | DGAIN | |
| R-0 | | R/W-100h | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 96. ホワイト・バランス・デジタル・ゲイン・レジスタ (WB_DGAIN) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|-------------------------------------|
| 31-10 | Reserved | 0 | 予約。 |
| 9-0 | DGAIN | 0 ~ 3FFh | ホワイト・バランスのデジタル・ゲイン。フレーム開始後いつでも変更可能。 |

6.2.15 ホワイト・バランス・コエフィシェンツ・レジスタ (WBGAIN)

ホワイト・バランス・コエフィシェンツ・レジスタ (WBGAIN) を図 109 に示し、表 97 で説明します。

図 109. ホワイト・バランス・コエフィシェンツ・レジスタ (WBGAIN)

| | | | |
|---------|----|---------|----|
| 31 | 24 | 23 | 16 |
| COEF3 | | COEF2 | |
| R/W-20h | | R/W-20h | |
| 15 | 8 | 7 | 0 |
| COEF1 | | COEF0 | |
| R/W-20h | | R/W-20h | |

凡例：R/W = リード / ライト。-n = リセット後の値。

表 97. ホワイト・バランス・コエフィシェンツ・レジスタ (WBGAIN) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------|---------|---|
| 31-24 | COEF3 | 0 ~ FFh | ホワイト・バランス・ゲイン - COEF 3。フレーム開始後いつでも変更可能。 |
| 23-16 | COEF2 | 0 ~ FFh | ホワイト・バランス・ゲイン - COEF 2。フレーム開始後いつでも変更可能。 |
| 15-8 | COEF1 | 0 ~ FFh | ホワイト・バランス・ゲイン - COEF 1。フレーム開始後いつでも変更可能。 |
| 7-0 | COEF0 | 0 ~ FFh | ホワイト・バランス・ゲイン - COEF 0。フレーム開始後いつでも変更可能。 |

6.2.16 ホワイト・バランス・コエフィシェンツ・セレクション・レジスタ (WBSEL)

ホワイト・バランス・コエフィシェンツ・セレクション・レジスタ (WBSEL) を図 110 に示し、表 98 で説明します。

図 110. ホワイト・バランス・コエフィシェンツ・セレクション・レジスタ (WBSEL)

| | | | | | | | | | | | | | | | |
|--------|----|----|--------|----|--------|----|--------|----|-------|----|-------|----|-------|----|-------|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| 3_3 | | | 3_2 | | 3_1 | | 3_0 | | 2_3 | | 2_2 | | 2_1 | | 2_0 |
| R/W-3h | | | R/W-2h | | R/W-3h | | R/W-2h | | R/W-1 | | R/W-0 | | R/W-1 | | R/W-0 |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 1_3 | | | 1_2 | | 1_1 | | 1_0 | | 0_3 | | 0_2 | | 0_1 | | 0_0 |
| R/W-3h | | | R/W-2h | | R/W-3h | | R/W-2h | | R/W-1 | | R/W-0 | | R/W-1 | | R/W-0 |

凡例：R/W = リード / ライト。-n = リセット後の値。

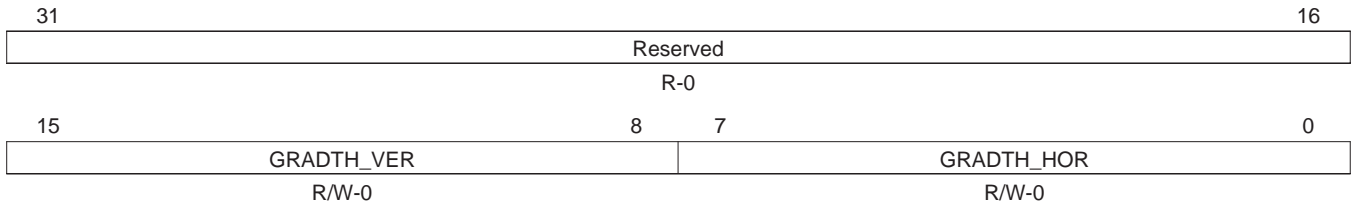
表 98. ホワイト・バランス・コエフィシェンツ・セレクション・レジスタ (WBSEL) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------|-------------------------------|--|
| 31-30 | 3_3 | 0 ~ 3h 0 1h 2h 3h | 3 番目のラインの 3 番目のピクセルに対する係数選択。 COEF0 COEF1 COEF2 COEF3 |
| 29-28 | 3_2 | 0 ~ 3h | 3 番目のラインの 2 番目のピクセルに対する係数選択。 |
| 27-26 | 3_1 | 0 ~ 3h | 3 番目のラインの 1 番目のピクセルに対する係数選択。 |
| 25-24 | 3_0 | 0 ~ 3h | 3 番目のラインの 0 番目のピクセルに対する係数選択。 |
| 23-22 | 2_3 | 0 ~ 3h | 2 番目のラインの 3 番目のピクセルに対する係数選択。 |
| 21-20 | 2_2 | 0 ~ 3h | 2 番目のラインの 2 番目のピクセルに対する係数選択。 |
| 19-18 | 2_1 | 0 ~ 3h | 2 番目のラインの 1 番目のピクセルに対する係数選択。 |
| 17-16 | 2_0 | 0 ~ 3h | 2 番目のラインの 0 番目のピクセルに対する係数選択。 |
| 15-14 | 1_3 | 0 ~ 3h | 1 番目のラインの 3 番目のピクセルに対する係数選択。 |
| 13-12 | 1_2 | 0 ~ 3h | 1 番目のラインの 2 番目のピクセルに対する係数選択。 |
| 11-10 | 1_1 | 0 ~ 3h | 1 番目のラインの 1 番目のピクセルに対する係数選択。 |
| 9-8 | 1_0 | 0 ~ 3h | 1 番目のラインの 0 番目のピクセルに対する係数選択。 |
| 7-6 | 0_3 | 0 ~ 3h | 0 番目のラインの 3 番目のピクセルに対する係数選択。 |
| 5-4 | 0_2 | 0 ~ 3h | 0 番目のラインの 2 番目のピクセルに対する係数選択。 |
| 3-2 | 0_1 | 0 ~ 3h | 0 番目のラインの 1 番目のピクセルに対する係数選択。 |
| 1-0 | 0_0 | 0 ~ 3h | 0 番目のラインの 0 番目のピクセルに対する係数選択。 |

6.2.17 CFA レジスタ (CFA)

CFA レジスタ (CFA) を図 111 に示し、表 99 で説明します。

図 111. CFA レジスタ (CFA)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

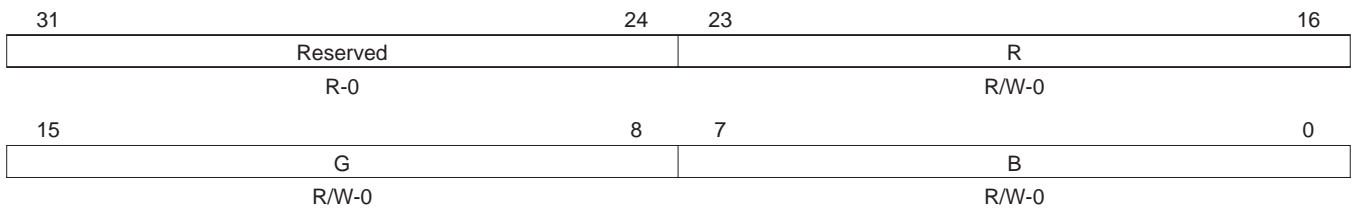
表 99. CFA レジスタ (CFA) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|------------|---------|-------------------|
| 31-16 | Reserved | 0 | 予約。 |
| 15-8 | GRADTH_VER | 0 ~ FFh | 垂直方向の勾配スレッシュホールド。 |
| 7-0 | GRADTH_HOR | 0 ~ FFh | 水平方向の勾配スレッシュホールド。 |

6.2.18 ブラック・アジャストメント・オフセット・レジスタ (BLKADJOFF)

ブラック・アジャストメント・オフセット・レジスタ (BLKADJOFF) を図 112 に示し、表 100 で説明します。

図 112. ブラック・アジャストメント・オフセット・レジスタ (BLKADJOFF)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 100. ブラック・アジャストメント・オフセット・レジスタ (BLKADJOFF) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | R | 0 ~ FFh | 2 の補数フォーマットで表された赤に対するブラック・レベルのオフセット調整。 |
| 15-8 | G | 0 ~ FFh | 2 の補数フォーマットで表された緑に対するブラック・レベルのオフセット調整。 |
| 7-0 | B | 0 ~ FFh | 2 の補数フォーマットで表された青に対するブラック・レベルのオフセット調整。 |

6.2.19 RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT1)

RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT1) を図 113 に示し、表 101 で説明します。

図 113. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT1)

| | | | |
|----------|----|----------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | MTX_GR | |
| R-0 | | R/W-100h | |
| 15 | 12 | 11 | 0 |
| Reserved | | MTX_RR | |
| R-0 | | R/W-100h | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 101. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT1) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--------------------------------|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | MTX_GR | 0 ~ FFFh | GR 位置のブレンディング値 (S12Q8 フォーマット)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | MTX_RR | 0 ~ FFFh | RR 位置のブレンディング値 (S12Q8 フォーマット)。 |

6.2.20 RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT2)

RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT2) を図 114 に示し、表 102 で説明します。

図 114. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT2)

| | | | |
|----------|----|----------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | MTX_RG | |
| R-0 | | R/W-100h | |
| 15 | 12 | 11 | 0 |
| Reserved | | MTX_BR | |
| R-0 | | R/W-100h | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 102. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT2) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--------------------------------|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | MTX_RG | 0 ~ FFFh | RG 位置のブレンディング値 (S12Q8 フォーマット)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | MTX_BR | 0 ~ FFFh | BR 位置のブレンディング値 (S12Q8 フォーマット)。 |

6.2.21 RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT3)

RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT3) を図 115 に示し、表 103 で説明します。

図 115. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT3)

| | | | |
|----------|----|----|----------|
| 31 | 28 | 27 | 16 |
| Reserved | | | MTX_BG |
| R-0 | | | R/W-100h |
| 15 | 12 | 11 | 0 |
| Reserved | | | MTX_GG |
| R-0 | | | R/W-100h |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 103. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT3) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--------------------------------|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | MTX_BG | 0 ~ FFFh | BG 位置のブレンディング値 (S12Q8 フォーマット)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | MTX_GG | 0 ~ FFFh | GG 位置のブレンディング値 (S12Q8 フォーマット)。 |

6.2.22 RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT4)

RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT4) を図 116 に示し、表 104 で説明します。

図 116. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT4)

| | | | |
|----------|----|----|----------|
| 31 | 28 | 27 | 16 |
| Reserved | | | MTX_GB |
| R-0 | | | R/W-100h |
| 15 | 12 | 11 | 0 |
| Reserved | | | MTX_RB |
| R-0 | | | R/W-100h |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 104. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT4) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--------------------------------|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | MTX_GB | 0 ~ FFFh | GB 位置のブレンディング値 (S12Q8 フォーマット)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | MTX_RB | 0 ~ FFFh | RB 位置のブレンディング値 (S12Q8 フォーマット)。 |

6.2.23 RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT5)

RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT5) を図 117 に示し、表 105 で説明します。

図 117. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT5)

| | | | |
|----------|----------|----------|----|
| 31 | Reserved | | 16 |
| R-0 | | | |
| 15 | 12 | 11 | 0 |
| Reserved | | MTX_BB | |
| R-0 | | R/W-100h | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 105. RGB2RGB ブレンディング・マトリックス・コエフィシェンツ・レジスタ (RGB_MAT5) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--------------------------------|
| 31-12 | Reserved | 0 | 予約。 |
| 11-0 | MTX_BB | 0 ~ FFFh | BB 位置のブレンディング値 (S12Q8 フォーマット)。 |

6.2.24 RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF1)

RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF1) を図 118 に示し、表 106 で説明します。

図 118. RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF1)

| | | | |
|----------|----------|----------|----|
| 31 | Reserved | | 16 |
| R-0 | | MTX_OFFR | |
| | | R/W-0 | |
| 15 | 10 | 9 | 0 |
| Reserved | | MTX_OFFG | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

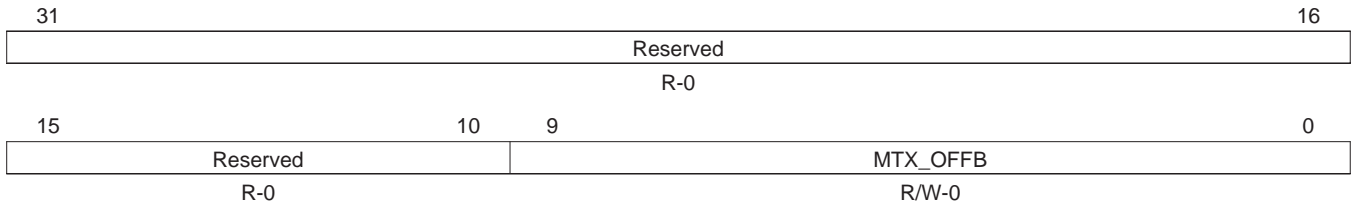
表 106. RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF1) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---------------------------------|
| 31-26 | Reserved | 0 | 予約。 |
| 25-16 | MTX_OFFR | 0 ~ 3FFh | 赤のブレンディング・オフセット値 (2 の補数フォーマット)。 |
| 15-10 | Reserved | 0 | 予約。 |
| 9-0 | MTX_OFFG | 0 ~ 3FFh | 緑のブレンディング・オフセット値 (2 の補数フォーマット)。 |

6.2.25 RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF2)

RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF2) を図 119 に示し、表 107 で説明します。

図 119. RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF2)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

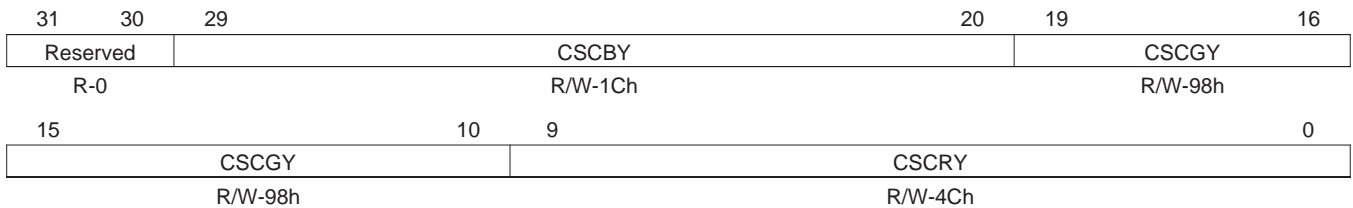
表 107. RGB2RGB ブレンディング・マトリックス・オフセット・レジスタ (RGB_OFF2) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---------------------------------|
| 31-10 | Reserved | 0 | 予約。 |
| 9-0 | MTX_OFFB | 0 ~ 3FFh | 青のブレンディング・オフセット値 (2 の補数フォーマット)。 |

6.2.26 カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC0)

カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC0) を図 120 に示し、表 108 で説明します。

図 120. カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC0)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 108. カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC0) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-30 | Reserved | 0 | 予約。 |
| 29-20 | CSCBY | 0 ~ 3FFh | Y の値を計算するためのカラー・スペース・コンバージョン係数 B。精度は S10Q8。 |
| 19-10 | CSCGY | 0 ~ 3FFh | Y の値を計算するためのカラー・スペース・コンバージョン係数 G。精度は S10Q8。 |
| 9-0 | CSCRY | 0 ~ 3FFh | Y の値を計算するためのカラー・スペース・コンバージョン係数 R。精度は S10Q8。 |

6.2.27 カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC1)

カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC1) を図 121 に示し、表 109 で説明します。

図 121. カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC1)

| | | | | | |
|----------|----|---------|----------|----------|----|
| 31 | 30 | 29 | 20 | 19 | 16 |
| Reserved | | CSCBCB | | CSCGCB | |
| R-0 | | R/W-80h | | R/W-3ACh | |
| 15 | 10 | 9 | 0 | | |
| CSCGCB | | | CSCRCB | | |
| R/W-3ACh | | | R/W-3D4h | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 109. カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC1) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-30 | Reserved | 0 | 予約。 |
| 29-20 | CSCBCB | 0 ~ 3FFh | Cb を計算するためのカラー・スペース・コンバージョン係数 B。精度は S10Q8。 |
| 19-10 | CSCGCB | 0 ~ 3FFh | Cb を計算するためのカラー・スペース・コンバージョン係数 G。精度は S10Q8。 |
| 9-0 | CSCRCB | 0 ~ 3FFh | Cb を計算するためのカラー・スペース・コンバージョン係数 R。精度は S10Q8。 |

6.2.28 カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC2)

カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC2) を図 122 に示し、表 110 で説明します。

図 122. カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC2)

| | | | | | |
|----------|----|---------|----------|----------|----|
| 31 | 30 | 29 | 20 | 19 | 16 |
| Reserved | | CSCBCR | | CSCGCR | |
| R-0 | | R/W-80h | | R/W-3ACh | |
| 15 | 10 | 9 | 0 | | |
| CSCGCR | | | CSCRCR | | |
| R/W-3ACh | | | R/W-3D4h | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 110. カラー・スペース・コンバージョン・コエフィシェンツ・レジスタ (CSC2) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-30 | Reserved | 0 | 予約。 |
| 29-20 | CSCBCR | 0 ~ 3FFh | Cr を計算するためのカラー・スペース・コンバージョン係数 B。精度は S10Q8。 |
| 19-10 | CSCGCR | 0 ~ 3FFh | Cr を計算するためのカラー・スペース・コンバージョン係数 G。精度は S10Q8。 |
| 9-0 | CSCRCR | 0 ~ 3FFh | Cr を計算するためのカラー・スペース・コンバージョン係数 R。精度は S10Q8。 |

6.2.29 カラー・スペース・コンバージョン・オフセット・レジスタ (CSC_OFFSET)

カラー・スペース・コンバージョン・オフセット・レジスタ (CSC_OFFSET) を図 123 に示し、表 111 で説明します。

図 123. カラー・スペース・コンバージョン・オフセット・レジスタ (CSC_OFFSET)

| | | | |
|----------|----|--------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | YOFST | |
| R-0 | | R/W-0 | |
| 15 | 8 | 7 | 0 |
| OFSTCB | | OFSTCR | |
| R/W-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 111. カラー・スペース・コンバージョン・オフセット・レジスタ (CSC_OFFSET) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|---|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | YOFST | 0 ~ FFh | Y の DC オフセット値 (S8Q0)。Yout = Yin + YOFST (-128 ~ 127)。 |
| 15-8 | OFSTCB | 0 ~ FFh | Cb の DC オフセット値 (S8Q0)。Cout = Cin + OFSTCB (-128 ~ 127)。 |
| 7-0 | OFSTCR | 0 ~ FFh | Cr の DC オフセット値 (S8Q0)。Cout = Cin + OFSTCR (-128 ~ 127)。 |

6.2.30 コントラスト / ブライツネス・セッティングス・レジスタ (CNT_BRT)

コントラスト / ブライツネス・セッティングス・レジスタ (CNT_BRT) を図 124 に示し、表 112 で説明します。

図 124. コントラスト / ブライツネス・セッティングス・レジスタ (CNT_BRT)

| | | | |
|----------|----|--------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | YOFST | |
| R-0 | | R/W-0 | |
| 15 | 8 | 7 | 0 |
| OFSTCB | | OFSTCR | |
| R/W-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 112. コントラスト / ブライツネス・セッティングス・レジスタ (CNT_BRT) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-16 | Reserved | 0 | 予約。 |
| 15-8 | CNT | 0 ~ FFh | コントラスト調整。Y データのコントラストをセットします。精度は U8Q4 (0 ~ 15.9375)。オフセット調整後に適用されます。 |
| 7-0 | BRT | 0 ~ FFh | 輝度調整。Y データの輝度をセットします (0 ~ 255)。コントラスト調整後に適用されます。 |

6.2.31 クロミナンス・サブプレッション・セッティングス・レジスタ (CSUP)

クロミナンス・サブプレッション・セッティングス・レジスタ (CSUP) を図 125 に示し、表 113 で説明します。

図 125. クロミナンス・サブプレッション・セッティングス・レジスタ (CSUP)

| | | | | |
|----|----------|---|-------|-------|
| 31 | Reserved | | 17 | 16 |
| | | | | HPFY |
| | R-0 | | | R/W-0 |
| 15 | 8 | 7 | | 0 |
| | CSUPTH | | CSUPG | |
| | R/W-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 113. クロミナンス・サブプレッション・セッティングス・レジスタ (CSUP) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-17 | Reserved | 0 | 予約。 |
| 16 | HPFY | 0 | 色差を抑制するために輝度の HPF を使用します。 |
| | | 0 | ディセーブル (HPF のない輝度を使用) |
| | | 1 | イネーブル |
| 15-8 | CSUPTH | 0 ~ FFh | 色差抑制スレッシュホールド。 |
| 7-0 | CSUPG | 0 ~ FFh | 色差抑制機能のゲイン値。精度は U8Q8 (0 ~ 0.99609375)。 |

6.2.32 マキシマム / ミニマム Y / C セッティングス・レジスタ (SETUP_YC)

マキシマム / ミニマム Y / C セッティングス・レジスタ (SETUP_YC) を図 126 に示し、表 114 で説明します。

図 126. マキシマム / ミニマム Y / C セッティングス・レジスタ (SETUP_YC)

| | | | |
|----|---------|----|-------|
| 31 | 24 | 23 | 16 |
| | MAXY | | MINY |
| | R/W-FFh | | R/W-0 |
| 15 | 8 | 7 | 0 |
| | MAXC | | MINC |
| | R/W-FFh | | R/W-0 |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

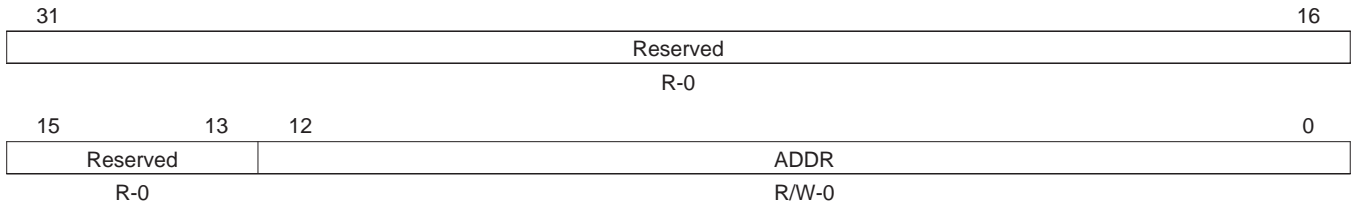
表 114. マキシマム / ミニマム Y / C セッティングス・レジスタ (SETUP_YC) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------|---------|--|
| 31-24 | MAXY | 0 ~ FFh | Y の最大値。設定値よりも大きい値は、設定値にクリップされます。 |
| 23-16 | MINY | 0 ~ FFh | Y の最小値。設定値よりも小さい値は、設定値にクリップされます。 |
| 15-8 | MAXC | 0 ~ FFh | Cb と Cr の最大値。設定値よりも大きい値は、設定値にクリップされます。 |
| 7-0 | MINC | 0 ~ FFh | Cb と Cr の最小値。設定値よりも小さい値は、設定値にクリップされます。 |

6.2.33 セットアップ・テーブル・アドレス・レジスタ (SET_TBL_ADDRESS)

セットアップ・テーブル・アドレス・レジスタ (SET_TBL_ADDRESS) を図 127 に示し、表 115 で説明します。

図 127. セットアップ・テーブル・アドレス・レジスタ (SET_TBL_ADDRESS)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

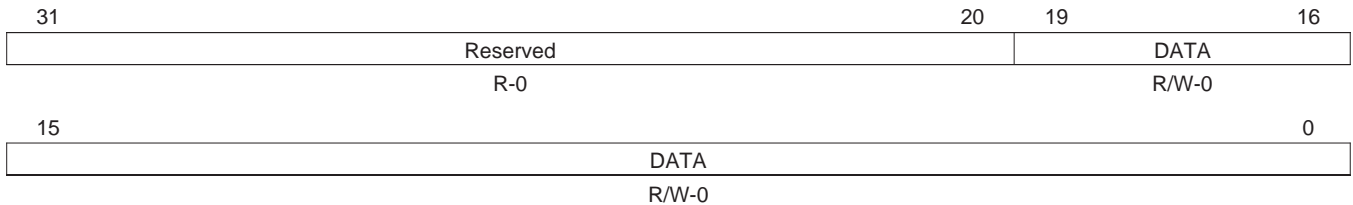
表 115. セットアップ・テーブル・アドレス・レジスタ (SET_TBL_ADDRESS) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|--------------|
| 31-13 | Reserved | 0 | 予約。 |
| 12-0 | ADDR | 0 ~ 1FFFh | 13 ビット・アドレス。 |

6.2.34 セットアップ・テーブル・データ・レジスタ (SET_TBL_DATA)

セットアップ・テーブル・データ・レジスタ (SET_TBL_DATA) を図 128 に示し、表 116 で説明します。

図 128. セットアップ・テーブル・データ・レジスタ (SET_TBL_DATA)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 116. セットアップ・テーブル・データ・レジスタ (SET_TBL_DATA) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|------------|---|
| 31-20 | Reserved | 0 | 予約。 |
| 19-0 | DATA | 0 ~ 7FFFFh | ライトされるデータ。非線形輝度強化回路では、20 ビットすべてが有効です。ガンマ、ノイズ・フィルタ、および CFA 係数の各テーブルでは、下位側 8 ビットだけが使われます。 |

6.3 リサイズ・レジスタ

表 117 に、リサイズのメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 117. リサイズ・レジスタ

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|------------|-----------------------------------|----------|
| C00h | PID | ベリフェラル・リビジョン・クラス・インフォメーション・レジスタ | 6.3.1 項 |
| C04h | PCR | ベリフェラル・コントロール・レジスタ | 6.3.2 項 |
| C08h | RSZ_CNT | リサイズ・コントロール・ビット・レジスタ | 6.3.3 項 |
| C0Ch | OUT_SIZE | アウトプット・サイズ/ハイト・アフター・リサイジング・レジスタ | 6.3.4 項 |
| C10h | IN_START | インプット・スターティング・インフォメーション・レジスタ | 6.3.5 項 |
| C14h | IN_SIZE | インプット・サイズ/ハイト・ビフォー・リサイジング・レジスタ | 6.3.6 項 |
| C18h | SDR_INADD | インプット SDRAM アドレス・レジスタ | 6.3.7 項 |
| C1Ch | SDR_INOFF | SDRAM オフセット・フォー・ザ・インプット・ライン・レジスタ | 6.3.8 項 |
| C20h | SDR_OUTADD | アウトプット SDRAM アドレス・レジスタ | 6.3.9 項 |
| C24h | SDR_OUTOFF | SDRAM オフセット・フォー・ザ・アウトプット・ライン・レジスタ | 6.3.10 項 |
| C28h | HFILT10 | 水平・フィルタ・コエフィシェンツ 1/0 レジスタ | 6.3.11 項 |
| C2Ch | HFILT32 | 水平・フィルタ・コエフィシェンツ 3/2 レジスタ | 6.3.11 項 |
| C30h | HFILT54 | 水平・フィルタ・コエフィシェンツ 5/4 レジスタ | 6.3.11 項 |
| C34h | HFILT76 | 水平・フィルタ・コエフィシェンツ 7/6 レジスタ | 6.3.11 項 |
| C38h | HFILT98 | 水平・フィルタ・コエフィシェンツ 9/8 レジスタ | 6.3.11 項 |
| C3Ch | HFILT1110 | 水平・フィルタ・コエフィシェンツ 11/10 レジスタ | 6.3.11 項 |
| C40h | HFILT1312 | 水平・フィルタ・コエフィシェンツ 13/12 レジスタ | 6.3.11 項 |
| C44h | HFILT1514 | 水平・フィルタ・コエフィシェンツ 15/14 レジスタ | 6.3.11 項 |
| C48h | HFILT1716 | 水平・フィルタ・コエフィシェンツ 17/16 レジスタ | 6.3.11 項 |
| C4Ch | HFILT1918 | 水平・フィルタ・コエフィシェンツ 19/18 レジスタ | 6.3.11 項 |
| C50h | HFILT2120 | 水平・フィルタ・コエフィシェンツ 21/20 レジスタ | 6.3.11 項 |
| C54h | HFILT2322 | 水平・フィルタ・コエフィシェンツ 23/22 レジスタ | 6.3.11 項 |
| C58h | HFILT2524 | 水平・フィルタ・コエフィシェンツ 25/24 レジスタ | 6.3.11 項 |
| C5Ch | HFILT2726 | 水平・フィルタ・コエフィシェンツ 27/26 レジスタ | 6.3.11 項 |
| C60h | HFILT2928 | 水平・フィルタ・コエフィシェンツ 29/28 レジスタ | 6.3.11 項 |
| C64h | HFILT3130 | 水平・フィルタ・コエフィシェンツ 31/30 レジスタ | 6.3.11 項 |
| C68h | VFILT10 | パーティカル・フィルタ・コエフィシェンツ 1/0 レジスタ | 6.3.12 項 |
| C6Ch | VFILT32 | パーティカル・フィルタ・コエフィシェンツ 3/2 レジスタ | 6.3.12 項 |
| C70h | VFILT54 | パーティカル・フィルタ・コエフィシェンツ 5/4 レジスタ | 6.3.12 項 |
| C74h | VFILT76 | パーティカル・フィルタ・コエフィシェンツ 7/6 レジスタ | 6.3.12 項 |
| C78h | VFILT98 | パーティカル・フィルタ・コエフィシェンツ 9/8 レジスタ | 6.3.12 項 |
| C7Ch | VFILT1110 | パーティカル・フィルタ・コエフィシェンツ 11/10 レジスタ | 6.3.12 項 |
| C80h | VFILT1312 | パーティカル・フィルタ・コエフィシェンツ 13/12 レジスタ | 6.3.12 項 |
| C84h | VFILT1514 | パーティカル・フィルタ・コエフィシェンツ 15/14 レジスタ | 6.3.12 項 |
| C88h | VFILT1716 | パーティカル・フィルタ・コエフィシェンツ 17/16 レジスタ | 6.3.12 項 |
| C8Ch | VFILT1918 | パーティカル・フィルタ・コエフィシェンツ 19/18 レジスタ | 6.3.12 項 |

表 117. リサイザ・レジスタ (続き)

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|-----------|---------------------------------|----------|
| C90h | VFILT2120 | パーティカル・フィルタ・コエフィシェンツ 21/20 レジスタ | 6.3.12 項 |
| C94h | VFILT2322 | パーティカル・フィルタ・コエフィシェンツ 23/22 レジスタ | 6.3.12 項 |
| C98h | VFILT2524 | パーティカル・フィルタ・コエフィシェンツ 25/24 レジスタ | 6.3.12 項 |
| C9Ch | VFILT2726 | パーティカル・フィルタ・コエフィシェンツ 27/26 レジスタ | 6.3.12 項 |
| CA0h | VFILT2928 | パーティカル・フィルタ・コエフィシェンツ 29/28 レジスタ | 6.3.12 項 |
| CA4h | VFILT3130 | パーティカル・フィルタ・コエフィシェンツ 31/30 レジスタ | 6.3.12 項 |
| CA8h | YENH | ルミナンス・エンハンサー・レジスタ | 6.3.13 項 |

6.3.1 ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) を図 129 に示し、表 118 で説明します。

図 129. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

| | | | |
|----------|----|-------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | TID | |
| R-0 | | R-10h | |
| 15 | 8 | 7 | 0 |
| CID | | PREV | |
| R-FEh | | R-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

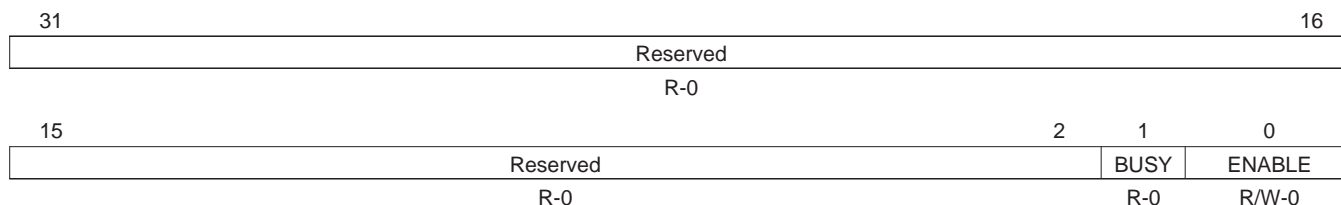
表 118. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----|---------------------------------------|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | TID | 10h | ペリフェラルの識別。 リサイザ |
| 15-8 | CID | FEh | クラスの識別。 ビデオ・プロセッシング・フロント・エンド・モジュール |
| 7-0 | PREV | 0 | ペリフェラルのリビジョン番号。 現在のバージョン |

6.3.2 ペリフェラル・コントロール・レジスタ (PCR)

ペリフェラル・コントロール・レジスタ (PCR) を図 130 に示し、表 119 で説明します。

図 130. ペリフェラル・コントロール・レジスタ (PCR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 119. ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|---|----------------------|
| 31-2 | Reserved | 0 | 予約。 |
| 1 | BUSY | 0 | リサイザ・モジュールはビジーではない |
| | | 1 | リサイザ・モジュールはビジー |
| 0 | ENABLE | 0 | リサイザ・モジュールをディスエーブルする |
| | | 1 | リサイザ・モジュールをイネーブルする |

6.3.3 リサイズ・コントロール・ビット・レジスタ (RSZ_CNT)

リサイズ・コントロール・ビット・レジスタ (RSZ_CNT) を図 131 に示し、表 120 で説明します。

図 131. リサイズ・コントロール・ビット・レジスタ (RSZ_CNT)

| | | | | | | | | | | | |
|----------|----|--------|--------|---------|-------|-------|-------|----|---------|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 23 | 22 | 20 | 19 | 16 |
| Reserved | | CBILIN | INPSRC | INPTYP | YCPOS | VSTPH | HSTPH | | VRSZ | | |
| R-0 | | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | | R/W-255 | | |
| 15 | | | 10 | 9 | 0 | | | | | | |
| VRSZ | | | | HRSZ | | | | | | | |
| R/W-FFh | | | | R/W-FFh | | | | | | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 120. リサイズ・コントロール・ビット・レジスタ (RSZ_CNT) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-30 | Reserved | 0 | 予約。 |
| 29 | CBILIN | 0 1 | 色差の水平方向アルゴリズム。 輝度処理と同等 双線形補間 |
| 28 | INPSRC | 0 1 | 入力ソース。 プレビュー・エンジン SDRAM |
| 27 | INPTYP | 0 1 | 入力タイプ。 YUV422 カラー・インターリーブ カラー・セパレート (8 ビット・データ) |
| 26 | YCPOS | 0 1 | 輝度および色差の位置 (16 ビット・ワード)。 YC CY |
| 25-23 | VSTPH | 0 ~ 7h | 垂直方向の開始フェーズ (0 ~ 7) |
| 22-20 | HSTPH | 0 ~ 7h | 水平方向の開始フェーズ (0 ~ 7) |
| 19-10 | VRSZ | 0 ~ 3FFh | 垂直方向のリサイズ値 (64 ~ 1024 の範囲)+1。 垂直方向のリサイジング比率は 256/VRSZ。 |
| 9-0 | HRSZ | 0 ~ 3FFh | 水平方向のリサイズ値 (64 ~ 1024 の範囲)+1。 水平方向のリサイジング比率は 256/HRSZ。 |

6.3.4 アウトプット・ワイズ/ハイト・アフター・リサイジング・レジスタ (OUT_SIZE)

アウトプット・ワイズ/ハイト・アフター・リサイジング・レジスタ (OUT_SIZE) を図 132 に示し、表 121 で説明します。

図 132. アウトプット・ワイズ/ハイト・アフター・リサイジング・レジスタ (OUT_SIZE)

| | | | |
|----------|----|-------|----|
| 31 | 27 | 26 | 16 |
| Reserved | | VERT | |
| R-0 | | R/W-0 | |
| 15 | 11 | 10 | 0 |
| Reserved | | HORZ | |
| R-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 121. アウトプット・ワイズ/ハイト・アフター・リサイジング・レジスタ (OUT_SIZE) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-27 | Reserved | 0 | 予約。 |
| 26-16 | VERT | 0 ~ 7FFh | 出力の高さ (垂直方向)。 |
| 15-11 | Reserved | 0 | 予約。 |
| 10-0 | HORZ | 0 ~ 7FFh | 出力幅 (水平方向)。最大出力幅は、1280 ピクセルより大きくすることはできません (2 より大きなダウンサンプリングを 7 つのフィルタ・タップと組み合わせて使用する場合は 640)。 垂直方向のリサイジング・ファクターが 1 倍 (アップサイジング) より大きい場合、この値は必ず偶数で、かつ SDRAM にライトされるバイト数は 16 バイトの倍数にする必要があります。 |

6.3.5 インプット・スターティング・インフォメーション・レジスタ (IN_START)

インプット・スターティング・インフォメーション・レジスタ (IN_START) を図 133 に示し、表 122 で説明します。

図 133. インプット・スターティング・インフォメーション・レジスタ (IN_START)

| | | | |
|----------|----|---------|----|
| 31 | 29 | 28 | 16 |
| Reserved | | VERT_ST | |
| R-0 | | R/W-0 | |
| 15 | 13 | 12 | 0 |
| Reserved | | HORZ_ST | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 122. インプット・スターティング・インフォメーション・レジスタ (IN_START) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|--|
| 31-29 | Reserved | 0 | 予約。 |
| 28-16 | VERT_ST | 0 ~ 1FFFh | 垂直方向の開始ライン。このフィールドはリサイズへの入力ソースがプレビュー・エンジンの場合に意味があります。リサイズへの入力ソースが SDRAM の場合、このフィールドを 0 にクリアする必要があります。 |
| 15-13 | Reserved | 0 | 予約。 |
| 12-0 | HORZ_ST | 0 ~ 1FFFh | <p>水平方向の開始ピクセル。このフィールドはリサイズへの入力ソースがプレビュー・エンジンの場合に意味があります。リサイズへの入力ソースが SDRAM の場合、このフィールドは 16 ビット YUV データの場合は 15 以下に、8 ビット色分解データの場合は 31 以下にそれぞれセットする必要があります。</p> <p>入力ソースが SDRAM の場合、水平方向のピクセルの開始値はピクセル数で示されます。リサイズへの入力ソースが CCD コントローラ / プレビュー・エンジンの場合、このフィールドは次のようにプログラムする必要があります。</p> <ol style="list-style-type: none"> 1. バイト数 (ピクセル数の 2 倍) を使用して、このフィールドをプログラムします。 2. 開始位置をピクセル数で表すために、最下位ビットを変更します (実際上、必要に応じて、値 0 または値 1 に変更します)。 |

6.3.6 インプット・ワイズ/ハイト・ピフォー・リサイジング・レジスタ (IN_SIZE)

インプット・ワイズ/ハイト・ピフォー・リサイジング・レジスタ (IN_SIZE) を図 134 に示し、表 123 で説明します。

図 134. インプット・ワイズ/ハイト・ピフォー・リサイジング・レジスタ (IN_SIZE)

| | | | |
|----------|----|-------|----|
| 31 | 29 | 28 | 16 |
| Reserved | | VERT | |
| R-0 | | R/W-0 | |
| 15 | 13 | 12 | 0 |
| Reserved | | HORZ | |
| R-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 123. インプット・ワイズ/ハイト・ピフォー・リサイジング・レジスタ (IN_SIZE) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---------------|
| 31-29 | Reserved | 0 | 予約。 |
| 28-16 | VERT | 0 ~ 1FFFh | 入力の高さ (垂直方向)。 |
| 15-13 | Reserved | 0 | 予約。 |
| 12-0 | HORZ | 0 ~ 1FFFh | 入力幅 (水平方向)。 |

6.3.7 インプット SDRAM アドレス・レジスタ (SDR_INADD)

インプット SDRAM アドレス・レジスタ (SDR_INADD) を図 135 に示し、表 124 で説明します。

図 135. インプット SDRAM アドレス・レジスタ (SDR_INADD)

| | |
|-----------|---|
| 31 | 0 |
| SDR_INADD | |
| R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

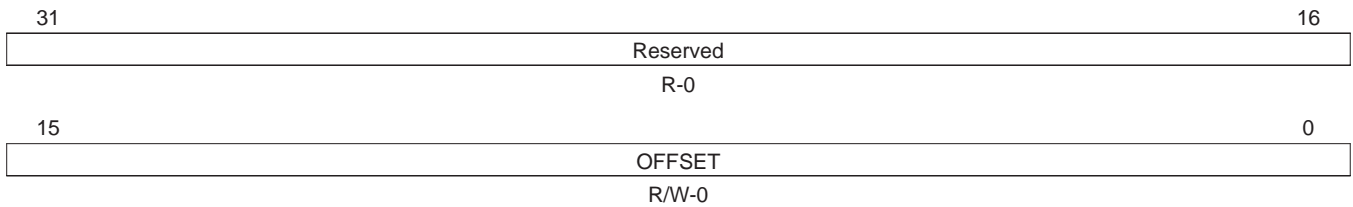
表 124. インプット SDRAM アドレス・レジスタ (SDR_INADD) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|-----------|----------------|---|
| 31-0 | SDR_INADD | 0 ~ FFFF FFFFh | 入力 SDRAM アドレス。下位側 5 ビットは 32 バイト境界にアラインするために、ハードウェアによりゼロが入ります。下位側 5 ビットはリードのみできます。このフィールドは、リサイザの入力ソースがプレビュー・エンジン / CCD コントローラの場合、0 にプログラムする必要があります。このフィールドは、リサイザがビジー状態のときでも変更できます。変更は次のフレームで行われます。ただし、このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.3.8 SDRAM オフセット・フォー・ザ・インプット・ライン・レジスタ (SDR_INOFF)

SDRAM オフセット・フォー・ザ・インプット・ライン・レジスタ (SDR_INOFF) を図 136 に示し、表 125 で説明します。

図 136. SDRAM オフセット・フォー・ザ・インプット・ライン・レジスタ (SDR_INOFF)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

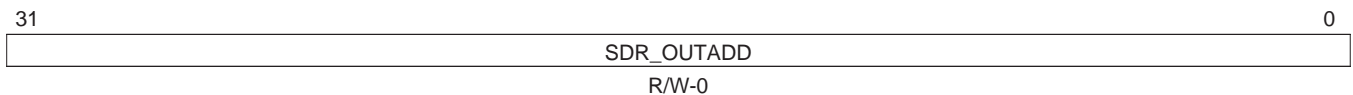
表 125. SDRAM オフセット・フォー・ザ・インプット・ライン・レジスタ (SDR_INOFF) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-16 | Reserved | 0 | 予約。 |
| 15-0 | OFFSET | 0 ~ FFFFh | SDRAM アドレスの各ラインのバイト・オフセット。下位側 5 ビットは 32 バイト境界にアラインするために、ハードウェアによりゼロが入ります。下位側 5 ビットはリードのみできます。このフィールドは、リサイズの入力ソースがプレビュー・エンジン / CCD コントローラの場合、0 にプログラムする必要があります。このフィールドは、リサイズがビジー状態のときでも変更できます。変更は次のフレームで行われます。ただし、このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.3.9 アウトプット SDRAM アドレス・レジスタ (SDR_OUTADD)

アウトプット SDRAM アドレス・レジスタ (SDR_OUTADD) を図 137 に示し、表 126 で説明します。

図 137. アウトプット SDRAM アドレス・レジスタ (SDR_OUTADD)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 126. アウトプット SDRAM アドレス・レジスタ (SDR_OUTADD) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|------------|----------------|---|
| 31-0 | SDR_OUTADD | 0 ~ FFFF FFFFh | 出力 SDRAM アドレス。下位側 5 ビットはゼロとして処理されます。32 バイト境界にアラインしてください。このフィールドは、リサイズがビジー状態のときでも変更できます。変更は次のフレームで行われます。ただし、このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.3.10 SDRAM オフセット・フォー・ザ・アウトプット・ライン・レジスタ (SDR_OUTOFF)

SDRAM オフセット・フォー・ザ・アウトプット・ライン・レジスタ (SDR_OUTOFF) を図 138 に示し、表 127 で説明します。

図 138. SDRAM オフセット・フォー・ザ・アウトプット・ライン・レジスタ (SDR_OUTOFF)

| | | |
|-------|----------|----|
| 31 | Reserved | 16 |
| R-0 | | |
| 15 | OFFSET | 0 |
| R/W-0 | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 127. SDRAM オフセット・フォー・ザ・アウトプット・ライン・レジスタ (SDR_OUTOFF) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-16 | Reserved | 0 | 予約。 |
| 15-0 | OFFSET | 0 ~ FFFFh | SDRAM アドレスの各ラインのオフセット。下位側 5 ビットはゼロとして処理されます。32 バイト境界にアラインしてください。このフィールドは、リサイズがビジー状態のときでも変更できます。変更は次のフレームで行われます。ただし、このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.3.11 ホリゾンタル・フィルタ・コエフィシェンツ・レジスタ (HFILToe)

ホリゾンタル・フィルタ・コエフィシェンツ・レジスタ (HFILToe) を図 139 に示し、表 128 で説明します。

図 139. ホリゾンタル・フィルタ・コエフィシェンツ・レジスタ (HFILToe)

| | | | | |
|----------|----------|-------------------|----|----|
| 31 | Reserved | 26 | 25 | 16 |
| Reserved | | COEF _o | | |
| R-0 | | R/W-0 | | |
| 15 | Reserved | 10 | 9 | 0 |
| Reserved | | COEF _e | | |
| R-0 | | R/W-0 | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 128. ホリゾンタル・フィルタ・コエフィシェンツ・レジスタ (HFILToe) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------------------|----------|---|
| 31-26 | Reserved | 0 | 予約。 |
| 25-16 | COEF _o | 0 ~ 3FFh | 係数 - 位相 0、タップ <i>o</i> (S10Q8 フォーマット：-2 ~ 1.255/256 の範囲、1 は 100h) |
| 15-10 | Reserved | 0 | 予約。 |
| 9-0 | COEF _e | 0 ~ 3FFh | 係数 - 位相 0、タップ <i>e</i> (S10Q8 フォーマット：-2 ~ 1.255/256 の範囲、1 は 100h) |

6.3.12 パーティカル・フィルタ・コエフィシェンツ・レジスタ (VFILToe)

パーティカル・フィルタ・コエフィシェンツ・レジスタ (VFILToe) を図 140 に示し、表 129 で説明します。

図 140. パーティカル・フィルタ・コエフィシェンツ・レジスタ (VFILToe)

| | | | |
|----------|----|-------|----|
| 31 | 26 | 25 | 16 |
| Reserved | | COEFo | |
| R-0 | | R/W-0 | |
| 15 | 10 | 9 | 0 |
| Reserved | | COEFe | |
| R-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 129. パーティカル・フィルタ・コエフィシェンツ・レジスタ (VFILToe) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-26 | Reserved | 0 | 予約。 |
| 25-16 | COEFo | 0 ~ 3FFh | 係数 - 位相 0、タップ o (S10Q8 フォーマット：-2 ~ 1.255/256 の範囲、1 は 100h)。 |
| 15-10 | Reserved | 0 | 予約。 |
| 9-0 | COEFe | 0 ~ 3FFh | 係数 - 位相 0、タップ e (S10Q8 フォーマット：-2 ~ 1.255/256 の範囲、1 は 100h)。 |

6.3.13 ルミナンス・エンハンサー・レジスタ (YENH)

ルミナンス・エンハンサー・レジスタ (YENH) を図 141 に示し、表 130 で説明します。

図 141. ルミナンス・エンハンサー・レジスタ (YENH)

| | | | |
|----------|----|-------|-------|
| 31 | 18 | 17 | 16 |
| Reserved | | | ALGO |
| R-0 | | | R/W-0 |
| 15 | 12 | 11 | 0 |
| GAIN | | SLOP | CORE |
| R/W-0 | | R/W-0 | R/W-0 |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 130. ルミナンス・エンハンサー・レジスタ (YENH) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-18 | Reserved | 0 | 予約。 |
| 17-16 | ALGO | 0 ~ 3h | 輝度アルゴリズム。hpgain = (HPF(Y) - CORE) × SLOP。0 ~ ゲインの間の hpgain に飽和します。Y' = Y + (HPF(Y) × hpgain + 8) >> 4。0 ~ 255 の間の Y' に飽和します。 |
| | | 0 | ディスエーブル |
| | | 1h | [-1 2 -1]/2 HPF |
| | | 2h | [-1 -2 6 -2 -1]/4 HPF |
| | | 3h | 予約 |
| 15-12 | GAIN | 0 ~ Fh | 最大ゲイン (U4Q4)。 |
| 11-8 | SLOP | 0 ~ Fh | スロープ (U4Q4)。 |
| 7-0 | CORE | 0 ~ FFh | コアリング・オフセット (U8Q0)。 |

6.4 ヒストグラム・レジスタ

表 131 に、ヒストグラムのメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 131. ヒストグラム・レジスタ

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|-----------|-------------------------------|----------|
| 1000h | PID | ペリフェラル・アイデンティフィケーション・レジスタ | 6.4.1 項 |
| 1004h | PCR | ペリフェラル・コントロール・レジスタ | 6.4.2 項 |
| 1008h | HIST_CNT | ヒストグラム・コントロール・レジスタ | 6.4.3 項 |
| 100Ch | WB_GAIN | ホワイト/チャンネル・バランス・セッティングス・レジスタ | 6.4.4 項 |
| 1010h | R0_HORZ | リージョン 0 ホリゾンタル・インフォメーション・レジスタ | 6.4.5 項 |
| 1014h | R0_VERT | リージョン 0 パーティカル・インフォメーション・レジスタ | 6.4.6 項 |
| 1018h | R1_HORZ | リージョン 1 ホリゾンタル・インフォメーション・レジスタ | 6.4.5 項 |
| 101Ch | R1_VERT | リージョン 1 パーティカル・インフォメーション・レジスタ | 6.4.6 項 |
| 1020h | R2_HORZ | リージョン 2 ホリゾンタル・インフォメーション・レジスタ | 6.4.5 項 |
| 1024h | R2_VERT | リージョン 2 パーティカル・インフォメーション・レジスタ | 6.4.6 項 |
| 1028h | R3_HORZ | リージョン 3 ホリゾンタル・インフォメーション・レジスタ | 6.4.5 項 |
| 102Ch | R3_VERT | リージョン 3 パーティカル・インフォメーション・レジスタ | 6.4.6 項 |
| 1030h | HIST_ADDR | ヒストグラム・アドレス・レジスタ | 6.4.7 項 |
| 1034h | HIST_DATA | ヒストグラム・データ・レジスタ | 6.4.8 項 |
| 1038h | RADD | リード・アドレス・レジスタ | 6.4.9 項 |
| 103Ch | RADD_OFF | リード・アドレス・オフセット・レジスタ | 6.4.10 項 |
| 1040h | H_V_INFO | ホリゾンタル/パーティカル・インフォメーション・レジスタ | 6.4.11 項 |

6.4.1 ペリフェラル・アイデンティフィケーション・レジスタ (PID)

ペリフェラル・アイデンティフィケーション・レジスタ (PID) を図 142 に示し、表 132 で説明します。

図 142. ペリフェラル・アイデンティフィケーション・レジスタ (PID)

| | | | |
|----------|----|------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | TID | |
| R-0 | | R-8h | |
| 15 | 8 | 7 | 0 |
| CID | | PREV | |
| R-FEh | | R-0 | |

凡例：R = リード専用。-n = リセット後の値。

表 132. ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----|--|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | TID | 8h | ペリフェラルのタイプを示します。 ヒストグラム |
| 15-8 | CID | FEh | ペリフェラルのクラスを示します。 ビデオ・プロセッシング・フロント・エンド・モジュール |
| 7-0 | PREV | 0 | ペリフェラルのバージョンを示します。 現在のバージョン |

6.4.2 ペリフェラル・コントロール・レジスタ (PCR)

ペリフェラル・コントロール・レジスタ (PCR) を図 143 に示し、表 133 で説明します。

図 143. ペリフェラル・コントロール・レジスタ (PCR)

| | | | | | |
|----------|--|--|------|--------|---|
| 31 | | | | 16 | |
| Reserved | | | | | |
| R-0 | | | | | |
| 15 | | | 2 | 1 | 0 |
| Reserved | | | BUSY | ENABLE | |
| R-0 | | | R-0 | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

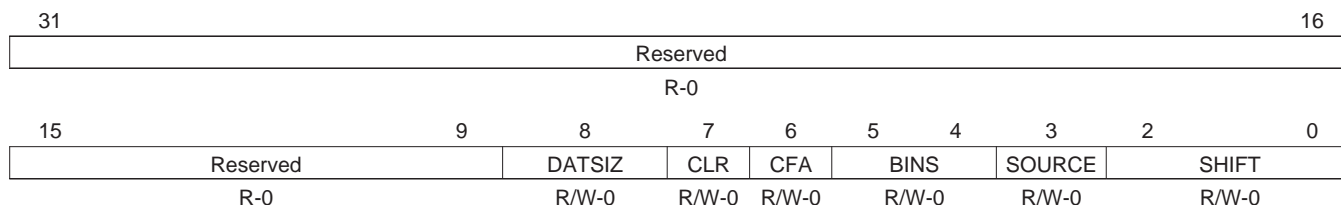
表 133. ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|---|---------------------------------|
| 31-2 | Reserved | 0 | 予約。 |
| 1 | BUSY | 0 | ヒストグラムのビジー。 ヒストグラムはビジーではない |
| | | 1 | ヒストグラムはビジー |
| 0 | ENABLE | 0 | ヒストグラムのイネーブル。 ヒストグラムはディスエーブル |
| | | 1 | ヒストグラムはイネーブル |

6.4.3 ヒストグラム・コントロール・レジスタ (HIST_CNT)

ヒストグラム・コントロール・レジスタ (HIST_CNT) を図 144 に示し、表 134 で説明します。

図 144. ヒストグラム・コントロール・レジスタ (HIST_CNT)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 134. ヒストグラム・コントロール・レジスタ (HIST_CNT) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|------------------------|--------|-------------------------------------|
| 31-9 | 予約。 | 0 | 予約。 |
| 8 | DATSIZ | 0 | 入力データ幅。 9 ~ 14 ビット |
| | | 1 | 8 ビット |
| 7 | CLR | 0 | リード後にデータをクリアします。 リード後にデータをクリアしない |
| | | 1 | リード後にデータをクリア |
| 6 | CFA | 0 | CFA パターン。 2D (2 × 2) 従来のパターン |
| | | 1 | Foveon センサー・パターン |
| 5-4 | BINS | 0 ~ 3h | ヒストグラムごとのピン数。 |
| | | 0 | 32 ピン - 領域 0、1、2、および 3 がアクティブ |
| | | 1h | 64 ピン - 領域 0、1、2、および 3 がアクティブ |
| | | 2h | 128 ピン - 領域 0 および 1 のみがアクティブ |
| 3h | 256 ピン - 領域 0 のみがアクティブ | | |
| 3 | SOURCE | 0 | 入力ソース。 CCD コントローラ |
| | | 1 | SDRAM |
| 2-0 | SHIFT | 0 ~ 7h | ピンに格納する前に、データを右シフトするビット数。 |

6.4.4 ホワイト/チャンネル・バランス・セッティングス・レジスタ (WB_GAIN)

ホワイト/チャンネル・バランス・セッティングス・レジスタ (WB_GAIN) を図 145 に示し、表 135 で説明します。

図 145. ホワイト/チャンネル・バランス・セッティングス・レジスタ (WB_GAIN)

| | | | |
|---------|----|---------|----|
| 31 | 24 | 23 | 16 |
| WG00 | | WG01 | |
| R/W-20h | | R/W-20h | |
| 15 | 8 | 7 | 0 |
| WG02 | | WG03 | |
| R/W-20h | | R/W-20h | |

凡例：R/W = リード / ライト。-n = リセット後の値。

表 135. ホワイト/チャンネル・バランス・セッティングス・レジスタ (WB_GAIN) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------|---------|---|
| 31-24 | WG00 | 0-7.1Fh | ホワイト・バランス・ゲイン 00。WG00 は、0 ~ 7.96875 の範囲内でセットされます。小数点は、WG00[4] と WG00[5] の間に置かれます。表 136 を参照してください。 |
| 23-16 | WG01 | 0-7.1Fh | ホワイト・バランス・ゲイン 01。WG01 は、0 ~ 7.96875 の範囲内でセットされます。小数点は、WG01[4] と WG01[5] の間に置かれます。表 136 を参照してください。 |
| 15-8 | WG02 | 0-7.1Fh | ホワイト・バランス・ゲイン 02。WG02 は、0 ~ 7.96875 の範囲内でセットされます。小数点は、WG02[4] と WG02[5] の間に置かれます。表 136 を参照してください。 |
| 7-0 | WG03 | 0-7.1Fh | ホワイト・バランス・ゲイン 03。WG03 は、0 ~ 7.96875 の範囲内でセットされます。小数点は、WG03[4] と WG03[5] の間に置かれます。表 136 を参照してください。 |

表 136. ホワイト・バランス・ゲインの値

| WG0n ビット | | | | | | | | 値 |
|----------|---|---|---|---|---|---|---|---------------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1.0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1.03125 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1.0625 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1.09375 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1.125 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1.15625 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1.1875 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1.21875 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1.25 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1.28125 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1.3125 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1.34375 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1.375 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1.40625 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1.4375 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1.46875 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1.5 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1.53125 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1.5625 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1.59375 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1.625 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1.65625 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1.6875 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1.71875 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1.75 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1.78125 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1.8125 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1.84375 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1.875 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1.90625 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1.9375 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1.96875 |
| 0 | 1 | 0 | x | x | x | x | x | 2.0 ~ 2.96875 |
| 0 | 1 | 1 | x | x | x | x | x | 3.0 ~ 3.96875 |
| 1 | 0 | 0 | x | x | x | x | x | 4.0 ~ 4.96875 |
| 1 | 0 | 1 | x | x | x | x | x | 5.0 ~ 5.96875 |
| 1 | 1 | 0 | x | x | x | x | x | 6.0 ~ 6.96875 |
| 1 | 1 | 1 | x | x | x | x | x | 7.0 ~ 7.96875 |

6.4.5 リージョン n ホリゾンタル・インフォメーション・レジスタ (R0_HORZ ~ R3_HORZ)

リージョン n ホリゾンタル・インフォメーション・レジスタ (R0_HORZ ~ R3_HORZ) を図 146 に示し、表 137 で説明します。

図 146. リージョン n ホリゾンタル・インフォメーション・レジスタ (R0_HORZ ~ R3_HORZ)

| | | | |
|----------|----|--------|----|
| 31 | 30 | 29 | 16 |
| Reserved | | HSTART | |
| R-0 | | R/W-0 | |
| 15 | 14 | 13 | 0 |
| Reserved | | HEND | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。- n = リセット後の値。

表 137. リージョン n ホリゾンタル・インフォメーション・レジスタ (R0_HORZ ~ R3_HORZ) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-30 | Reserved | 0 | 予約。 |
| 29-16 | HSTART | 0 ~ 3FFFh | 領域 n の水平方向の開始位置。 |
| 15-14 | Reserved | 0 | 予約。 |
| 13-0 | HEND | 0 ~ 3FFFh | 領域 n の水平方向の終了位置。終了位置が開始位置と同じ値としてプログラムされている場合、領域サイズは 0 として処理されます。いずれの場合でも、処理されるピクセルの合計数は 終了位置 - 開始位置 + 1 です。したがって、領域の最小次元は最低でも 2 です。 |

6.4.6 リージョン n パーティカル・インフォメーション・レジスタ (R0_VERT ~ R3_VERT)

リージョン n パーティカル・インフォメーション・レジスタ (R0_VERT ~ R3_VERT) を図 147 に示し、表 138 で説明します。

図 147. リージョン n パーティカル・インフォメーション・レジスタ (R0_VERT ~ R3_VERT)

| | | | |
|----------|----|--------|----|
| 31 | 30 | 29 | 16 |
| Reserved | | VSTART | |
| R-0 | | R/W-0 | |
| 15 | 14 | 13 | 0 |
| Reserved | | VEND | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。- n = リセット後の値。

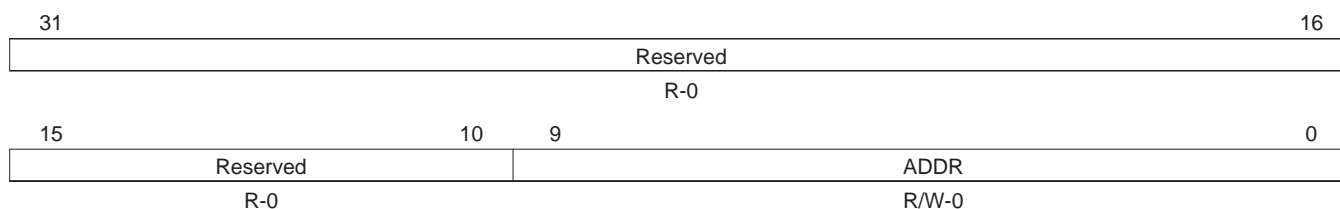
表 138. リージョン n パーティカル・インフォメーション・レジスタ (R0_VERT ~ R3_VERT) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-30 | Reserved | 0 | 予約。 |
| 29-16 | VSTART | 0 ~ 3FFFh | 領域 n の垂直方向の開始位置。 |
| 15-14 | Reserved | 0 | 予約。 |
| 13-0 | VEND | 0 ~ 3FFFh | 領域 n の垂直方向の終了位置。終了位置が開始位置と同じ値としてプログラムされている場合、領域サイズは 0 として処理されます。いずれの場合でも、処理されるピクセルの合計数は 終了位置 - 開始位置 + 1 です。したがって、領域の最小次元は最低でも 2 です。 |

6.4.7 ヒストグラム・アドレス・レジスタ (HIST_ADDR)

ヒストグラム・アドレス・レジスタ (HIST_ADDR) には、データをリードするヒストグラムのアドレスが含まれています。ヒストグラム・アドレス・レジスタ (HIST_ADDR) を図 148 に示し、表 139 で説明します。

図 148. ヒストグラム・アドレス・レジスタ (HIST_ADDR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

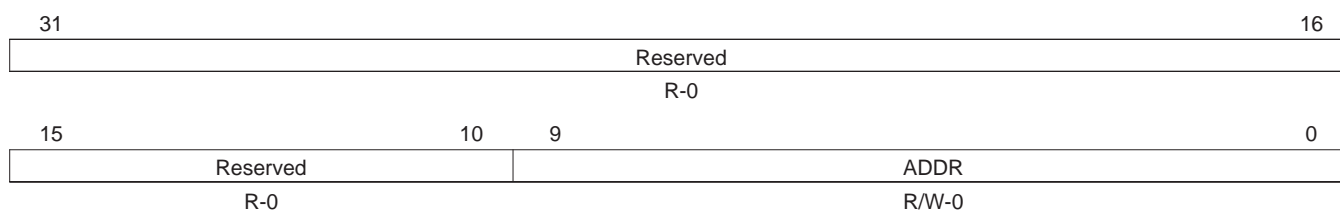
表 139. ヒストグラム・アドレス・レジスタ (HIST_ADDR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-10 | Reserved | 0 | 予約。 |
| 9-0 | ADDR | 0 ~ 3FFh | ヒストグラムのエン트리・アドレス (各データ・エント리는 20 ビット幅であることに注意してください)。 |

6.4.8 ヒストグラム・データ・レジスタ (HIST_DATA)

ヒストグラム・データ・レジスタ (HIST_DATA) には、メモリからリードしたヒストグラムのデータが含まれています。ヒストグラム・データ・レジスタ (HIST_DATA) を図 149 に示し、表 140 で説明します。

図 149. ヒストグラム・データ・レジスタ (HIST_DATA)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

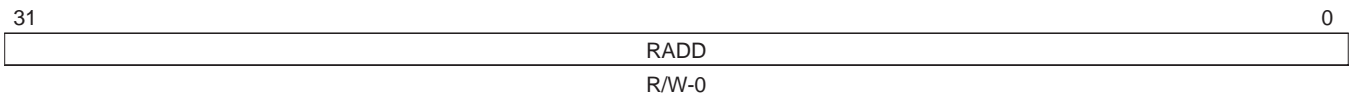
表 140. ヒストグラム・データ・レジスタ (HIST_DATA) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|------------------------|
| 31-20 | Reserved | 0 | 予約。 |
| 19-0 | RDATA | 0 ~ FFFFh | メモリからリードされたヒストグラムのデータ。 |

6.4.9 リード・アドレス・レジスタ (RADD)

リード・アドレス・レジスタ (RADD) は、SDRAM/DDRAM から最初にリードされる DMA ポートのアドレスを指定します。下位側 5 ビットは常にゼロとして処理されます。開始アドレスは、32 バイト境界にアラインする必要があります。ヒストグラムがビジーの場合でも、リード・アドレス・レジスタ (RADD) を変更できます。リード・アドレス・レジスタ (RADD) を図 150 に示し、表 141 で説明します。

図 150. リード・アドレス・レジスタ (RADD)



凡例：R/W = リード / ライト。-n = リセット後の値。

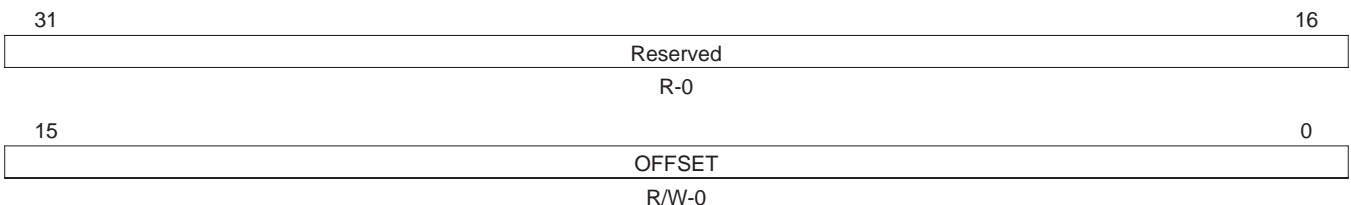
表 141. リード・アドレス・レジスタ (RADD) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|-------|----------------|---|
| 31-0 | RADD | 0 ~ FFFF FFFFh | SDRAM/DDRAM のラインごとのリード・アドレス。最初にリードされる SDRAM アドレスを指定します。下位側 5 ビットは常にゼロとして処理されます (開始アドレスは、32 バイト境界にアラインする必要があります)。ヒストグラムがビジーの場合でも、リード・アドレス・レジスタ (RADD) を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.4.10 リード・アドレス・オフセット・レジスタ (RADD_OFF)

リード・アドレス・オフセット・レジスタ (RADD_OFF) は、SDRAM/DDRAM のラインごとにアドレス・オフセットを指定します。下位側 5 ビットは常にゼロとして処理されます。オフセットは、32 バイト境界にアラインする必要があります。リード・アドレス・オフセット・レジスタ (RADD_OFF) はヒストグラムがビジーでも変更できますが、変更は次のフレームで行われます。リード・アドレス・オフセット・レジスタ (RADD_OFF) を図 151 に示し、表 142 で説明します。

図 151. リード・アドレス・オフセット・レジスタ (RADD_OFF)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 142. リード・アドレス・オフセット・レジスタ (RADD_OFF) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|--|
| 31-16 | Reserved | Reserved | 予約。 |
| 15-0 | OFFSET | 0 ~ FFFFh | SDRAM/DDRAM のラインごとのリード・アドレスのオフセット。下位側 5 ビットは常にゼロとして処理されます (アドレス・オフセットは、32 バイト境界にアラインする必要があります)。ヒストグラムがビジーの場合でも、OFFSET を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.4.11 ホリゾンタル/パーティカル・インフォメーション・レジスタ (H_V_INFO)

ホリゾンタル/パーティカル・インフォメーション・レジスタ(H_V_INFO)には、入力データ・ソースが SDRAM/DDRAM の場合の水平方向のピクセル数と垂直方向のライン数が含まれています。ホリゾンタル/パーティカル・インフォメーション・レジスタ (H_V_INFO) を図 152 に示し、表 143 で説明します。

図 152. ホリゾンタル/パーティカル・インフォメーション・レジスタ (H_V_INFO)

| | | | |
|----------|----|-------|----|
| 31 | 30 | 29 | 16 |
| Reserved | | HSIZE | |
| R-0 | | R/W-0 | |
| 15 | 14 | 13 | 0 |
| Reserved | | VSIZE | |
| R-0 | | R/W-0 | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 143. ホリゾンタル/パーティカル・インフォメーション・レジスタ (H_V_INFO) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----------|---|
| 31-30 | Reserved | 0 | 予約。 |
| 29-16 | HSIZE | 0 ~ 3FFFh | 水平方向のサイズ。入力データ・ソースが SDRAM/DDRAM の場合の水平方向のピクセル数。 |
| 15-14 | Reserved | 0 | 予約。 |
| 13-0 | VSIZE | 0 ~ 3FFFh | 垂直方向のサイズ。入力データ・ソースが SDRAM/DDRAM の場合の垂直方向のライン数。 |

6.5 ハードウェア 3A (H3A) レジスタ

表 144 に、ハードウェア 3A (H3A) のメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 144. ハードウェア 3A (H3A) レジスタ

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|-------------|--|----------|
| 1400h | PID | ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ | 6.5.1 項 |
| 1404h | PCR | ペリフェラル・コントロール・レジスタ | 6.5.2 項 |
| 1408h | AFPAX1 | セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ | 6.5.3 項 |
| 140Ch | AFPAX2 | セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ | 6.5.4 項 |
| 1410h | AFPAXSTART | スタート・ポジション・フォー AF エンジン・パクセルズ・レジスタ | 6.5.5 項 |
| 1414h | AFIRSH | スタート・ポジション・フォー IIRSH レジスタ | 6.5.6 項 |
| 1418h | AFBUFST | SDRAM/DDRAM スタート・アドレス・フォー AF エンジン・レジスタ | 6.5.7 項 |
| 141Ch | AFCOEFF010 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ | 6.5.8 項 |
| 1420h | AFCOEFF032 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ | 6.5.9 項 |
| 1424h | AFCOEFF054 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ | 6.5.10 項 |
| 1428h | AFCOEFF076 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ | 6.5.11 項 |
| 142Ch | AFCOEFF098 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ | 6.5.12 項 |
| 1430h | AFCOEFF0010 | IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ | 6.5.13 項 |
| 1434h | AFCOEFF110 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ | 6.5.14 項 |
| 1438h | AFCOEFF132 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ | 6.5.15 項 |
| 143Ch | AFCOEFF154 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ | 6.5.16 項 |
| 1440h | AFCOEFF176 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ | 6.5.17 項 |
| 1444h | AFCOEFF198 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ | 6.5.18 項 |
| 1448h | AFCOEFF1010 | IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ | 6.5.19 項 |
| 144Ch | AEWWIN1 | コンフィギュレーション・フォー AE/AWB ウィンドウ・レジスタ | 6.5.20 項 |
| 1450h | AEWINSTART | スタート・ポジション・フォー AE/AWB ウィンドウ・レジスタ | 6.5.21 項 |
| 1454h | AEWINBLK | スタート・ポジション / ハイト・フォー・ブラック・ライン・オブ AE/AWB ウィンドウ・レジスタ | 6.5.22 項 |
| 1458h | AEWSUBWIN | コンフィギュレーション・フォー・サブサンプル・データ・イン AE/AWB ウィンドウ・レジスタ | 6.5.23 項 |
| 145Ch | AEWBUFST | SDRAM/DDRAM スタート・アドレス・フォー AE/AWB エンジン・レジスタ | 6.5.24 項 |

6.5.1 ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) を図 153 に示し、表 145 で説明します。

図 153. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

| | | | |
|----------|----|------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | TID | |
| R-0 | | R-8h | |
| 15 | 8 | 7 | 0 |
| CID | | PREV | |
| R-FEh | | R-0 | |

凡例：R = リード専用。-n = リセット後の値。

表 145. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|-----|---------------------------------------|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | TID | 8h | ペリフェラルの識別。 ハードウェア 3A |
| 15-8 | CID | FEh | クラスの識別。 ビデオ・プロセッシング・フロント・エンド・モジュール |
| 7-0 | PREV | 0 | ペリフェラルのリビジョン番号 現在のバージョン |

6.5.2 ペリフェラル・コントロール・レジスタ (PCR)

ペリフェラル・コントロール・レジスタ (PCR) を図 154 に示し、表 146 で説明します。

図 154. ペリフェラル・コントロール・レジスタ (PCR)

| | | | | | |
|----------|--------|----------|----|-----------|-------------|
| 31 | | | | | 24 |
| AVE2LMT | | | | | |
| R/W-3FFh | | | | | |
| 23 | 22 | 21 | 19 | 18 | 17 |
| AVE2LMT | | Reserved | | BUSYAEAWB | AEW_ALAW_EN |
| R/W-3FFh | | R-0 | | R-0 | R/W-0 |
| 15 | 14 | 13 | 11 | | 10 |
| BUSYAF | FVMODE | RGBPOS | | MED_TH | |
| R-0 | R/W-0 | R/W-0 | | R/W-FFh | |
| 7 | | | | 3 | 2 |
| MED_TH | | | | AF_MED_EN | AF_ALAW_EN |
| R/W-FFh | | | | R/W-0 | R/W-0 |
| | | | | 1 | 0 |
| | | | | AF_EN | AF_EN |
| | | | | R/W-0 | R/W-0 |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 146. ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|-------------|--|--|
| 31-22 | AVE2LMT | 0 ~ 3FFh | AE/AWB 飽和限界。これは、AE/AWB エンジンのサブサンプリングされたピクセルのすべてと比較される値です。データが、このデータ値以上の場合、ブロックは飽和していると見なされます。 |
| 21-19 | Reserved | 0 | 予約。 |
| 18 | BUSYAEAWB | 0-1 | AE/AWB のビジー・ビット。 |
| 17 | AEW_ALAW_EN | 0 1 | AE/AWB A-law テーブルのイネーブル。 AE/AWB A-law テーブルはディスエーブル AE/AWB A-law テーブルはイネーブル |
| 16 | AEW_EN | 0 1 | AE/AWB エンジンのイネーブル。 AE/AWB エンジンはディスエーブル AE/AWB エンジンはイネーブル |
| 15 | BUSYAF | 0-1 | AF のビジー・ビット。 |
| 14 | FVMODE | 0 1 | フォーカス値累積モード。 合計モード ピーク・モード |
| 13-11 | RGBPOS | 0 ~ 7h 0 1h 2h 3h 4h 5h 6h ~ 7h | AF ウィンドウの赤、緑、青の各ピクセル・ロケーション。 Bayer パターンとしての GR と GB Bayer パターンとしての RG と GB Bayer パターンとしての GR と BG Bayer パターンとしての RG と BG カスタム・パターンとしての GG と RB カスタム・パターンとしての RB と GG 予約 |
| 10-3 | MED_TH | 0 ~ FFh | メディアン・フィルタ・スレッシュホールド。 |
| 2 | AF_MED_EN | 0 1 | オート・フォーカス・メディアン・フィルタのイネーブル。メディアン・フィルタがイネーブルの場合、フレーム内の最初の 2 ピクセルおよび最後の 2 ピクセルは、有効な領域にはありません。したがって、ピクセルの開始/終了位置および IIR フィルタの開始位置を最初の 2 ピクセルおよび最後の 2 ピクセル内にセットしてはいけません。 オート・フォーカス・メディアン・フィルタをディスエーブルする オート・フォーカス・メディアン・フィルタをイネーブルする |
| 1 | AF_ALAW_EN | 0 1 | オート・フォーカス A-law テーブルのイネーブル。 オート・フォーカス A-law テーブルはディスエーブル オート・フォーカス A-law テーブルはイネーブル |
| 0 | AF_EN | 0 1 | オート・フォーカス・エンジンのイネーブル。 オート・フォーカス・エンジンはディスエーブル オート・フォーカス・エンジンはイネーブル |

6.5.3 セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX1)

セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX1) を図 155 に示し、表 147 で説明します。

図 155. セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX1)

| | | | | |
|----|----------|----|-------|----|
| 31 | Reserved | 23 | PAXW | 16 |
| | R-0 | | R/W-0 | |
| 15 | Reserved | 7 | PAXH | 0 |
| | R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 147. セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX1) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-23 | Reserved | 0 | 予約。 |
| 22-16 | PAXW | 0 ~ 7Fh | AF エンジンのパクセル幅。パクセルの幅は $(PAXW + 1) \times 2$ です。最小幅は 6 ピクセルです。 |
| 15-7 | Reserved | 0 | 予約。 |
| 6-0 | PAXH | 0 ~ 7Fh | AF エンジンのパクセルの高さ。パクセルの高さは、 $(PAXH + 1) \times 2$ です。有効な値は 2 ~ 256 です (偶数値)。 |

6.5.4 セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX2)

セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX2) を図 156 に示し、表 148 で説明します。

図 156. セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX2)

| | | | |
|--------|----------|-------|-----------------|
| 31 | Reserved | 17 | 16 |
| | R-0 | | AFINCV R/W-0 |
| 15 | 13 | 12 | 6 |
| AFINCV | PAXVC | PAXHC | 0 |
| R/W-0 | R/W-0 | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 148. セットアップ・フォー AF エンジン・パクセル・コンフィギュレーション・レジスタ (AFPAX2) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31-17 | Reserved | 0 | 予約。 |
| 16-13 | AFINCV | 0 ~ Fh | AF エンジンのラインのインクリメント。(パクセル内でスキップするライン数 + 1) × 2。パクセル内のラインのインクリメントは、1 組のラインで常に行われます。これは RGB パターンが 2 本のラインにあるためです。すべてのラインを処理する場合、AFINCV を 0 にクリアしてください。そうすれば、ライン・カウントは 1 組のライン処理後に 2 ずつインクリメントされます。したがって、2 組の処理ライン間でスキップされるライン数は 0 ~ 30 (偶数) になります。パクセルで 2 本のラインを開始する場合、このフィールドが適用される前に、最初に処理します。 |
| 12-6 | PAXVC | 0 ~ 7Fh | AF エンジンの垂直パクセル・カウント。垂直方向のパクセル数 + 1。フレーム内の垂直方向の最大パクセル数は、128 を超えてはいけません。帯域幅要件およびバッファ・サイズが 128 を超えないように、この値をセットしてください。 |
| 5-0 | PAXHC | 0 ~ 3Fh | AF エンジンの水平パクセル・カウント。水平方向のパクセル数 + 1。35 より大きい数をセットするのは無効です (水平方向ではパクセル数は合計で 36)。 |

6.5.5 スタート・ポジション・フォー AF エンジン・パクセルズ・レジスタ (AFPAXSTART)

スタート・ポジション・フォー AF エンジン・パクセルズ・レジスタ (AFPAXSTART) を図 157 に示し、表 149 で説明します。

図 157. スタート・ポジション・フォー AF エンジン・パクセルズ・レジスタ (AFPAXSTART)

| | | | |
|----------|----|-------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | PAXSH | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | PAXSV | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 149. スタート・ポジション・フォー AF エンジン・パクセルズ・レジスタ (AFPAXSTART) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | PAXSH | 0 ~ FFFh | AF エンジンの水平方向のパクセル開始位置。PAXSH は、(IIRSH + 1) 以上に設定する必要があります。この値は偶数にする必要があります。 |
| 15-12 | Reserved | 0 ~ Fh | 予約。 |
| 11-0 | PAXSV | 0 ~ FFFh | AF エンジンの垂直方向のパクセル開始位置。最初のパクセルの垂直ラインをセットします。 |

6.5.6 スタート・ポジション・フォー IIRSH レジスタ (AFIIRSH)

スタート・ポジション・フォー IIRSH レジスタ (AFIIRSH) を図 158 に示し、表 150 で説明します。

図 158. スタート・ポジション・フォー IIRSH レジスタ (AFIIRSH)

| | |
|----------|-------|
| 31 | 16 |
| Reserved | |
| R-0 | |
| 15 | 0 |
| Reserved | IIRSH |
| R-0 | R/W-0 |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 150. スタート・ポジション・フォー IIRSH レジスタ (AFIIRSH) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-12 | Reserved | 0 | 予約。 |
| 11-0 | IIRSH | 0 ~ FFFh | AF エンジンの水平方向の IIR 開始位置。ラインの水平位置がこの値と等しい場合、シフト・レジスタは次のピクセルでクリアされます。この値は偶数にする必要があります。 |

6.5.7 SDRAM/DDRAM スタート・アドレス・フォー AF エンジン・レジスタ (AFBUFST)

SDRAM/DDRAM スタート・アドレス・フォー AF エンジン・レジスタ (AFBUFST) を図 159 に示し、表 151 で説明します。

図 159. SDRAM/DDRAM スタート・アドレス・フォー AF エンジン・レジスタ (AFBUFST)



凡例：R/W = リード / ライト。-n = リセット後の値。

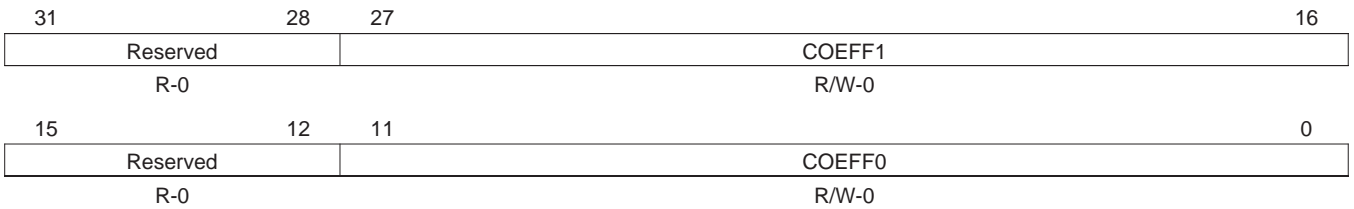
表 151. SDRAM/DDRAM スタート・アドレス・フォー AF エンジン・レジスタ (AFBUFST) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|---------|----------------|--|
| 31-0 | AFBUFST | 0 ~ FFFF FFFFh | AF エンジンの SDRAM/DDRAM 開始アドレス。SDRAM/DDRAM の開始位置。下位側 6 ビットは無視されます。アドレスは 64 バイト境界に設定してください。AF エンジンがビジーの場合でも、AFBUFST を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

6.5.8 IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF010)

IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF010) を図 160 に示し、表 152 で説明します。

図 160. IR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF010)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 152. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF010) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF1 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #1 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF0 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #0 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.9 IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF032)

IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF032) を図 161 に示し、表 153 で説明します。

図 161. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF032)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF7 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF6 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 153. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF032) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF3 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #3 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF2 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #2 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.10 IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF054)

IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF054) を図 162 に示し、表 154 で説明します。

図 162. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF054)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF5 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF4 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 154. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF054) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF5 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #5 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF4 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #4 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.11 IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF076)

IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF076) を図 163 に示し、表 155 で説明します。

図 163. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF076)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF7 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF6 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 155. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF076) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF7 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #7 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF6 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #6 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.12 IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF098)

IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF098) を図 164 に示し、表 156 で説明します。

図 164. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF098)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF9 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF8 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 156. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF098) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | 予約。 | 0 | 予約。 |
| 27-16 | COEFF9 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #9 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF8 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #8 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.13 IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF0010)

IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF0010) を図 165 に示し、表 157 で説明します。

図 165. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF0010)

| | | | |
|----------|----------|---------|----|
| 31 | Reserved | | 16 |
| R-0 | | | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF10 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 157. IIR フィルタ・コエフィシエント・データ・フォー・セット 0 レジスタ (AFCOEFF0010) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF10 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #10 (セット 0)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.14 IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF110)

IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF110) を図 166 に示し、表 158 で説明します。

図 166. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF110)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF1 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF0 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 158. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF110) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF1 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #1 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF0 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #0 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.15 IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF132)

IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ(AFCOEFF132)を図 167 に示し、表 159 で説明します。

図 167. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF132)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF3 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF2 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 159. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF132) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF3 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #3 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF2 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #2 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.16 IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF154)

IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ(AFCOEFF154)を図 168 に示し、表 160 で説明します。

図 168. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF154)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF5 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF4 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 160. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF154) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF5 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #5 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF4 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #4 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.17 IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF176)

IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ(AFCOEFF176)を図 169 に示し、表 161 で説明します。

図 169. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF176)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF7 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF6 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 161. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF176) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF7 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #7 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF6 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #6 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.18 IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF198)

IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ(AFCOEFF198)を図 170 に示し、表 162 で説明します。

図 170. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF198)

| | | | |
|----------|----|--------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | COEFF9 | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | COEFF8 | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 162. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF198) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | COEFF9 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #9 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF8 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #8 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.19 IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF1010)

IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF1010) を図 171 に示し、表 163 で説明します。

図 171. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF1010)

| | | | | |
|----------|----------|---------|---|----|
| 31 | Reserved | | | 16 |
| R-0 | | | | |
| 15 | 12 | 11 | 0 | |
| Reserved | | COEFF10 | | |
| R-0 | | R/W-0 | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 163. IIR フィルタ・コエフィシエント・データ・フォー・セット 1 レジスタ (AFCOEFF1010) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-12 | Reserved | 0 | 予約。 |
| 11-0 | COEFF10 | 0 ~ FFFh | AF エンジンの IIR フィルタ係数 #10 (セット 1)。値の範囲は、符号付き -32 以上 31 以下です (+63/64)。 |

6.5.20 コンフィギュレーション・フォー AE/AWB ウィンドウ・レジスタ (AEWWIN1)

コンフィギュレーション・フォー AE/AWB ウィンドウ・レジスタ (AEWWIN1) を図 172 に示し、表 164 で説明します。

図 172. コンフィギュレーション・フォー AE/AWB ウィンドウ・レジスタ (AEWWIN1)

| | | | | | | |
|-------|------|-------|----|----------|-------|------|
| 31 | 30 | 24 | 23 | 20 | 19 | 16 |
| Rsvd | WINH | | | Reserved | | WINW |
| R-0 | | R/W-0 | | | R-0 | |
| R/W-0 | | R/W-0 | | | R/W-0 | |
| 15 | 13 | 12 | 6 | 5 | 0 | |
| WINW | | WINVC | | | WINHC | |
| R/W-0 | | R/W-0 | | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 164. コンフィギュレーション・フォー AE/AWB ウィンドウ・レジスタ (AEWWIN1) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|--|
| 31 | Reserved | 0 | 予約。 |
| 30-24 | WINH | 0 ~ 7Fh | AE/AWB エンジン・ウィンドウの高さ。ウィンドウの高さをピクセル数が偶数になるように指定します。ウィンドウの高さは (WINH + 1) × 2 です。最終的な値は 2 ~ 256 になります (偶数値)。 |
| 23-20 | Reserved | 0 | 予約。 |
| 19-13 | WINW | 0 ~ 7Fh | AE/AWB エンジン・ウィンドウの幅。ウィンドウの幅をピクセル数が偶数になるように指定します。ウィンドウの幅は (WINW + 1) × 2 です。最小幅は 6 ピクセルです。 |
| 12-6 | WINVC | 0 ~ 7Fh | AE/AWB エンジン・ウィンドウの垂直方向カウント。垂直方向のウィンドウ数 + 1。フレーム内の垂直方向の最大ウィンドウ数は、128 を超えてはいけません。帯域幅要件およびバッファ・サイズが超えないことを確実にするために、この値をセットしてください。 |
| 5-0 | WINHC | 0 ~ 3Fh | AE/AWB エンジン・ウィンドウの水平方向カウント。水平方向のウィンドウ数 + 1。水平方向の最大ウィンドウ数は 35 + 1 です (36)。最小ウィンドウ数は 2 です (このフィールドの有効範囲は 1 ~ 35 です)。 |

6.5.21 スタート・ポジション・フォー AE/AWB ウィンドウ・レジスタ (AEWINSTART)

スタート・ポジション・フォー AE/AWB ウィンドウ・レジスタ (AEWINSTART) を図 173 に示し、表 165 で説明します。

図 173. スタート・ポジション・フォー AE/AWB ウィンドウ・レジスタ (AEWINSTART)

| | | | |
|----------|----|-------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | WINSV | |
| R-0 | | R/W-0 | |
| 15 | 12 | 11 | 0 |
| Reserved | | WINSH | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 165. スタート・ポジション・フォー AE/AWB ウィンドウ・レジスタ (AEWINSTART) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|--|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | WINSV | 0 ~ FFFh | AE/AWB エンジン・ウィンドウの垂直方向の開始位置。最初のウィンドウに対する最初のラインをセットします。 |
| 15-12 | Reserved | 0 | 予約。 |
| 11-0 | WINSH | 0 ~ FFFh | AE/AWB エンジン・ウィンドウの水平方向の開始位置。ラインごとに最初のウィンドウに対する水平位置をセットします。 |

6.5.22 スタート・ポジション / ハイト・フォー・ブラック・ライン・オブ AE/AWB ウィンドウ・レジスタ (AEWINBLK)

スタート・ポジション / ハイト・フォー・ブラック・ライン・オブ AE/AWB ウィンドウ・レジスタ (AEWINBLK) を図 174 に示し、表 166 で説明します。

図 174. スタート・ポジション / ハイト・フォー・ブラック・ライン・オブ AE/AWB ウィンドウ・レジスタ (AEWINBLK)

| | | | |
|----------|----|-------|----|
| 31 | 28 | 27 | 16 |
| Reserved | | WINSV | |
| R-0 | | R/W-0 | |
| 15 | 7 | 6 | 0 |
| Reserved | | WINH | |
| R-0 | | R/W-0 | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

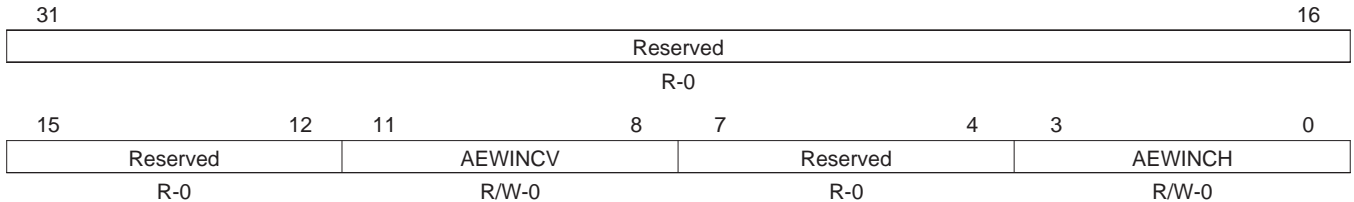
表 166. スタート・ポジション / ハイト・フォー・ブラック・ライン・オブ AE/AWB ウィンドウ・レジスタ (AEWINBLK) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-28 | Reserved | 0 | 予約。 |
| 27-16 | WINSV | 0 ~ FFFh | 複数のウィンドウを単一ブラック・ラインに合わせる AE/AWB エンジン・ウィンドウの垂直方向の開始位置。複数のウィンドウを単一ブラック・ラインに合わせることができ、最初のラインをセットします。水平方向の開始位置と水平方向のウィンドウ数は、通常のウィンドウとよく似ています。 |
| 15-7 | Reserved | 0 | 予約。 |
| 6-0 | WINH | 0 ~ 7Fh | 複数のウィンドウを単一ブラック・ラインに合わせる AE/AWB エンジン・ウィンドウの高さ。ウィンドウの高さをピクセル数が偶数となるように指定します。ウィンドウの高さは (WINH + 1) × 2 です。最終的な値は 2 ~ 256 になります (偶数値)。 |

6.5.23 コンフィギュレーション・フォー・サブサンプル・データ・イン AE/AWB ウィンドウ・レジスタ (AEWSUBWIN)

コンフィギュレーション・フォー・サブサンプル・データ・イン AE/AWB ウィンドウ・レジスタ (AEWSUBWIN) を図 175 に示し、表 167 で説明します。

図 175. コンフィギュレーション・フォー・サブサンプル・データ・イン AE/AWB ウィンドウ・レジスタ (AEWSUBWIN)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

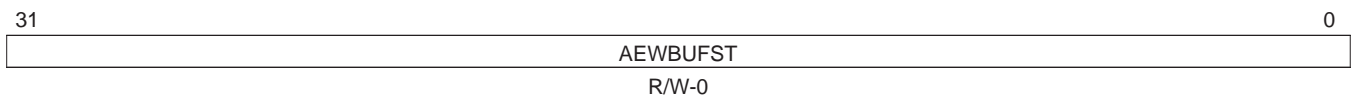
表 167. コンフィギュレーション・フォー・サブサンプル・データ・イン AE/AWB ウィンドウ・レジスタ (AEWSUBWIN) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|--------|---|
| 31-12 | Reserved | 0 | 予約。 |
| 11-8 | AEWINCV | 0 ~ Fh | AE/AWB エンジンの垂直方向へのサンプリング・ポイントをインクリメント。サブサンプル間の垂直距離を (ウィンドウ + 1) × 2 の範囲にセットします。 |
| 7-4 | Reserved | 0 | 予約。 |
| 3-0 | AEWINCH | 0 ~ Fh | AE/AWB エンジンの水平方向へのサンプリング・ポイントをインクリメント。サブサンプル間の水平距離を (ウィンドウ + 1) × 2 の範囲にセットします。最終的な範囲は 2 ~ 32 です。 |

6.5.24 SDRAM/DDRAM スタート・アドレス・フォー AE/AWB エンジン・レジスタ (AEWBUFST)

SDRAM/DDRAM スタート・アドレス・フォー AE/AWB エンジン・レジスタ (AEWBUFST) を図 176 に示し、表 168 で説明します。

図 176. SDRAM/DDRAM スタート・アドレス・フォー AE/AWB エンジン・レジスタ (AEWBUFST)



凡例：R/W = リード / ライト。-n = リセット後の値。

表 168. SDRAM/DDRAM スタート・アドレス・フォー AE/AWB エンジン・レジスタ (AEWBUFST) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|------|----------|----------------|--|
| 31-0 | AEWBUFST | 0 ~ FFFF FFFFh | AE/AWB エンジンの SDRAM/DDRAM 開始アドレス。AE/AWB データの SDRAM/DDRAM 開始位置。下位側 6 ビットは無視されます。アドレスは 64 バイト境界に設定してください。AE/AWB エンジンがビジーの場合でも、AEWBUFST を変更できます。変更は次のフレームで行われます。このレジスタをリードすると常に最新の値が取り出されることに注意してください。 |

7 ビデオ・プロセッシング・サブシステム (VPSS) レジスタ

ここでは、ビデオ・プロセッサ・サブシステム (VPSS) のレジスタについて説明します。表 169 に、VPSS のメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 169. ビデオ・プロセッシング・サブシステム (VPSS) レジスタ

| オフセット | 略称 | レジスタの説明 | 参照先 |
|-------|-------------|--------------------------------------|-------|
| 3400h | PID | VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ | 7.1 節 |
| 3404h | PCR | VPSS ペリフェラル・コントロール・レジスタ | 7.2 節 |
| 3508h | SDR_REQ_EXP | SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ | 7.3 節 |

7.1 VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) を図 177 に示し、表 170 で説明します。

図 177. VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

| | | | |
|----------|----|------|----|
| 31 | 24 | 23 | 16 |
| Reserved | | TID | |
| R-0 | | R-1 | |
| 15 | 8 | 7 | 0 |
| CID | | PREV | |
| R-FBh | | R-0 | |

凡例：R = リード専用。-n = リセット後の値。

表 170. VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|---------|-----------------|
| 31-24 | Reserved | 0 | 予約。 |
| 23-16 | TID | 0 ~ FFh | ペリフェラルの識別。 |
| | | 1 | VPSS |
| 15-8 | CID | 0 ~ FFh | クラスの識別。 |
| | | FBh | VPSS |
| 7-0 | PREV | 0 ~ FFh | ペリフェラルのリビジョン番号。 |
| | | 0 | 最初のリビジョン |

7.2 VPSS ペリフェラル・コントロール・レジスタ (PCR)

VPSS ペリフェラル・コントロール・レジスタ (PCR) を図 178 に示し、表 171 で説明します。

図 178. VPSS ペリフェラル・コントロール・レジスタ (PCR)

| | | | | | | | | | | | | | | | |
|------------|-----------|------------|------------|------------|------------|----------|-----------|----|--|---------|--|----|--|----|--|
| 31 | | | | | | | | 24 | | | | | | | |
| Reserved | | | | | | | | | | | | | | | |
| R-0 | | | | | | | | | | | | | | | |
| 23 | | 22 | | 21 | | 20 | | 19 | | 18 | | 17 | | 16 | |
| CCDC_WBL_O | PRV_WBL_O | RSZ1_WBL_O | RSZ2_WBL_O | RSZ3_WBL_O | RSZ4_WBL_O | AF_WBL_O | AEW_WBL_O | | | | | | | | |
| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | | | | | | | | |
| 15 | | | | | | | | | | 4 | | 3 | | 0 | |
| Reserved | | | | | | | | | | DMA_PRI | | | | | |
| R-0 | | | | | | | | | | R/W-0 | | | | | |

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 171. VPSS ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|------------|--------|---|
| 31-24 | Reserved | 0 | 予約。 |
| 23 | CCDC_WBL_O | 0 1 | ライト・バッファ・メモリ・オーバーフロー (CCDC)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |
| 22 | PRV_WBL_O | 0 1 | ライト・バッファ・メモリ・オーバーフロー (プレビュー・エンジン)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |
| 21 | RSZ1_WBL_O | 0 1 | ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 1)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |
| 20 | RSZ2_WBL_O | 0 1 | ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 2)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |
| 19 | RSZ3_WBL_O | 0 1 | ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 3)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |

表 171. VPSS ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明 (続き)

| ビット | フィールド | 値 | 説明 |
|------|------------|--------|---|
| 18 | RSZ4_WBL_O | 0 1 | ライト・パuffa・メモリ・オーバーフロー (リサイザ・ライン4)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |
| 17 | AF_WBL_O | 0 1 | ライト・パuffa・メモリ・オーバーフロー (AF)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |
| 16 | AEW_WBL_O | 0 1 | ライト・パuffa・メモリ・オーバーフロー (AE/AWB)。すべてのデータ・ユニットがフィルされていますが、次のデータ・ユニットが WBL からフィルされる前に SDRAM へ転送されていません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生) |
| 15-4 | Reserved | 0 | 予約。 |
| 3-0 | DMI_PRI | 0 ~ Fh | システム内の優先順位を VBUSM から DDR EMIF へ変更します。デフォルトの優先順位は、システム内で最上位にセットしてください。 |

7.3 SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP)

SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP) を図 179 に示し、表 172 で説明します。

図 179. SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP)

| | | | | | | |
|----------|----|---------|----------|----|----------|----|
| 31 | 30 | 29 | | 20 | 19 | 16 |
| Reserved | | PRV_EXP | | | RESZ_EXP | |
| R-0 | | R/W-0 | | | R/W-0 | |
| 15 | | 10 | 9 | | | 0 |
| RESZ_EXP | | | HIST_EXP | | | |
| R/W-0 | | | R/W-0 | | | |

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 172. SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP) フィールドの説明

| ビット | フィールド | 値 | 説明 |
|-------|----------|----------|---|
| 31-30 | Reserved | 0 | 予約。 |
| 29-20 | PRV_EXP | 0 ~ 3FFh | プレビューのリード・リクエスト拡張。プレビュー・モジュールからの連続したリード・リクエスト間で許可する遅延。単位は、VPSS クロック・サイクル (通常モード / ターボ・モードで 153/198 MHz)。通常リアルタイムが要求される場合、VPSS DMA の優先順位は最上位にセットされるため、これはシステム内の他のトラフィックに関連して非リアルタイムでのリード時間を延ばすためのものです。これにより、DDR/SDR からリードされるフレームの持続時間を求める他のリクエストがロック・アウトされる可能性が最小限に抑制されます。 |
| 19-10 | RESZ_EXP | 0 ~ 3FFh | リサイズのリード・リクエスト拡張。リサイザ・モジュールからの連続したリード・リクエスト間で許可する遅延。単位は、32 VPSS クロック・サイクル (通常モード / ターボ・モードで 153/198 MHz)。遅延は RESZ_EXP × 32 VPSS クロック・サイクル。通常リアルタイムが要求される場合、VPSS DMA の優先順位は最上位にセットされるため、これはシステム内の他のトラフィックに関連して非リアルタイムでのリード時間を延ばすためのものです。これにより、DDR/SDR からリードされるフレームの持続時間を求める他のリクエストがロック・アウトされる可能性が最小限に抑制されます。 |
| 9-0 | HIST_EXP | 0 ~ 3FFh | ヒストグラムのリード・リクエスト拡張。ヒストグラム・モジュールからの連続したリード・リクエスト間で許可する遅延。単位は、VPSS クロック・サイクル (通常モード / ターボ・モードで 153/198 MHz)。通常リアルタイムが要求される場合、VPSS DMA の優先順位は最上位にセットされるため、これはシステム内の他のトラフィックに関連して非リアルタイムでのリード時間を延ばすためのものです。これにより、DDR/SDR からリードされるフレームの持続時間を求める他のリクエストがロック・アウトされる可能性が最小限に抑制されます。 |

付録 A 改訂履歴

本書の旧版からの変更点を表 A-1 に示します。

表 A-1. 資料改訂履歴

| 参照先 | 追加 / 変更 / 削除 |
|-------------|---|
| 1.2.1 項 | 4 番目の項目を変更。 |
| 1.2.2 項 | 注を削除。 |
| 1.2.4 項 | 注を削除。 |
| 1.2.5 項 | 注を削除。 |
| 表 7 | C_FIELD/R0 を追加。 |
| 2.2 節 | 注を削除。 |
| 2.3 節 | 注を削除。 |
| 表 7 | C_FIELD/R0 を追加。 |
| 表 13 | PCLK の最大ピクセル・クロック機能を変更。 |
| 表 14 | PCLK の最大ピクセル・クロック機能を変更。 |
| 表 15 | PCLK の最大ピクセル・クロック機能を変更。 |
| 図 9 | 図版を変更。 |
| 4.3.1.2 項 | 3 番目の項目を追加。 |
| 図 12 | 図版を変更。 |
| 4.3.1.2.3 項 | サブセクションを追加。それ以降の表の番号を振り直し。 |
| 4.3.1.3 項 | サブセクションを変更。 |
| 4.3.1.3.1 項 | サブセクションを追加。それ以降の図版の番号を振り直し。 |
| 4.3.1.3.2 項 | サブセクションを追加。それ以降の図版の番号を振り直し。 |
| 4.3.3 項 | 注を削除。 |
| 4.3.3.1 項 | サブセクションを変更。 |
| 4.3.3.2 項 | 最後に文を追加。 |
| 4.3.3.3 項 | 最後に 3 つの文を追加。 |
| 4.3.3.4 項 | 最後に 2 つの文を追加。 |
| 4.3.3.5 項 | 最初のパラグラフの最後に 3 つの文を追加。 第 2 パラグラフを変更。 |
| | 4.3.3.6 項「水平方向のメディアン・フィルタ」を削除。それ以降のサブセクションの番号を振り直し。 |
| 4.3.3.6 項 | サブセクションを変更。 |
| 4.3.3.7 項 | 最後に 4 つの文を追加。 |
| 4.3.3.8 項 | サブセクションを変更。 |
| 4.3.3.9 項 | 最後に文を追加。 |
| 図 30 | 図を追加。それ以降の図版の番号を振り直し。 |
| 4.3.3.10 項 | サブセクションを変更。 |
| 4.3.3.11 項 | サブセクションを変更。 |
| 図 31 | 図を追加。それ以降の図版の番号を振り直し。 |

表 A-1. 資料改訂履歴 (続き)

| 参照先 | 追加 / 変更 / 削除 |
|---------------|---|
| 4.3.3.12 項 | サブセクションを変更。 4.3.3.14 項「非線形輝度強化および色差抑制」を削除。 それ以降のサブセクションの番号を振り直し。 4.3.3.15 項「4:2:2 ダウン・サンプリングおよび出力のクリッピング」を削除。それ以降のサブセクションの番号を振り直し。 |
| 4.3.3.13 項 | サブセクションを変更。 |
| 表 22 | 表を追加。それ以降の表番号を振り直し。 |
| 表 23 | 表を追加。それ以降の表番号を振り直し。 |
| 4.3.5 項 | 注を削除。 |
| 4.3.5.2 項 | サブセクションを変更。 |
| 図 44 | 図を追加。それ以降の図版の番号を振り直し。 |
| 4.3.5.2.1 項 | サブセクションを変更。 |
| 図 45 | 図を追加。それ以降の図版の番号を振り直し。 |
| 4.3.5.2.2 項 | サブセクションを追加。それ以降のサブセクションおよび図版の番号を振り直し。 |
| 4.3.5.2.3 項 | サブセクションを変更。 |
| 表 28 | 表を追加。それ以降の表番号を振り直し。 |
| 4.3.5.2.3.1 項 | サブセクションを変更。 |
| 図 46 | 図を追加。それ以降の図版の番号を振り直し。 |
| 4.3.5.2.3.2 項 | サブセクションを変更。 |
| 表 29 | 表を追加。それ以降の表番号を振り直し。 |
| 4.3.5.2.4 項 | サブセクションを追加。それ以降の図版および表の番号を振り直し。 |
| 4.4.2.1 項 | 最初のパラグラフを変更。 |
| 4.5 節 | サブセクションを追加。それ以降の表番号を振り直し。 |
| 表 36 | 最後に 2 つの行を追加。 |
| 5.4.1.3 項 | サブセクションを追加。それ以降の図版の番号を振り直し。 |
| 5.4.3.3 項 | 第 2 パラグラフを追加。 |
| 5.4.6 項 | 最初の項目を変更。 最後に項目を追加。 |
| 5.5 節 | サブセクションを追加。それ以降のサブセクション、表、図版、および例の番号を振り直し。 |
| 5.7 節 | サブセクションを追加。それ以降のサブセクションおよび図版の番号を振り直し。 |
| 5.8 節 | サブセクションを追加。それ以降のサブセクション、図版、および表の番号を振り直し。 |
| 5.9 節 | サブセクションを追加。それ以降のサブセクションおよび図版の番号を振り直し。 |
| 5.10 節 | パラグラフを変更。 |
| 表 55 | 「フォールト・ピクセル・コレクション・レジスタ (FPC)」および「フォールト・ピクセル・コレクション SDRAM アドレス・レジスタ (FPC_ADDR)」を追加。 |
| 6.1.17 項 | サブセクションを追加。それ以降のサブセクション、図版、および表の番号を振り直し。 |
| 6.1.18 項 | サブセクションを追加。それ以降のサブセクション、図版、および表の番号を振り直し。 |
| 6.2 節 | サブセクションを追加。それ以降のサブセクション、図版、および表の番号を振り直し。 |
| 6.4 節 | サブセクションを追加。それ以降のサブセクション、図版、および表の番号を振り直し。 |
| 6.5 節 | サブセクションを追加。それ以降のサブセクション、図版、および表の番号を振り直し。 |
| 第 7 章 | サブセクションを追加。 |



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上