

TMS320DM643x DMP

非同期外部メモリ・インターフェイス (EMIF)

ユーザーズ・ガイド

TMS320DM643x DMP

非同期外部メモリ・インターフェイス (EMIF)

ユーザーズ・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright 2008, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高湿状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

目次

最初にお読みください.....	6
非同期外部メモリ・インターフェイス (EMIF).....	7
1 はじめに	7
1.1 ペリフェラルの目的.....	7
1.2 機能.....	7
1.3 機能ブロック図.....	8
2 ペリフェラル・アーキテクチャ	9
2.1 クロック制御.....	9
2.2 EMIF リクエスト	9
2.3 信号の説明.....	10
2.4 ピン・マルチプレクス.....	10
2.5 EM_CS[5:2] ピンの外部プルアップ抵抗に関する考慮事項.....	10
2.6 非同期コントローラとインターフェイス.....	11
2.7 エンディアンのサポート.....	31
3 コンフィギュレーション例	32
3.1 非同期 SRAM (ASRAM) への接続	32
3.2 NAND フラッシュへの接続.....	41
4 レジスタ	51
4.1 リビジョン・コード・ステータス・レジスタ (RCSR).....	52
4.2 アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR).....	53
4.3 アシンクロナス・コンフィギュレーション・レジスタ (A1CR ~ A4CR).....	54
4.4 EMIF インタラプト・ロー・レジスタ (EIRR).....	56
4.5 EMIF インタラプト・マスク・レジスタ (EIMR).....	57
4.6 EMIF インタラプト・マスク・セット・レジスタ (EIMSR).....	58
4.7 EMIF インタラプト・マスク・クリア・レジスタ (EIMCR).....	59
4.8 NAND フラッシュ・コントロール・レジスタ (NANDFCR).....	60
4.9 NAND フラッシュ・ステータス・レジスタ (NANDFSR).....	61
4.10 NAND フラッシュ n ECC レジスタ (NANDF1ECC ~ NANDF4ECC).....	61
付録 A 改訂履歴	63

図一覧

図 1	EMIF の機能ブロック図	8
図 2	EMIF 非同期インターフェイス	11
図 3	EMIF から 8 ビット・メモリへのインターフェイス	12
図 4	通常モードでの非同期リード・サイクルのタイミング波形	16
図 5	通常モードでの非同期ライト・サイクルのタイミング波形	18
図 6	セレクト・ストロブ・モードでの非同期リード・サイクルのタイミング波形	20
図 7	セレクト・ストロブ・モードでの非同期ライト・サイクルのタイミング波形	22
図 8	EMIF から 8 ビット NAND フラッシュへのインターフェイス	24
図 9	8 ビット NAND フラッシュの ECC 値	26
図 10	EMIF から 8 ビット・マルチプレクス HPI へのインターフェイス	27
図 11	IS61WV20488BLL デバイスへの EMIF の接続	32
図 12	ASRAM リード時のタイミング波形	34
図 13	ASRAM ライト時のタイミング波形	35
図 14	PCB 遅延による ASRAM リード時のタイミング波形	37
図 15	PCB 遅延による ASRAM ライト時のタイミング波形	38
図 16	NAND フラッシュ・リード時のタイミング波形	43
図 17	NAND フラッシュ・コマンド・ライト時のタイミング波形	45
図 18	NAND フラッシュ・アドレス・ライト時のタイミング波形	45
図 19	NAND フラッシュ・データ・ライト時のタイミング波形	46
図 20	リビジョン・コード・ステータス・レジスタ (RCSR)	52
図 21	アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR)	53
図 22	アシンクロナス n コンフィギュレーション・レジスタ (A_nCR)	54
図 23	EMIF インタラプト・ロー・レジスタ (EIRR)	56
図 24	EMIF インタラプト・マスク・レジスタ (EIMR)	57
図 25	EMIF インタラプト・マスク・セット・レジスタ (EIMSR)	58
図 26	EMIF インタラプト・マスク・クリア・レジスタ (EIMCR)	59
図 27	NAND フラッシュ・コントロール・レジスタ (NANDFCR)	60
図 28	NAND フラッシュ・ステータス・レジスタ (NANDFSR)	61
図 29	NAND フラッシュ n ECC レジスタ (NANDF n ECC)	61

表一覧

表 1	EMIF ピン	10
表 2	通常モードとセレクト・ストロープ・モードでの EM_CS 信号の動作	11
表 3	アシンクロナス・コンフィギュレーション・レジスタ (AnCR) の説明	12
表 4	アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の説明	14
表 5	EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の説明	14
表 6	EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) の説明	14
表 7	通常モードでの非同期リード動作	15
表 8	通常モードでの非同期ライト動作	17
表 9	セレクト・ストロープ・モードでの非同期リード動作	19
表 10	セレクト・ストロープ・モードでの非同期ライト動作	21
表 11	NAND フラッシュ・コントロール・レジスタ (NANDFCR) の説明	23
表 12	NAND フラッシュのコンフィギュレーション	24
表 13	割り込みの監視と制御ビット・フィールド	29
表 14	8 ビット非同期メモリのデータ順序	31
表 15	EMIF 入力タイミング要件	33
表 16	ASRAM 出力タイミング特性	33
表 17	リード時の ASRAM 入力タイミング要件	33
表 18	ライト時の ASRAM 入力タイミング要件	34
表 19	PCB 遅延による ASRAM タイミング要件	36
表 20	IS61WV20488BLL に対する EMIF のタイミング要件例	39
表 21	IS61WV20488BLL に対する ASRAM タイミング要件例	39
表 22	IS61WV20488BLL の PCB 遅延を測定した例	39
表 23	IS61WV20488BLL の A2CR の設定例	41
表 24	推奨マージン	41
表 25	EMIF のリード・タイミング要件	42
表 26	NAND フラッシュのリード・タイミング要件	42
表 27	NAND フラッシュのライト・タイミング要件	44
表 28	HY27UA081G1M に対する EMIF のタイミング要件例	47
表 29	HY27UA081G1M に対する NAND フラッシュのタイミング要件例	47
表 30	HY27UA081G1M に対する A1CR の設定例	49
表 31	HY27UA081G1M に対する NANDFCR の設定例	50
表 32	エクスターナル・メモリ・インターフェイス (EMIF) レジスタ	51
表 33	リビジョン・コード・ステータス・レジスタ (RCSR) フィールドの説明	52
表 34	アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) フィールドの説明	53
表 35	アシンクロナス <i>n</i> コンフィギュレーション・レジスタ (AnCR) フィールドの説明	54
表 36	EMIF インタラプト・ロー・レジスタ (EIRR) フィールドの説明	56
表 37	EMIF インタラプト・マスク・レジスタ (EIMR) フィールドの説明	57
表 38	EMIF インタラプト・マスク・セット・レジスタ (EIMSR) フィールドの説明	58
表 39	EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) フィールドの説明	59
表 40	NAND フラッシュ・コントロール・レジスタ (NANDFCR) フィールドの説明	60
表 41	NAND フラッシュ・ステータス・レジスタ (NANDFSR) フィールドの説明	61
表 42	NAND フラッシュ <i>n</i> ECC レジスタ (NANDFnECC) フィールドの説明	62
表 A-1	資料改訂履歴	63

最初にお読みください

本書について

本書では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されている非同期外部メモリ・インターフェイス (EMIF) の動作について説明します。

表記規則

本書では、次の表記規則を使用します。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書ではレジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、リード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。

Texas Instruments 社からの関連資料

TMS320DM643x デジタル・メディア・プロセッサ (DMP) を解説した関連資料は、次のとおりです。関連資料は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに資料番号を入力してください。

DM643x DMP、関連ペリフェラル、およびその他の技術資料は、C6000 DSP 製品フォルダ www.ti.com/c6000 から入手できます。

[SPRU978](#) - TMS320DM643x DMP DSP Subsystem Reference Guide では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されているデジタル・シグナル・プロセッサ (DSP) のサブシステムについて説明しています。

[SPRU983](#) - TMS320DM643x DMP Peripherals Overview Reference Guide では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) 上で使用可能なペリフェラルについて説明しています。

[SPRAA84](#) - TMS320C64x to TMS320C64x+ CPU Migration Guide では、Texas Instruments TMS320C64x デジタル・シグナル・プロセッサ (DSP) から TMS320C64x+ DSP への移行方法について説明しています。本書の目的は、2 つのコア間の相違点を的確に示すことです。2 つのデバイスの機能が等価な場合には、説明は省略されています。

[SPRU732](#) - TMS320C64x/C64x+ DSP CPU and Instruction Set Reference Guide では、TMS320C6000 DSP ファミリーの TMS320C64x と TMS320C64x+ のデジタル・シグナル・プロセッサ (DSP) の CPU アーキテクチャ、パイプライン、命令セット、および割り込みについて説明しています。C64x/C64x+ DSP 世代は、C6000 DSP プラットフォームの固定小数点デバイスを構成しています。C64x+ DSP は C64x DSP の機能性を高め、命令セットを拡張した機能強化版です。

[SPRU871](#) - TMS320C64x+ DSP Megamodule Reference Guide では、TMS320C64x+ デジタル・シグナル・プロセッサ (DSP) のメガモジュールについて説明しています。具体的には、内部ダイレクト・メモリ・アクセス (IDMA) コントローラ、割り込みコントローラ、パワーダウン・コントローラ、メモリ保護、帯域幅管理、およびメモリとキャッシュについて説明しています。

非同期外部メモリ・インターフェイス (EMIF)

1 はじめに

本書では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されている非同期外部メモリ・インターフェイス (EMIF) の動作について説明します。

1.1 ペリフェラルの目的

この EMIF を搭載した目的は、次に示すさまざまな外部デバイスへ接続する手段を提供することです。

- SRAM をはじめとする非同期デバイス、NOR、およびその他の同様なフラッシュ・デバイス
- NAND フラッシュ
- Texas Instruments の DSP に搭載されているホスト・ポート・インターフェイス (HPI) などのホスト・プロセッサ・インターフェイス

最も一般的な EMIF の使用法は、フラッシュ・デバイスと SRAM デバイスの両方と接続することです。第 3 章には、適切なコンフィギュレーションを行って EMIF を動作させる例が含まれています。

1.2 機能

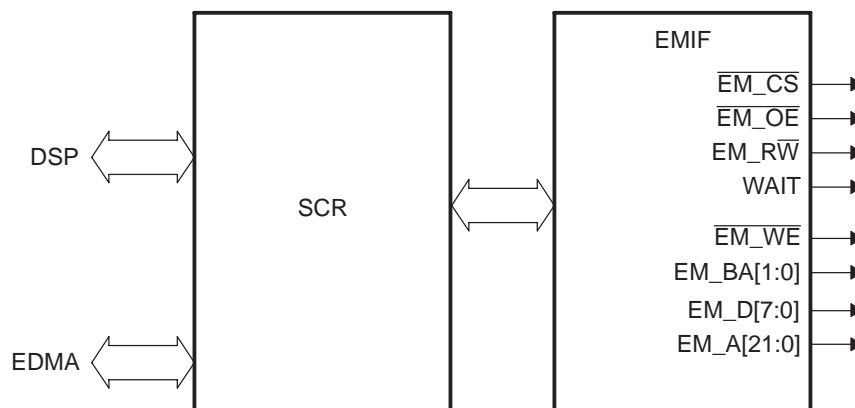
EMIF には、外部非同期デバイスと接続する上で操作性および柔軟性を高める多数の機能が組み込まれています。EMIF がサポートしている機能を次に示します。

- アドレス指定可能な 4 つのチップ・セレクト空間 (それぞれ最大 32MB)
- 8 ビットのデータ・バス幅
- 応答時間に加え、セットアップ、ストロブ、およびホールド時間などプログラム可能なサイクル・タイミング
- セレクト・ストロブ・モード
- 拡張ウェイト・モード
- NAND フラッシュによる ECC 生成
- TI DSP HPI インターフェイスへホストとして接続
- データ・バス・パーキング
- リトルエンディアン動作モード

1.3 機能ブロック図

EMIF とその内部リクエスト間の接続の様子を外部 EMIF ピンとともに図 1 に示します。2.2 節では、EMIF へリクエストを送ることができるデバイス内部の要素について、その優先順位とともに説明しています。2.3 節では、外部 EMIF ピンについて説明し、SDRAM および非同期デバイスと接続する場合、その使用目的をまとめています。

図 1. EMIF の機能ブロック図



2 ペリフェラル・アーキテクチャ

本章では、EMIF のアーキテクチャおよび動作の詳細について説明します。

2.1 クロック制御

EMIF の内部クロックのソースは、PLL コントローラ 1 の CLKDIV6 クロック・ドメインで、外部入力クロックから直接クロック供給されることはありません。CLKDIV6 クロック・ドメインの周波数は、PLL1 周波数を 6 分周したものです。PLL コントローラ 1 への入力クロックの周波数や PLL コントローラ 1 乗算器の値を変更すると、EMIF の動作周波数が変更されます。PLL コントローラの詳細については、各デバイスのデータ・マニュアルを参照してください。

2.2 EMIF リクエスト

デバイス内にある 2 つの異なるソースが、EMIF へリクエストを行うことができます。これらのリクエストは、非同期メモリへのアクセスと EMIF メモリ・マップド・レジスタから構成されます。EMIF が一度に処理できるリクエストは 1 つだけなので、優先順位が設定されたリクエストを各種ソースから EMIF へ提供するために高性能なスイッチ・セントラル・リソース (SCR) が存在します。それぞれのリクエストには、チップ・レベルの MSTRPRIO レジスタまたは 3PCC QUEPRI レジスタで設定できるプログラム可能なプライオリティ値があります。これらのレジスタの詳細については、各デバイスのデータ・マニュアルを参照してください。最下位と最上位のデフォルトのプライオリティ値を持つソースを下記に示します。

1. EDMA
2. DSP

2 つのソースから同時にリクエストが行われた場合、最初に SCR は優先順位が最も高いリクエストを EMIF へ転送します。SCR はリクエストを完了すると、ペンディングされていたリクエストを再度評価し、ペンディングされていた優先順位が最も高いリクエストを EMIF へ転送します。

2.3 信号の説明

EMIF ピンそれぞれの機能について、表 1 に示します。

表 1. EMIF ピン

ピン	入出力	説明
EM_A[21:0]	出力	EMIF アドレス・バス。これらのピンは EM_BA ピンとともに使用され、デバイスへ送られるアドレスになります。
EM_BA[1:0]	出力	EMIF バンク・アドレス。これらのピンは EM_A ピンとともに使用され、デバイスへ送られるアドレスになります。
EM_CS[5:2]	出力	非同期デバイスのアクティブ Low チップ・イネーブル・ピン。これらのピンは、接続された非同期デバイスのチップ・セレクト・ピンへ接続されることを表します。
EM_D[7:0]	入出力	EMIF データ・バス。
EM_R \bar{W}	出力	リード/ライト・セレクト・ピン。このピンは、非同期リード・アクセス・サイクル期間では High、非同期ライト・アクセス・サイクル期間では Low になります。
EM_OE	出力	非同期デバイスのアクティブ Low ピン・イネーブル。このピンは、非同期リード・アクセス・サイクルのストロブ期間ではアクティブ low となる信号を供給します。
EM_W \bar{E}	出力	アクティブ Low ライト・イネーブル。このピンは、非同期ライト・アクセス・サイクルのストロブ期間ではアクティブ Low となる信号を供給します。
EM_WAIT	入力	極性をプログラム可能なウェイト入力。接続された非同期デバイスは、EMIF への WAIT 入力をアサートすることにより、アクセス・サイクルのストロブ期間を延ばすことができます (2.6.8 項を参照)。この機能をイネーブルするには、アシンクロナス・コンフィギュレーション・レジスタ (AnCR) の EW ビットを 1 にセットする必要があります。また、EM_WAIT ピンの極性を指定するために、アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の WP0 ビットを設定する必要もあります。

2.4 ピン・マルチプレクス

DM643x DMP 上では、機能豊富なピン・マルチプレクスは最小のパッケージでさまざまなペリフェラル機能に対応するために使われます。デバイス・リセット時のハードウェア構成とソフトウェアでプログラム可能なレジスタ設定を組み合わせることで、ピン・マルチプレクスは制御されます。ピン・マルチプレクスの EMIF モジュールへの影響を判断するには、各デバイスのデータ・マニュアルを参照してください。

2.5 EM_CS[5:2] ピンの外部プルアップ抵抗に関する考慮事項

EM_CS2、EM_CS3、EM_CS4、EM_CS5 の各ピンは、内部プルダウン抵抗を持っています。EM_CS3、EM_CS4、EM_CS5 の各ピンが接続され、EMIF チップ・セレクト信号として使用されている場合、EMIF チップ・セレクト信号がデフォルトでリセット直後にインアクティブな (High) 状態に確実になるように、外部プルアップ抵抗をこれらのピンに接続してください。EM_CS2 ピンが接続され、かつ EMIF チップ・セレクト信号として使われ、かつデバイスの AEM[2:0] ピンがリセット時点でゼロ以外の値にセットされている場合、この EMIF チップ・セレクト信号がデフォルトでリセット直後にインアクティブな (High) 状態に確実になるように、外部プルアップ抵抗も EM_CS2 に接続してください。

2.6 非同期コントローラとインターフェイス

EMIF は、フラッシュおよび ASRAM をはじめとするさまざまな非同期デバイスと簡単に接続できます。EMIF は 3 つの主要なモードで動作可能です。

- 通常モード
- セレクト・ストロープ (SS) モード
- NAND フラッシュ・モード

EM_CS 信号の動作は、通常モードとセレクト・ストロープ・モード間の唯一の違いです (表 2 を参照)。通常モードでは、EM_CS 信号はセットアップ期間の開始時点でアクティブとなり、転送期間においてアクティブのままです。セレクト・ストロープ・モードでは、EM_CS 信号は、ストロープ信号として機能し、アクセスのストロープ期間でのみアクティブとなります。

NAND フラッシュ・モードでは、EMIF ハードウェアは 512 バイトのデータ転送ごとにエラー訂正コード (ECC) を計算できます。3 つの動作モードに加え、EMIF には設定可能なサイクル・タイミング・パラメータ、および接続されたデバイスがアクセス・サイクルのストロープ期間を拡張できる拡張ウェイト・モードもあります。これ以降では、外部非同期デバイスとの接続に関連した機能について説明します。

表 2. 通常モードとセレクト・ストロープ・モードでの EM_CS 信号の動作

モード	EM_CS[5:2] の動作
通常	非同期アクセス・サイクル全体でアクティブ
セレクト・ストロープ	アクセス・サイクルのストロープ期間でのみアクティブ

2.6.1 非同期メモリへの接続

非同期デバイスと接続する際に使われる EMIF の外部ピンを図 2 に示します。EMIF と外部デバイスのアドレス・バス間の接続には、特別な注意が必要です。デバイスが 32 ビットのデータ・バスを内部で使用するため、EMIF アドレス・ピン EM_A[0] は、32 ビット・ワード・アドレスの最下位ビットを常に提供します。

8 ビット非同期デバイスへ接続する場合、EM_BA[1] および EM_BA[0] ピンは、バイト・アドレスの最下位ビットを提供するために使われます。

EMIF と接続されるデバイスのデータおよびアドレス・ピン間のマッピングを図 3 に示します。

図 2. EMIF 非同期インターフェイス

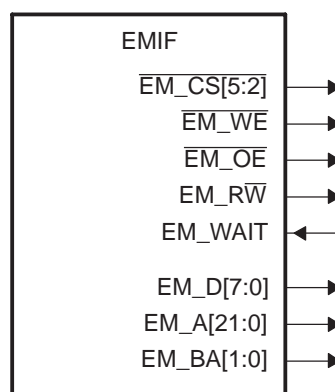
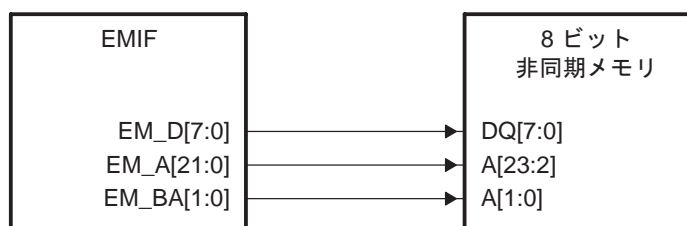


図 3. EMIF から 8 ビット・メモリへのインターフェイス


2.6.2 プログラム可能な非同期パラメータ

EMIF により、非同期アクセスの信号整形を行う場合、高度なプログラムが可能になります。プログラム可能なパラメータは、次のとおりです。

- **セットアップ**：メモリ・サイクルの開始時点（アドレスが有効となる時点）から出力イネーブル・ストロブまたはライト・イネーブル・ストロブをアクティブにするまでの時間。
- **ストロブ**：出力イネーブル・ストロブまたはライト・イネーブル・ストロブをアクティブにしてから非アクティブにするまでの時間。
- **ホールド**：出力イネーブル・ストロブまたはライト・イネーブル・ストロブを非アクティブにしてからサイクル終了までの時間。これはアドレス変化または EM_CS 信号の無効化によって示されます。

リード・サイクルおよびライト・サイクルには、別々にパラメータが用意されています。それぞれのパラメータは、EMIF クロック・サイクルからプログラムされます。

2.6.3 非同期アクセス用の EMIF 設定

EMIF の非同期インターフェイスの動作を設定するには、適切なメモリ・マップド・レジスタをプログラムします。それぞれのレジスタ・フィールドのリセット値およびビット位置は、第 4 章を参照してください。プログラム可能なレジスタ・フィールドを次の表に示します。また、それぞれのフィールドの目的についても説明します。非同期アクセスが進行中の場合、これらのレジスタをプログラムしてはいけません。これらのレジスタへの書き込み後の転送は、新たなコンフィギュレーションが使われます。

アシンクロナス・コンフィギュレーション・レジスタ (AnCR) の説明を表 3 に示します。4 つの AnCR があります。それぞれのチップ・セレクト空間には、専用の AnCR があります。これにより、各種非同期メモリ・タイプへインターフェイスするために、それぞれのチップ・セレクト空間を個別にプログラムすることができます。

表 3. アシンクロナス・コンフィギュレーション・レジスタ (AnCR) の説明

パラメータ	説明
SS	セレクト・ストロブ・モード。 このビットで、EMIF の動作モードを次のように選択します。 <ul style="list-style-type: none"> • SS = 0h は、通常モードを選択します。EM_CS はアクセス持続期間アクティブになります。 • SS = 1h は、セレクト・ストロブ・モードを選択します。EM_CS はストロブとして動作します。
EW	拡張ウェイト・モードのイネーブル。 <ul style="list-style-type: none"> • EW = 0h は、拡張ウェイト・モードをディスエーブルします。 • EW = 1h は、拡張ウェイト・モードをイネーブルします。 このフィールドを 1 にセットすると、EMIF により、アクセス・サイクルのストロブ幅が EM_WAIT ピンのアサーションに対応して拡張される、拡張ウェイト・モードがイネーブルにされます。アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の WP0 ビットで、EM_WAIT ピンの極性を制御します。この動作モードの詳細については、2.6.8 項を参照してください。

表 3. アシクロナス・コンフィギュレーション・レジスタ (AnCR) の説明 (続き)

パラメータ	説明
W_SETUP/R_SETUP	<p>リード/ライトのセットアップ幅。</p> <p>これらのフィールドで、リード・ストロブ・ピン ($\overline{\text{READ_OE}}$) またはライト・ストロブ・ピン ($\overline{\text{WRITE_WE}}$) が立ち下がる前の、アドレス・ピン ($\text{EM_A}$ と EM_BA) および非同期チップ・イネーブル ($\overline{\text{EM_CS}}$) のセットアップ時間の EMIF クロック・サイクル数 -1 サイクルを指定します。またライトの場合、W_SETUP フィールドは、データ・ピン (EM_D) のセットアップ時間も指定します。このフィールドの適切な設定値を判別するには、外部非同期デバイスのデータシートを参照してください。</p>
W_STROBE/R_STROBE	<p>リード/ライトのストロブ幅。</p> <p>これらのフィールドで、リード・ストロブ・ピン ($\overline{\text{READ_OE}}$) またはライト・ストロブ・ピン ($\overline{\text{WRITE_WE}}$) の立ち上がりから立ち下がりまでの EMIF クロック・サイクル数 -1 サイクルを指定します。アシクロナス・コンフィギュレーション・レジスタ (AnCR) の EW ビットをセットすることにより、拡張ウェイト・モードがイネーブルの場合、これらのフィールドはゼロより大きい値にセットする必要があります。このフィールドの適切な設定値を判別するには、外部非同期デバイスのデータシートを参照してください。</p>
W_HOLD/R_HOLD	<p>リード/ライトのホールド幅。</p> <p>これらのフィールドで、リード・ストロブ・ピン ($\overline{\text{READ_OE}}$) またはライト・ストロブ・ピン ($\overline{\text{WRITE_WE}}$) 立ち上がり後の、アドレス・ピン ($\text{EM_A}$ と EM_BA) および非同期チップ・イネーブル ($\overline{\text{EM_CS}}$) のホールド時間の EMIF クロック・サイクル数 -1 サイクルを指定します。またライトの場合、W_HOLD フィールドは、データ・ピン (EM_D) のホールド時間も指定します。このフィールドの適切な設定値を判別するには、外部非同期デバイスのデータシートを参照してください。</p>
TA	<p>最小応答時間。</p> <p>このフィールドで、非同期アクセスの終了から別の非同期アクセスの開始までの EMIF クロックの最小サイクル数 -1 サイクルを指定します。同じチップ・セレクト空間に対して、リードの後にリードが行われたり、ライトの後にライトが行われたりした場合、この遅延が課されることはありません。この機能の目的は、バス上の競合を回避することです。このフィールドの適切な設定値を判別するには、外部非同期デバイスのデータシートを参照してください。</p>
ASIZE	<p>非同期デバイス・バス幅。</p> <p>このフィールドが示している、非同期インターフェイスのデータ・バス幅は次のとおりです。</p> <ul style="list-style-type: none"> ASIZE = 0h は、8 ビット・バスを示します。 <p>32 ビット・ワードのリクエストには、ASIZE = 0h を指定した 4 つの外部アクセスが必要であることに注意してください。</p>

表 4. アシクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の説明

パラメータ	説明
WP0	<p>ウェイト極性。</p> <ul style="list-style-type: none"> WP0 = 0h は、アクティブ High 極性を選択します。 WP0 = 1h は、アクティブ Low 極性を選択します。 <p>このフィールドを 1 にセットすると、EMIF は EM_WAIT ピンが High になると待機します。このフィールドを 0 にクリアすると、EMIF は EM_WAIT ピンが Low になると待機します。EMIF は、EM_WAIT ピンがストローブ期間の幅に影響を与える間、拡張ウェイト・モードをイネーブルしておく必要があります。</p>
MEWC	<p>最大拡張ウェイト・サイクル。</p> <p>このフィールドは、アクセス・サイクルのストローブ期間に EMIF が EM_WAIT ピンを非アクティブにするまで待機する EMIF クロック・サイクル数を設定します。EMIF が待機する EMIF クロックの最大サイクル数を求める式は、次のとおりです。</p> $\text{最大拡張ウェイト・サイクル数} = (\text{MEWC} + 1) \times 16$ <p>EM_WAIT ピンがこのフィールドで指定された時間内で非アクティブにされていない場合、EMIF はアクセス・サイクルを再開し、バス上のデータをすべて登録し、アクセス・サイクルのホールド期間へ進みます。この状況を非同期タイムアウトといいます。非同期タイムアウトが EMIF インタラプト・マスク・セット・レジスタ (EIMSR) でイネーブルの場合、割り込みを生成します。EMIF 割り込みの詳細については、2.6.11 項を参照してください。</p>

表 5. EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の説明

パラメータ	説明
WRMSET	<p>ウェイト立ち上がりマスクのセット。</p> <p>EM_WAIT の立ち上がりエッジが発生した場合、このビットに 1 をライトすると、割り込みが生成されます。</p>
ATMSET	<p>非同期タイムアウト・マスクのセット。</p> <p>非同期タイムアウトが発生した場合、このビットに 1 をライトすると、割り込みが生成されます。</p>

表 6. EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) の説明

パラメータ	説明
WRMCLR	<p>ウェイト立ち上がりマスクのクリア。</p> <p>このビットに 1 をライトすると、割り込みがディスエーブルされ、EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の WRMSET ビットがクリアされます。</p>
ATMCLR	<p>非同期タイムアウト・マスクのクリア。</p> <p>このビットに 1 をライトすると、割り込みがディスエーブルされ、EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の ATMSET ビットがクリアされます。</p>

2.6.4 通常モードでのリードおよびライト動作

通常モードは、非同期インターフェイスのデフォルトの動作モードです。通常モードは、アシンクロナス・コンフィギュレーション・レジスタ (A_nCR) の SS ビットが 0 にクリアされた場合に選択されます。このモードでは、EM_CS 信号はチップ・イネーブル信号として動作し、メモリ・アクセス期間全体でアクティブとなります。

2.6.4.1 非同期リード動作 (通常モード)

非同期リードは、2.2 節で説明したリクエストのいずれかが接続された非同期メモリからのリードをリクエストした場合に行われます。リード・リクエストを外部デバイスへの単一アクセス・サイクルで処理できないイベントは、複数のアクセス・サイクルによりリクエスト全体が終わるまで EMIF によって行われます。通常モードでの非同期リード動作の詳細は、表 7 で説明します。また基本的なリード動作のタイミング図の例を図 4 に示します。

注： 非同期リード動作期間全体では、 $\overline{WRITE_WE}$ ピンおよび $\overline{EM_RW}$ ピンは High にドライブされます。

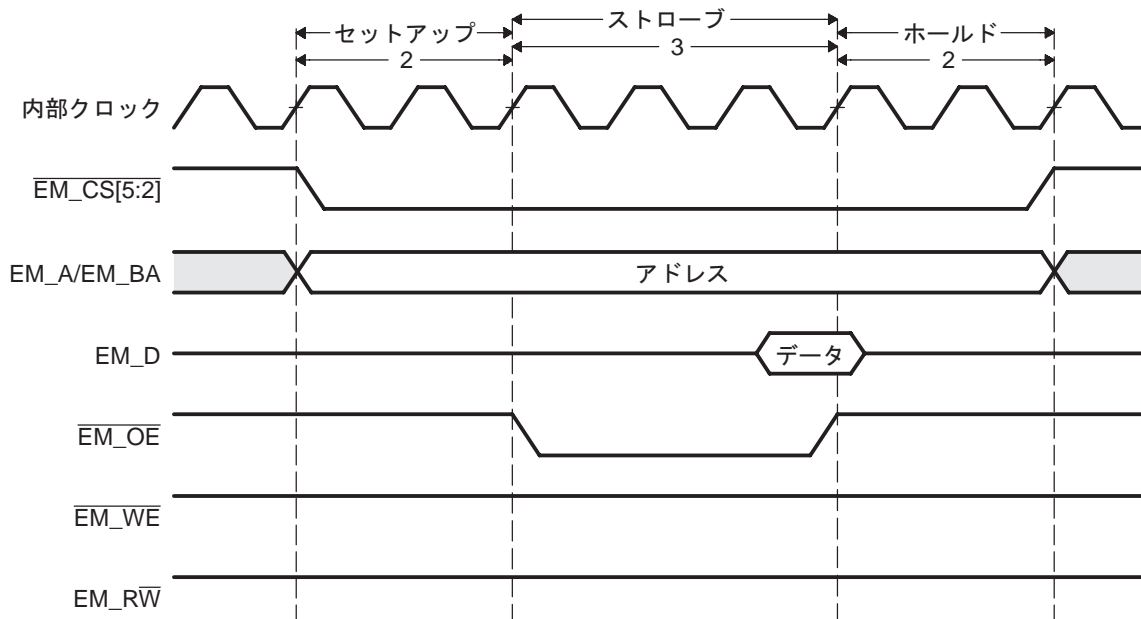
表 7. 通常モードでの非同期リード動作

時間間隔	WE ストロープ・モードでのピン動作
応答期間	<p>EMIF はリード・リクエストを受信すると、動作をセットアップする期間へ進む前に、プログラムされた応答サイクル数待機します。アシンクロナス・コンフィギュレーション・レジスタ (A_nCR) の TA フィールドからウェイト・サイクル数を直接取り出せます。このルールには、例外が 2 つあります。</p> <ul style="list-style-type: none"> 現在のリード動作に続き、別のリード動作が同じ CS 空間へ行われた場合、応答サイクルは挿入されません。 現在のリード動作に続き、別のリード動作が同じ CS 空間へ行われず、かつ TA フィールドが 0 にクリアされた場合、応答サイクルが 1 つ挿入されます。 <p>EMIF は応答サイクルが完了するのを待機してから、動作をセットアップする期間へ進みません。</p>
セットアップ期間の開始	<p>セットアップ期間の開始時点で、</p> <ul style="list-style-type: none"> セットアップ、ストロープ、ホールドの値は、A_nCR の R_SETUP、R_STROBE、R_HOLD のそれぞれの値に従ってセットされます。 アドレス・ピン EM_A および EM_BA が有効になります。 EM_CS が立ち下がり、外部デバイスをイネーブルします (以前の動作でまだ Low になっていない場合)。
ストロープ期間の開始	<p>ストロープ期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{READ_OE}$ が立ち下がります。
ホールド期間の開始	<p>ホールド期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{READ_OE}$ が立ち上がります。 EMIF は、EM_D バス上のデータをサンプリングします。
ホールド期間の終了	<p>ホールド期間の終了時点で、</p> <ul style="list-style-type: none"> アドレス・ピン EM_A および EM_BA が無効になります。 EM_CS が立ち上がります (現在のリクエストを完了させるのにこれ以上の動作を必要としない場合)。

表 7. 通常モードでの非同期リード動作

時間間隔	WE ストローブ・モードでのピン動作
	<p>ワード・アクセス全体を完了させるために EMIF は、小さなデータ・バス幅を備えたデバイスへ複数回のリード動作を行う必要がある場合があります。この場合、EMIF は応答サイクルの遅延を課すことなく、ただちに動作を継続するためにセットアップ期間に入ります。セットアップ、ストローブ、ホールドの値は、この場合更新されません。ワード・アクセス全体が完了した場合、別の非同期リクエストが行われず、かつそのリクエストが現在優先順位が最も高いタスクではない限り、EMIF は以前の状態に戻ります。これが該当する場合、代わりに EMIF が応答期間に直接入り、ペンディングされていたリードまたはライト動作を実現します。</p>

図 4. 通常モードでの非同期リード・サイクルのタイミング波形



2.6.4.2 非同期ライト動作 (通常モード)

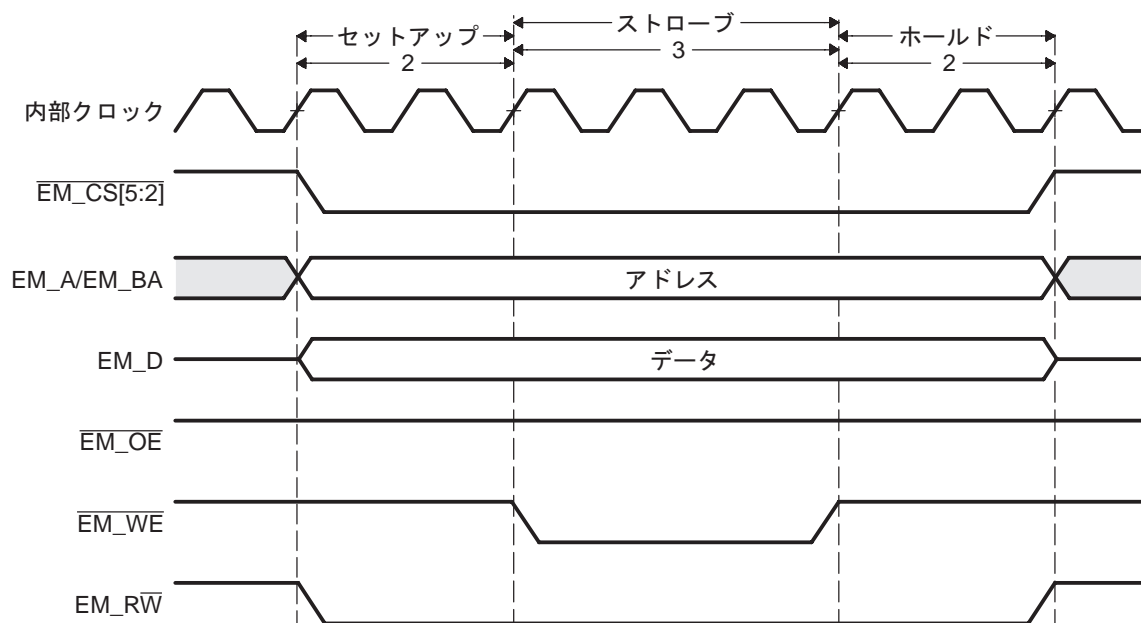
非同期ライトは、2.2 節で説明したリクエストのいずれかが非同期メモリへのライトをリクエストした場合に行われます。ライト・リクエストを外部デバイスへの単一アクセス・サイクルで処理できないイベントは、複数のアクセス・サイクルによりリクエスト全体が終わるまで EMIF によって行われます。通常モードでの非同期ライト動作の詳細は、表 8 で説明します。また基本的なライト動作のタイミング図の例を図 5 に示します。

注： 非同期ライト動作期間全体では、 $\overline{\text{EM_OE}}$ ピンは High にドライブされます。

表 8. 通常モードでの非同期ライト動作

時間間隔	WE ストロープ・モードでのピン動作
応答期間	<p>EMIF はライト・リクエストを受信すると、動作をセットアップする期間へ進む前に、プログラムされた応答サイクル数待機します。アシンクロナス・コンフィギュレーション・レジスタ ($A_n\text{CR}$) の TA フィールドからウェイト・サイクル数を直接取り出せます。このルールには、例外が 2 つあります。</p> <ul style="list-style-type: none"> 現在のライト動作に続き、別のライト動作が同じ CS 空間へ行われた場合、応答サイクルは挿入されません。 現在のライト動作に続き、別のライト動作が同じ CS 空間へ行われず、かつ TA フィールドが 0 にクリアされた場合、応答サイクルが 1 つ挿入されます。 <p>EMIF は応答サイクルが完了するのを待機してから、動作をセットアップする期間へ進みます。</p>
セットアップ期間の開始	<p>セットアップ期間の開始時点で、</p> <ul style="list-style-type: none"> セットアップ、ストロープ、ホールドの値は、$A_n\text{CR}$ の W_SETUP、W_STROBE、W_HOLD のそれぞれの値に従ってセットされます。 アドレス・ピン EM_A と EM_BA およびデータ・ピン EM_D は有効になります。 $\overline{\text{EM_RW}}$ ピンが立ち下がり、ライトを示します (以前の動作でまだ Low になっていない場合)。 $\overline{\text{EM_CS}}$ が立ち下がり、外部デバイスをイネーブルします (以前の動作でまだ Low になっていない場合)。
ストロープ期間の開始	<p>ライト動作のストロープ期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{\text{EM_WE}}$ が立ち下がります。
ホールド期間の開始	<p>ホールド期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{\text{EM_WE}}$ が立ち上がります。
ホールド期間の終了	<p>ホールド期間の終了時点で、</p> <ul style="list-style-type: none"> アドレス・ピン EM_A および EM_BA が無効になります。 データ・ピンが無効になります。 $\overline{\text{EM_RW}}$ ピンが立ち上がります (現在のリクエストを完了させるのにこれ以上の動作を必要としない場合)。 $\overline{\text{EM_CS}}$ が立ち上がります (現在のリクエストを完了させるのにこれ以上の動作を必要としない場合)。 <p>ワード・アクセス全体を完了させるために EMIF は、小さなデータ・バス幅を備えたデバイスへ複数回のライト動作を行う必要がある場合があります。この場合、EMIF は応答サイクルの遅延を課すことなく、ただちに動作を継続するためにセットアップ期間に入ります。セットアップ、ストロープ、ホールドの値は、この場合更新されません。ワード・アクセス全体が完了した場合、別の非同期リクエストが行われない限り、EMIF は以前の状態に戻ります。これが該当する場合、代わりに EMIF が応答期間に直接入り、ペンディングされていたリードまたはライト動作を実現します。</p>

図 5. 通常モードでの非同期ライト・サイクルのタイミング波形



2.6.5 セレクト・ストロブ・モードでのリードおよびライト動作

セレクト・ストロブ・モードは、EMIFの2番目の動作モードです。アシンクロナス・コンフィギュレーション・レジスタ (A_nCR) のSSビットが1にセットされるとSSモードが選択されます。このモードでは、EM_CSピンはストロブ信号として機能するため、アクセス・サイクルのストロブ期間でのみアクティブとなります。

2.6.5.1 非同期リード動作 (セレクト・ストロブ・モード)

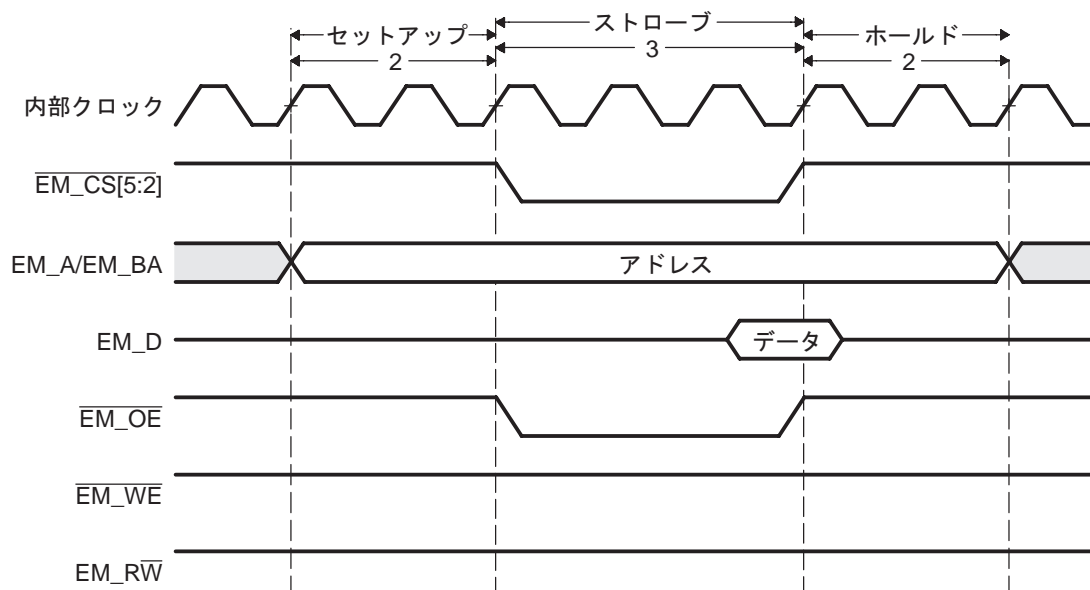
非同期リードは、2.2節で説明したリクエストのいずれかが接続された非同期メモリからのリードをリクエストした場合に行われます。リード・リクエストを外部デバイスへの単一アクセス・サイクルで処理できないイベントでは、複数のアクセス・サイクルによりリクエスト全体が終わるまでEMIFによって行われます。セレクト・ストロブ・モードでの非同期リード動作の詳細は、表9で説明します。また基本的なリード動作のタイミング図の例を図6に示します。

注： 非同期リード動作期間全体では、 $\overline{EM_WE}$ ピンおよび $\overline{EM_RW}$ ピンはHighにドライブされません。

表9. セレクト・ストロブ・モードでの非同期リード動作

時間間隔	セレクト・ストロブ・モードでのピン動作
応答期間	<p>EMIFはリード・リクエストを受信すると、動作をセットアップする期間へ進む前に、プログラムされた応答サイクル数待機します。アシンクロナス・コンフィギュレーション・レジスタ (A_nCR) のTAフィールドからウェイト・サイクル数を直接取り出せます。このルールには、例外が2つあります。</p> <ul style="list-style-type: none"> 現在のリード動作に続き、別のリード動作が同じCS空間へ行われた場合、応答サイクルは挿入されません。 現在のリード動作に続き、別のリード動作が同じCS空間へ行われず、かつTAフィールドが0にクリアされた場合、応答サイクルが1つ挿入されます。 <p>EMIFは応答サイクルが完了するのを待機してから、動作をセットアップする期間へ進みます。</p>
セットアップ期間の開始	<p>セットアップ期間の開始時点で、</p> <ul style="list-style-type: none"> セットアップ、ストロブ、ホールドの値は、A_nCRのR_SETUP、R_STROBE、R_HOLDのそれぞれの値に従ってセットされます。 アドレス・ピンEM_AおよびEM_BAが有効になります。
ストロブ期間の開始	<p>ストロブ期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{EM_CS}$および$\overline{EM_OE}$が、ストロブ期間の開始時に立ち下がります。
ホールド期間の開始	<p>ホールド期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{EM_CS}$および$\overline{EM_OE}$が、立ち上がります。 EMIFは、EM_Dバス上のデータをサンプリングします。
ホールド期間の終了	<p>ホールド期間の終了時点で、</p> <ul style="list-style-type: none"> アドレス・ピンEM_AおよびEM_BAが無効になります。 <p>ワード・アクセス全体を完了させるためにEMIFは、小さなデータ・バス幅を備えたデバイスへ複数回のリード動作を行う必要がある場合があります。この場合、EMIFは応答サイクルの遅延を課すことなく、ただちに動作を継続するためにセットアップ期間に入ります。セットアップ、ストロブ、ホールドの値は、この場合更新されません。ワード・アクセス全体が完了した場合、別の非同期リクエストが行われない限り、EMIFは以前の状態に戻ります。これが該当する場合、代わりにEMIFが応答期間に直接入り、ペンディングされていたリードまたはライト動作を実現します。</p>

図 6. セレクト・ストロブ・モードでの非同期リード・サイクルのタイミング波形



2.6.5.2 非同期ライト動作（セレクト・ストロブ・モード）

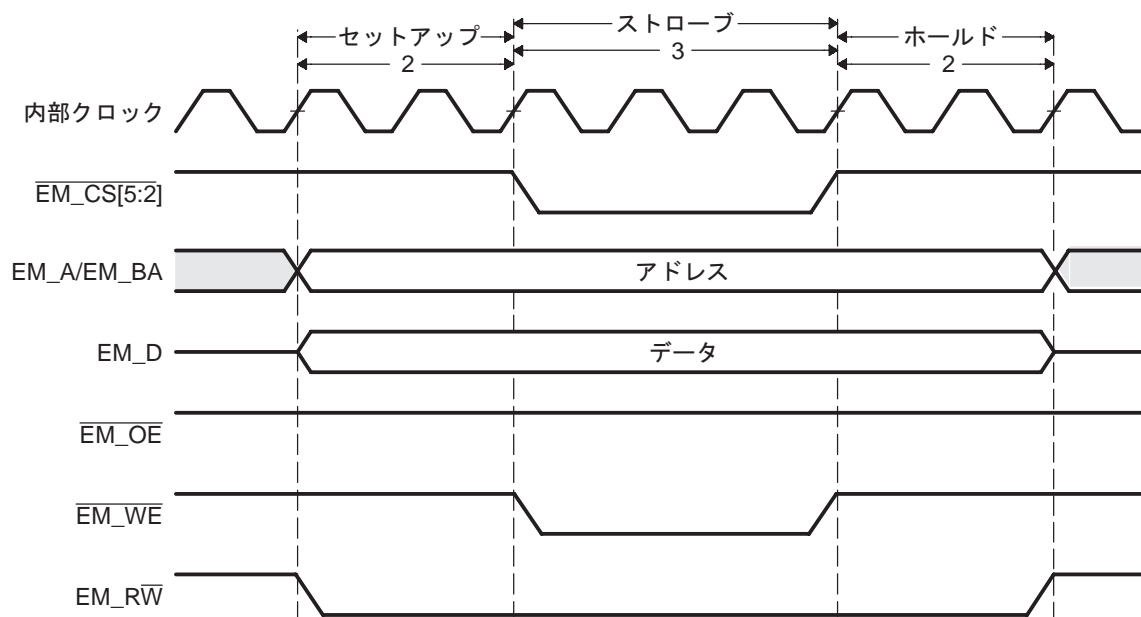
非同期ライトは、2.2 節で説明したリクエストのいずれかが EMIF の非同期バンクのメモリへのライトをリクエストした場合に行われます。ライト・リクエストを外部デバイスへの単一アクセス・サイクルで処理できないイベントでは、複数のアクセス・サイクルによりリクエスト全体が終わるまで EMIF によって行われます。セレクト・ストロブ・モードでの非同期ライト動作の詳細は、表 10 で説明します。また基本的なライト動作のタイミング図の例を 図 7 に示します。

注： 非同期ライト動作期間全体では、 $\overline{\text{EM_OE}}$ ピンは High にドライブされます。

表 10. セレクト・ストロブ・モードでの非同期ライト動作

時間間隔	セレクト・ストロブ・モードでのピン動作
応答期間	<p>EMIF はライト・リクエストを受信すると、動作をセットアップする期間へ進む前に、プログラムされた応答サイクル数待機します。アシンクロナス・コンフィギュレーション・レジスタ ($A_n\text{CR}$) の TA フィールドからウェイト・サイクル数を直接取り出せます。このルールには、例外が 2 つあります。</p> <ul style="list-style-type: none"> 現在のライト動作に続き、別のライト動作が同じ CS 空間へ行われた場合、応答サイクルは挿入されません。 現在のライト動作に続き、別のライト動作が同じ CS 空間へ行われず、かつ TA フィールドが 0 にクリアされた場合、応答サイクルが 1 つ挿入されます。 <p>EMIF は応答サイクルが完了するのを待機してから、動作をセットアップする期間へ進みます。</p>
セットアップ期間の開始	<p>セットアップ期間の開始時点で、</p> <ul style="list-style-type: none"> セットアップ、ストロブ、ホールドの値は、$A_n\text{CR}$ の W_SETUP、W_STROBE、W_HOLD のそれぞれの値に従ってセットされます。 アドレス・ピン EM_A と EM_BA およびデータ・ピン EM_D は有効になります。 $\overline{\text{EM_RW}}$ ピンが立ち下がり、ライトを示します（以前の動作でまだ Low になっていない場合）。
ストロブ期間の開始	<p>ストロブ期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{\text{EM_CS}}$ および $\overline{\text{EM_WE}}$ が立ち下がります。
ホールド期間の開始	<p>ホールド期間の開始時点で、</p> <ul style="list-style-type: none"> $\overline{\text{EM_CS}}$ および $\overline{\text{EM_WE}}$ が、立ち上がります。
ホールド期間の終了	<p>ホールド期間の終了時点で、</p> <ul style="list-style-type: none"> アドレス・ピン EM_A および EM_BA が無効になります。 データ・ピンが無効になります。 $\overline{\text{EM_RW}}$ ピンが立ち上がります（現在のリクエストを完了させるのにこれ以上の動作を必要としない場合）。 <p>ワード・アクセス全体を完了させるために EMIF は、小さなデータ・バス幅のデバイスへ複数回のライト動作を行う必要がある場合があります。この場合、EMIF は応答サイクルの遅延を課すことなく、ただちに動作を継続するためにセットアップ期間に入ります。セットアップ、ストロブ、ホールドの値は、この場合更新されません。ワード・アクセス全体が完了した場合、別の非同期リクエストが行われない限り、EMIF は以前の状態に戻ります。これが該当する場合、代わりに EMIF が応答期間に直接入り、ペンディングされていたリードまたはライト動作を実現します。</p>

図7. セレクト・ストロブ・モードでの非同期ライト・サイクルのタイミング波形



2.6.6 NAND フラッシュ・モード

NAND フラッシュ・モードは、EMIF の 3 番目の動作モードです。NAND フラッシュ・コントロール・レジスタ(NANDFCR)の適切な CS_nNAND ビットをセットすることにより、それぞれのチップ・セレクト空間を個別に、NAND フラッシュ・モードに設定することができます。NANDFCR にあるビット・フィールドを表 11 に示し、その使用方法を簡単に説明します。

チップ・セレクト空間が NAND フラッシュ・モードで動作するように設定されると、EMIF ハードウェアはそのチップ・セレクト空間へ 512 バイトのデータを転送するごとに、エラー訂正コード (ECC) を計算できます。EMIF ハードウェアは、NAND フラッシュへの転送を完了するために必要なコマンド、アドレス、データの各フェーズなどが含まれる NAND アクセス・サイクルを生成しません。すべての NAND フラッシュ動作を単一非同期サイクルへ分割することができます。ソフトウェアにより、EMIF は完全な NAND アクセス・サイクルを実行することができます。

表 11. NAND フラッシュ・コントロール・レジスタ (NANDFCR) の説明

パラメータ	説明
CS5ECC	チップ・セレクト 5 のときの NAND フラッシュ ECC 状態。 <ul style="list-style-type: none"> • ECC の計算を開始するために、1 にセットします。 • NAND フラッシュ 4 ECC レジスタ (NANDF4ECC) をリードすると、0 にクリアされます。
CS4ECC	チップ・セレクト 4 のときの NAND フラッシュ ECC 状態。 <ul style="list-style-type: none"> • ECC の計算を開始するために、1 にセットします。 • NAND フラッシュ 3 ECC レジスタ (NANDF3ECC) をリードすると、0 にクリアされます。
CS3ECC	チップ・セレクト 3 のときの NAND フラッシュ ECC 状態。 <ul style="list-style-type: none"> • ECC の計算を開始するために、1 にセットします。 • NAND フラッシュ 2 ECC レジスタ (NANDF2ECC) をリードすると、0 にクリアされます。
CS2ECC	チップ・セレクト 2 のときの NAND フラッシュ ECC 状態。 <ul style="list-style-type: none"> • ECC の計算を開始するために、1 にセットします。 • NAND フラッシュ 1 ECC レジスタ (NANDF1ECC) をリードすると、0 にクリアされます。
CS5NAND	チップ・セレクト 5 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> • NAND フラッシュ・モードをイネーブルするために、1 にセットします
CS4NAND	チップ・セレクト 4 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> • NAND フラッシュ・モードをイネーブルするために、1 にセットします
CS3NAND	チップ・セレクト 3 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> • NAND フラッシュ・モードをイネーブルするために、1 にセットします
CS2NAND	チップ・セレクト 2 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> • NAND フラッシュ・モードをイネーブルするために、1 にセットします

2.6.6.1 NAND フラッシュ・モードの設定

上述したように、非同期アクセスと同様に、EMIF のメモリ・マップド・レジスタを適切にプログラムして、NAND フラッシュ・デバイスと接続する必要があります。NAND フラッシュ・モードで動作する場合、プログラムする必要があるビット・フィールドおよびそれぞれのビットをセットする値について表 12 に示します。NAND フラッシュ・モードは、拡張ウェイト・モードと組み合わせて使用することはできません。

表 12. NAND フラッシュの設定

レジスタ	ビット・フィールド	設定値
アシンクロナス・コンフィギュレーション・レジスタ (A_nCR)	SS	0
	EW	0
	W_SETUP/R_SETUP	プログラム方法の詳細は、3.2 節を参照してください。
	W_STROBE/R_STROBE	プログラム方法の詳細は、3.2 節を参照してください。
	W_HOLD/R_HOLD	プログラム方法の詳細は、3.2 節を参照してください。
	ASIZE	NAND フラッシュ・デバイスの幅と等しくなるようにプログラムします。
NAND フラッシュ・コントロール・レジスタ ($NANDFCR$)	CS_nNAND	1

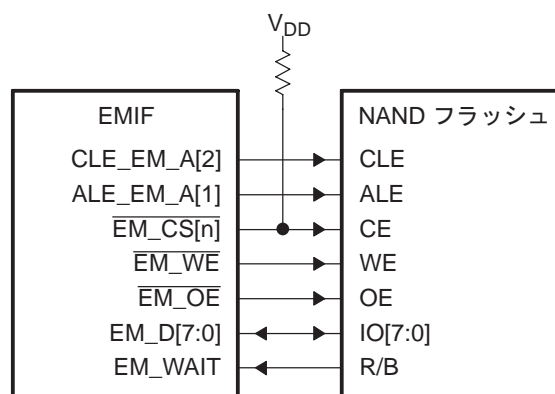
2.6.6.2 NAND フラッシュへの接続

NAND フラッシュ・デバイスと接続するために使用される EMIF 外部ピンを図 8 に示します。EMIF アドレス・ラインを使用して、NAND フラッシュ・デバイスのコマンド・ラッチ・イネーブル (CLE) およびアドレス・ラッチ・イネーブル (ALE) 信号をドライブします。EMIF アドレス・ラインを使用して、NAND フラッシュの CLE および ALE 信号をドライブします。

ただし、特に NAND フラッシュからブートする時には、EM_A[2:1] を使用することを推奨します。これは、これらのピンが別のペリフェラルとマルチプレクスされず、その結果、常に使用可能であるためです。

注： EMIF は NAND フラッシュ・デバイスのライト・プロテクト・ピンを制御しません。ライト・プロテクト・ピンの制御は、EMIF の対象外です。

図 8. EMIF から 8 ビット NAND フラッシュへのインターフェイス



2.6.6.3 CLE および ALE のドライブ

2.6.1 項で示したように、EMIF は EM_A[0] の 32 ビット・ワード・アドレスの最下位ビットを常にドライブします。この機能は、CLE および ALE に接続されたアドレス・ラインを適切な状態にドライブする場合と見なされる必要があります。

たとえば、EM_A[2] と EM_A[1] を使用して CLE および ALE にそれぞれ接続する場合、次のオフセットを選択してください。

- 00h を選択して、CLE と ALE を両方とも Low にドライブする
- 10h を選択して、CLE を High に、ALE を Low にドライブする
- 0Bh を選択して、CLE を Low に、ALE を High にドライブする

NAND フラッシュ・デバイスの接続先のチップ・セレクト空間では、これらのオフセットをベース・アドレスに加算してください。たとえば、NAND フラッシュ・デバイスの接続先の CS 空間のベースアドレスが 0200 0000h の場合、上述のリスト内容は、メモリ・マップド・アドレス 0200 0000h、0200 0010h、0200 000Bh にそれぞれ変換されます。したがって、CLE を High に、ALE を Low にドライブする場合、0200 0010h のメモリ・マップド・アドレスがライト先になります。

2.6.6.4 NAND のリードおよびプログラム動作

NAND フラッシュ・アクセス・サイクルは、コマンド、アドレス、データの各フェーズから構成されます。EMIF は 1 つの転送リクエストで NAND アクセスを完了させるために、これらの 3 つのフェーズを自動的に生成しません。NAND アクセス・サイクルを完了させるために、(前述の)複数の単一非同期アクセス・サイクルを EMIF で完了させる必要があります。ソフトウェアを使用して、NAND フラッシュ・アクセス・サイクルを完了させるために、適切な非同期アクセスをリクエストする必要があります。特定の NAND フラッシュ・デバイスの仕様にあわせて、このソフトウェアを開発する必要があります。

NAND への動作は、複数の単一非同期アクセス・サイクルに分割されるため、チップ・セレクト信号は NAND への動作が継続する期間常にアクティブに保持されるわけではありません。その代わりに、チップ・セレクト信号は非同期アクセス・サイクル間では非アクティブになります。このため、EMIF はリードを行う t_R の期間、Low にしておくためにチップ・セレクト信号を必要とする NAND フラッシュ・デバイスをサポートしません。回避方法については、2.6.6.8 項を参照してください。

EDMA を介して NAND のリードまたはライト動作を行う際には、注意が必要です。詳細については、2.6.6.5 項を参照してください。

注： EMIF はリードを行う t_R の期間、チップ・セレクト信号を Low に保持する必要がある NAND フラッシュ・デバイスをサポートしません。回避方法については、2.6.6.8 項を参照してください。

2.6.6.5 DMA を介した NAND データのリードおよびライト

NAND へのアクセスを行う場合、データ・アクセス・フェーズでは EDMA を使用するので最も効率的です。NAND へのアクセスを行うコマンドおよびアドレスのフェーズでは、ごくわずかなデータ・ワードの転送が要求されるため、1 つのリクエストで大量のデータを転送できる EDMA の機能を利用しません。ここでは、NAND へのアクセスを行うデータ・フェーズで EDMA を使用する方法に重点を置きます。

EDMA を介して NAND のリードとライトを行う場合、注意が必要な条件が 2 つあります。その条件は、次のとおりです。

- CLE_EM_A[2] と ALE_EM_A[1] は、下位アドレス・ラインであり、Low にドライブしておく必要があります。
- EMIF は固定アドレス・モードをサポートしませんが、リニアにインクリメントするアドレス・モードのみをサポートします。

EMIF は固定アドレッシング・モードをサポートしていないため、EDMA をプログラムする場合、リニアにインクリメントするアドレス・モードを使用する必要があります。リニアにインクリメントするアドレス・モードを使用する場合、CLE と ALE は下位アドレス・ラインでドライブされるため、CLE と ALE の両方またはそのいずれかを High にドライブする範囲にアドレスを増加させないように注意する必要があります。CLE と ALE の両方またはそのいずれかを High に

ドライブする範囲にアドレスをインクリメントさせないようにするために、EDMA ACNT、BCNT、SIDX、DIDX および同期タイプを適切にプログラムする必要があります。適切な EDMA 設定を下記に示します。

NAND フラッシュ・データをリードするための EDMA のセットアップ

- ACNT ≤ 8 バイト (これも外部データ・バス幅以下にセットする必要があります)
- BCNT = 転送サイズ (バイト数) / ACNT
- SIDX (ソース・インデックス) = 0
- DIDX (デスティネーション・インデックス) = ACNT
- AB 同期

NAND フラッシュ・データをライトするための EDMA のセットアップ

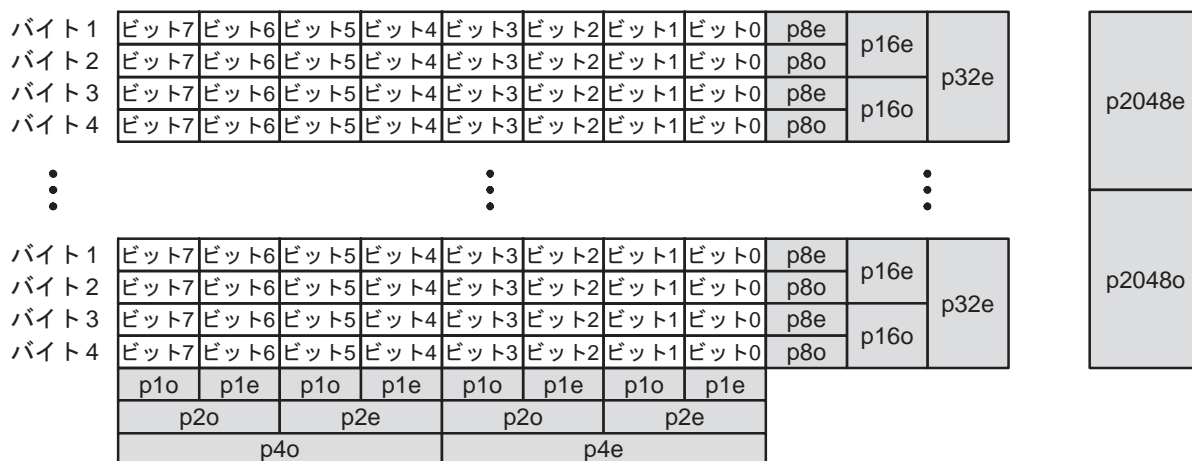
- ACNT ≤ 8 バイト (これも外部データ・バス幅以下にセットする必要があります)
- BCNT = 転送サイズ (バイト数) / ACNT
- SIDX (ソース・インデックス) = ACNT
- DIDX (デスティネーション・インデックス) = 0
- AB 同期

2.6.6.6 ECC の生成

NAND フラッシュ・コントロール・レジスタ (NANDFCR) の CS_nNAND ビットが 1 にセットされると、EMIF は最大で 512 バイトまでの ECC の計算をサポートします。ECC の計算を行うために、NANDFCR の CS2ECC ビットを 1 にセットする必要があります。それぞれのチップ・セレクト空間ごとに行う ECC の計算は、お互いに無関係です。NAND フラッシュ間でライトやリードを行う前に、CS2ECC ビットにライトして ECC の計算を開始するのは、ソフトウェアで処理すべき内容です。また、NAND フラッシュへの転送が完了したら、計算された ECC を NAND フラッシュ 1 ECC レジスタ (NANDF1ECC) からリードするのもソフトウェア処理すべき内容です。ソフトウェアで、512 バイトより大きいデータをライトまたはリードした場合、ECC の値は不正確なものになります。チップ・セレクト空間ごとに NANDF_nECC があります。そのレジスタをリードすると、NANDFCR の対応する CS_nECC ビットがクリアされます。CS2ECC ビットに 1 をライトすると、NANDF1ECC がクリアされます。8 ビット NAND フラッシュの場合、ECC 値を計算するために使われるアルゴリズムを図 9 に示します。

8 ビット NAND フラッシュの場合、p1e ~ p4e は列パリティで、p8e ~ p2048 は行パリティです。同様に、このアルゴリズムは 16 ビット NAND フラッシュへ拡張可能です。16 ビット NAND フラッシュの場合、p1e ~ p8e は列パリティで、p16e ~ p2048 は行パリティです。ECC は 512 バイトのデータより小さいことが望ましい場合、ソフトウェアでは不要なパリティ・ビットを無視する必要があります。たとえば、p2048e と p2048o は 256 バイトのデータ上では ECC を必要としません。同様に、p1024e、p1024o、p2048e、p2048o は 128 バイトのデータ上では ECC を必要としません。

図 9. 8 ビット NAND フラッシュの ECC 値



2.6.6.7 NAND フラッシュ・ステータス・レジスタ (NANDFSR)

NAND フラッシュ・ステータス・レジスタ (NANDFSR) は、EM_WAIT ピンのそのままの状態を示します。EM_WAIT ピンを NAND フラッシュ・デバイスの R/B 信号へ接続してください。そうすれば、NAND フラッシュ・デバイスがビジーなのかビジーではないのかを示します。リード中に、R/B 信号は Low に遷移し、NAND フラッシュはリクエストされたデータを取り出している間 Low 状態を保持します。R/B 信号が High に遷移すると、リクエストされたデータはレディになり、EMIF でリードされることとなります。ライト / プログラム動作中は、NAND フラッシュは EMIF から受信したデータと組み合わせてそのフラッシュにプログラムしている間、R/B 信号は Low に遷移し、そのまま Low 状態を保持します。R/B 信号が High に遷移すると、データがフラッシュにライトされ、次のトランザクション・フェーズが行われます。この説明から、NAND フラッシュ・ステータス・レジスタで NAND フラッシュ・デバイスの状態を示したり、NAND フラッシュの動作を次のフェーズへ進めるタイミングを判別したりすることができるため、ソフトウェアで役立つことがわかります。

立ち上がりエッジが EM_WAIT ピン上で発生すると、EMIF は EMIF インタラプト・ロー・レジスタ (EIRR) の WR (ウェイト立ち上がり) ビットをセットします。したがって、EMIF ウェイト立ち上がり割り込みは、NAND フラッシュ・デバイスの状態を示すために使われます。アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の WP0 ビットは、NAND フラッシュ・ステータス・レジスタ (NANDFSR) にも EIRR の WR ビットにも影響を与えません。ウェイト立ち上がり割り込みの詳細については、2.6.11 項を参照してください。

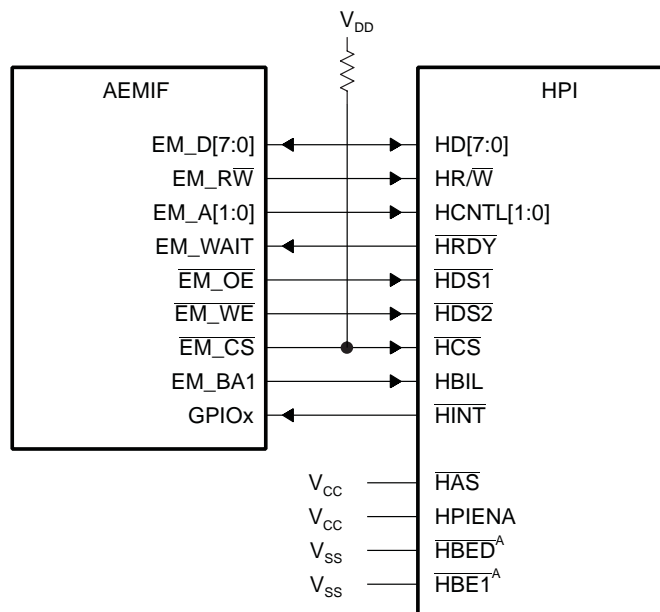
2.6.6.8 CE を Low に保持する必要がある NAND フラッシュへの接続

2.6.6.4 項で説明したように、EMIF はリードを行う t_R の期間、チップ・セレクト信号を Low にしておく必要がある NAND フラッシュ・デバイスをサポートしません。この制限を回避する 1 つの方法は、GPIO ピンを使用して NAND フラッシュ・デバイスの CE 信号をドライブすることです。この回避方法が実装されている場合、ソフトウェアで特定の GPIO を Low になるように設定してから、NAND フラッシュ動作を開始し、コマンド・フェーズから開始します。NAND フラッシュ動作が完了したら、ソフトウェアで特定の GPIO が High になるように設定します。GPIO の回避方法の詳細については、第 3 章をご覧ください。

2.6.7 TI DSP HPI への接続

EMIF はホストとしての TI DSP HPI インターフェイスへの接続をサポートします。TI DSP HPI インターフェイスへ接続する場合、EMIF は通常モードの動作状態に設定しておく必要があります。接続図を図 10 に示します。

図 10. EMIF から 8 ビット・マルチプレクス HPI へのインターフェイス



A HBE 信号がすべての HPI インターフェイスに搭載されているとは限りません。

2.6.8 拡張ウェイト・モードおよび EM_WAIT ピン

拡張ウェイト・モードは、外部非同期デバイスがストロブ期間の長さの制御をアサートできるモードです。拡張ウェイト・モードに入るには、アシンクロナス・コンフィギュレーション・レジスタ (ANCR) の EW ビットをセットします。EW ビットがセットされた場合、EMIF は EM_WAIT ピンを監視して、接続されたデバイスがプログラムされたクロック・サイクル数を超えて現在のアクセス・サイクルのストロブ期間の延長を要求しているか判別します。

EMIF で EM_WAIT ピンがアサートされたことを検出した場合、EM_WAIT ピンが外部デバイスにより非アクティブにされるまで、その動作に対してさらなるストロブ・サイクルの挿入を開始します。その後 EMIF は、プログラムされたストロブ期間の最後のサイクルへ復帰し、動作はこの時点から従来通り進みます。EM_WAIT 信号のタイミング要件の詳細については、各デバイスのデータ・マニュアルを参照してください。

EM_WAIT ピンを使用して、ストロブ期間を無制限に延長することはできません。アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) のプログラム可能な MEWC ビットで、ストロブ期間がプログラムされる長さを超えて延長される最大の EMIF クロック・サイクル数を判別します。MEWC ビットでプログラムされるサイクル数の有効期限が切れると、EMIF は EM_WAIT ピンの状態には関係なく、動作をホールドする期間へ進みます。また EMIF は、このカウンタの有効期限が切れると割り込みを生成します。この割り込みをイネーブルする方法の詳細については、2.6.11 項を参照してください。

拡張ウェイト・モードで適切に機能する EMIF の場合、AWCCR の WP0 ビットをプログラムして、接続されたデバイスの極性を照合する必要があります。WP0 がリセット状態 1 にセットされると、EM_WAIT ピンが High にサンプリングされている場合 EMIF はウェイト・サイクルを挿入します。WP0 が 0 にクリアされると、EM_WAIT ピンが Low にサンプリングされている場合にのみ、EMIF はウェイト・サイクルを挿入します。このプログラム可能な機能が搭載されているため、さまざまな非同期デバイスへのグルーレスな接続が可能になります。

最後に、拡張ウェイト・モードで動作している場合、セットアップ期間およびストロブ期間タイミング・パラメータには制約が課されます。具体的には、EMIF で EM_WAIT ピンがアサートされたことを認識できるようにするには、W_SETUP と W_STROBE フィールドの和を 4 より大きくし、かつ R_SETUP と R_STROBE フィールドの和を 4 より大きくする必要があります。W_SETUP、W_STROBE、R_SETUP、R_STROBE の各フィールドは、ANCR にあります。

2.6.9 データ・バス・パーキング

EMIF がアイドル状態の場合、データ・バスを以前のライト・データ値へ常にドライブします。この機能は、データ・バス・パーキングと呼ばれます。EMIF が外部メモリヘリッド・コマンドを発行した場合だけ、データ・バスのドライブを停止します。EMIF は最後のリード・データをラッチしてから、データ・バスをただちに再度パーキング状態にします。

2.6.10 リセットおよび初期化に関する考慮事項

EMIF とそのレジスタがリセットされるのは、次のイベントのいずれかが発生した場合です。

1. デバイス上の $\overline{\text{RESET}}$ ピンがアサートされる。
2. EMIF がパワー・スリープ・コントローラ (PSC) によってリセット状態に置かれる。

リセットが行われると、EMIF は進行中のすべてのアクセス・リクエストを中止し、すべてのレジスタおよび内部ロジックをデフォルト状態にリセットします。

デバイスの電源投入および $\overline{\text{RESET}}$ ピンのディアサート後に、EMIF への内部クロックはオンになり、EMIF メモリ・マップド・レジスタはデフォルト値にプログラムされます。

ハードウェア・リセット後に、EMIF モジュールを設定するために必要なステップは次のとおりです。

1. デバイスのピン・マルチプレクスに必要なセットアップ作業を実行します (各デバイスのデータ・マニュアルを参照)。
2. EMIF に対応した I/O ピンの電源を投入するために、VDD3P3V_PWDN レジスタをプログラムします (各デバイスのデータ・マニュアルを参照)。
3. EMIF モジュールをイネーブルするために、パワー・スリープ・コントローラ (PSC) をプログラムします。PSC の詳細については、『TMS320DM643x DMP DSP Subsystem Reference Guide』(資料番号 SPRU978) を参照してください。

4. ウェイト信号の極性および拡張ウェイト状態の最大数を選択するために、アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) をプログラムします (ステップ 4 ~ 7 は本書で説明)。
5. メモリ・アクセスを行うインターフェイス・パラメータを選択するために、チップ・セレクト・スペース・コンフィギュレーション・レジスタ (AnCR) をプログラムします。
6. 目的の割り込みコンフィギュレーションを選択するために、インタラプト・コンフィギュレーション・レジスタ (EIRR、EIMR、EIMSR、EIMCR) をプログラムします。
7. 必要な NAND インターフェイス・パラメータを設定するために、必要に応じて、NAND コントロール・レジスタ (NANDFCR、NANDFSR、NANDFnECC) をプログラムします。

これで、EMIF モジュールはメモリ・アクセスを行う準備ができたことになります。

2.6.11 割り込みサポート

EMIF は、CPU への単一割り込みをサポートします。割り込みは、別の割り込みとマルチプレクスされないため、常に使用可能です。

EMIF が CPU への割り込みを生成する原因となる条件は 2 つあります。2 つの条件を次に示します。

- EM_WAIT 信号上の立ち上がりエッジ (ウェイト立ち上がり割り込み)
- 非同期タイム・アウト

ウェイト立ち上がり割り込みは、アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の WP0 ビットによる影響を受けません。接続された非同期デバイスが AWCCR の MEWC ビットで指定されたサイクル数内で EM_WAIT ピンのディアサートを失敗した場合、非同期タイム・アウト割り込み状態が発生します。

EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の適切なビット (WRMSET または ATMSET) を 1 にセットすることにより割り込みがイネーブルされた場合にのみ、割り込みは CPU へ送られます。割り込みをイネーブルにした後に、割り込みをディスエーブルするには、EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) の対応するビットに 1 をライトします。EIMSR と EIMCR の両方にあるビット・フィールドは、割り込みがイネーブルされているか示すために使われます。割り込みがイネーブルの場合、EIMSR と EIMCR の両方にある対応するビット・フィールドの値は 1 になります。割り込みがディスエーブルの場合、対応するビット・フィールドの値は 0 になります。

EMIF インタラプト・ロー・レジスタ (EIRR) および EMIF インタラプト・マスク・レジスタ (EIMR) は、それぞれの割り込み状態を示します。割り込み状態が発生したら、割り込みがイネーブルかディスエーブルかに関係なく、EIRR の適切なビット (WR または AT) がセットされます。その一方で、割り込み状態が発生し、かつ割り込みがイネーブルの場合にのみ、EIMR の適切なビット (WRM または ATM) がセットされます。EIRR のビットに 1 をライトすると、EIMR の対応するビットだけでなく、EIRR ビットもクリアされます。

割り込み状態の概要と制御ビット・フィールドを表 13 に示します。レジスタ・フィールドの詳細については、第 4 章を参照してください。

表 13. 割り込みの監視と制御ビット・フィールド

レジスタ名	ビット名	説明
EMIF インタラプト・ロー・レジスタ (EIRR)	WR	このビットは、EM_WAIT 信号上で立ち上がりエッジが発生した場合、常にセットされます。このビットに 1 をライトすると、EIMR の WRM ビットだけでなく WR ビットもクリアされます。
	AT	このビットは、非同期タイムアウトが発生した場合、常にセットされます。このビットに 1 をライトすると、EIMR の ATM ビットだけでなく AT ビットもクリアされます。

表 13. 割り込みの監視と制御ビット・フィールド (続き)

レジスタ名	ビット名	説明
EMIF インタラプト・マスク・レジスタ (EIMR)	WRM	このビットは、EM_WAIT 信号上で立ち上がりエッジが発生した場合のみ、セットされます。また、割り込みは EIMSR の WRMSET ビットに 1 をライトすることによりイネーブルされます。
	ATM	このビットは、非同期タイムアウトが発生した場合のみ、セットされず。また、割り込みは EIMSR の ATMSET ビットに 1 をライトすることによりイネーブルされます。
EMIF インタラプト・マスク・セット・レジスタ (EIMSR)	WRMSET	このビットに 1 をライトすると、ウェイト立ち上がり割り込みがイネーブルされます。
	ATMSET	このビットに 1 をライトすると、非同期タイムアウト割り込みがイネーブルされます。
EMIF インタラプト・マスク・クリア・レジスタ (EIMCR)	WRMCLR	このビットに 1 をライトすると、ウェイト立ち上がり割り込みがディスエーブルされます。
	ATMCLR	このビットに 1 をライトすると、非同期タイムアウト割り込みがディスエーブルされます。

2.6.12 パワー・マネージメント

EMIF への通電は、EMIF への入力クロックをゲート・オフにすることで管理されます。入力クロックは、パワー・スリープ・コントローラ (PSC) を使用することにより EMIF の外部でオフにされます。PSC がクロック停止リクエストを EMIF へ送ると、EMIF はクロック停止確認応答を発行する前にペンディングされていた転送を完了し、PSC でクロックを停止できるようにします。PSC を使用して電源管理処理を行う方法については、『TMS320DM643x DMP DSP Subsystem Reference Guide』(資料番号 [SPRU978](#)) を参照してください。

2.6.13 エミュレーションに関する考慮事項

EMIF の動作は、ブレークポイントに到達したかエミュレーション停止が発生した場合でも影響を受けません。

2.6.14 考えられる競合状態

特定のマスターがデータを EMIF へライトすると、競合状態が存在します。たとえば、マスター A がソフトウェアからのメッセージを、EMIF メモリのバッファを介して渡し、かつライトが完了したことが示されるまで待機しない場合に、マスター B がソフトウェアからのメッセージをリードすると、古くなったデータをリードしてしまい、そのため不正確なメッセージを受け取る場合があります。マスター B からリードが行われる前に、マスター A からライトが行われたことを確認するために、マスター A はマスター B に対してデータをリードする準備ができたことを示す前に、EMIF からのライト完了ステータスを待機する必要があります。マスター A がライトの完了が示されるまで待機していない場合、次の回避方法を行う必要があります。

1. 必要なライトを行います。
2. ライトが行われた同じ CS 空間の EMIF メモリからダミー・リードを行います。
3. ステップ 2 のリード完了後に、マスター B に対してデータをリードする準備ができたことを示します。ステップ 2 のリードが完了したことにより、以前のライトが確実に行われています。

EDMA と ATA ペリフェラルでは、上記の回避方法を実装する必要はありません。ペリフェラルがここに示されていない場合、上記の回避方法が必要です。詳細については、各デバイスのデータ・マニュアルを参照してください。

2.7 エンディアンのサポート

DM643x DMP の内部データ・バスは 32 ビット幅で、かつデバイスはリトルエンディアン・モードで動作するため、内部データ・バスからのデータは、リトルエンディアン動作時の順序を保持するように、外部 8 ビット・メモリ間でライトまたはリードされます。つまり、アドレス n からはじまるデータ・ストリームは、正しい順序または値を増加させる順序で常にアクセスされます。また、EMIF はアドレス n をアドレス $n+1$ より前にアクセスします。メモリ・アクセスを行う場合の EMIF データの順序を表 14 に示します。

表 14. 8 ビット非同期メモリのデータ順序

内部バス		外部バス	
データ	アドレス	EM_BA[1:0]	EM_D[7:0]
xxxx xxDEh	0h	0h	DEh
xxxx BCxxh	0h	1h	BCh
xx9A xxxxh	0h	2h	9Ah
78xx xxxxh	0h	3h	78h
xxxx BCDEh	0h	0h	DEh
	0h	1h	BCh
789A xxxxh	0h	2h	9Ah
	0h	3h	78h
789A BCDEh	0h	0h	DEh
	0h	1h	BCh
	0h	2h	9Ah
	0h	3h	78h

3 コンフィギュレーション例

EMIF により、非同期アクセスの信号整形を行う場合、高度なプログラムが可能になります。前述したように、非同期アクセスのシェイプと持続時間を判別するには、セットアップ、ストロブ、ホールド、応答それぞれの期間の幅を制御します。これらの期間の幅を設定するには、対応するチップ・セレクト空間に対してアシンクロナス・コンフィギュレーション・レジスタ (A_nCR) をプログラムします。詳細については、2.6.3 項および 4.3 節を参照してください。

EMIF はプログラム可能なため、EMIF にはさまざまな非同期メモリ・タイプと柔軟に接続することができます。 A_nCR の W_SETUP/R_SETUP 、 W_STROBE/R_STROBE 、 W_HOLD/R_HOLD 、 TA 、 $ASIZE$ フィールドをプログラムすることにより、EMIF を設定してほとんどの非同期メモリ・デバイスのデータシートに記載された仕様に対応することができます。

ここでは、非同期 SRAM および NAND フラッシュ・デバイスへ EMIF を接続する方法について例を示して説明します。

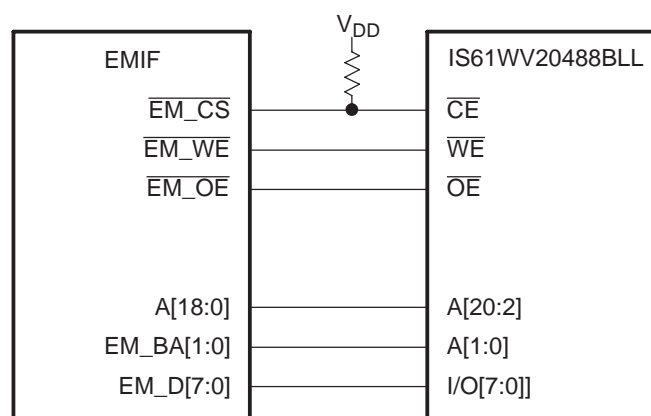
3.1 非同期 SRAM (ASRAM) への接続

次の例では、ISSI 社の IS61WV20488BLL デバイスへ EMIF を接続する方法について説明します。

3.1.1 ASRAM への接続

IS61WV20488BLL デバイスへ EMIF を接続する方法を図 11 に示します。

図 11. IS61WV20488BLL デバイスへの EMIF の接続



3.1.2 ASRAM の AC タイミング要件に対応

ASRAM へ接続するように EMIF を設定する場合、EMIF の AC タイミング要件だけでなく、ASRAM の AC タイミング要件についても考慮する必要があります。これらについては、各デバイスのデータシートを参照してください。非同期でのリードおよびライト・サイクルは、アシンクロナス・コンフィギュレーション・レジスタ ($AnCR$) で個別にプログラムされます。

リード・アクセスを行う場合、必ず考慮する必要がある AC タイミング仕様を表 15 ~ 表 17 に示します。

表 15. EMIF 入力タイミング要件

パラメータ	説明
t_{SU}	データ・セットアップ時間、 $\overline{EM_OE}$ が High になる前の有効なデータ
t_H	データ・ホールド時間、 $\overline{EM_OE}$ が High になった後の有効なデータ

表 16. ASRAM 出力タイミング特性

パラメータ	説明
t_{ACC}	アドレス・アクセス時間
t_{OH}	アドレスが変化した場合の出力データ・ホールド時間
t_{COD}	チップ・イネーブルからの出力ディスエーブル時間

表 17. リード時の ASRAM 入力タイミング要件

パラメータ	説明
t_{RC}	リード・サイクル時間

非同期リード・アクセスを図 12 に示します。また、EMIF と ASRAM の AC タイミング要件を組み合わせ、 R_SETUP 、 R_STROBE 、 R_HOLD の値を指定する方法についても説明します。

図 12 に基づくと、それぞれの関係を表す式は以下のようになります。 t_{cyc} は EMIF が動作する期間です。 R_SETUP 、 R_STROBE 、 R_HOLD の各フィールドは、EMIF サイクルからプログラムされます。データシートに記述されている仕様は、通常ナノ秒単位で示されます。以下の式の分母にある t_{cyc} が表す意味について説明します。この式には -1 が含まれています。これは、 $AnCR$ の各フィールドが EMIF クロック・サイクル -1 サイクルという点からプログラムされているためです。たとえば、 R_SETUP は EMIF クロック・サイクル -1 サイクルの R_SETUP 幅と等しくなります。

$$R_SETUP + R_STROBE \geq \frac{(t_{ACC}(m) + t_{SU})}{t_{cyc}} - 1$$

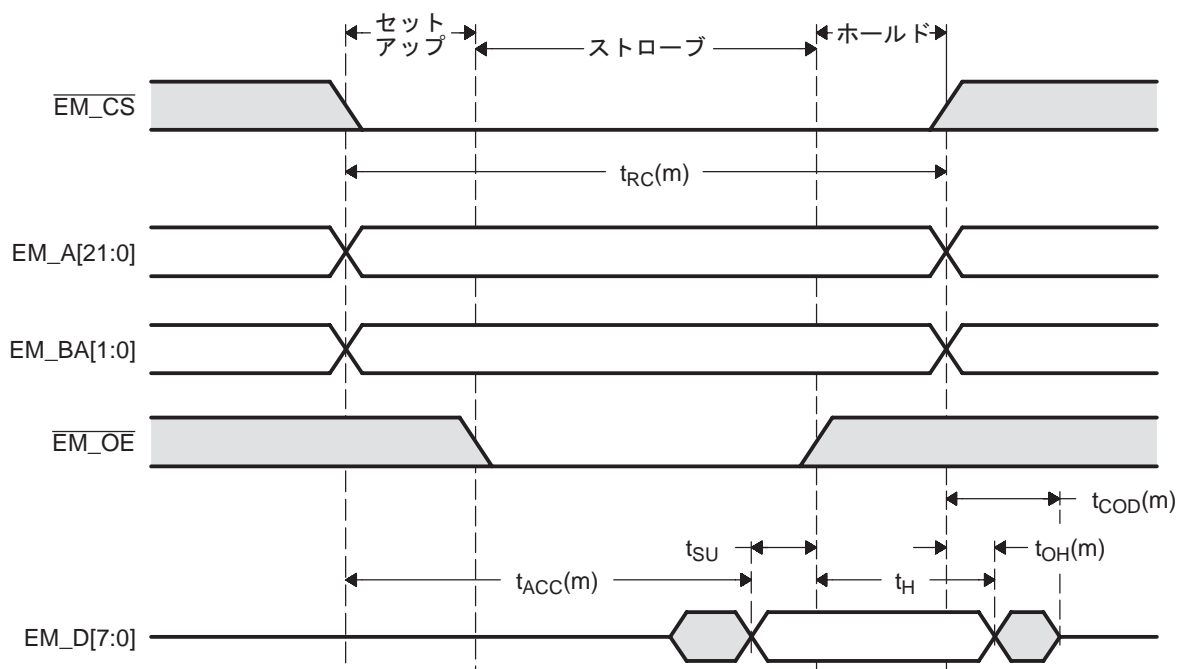
$$R_SETUP + R_STROBE + R_HOLD \geq \frac{t_{RC}(m)}{t_{cyc}} - 3$$

$$R_HOLD \geq \frac{(t_H - t_{OH}(m))}{t_{cyc}} - 1$$

EMIF は、リード・サイクルとライト・サイクル間の応答時間を指定するパラメータ TA を別途提供します。このパラメータで、メモリの出力がオフになる時間が次のライト・サイクルを開始するのにかかる時間より長くなる状況に対して保護します。これが該当する場合、EMIF はメモリと同時にデータをドライブし、バス上の競合を引き起こします。図 12 を調べてみると、 TA を求める式は次のようになります。

$$TA \geq \frac{t_{COD}(m)}{t_{cyc}} - 1$$

図 12. ASRAM リード時のタイミング波形



ライト・アクセスを行う場合、必ず対応する必要がある AC タイミング仕様を表 18 に示します。

表 18. ライト時の ASRAM 入力タイミング要件

パラメータ	説明
t_{WP}	ライト・パルス幅
t_{AW}	ライトの終了へ有効なアドレス
t_{DS}	データ・セットアップ時間
t_{WR}	ライト・リカバリー時間
t_{DH}	データ・ホールド時間
t_{WC}	ライト・サイクル時間

非同期ライト・アクセスを図 13 に示します。また、EMIF と ASRAM の AC タイミング要件を組み合わせ、W_SETUP、W_STROBE、W_HOLD の値を指定する方法についても説明します。

図 13 に基づくと、それぞれの関係を表す式は以下のようになります。t_{cyc} は EMIF が動作する期間です。W_SETUP、W_STROBE、W_HOLD の各フィールドは、EMIF サイクルからプログラムされます。データシートに記述されている仕様は、通常ナノ秒単位で示されます。以下の式の分母にある t_{cyc} が表す意味について説明します。この式には -1 が含まれています。これは、A_nCR の各フィールドが EMIF クロック・サイクル -1 サイクルという点からプログラムされているためです。たとえば、W_SETUP は EMIF クロック・サイクル -1 サイクルの W_SETUP 幅と等しくなります。

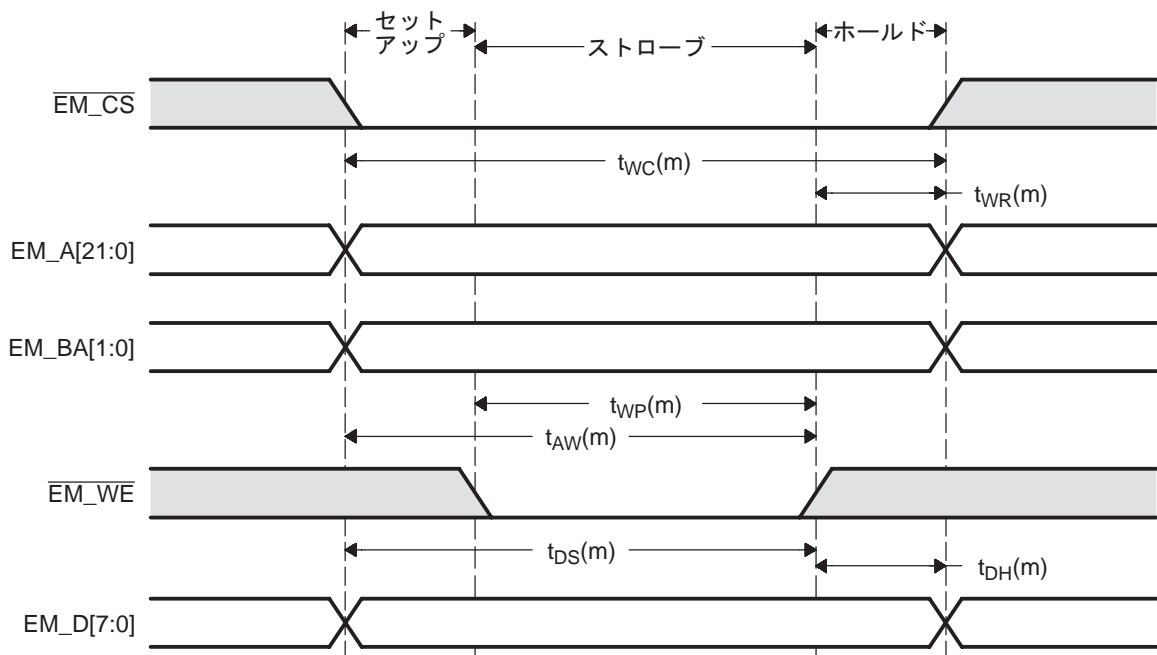
$$W_STROBE \geq \frac{t_{WP}(m)}{t_{cyc}} - 1$$

$$W_SETUP + W_STROBE \geq \max\left(\frac{t_{AW}(m)}{t_{cyc}}, \frac{t_{DS}(m)}{t_{cyc}}\right) - 1$$

$$W_HOLD \geq \max\left(\frac{t_{WR}(m)}{t_{cyc}}, \frac{t_{DH}(m)}{t_{cyc}}\right) - 1$$

$$W_SETUP + W_STROBE + W_HOLD \geq \frac{t_{WC}(m)}{t_{cyc}} - 3$$

図 13. ASRAM ライト時のタイミング波形



3.1.3 PCB の遅延を考慮

3.1.2 項で説明した式は、基板設計で遅延を考慮していない、理想的なケースです。インピーダンス、負荷、ノード長、ノード数などの基板特性が、デバイス・ドライバの動作状態に影響を与えます。EMIF によりドライブされる信号が ASRAM 間で往復すると、遅延が発生します。図 14 および図 15 に示されている、PCB の影響による遅延を表 19 に示します。PCB の遅延は基板固有のもので、IBIS モデリングを使用しても評価または判別が必要となります。示されている信号 (ASRAM) は、ASRAM で見られる信号です。たとえば、 $\overline{EM_CS}$ は EMIF の信号を表し、 $\overline{EM_CS}$ (ASRAM) は ASRAM で見られる遅延信号を表します。

表 19. PCB 遅延による ASRAM タイミング要件

パラメータ	説明
リード・アクセス	
t_{EM_CS}	EMIF から ASRAM への $\overline{EM_CS}$ 上の遅延。 $\overline{EM_CS}$ は EMIF でドライブされます。
t_{EM_A}	EMIF から ASRAM への $\overline{EM_A}$ 上の遅延。 $\overline{EM_A}$ は EMIF でドライブされます。
t_{EM_OE}	EMIF から ASRAM への $\overline{EM_OE}$ 上の遅延。 $\overline{EM_OE}$ は EMIF でドライブされます。
t_{EM_D}	ASRAM から EMIF への $\overline{EM_D}$ 上の遅延。 $\overline{EM_D}$ は ASRAM でドライブされます。
ライト・アクセス	
t_{EM_CS}	EMIF から ASRAM への $\overline{EM_CS}$ 上の遅延。 $\overline{EM_CS}$ は EMIF でドライブされます。
t_{EM_A}	EMIF から ASRAM への $\overline{EM_A}$ 上の遅延。 $\overline{EM_A}$ は EMIF でドライブされます。
t_{EM_WE}	EMIF から ASRAM への $\overline{EM_WE}$ 上の遅延。 $\overline{EM_WE}$ は EMIF でドライブされます。
t_{EM_D}	EMIF から ASRAM への $\overline{EM_D}$ 上の遅延。 $\overline{EM_D}$ は EMIF でドライブされます。

図 14 に基づくと、それぞれの関係を表す式は以下のようになります。 t_{cyc} は EMIF が動作する期間です。 R_SETUP、R_STROBE、R_HOLD の各フィールドは、EMIF サイクルからプログラムされます。データシートに記述されている仕様は、通常ナノ秒単位で示されます。以下の式の分母にある t_{cyc} が表す意味について説明します。この式には -1 が含まれています。これは、AnCR の各フィールドが EMIF クロック・サイクル -1 サイクルという点からプログラムされているためです。たとえば、R_SETUP は EMIF クロック・サイクル -1 サイクルの R_SETUP 幅と等しくなります。

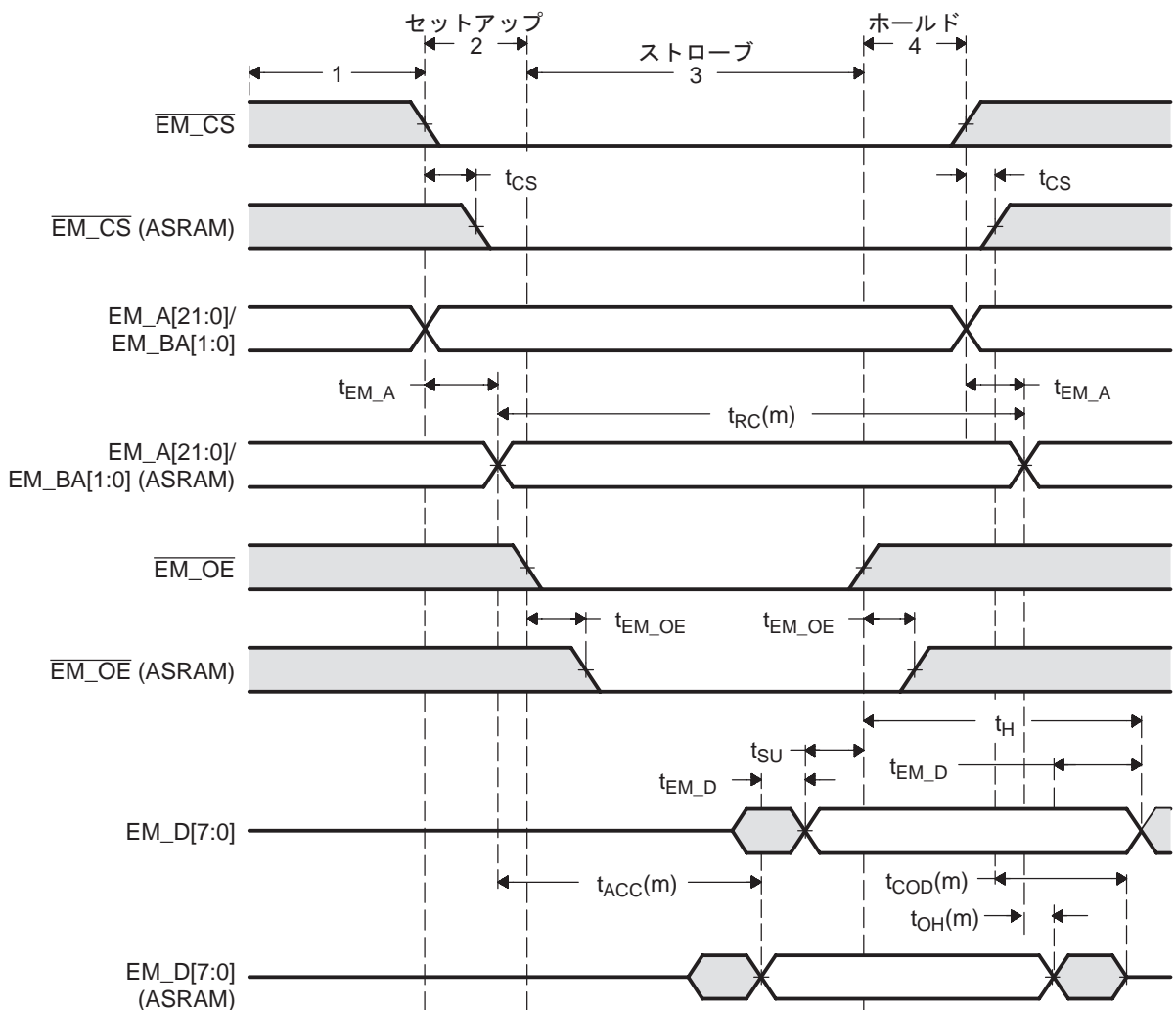
$$R_SETUP + R_STROBE \geq \frac{(t_{EM_A} + t_{ACC}(m) + t_{SU} + t_{EM_D})}{t_{cyc}} - 1$$

$$R_SETUP + R_STROBE + R_HOLD \geq \frac{t_{RC}(m)}{t_{cyc}} - 3$$

$$R_HOLD \geq \frac{(t_H - t_{EM_D} - t_{OH}(m) - t_{EM_A})}{t_{cyc}} - 1$$

$$TA \geq \frac{(t_{EM_CS} + t_{COD}(m) + t_{EM_D})}{t_{cyc}} - 1$$

図 14. PCB 遅延による ASRAM リード時のタイミング波形



コンフィギュレーション例

図 15 に基づくと、それぞれの関係を表す式は以下のようになります。 t_{cyc} は EMIF が動作する期間です。 W_SETUP 、 W_STROBE 、 W_HOLD の各フィールドは、EMIF サイクルからプログラムされます。ここで、データシートに記述されている仕様は、通常ナノ秒単位で示されます。以下の式の分母にある t_{cyc} が表す意味について説明します。この式には -1 が含まれています。これは、 A_nCR の各フィールドが EMIF クロック・サイクル -1 サイクルという点からプログラムされているためです。たとえば、 W_SETUP は EMIF クロック・サイクル -1 サイクルの W_SETUP 幅と等しくなります。

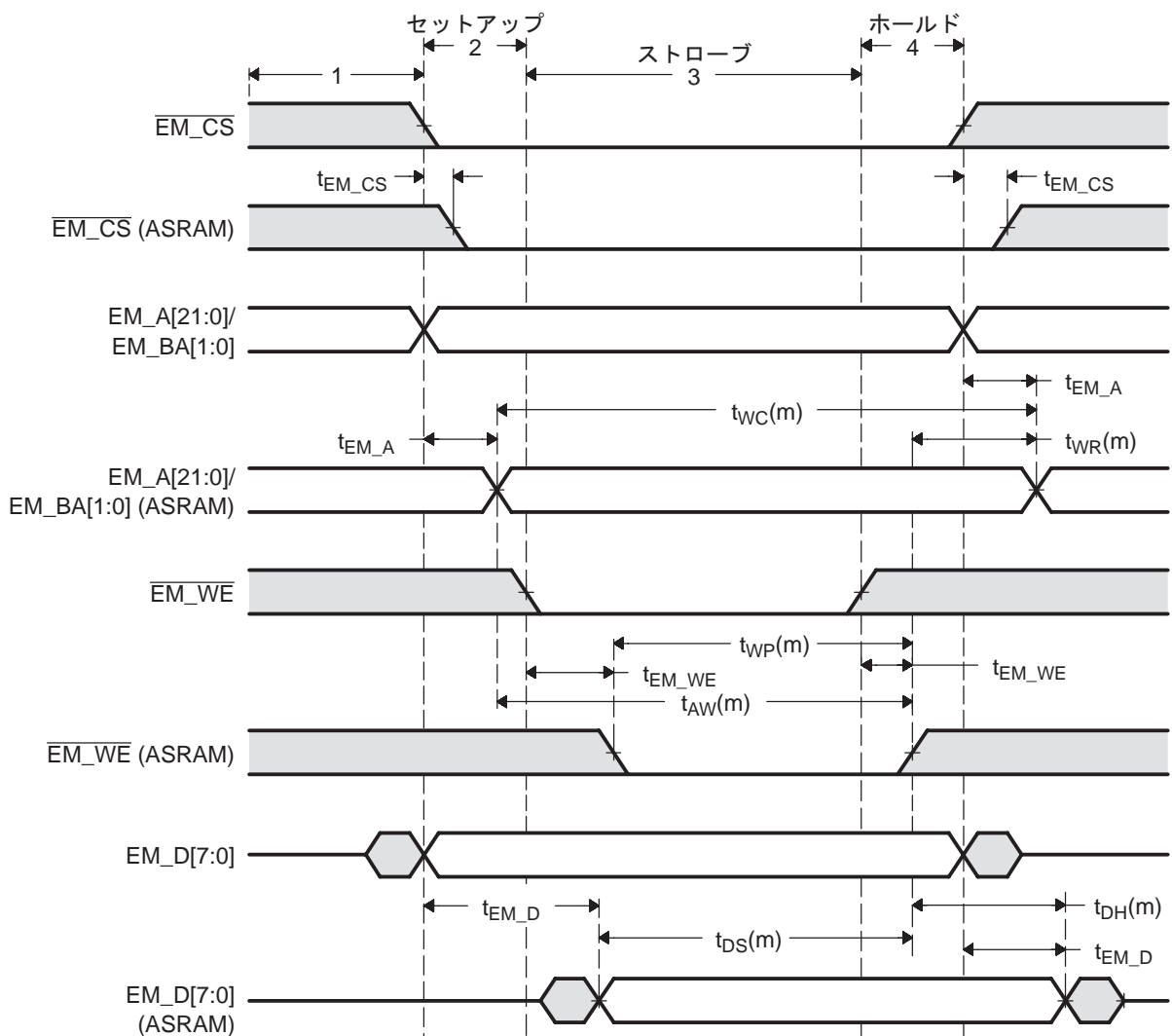
$$W_STROBE \geq \frac{t_{WP}(m)}{t_{cyc}} - 1$$

$$W_SETUP + W_STROBE \geq \max\left(\frac{(t_{EM_A} + t_{AW}(m) - t_{EM_WE})}{t_{cyc}}, \frac{(t_{EM_D} + t_{DS}(m) - t_{EM_WE})}{t_{cyc}}\right) - 1$$

$$W_HOLD \geq \max\left(\frac{(t_{EM_WE} + t_{WR}(m) - t_{EM_A})}{t_{cyc}}, \frac{(t_{EM_WE} + t_{DH}(m) - t_{EM_D})}{t_{cyc}}\right) - 1$$

$$W_SETUP + W_STROBE + W_HOLD \geq \frac{t_{WC}(m)}{t_{cyc}} - 3$$

図 15. PCB 遅延による ASRAM ライト時のタイミング波形



3.1.4 IS61WV20488BLL の使用例

ここでは、ISSI 社の IS61WV20488BLL ASRAM を EMIF と組み合わせて実装するために必要なコンフィギュレーション手順について説明します。前提条件は次のとおりです。

- ASRAM はチップ・セレクト空間 3 ($\overline{\text{EM_CS}}[3]$) へ接続される
- EMIF クロック・スピードは 100 MHz ($t_{\text{cyc}} = 10 \text{ nS}$)

EMIF のデータシートに記述されている仕様を表 20 に示します。また、ASRAM のデータシートに記述されている仕様を表 21 に示します。

表 20. IS61WV20488BLL に対する EMIF のタイミング要件例

パラメータ	説明	最小	最大	単位
t_{SU}	データ・セットアップ時間、 $\overline{\text{EM_OE}}$ が High になる前の有効なデータ	5		nS
t_{H}	データ・ホールド時間、 $\overline{\text{EM_OE}}$ が High になった後の有効なデータ	0		nS

表 21. IS61WV20488BLL に対する ASRAM タイミング要件例

パラメータ	説明	最小	最大	単位
t_{ACC}	アドレス・アクセス時間		10	nS
t_{OH}	アドレスが変化した場合の出力データ・ホールド時間	2		nS
t_{RC}	リード・サイクル時間	10		nS
t_{WP}	ライト・パルス幅	8		nS
t_{AW}	ライトの終了へ有効なアドレス	8		nS
t_{DS}	データ・セットアップ時間	6		nS
t_{WR}	ライト・リカバリー時間	0		nS
t_{DH}	データ・ホールド時間	0		nS
t_{WC}	ライト・サイクル時間	10		nS
t_{COD}	チップ・イネーブルからの出力ディスエーブル時間		4	nS

プリント基板 (PCB) の遅延値を表 22 に示します。トレース 1 インチごとに 180 pS の遅延があるというルールを使用して、遅延を評価したものです。

表 22. IS61WV20488BLL の PCB 遅延を測定した例

パラメータ	説明	遅延 (ns)
リード・アクセス		
$t_{\text{EM_CS}}$	EMIF から ASRAM への $\overline{\text{EM_CS}}$ 上の遅延。 $\overline{\text{EM_CS}}$ は EMIF でドライブされます。	0.36
$t_{\text{EM_A}}$	EMIF から ASRAM への $\overline{\text{EM_A}}$ 上の遅延。 $\overline{\text{EM_A}}$ は EMIF でドライブされます。	0.27
$t_{\text{EM_OE}}$	EMIF から ASRAM への $\overline{\text{EM_OE}}$ 上の遅延。 $\overline{\text{EM_OE}}$ は EMIF でドライブされます。	0.36
$t_{\text{EM_D}}$	ASRAM から EMIF への $\overline{\text{EM_D}}$ 上の遅延。 $\overline{\text{EM_D}}$ は ASRAM でドライブされます。	0.45
ライト・アクセス		
$t_{\text{EM_CS}}$	EMIF から ASRAM への $\overline{\text{EM_CS}}$ 上の遅延。 $\overline{\text{EM_CS}}$ は EMIF でドライブされます。	0.36
$t_{\text{EM_A}}$	EMIF から ASRAM への $\overline{\text{EM_A}}$ 上の遅延。 $\overline{\text{EM_A}}$ は EMIF でドライブされます。	0.27
$t_{\text{EM_WE}}$	EMIF から ASRAM への $\overline{\text{EM_WE}}$ 上の遅延。 $\overline{\text{EM_WE}}$ は EMIF でドライブされます。	0.36
$t_{\text{EM_D}}$	EMIF から ASRAM への $\overline{\text{EM_D}}$ 上の遅延。 $\overline{\text{EM_D}}$ は EMIF でドライブされます。	0.45

コンフィギュレーション例

上記で指定した式にこれらの値を代入することで、SETUP、STROBE、HOLD、TA の値を求めることができます。

リードの場合：

$$R_SETUP + R_STROBE \geq \frac{(t_{EM_A} + t_{ACC}(m) + t_{SU} + t_{EM_D})}{t_{cyc}} - 1 \geq \frac{(0.27 + 10 + 5 + 0.45)}{10} - 1 \geq 0.57$$

$$R_SETUP + R_STROBE + R_HOLD \geq \frac{t_{RC}(m)}{t_{cyc}} - 3 \geq \left(\frac{10}{10}\right) - 3 \geq -2$$

$$R_HOLD \geq \frac{(t_H - t_{EM_D} - t_{OH}(m) - t_{EM_A})}{t_{cyc}} - 1 \geq \frac{(0 - 0.45 - 2 - 0.27)}{10} - 1 \geq -1.27$$

$$TA \geq \frac{(t_{EM_CS} + T_{COD}(m) + t_{EM_D})}{t_{cyc}} - 1 \geq \frac{(0.36 + 4 + 0.45)}{10} - 1 \geq -0.52$$

したがって、R_SETUP = 0 の場合、R_STROBE = 0、R_HOLD = 0、TA = 0 となります。

ライトの場合：

$$W_STROBE \geq \frac{t_{WP}(m)}{t_{cyc}} - 1 \geq \left(\frac{8}{10}\right) - 1 \geq -0.2$$

$$W_SETUP + W_STROBE \geq \max\left(\frac{(t_{EM_A} + t_{AW}(m) - t_{EM_WE})}{t_{cyc}}, \frac{(t_{EM_D} + t_{DS}(m) - t_{EM_WE})}{t_{cyc}}\right) - 1$$

$$\geq \max\left(\frac{(0.27 + 8 - 0.36)}{10}, \frac{(0.45 + 6 - 0.36)}{10}\right) - 1 \geq -0.21$$

$$W_HOLD \geq \max\left(\frac{(t_{EM_WE} + t_{WR}(m) - t_{EM_A})}{t_{cyc}}, \frac{(t_{EM_WE} + t_{DH}(m) - t_{EM_D})}{t_{cyc}}\right) - 1$$

$$\geq \max\left(\frac{(0.36 + 0 - 0.27)}{10}, \frac{(0.36 + 0 - 0.45)}{10}\right) - 1 \geq -0.99$$

$$W_SETUP + W_STROBE + W_HOLD \geq \frac{t_{WC}(m)}{t_{cyc}} - 3 \geq \left(\frac{10}{10}\right) - 3 \geq -2$$

したがって、W_SETUP = 0、W_STROBE = 0、W_HOLD = 0 となります。

W_SETUP/R_SETUP、W_STROBE/R_STROBE、W_HOLD/R_HOLD、TA フィールドの値は、EMIF クロック・サイクル -1 サイクルと等しくなるため、A2CR は表 23 に示すように設定してください。この例では、EM_WAIT 信号は実装されていません。したがって、アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) は、プログラムする必要はありません。

表 23. IS61WV20488BLL の A2CR の設定例

パラメータ	設定
SS	セレクト・ストロブ・モード。 <ul style="list-style-type: none"> SS = 0。EMIF を通常モードに置きます。
EW	拡張ウェイト・モードのイネーブル。 <ul style="list-style-type: none"> EW = 0。拡張ウェイト・モードをディスエーブルします。
W_SETUP/R_SETUP	リード/ライトのセットアップ幅。 <ul style="list-style-type: none"> W_SETUP = 0 R_SETUP = 0
W_STROBE/R_STROBE	リード/ライトのストロブ幅。 <ul style="list-style-type: none"> W_STROBE = 0 R_STROBE = 0
W_HOLD/R_HOLD	リード/ライトのホールド幅。 <ul style="list-style-type: none"> W_HOLD = 0 R_HOLD = 0
TA	最小応答時間。 <ul style="list-style-type: none"> TA = 0
ASIZE	非同期デバイス・バス幅。 <ul style="list-style-type: none"> ASIZE = 0。これは 8 ビット・データ・バス幅を示します。

3.2 NAND フラッシュへの接続

次の例では、Hynix 社の HY27UA081G1M NAND フラッシュ・デバイスへ EMIF を接続する方法について説明します。HY27UA081G1M へ EMIF を接続する方法については、2.6.6.2 項で説明しています。

3.2.1 マージンに関する要件

通常、フラッシュ・インターフェイスは同期メモリ・インターフェイス、高速な非同期メモリ・インターフェイス、および高速な FIFO インターフェイスと比較するとパフォーマンスが低いインターフェイスです。このため、この例では非同期タイミング・パラメータのプログラム時に必要なマージンの量を最小限に抑えるのにほとんど注意が払われていません。使用されている方法は、すべてのパラメータについて約 10 ns のマージンが必要です。これは 100 ns のリード・サイクルまたはライト・サイクルでは重要ではありません。マージンの量を最小限に抑える方法の詳細については、3.1 節の ASRAM の例を参照してください。

表 24. 推奨マージン

タイミング・パラメータ	推奨マージン
出力セットアップ	10 nS
出力ホールド	10 nS
入力セットアップ	10 nS
入力ホールド	10 nS

3.2.2 NAND フラッシュの AC タイミング要件に対応

NAND フラッシュへ接続するように EMIF を設定する場合、EMIF の AC タイミング要件だけでなく、NAND フラッシュの AC タイミング要件についても考慮する必要があります。これらについては、各デバイスのデータシートを参照してください。非同期でのリードおよびライト・サイクルは、アシンクロナス・コンフィギュレーション・レジスタ (A_nCR) で個別にプログラムされます。

2.6.6 項で説明したように、NAND フラッシュ・アクセス・サイクルは、コマンド、アドレス、データの各フェーズから構成されます。EMIF は、1 つの転送リクエストで NAND アクセスを完了させるために、これらの 3 つのフェーズを自動的に生成しません。NAND アクセス・サイクルを完了させるために、複数の単一非同期アクセス・サイクルを EMIF で完了する必要があります。NAND フラッシュ・アクセス・サイクルのコマンドとアドレス・フェーズは、EMIF で行われる非同期ライトです。ここで、データ・フェーズは NAND フラッシュがプログラムされているか、リードされているかに応じて非同期ライトまたはリードのいずれかになります。

したがって、リード動作の場合、NAND フラッシュへ接続するのに必要な EMIF コンフィギュレーションを決めるために、考慮する必要がある AC タイミング・パラメータを表 25 および表 26 に示します。

表 25. EMIF のリード・タイミング要件

パラメータ	説明
t_{SU}	データ・セットアップ時間、 $\overline{EM_OE}$ が High になる前の有効なデータ
t_H	データ・ホールド時間、 $\overline{EM_OE}$ が High になった後の有効なデータ

表 26. NAND フラッシュのリード・タイミング要件

パラメータ	説明
t_{RP}	リード・パルス幅
t_{REA}	リード・イネーブル・アクセス時間
t_{CEA}	チップ・イネーブル Low から出力 valid へ
t_{CHZ}	チップ・イネーブル High から出力 High-Z へ
t_{RC}	リード・サイクル時間
t_{RHZ}	リード・イネーブル High から出力 High-Z へ
t_{CLR}	コマンド・ラッチ Low からリード・イネーブル Low へ

非同期リード・アクセスを図 16 に示します。また、EMIF と NAND フラッシュの AC タイミング要件を組み合わせ、 R_SETUP 、 R_STROBE 、 R_HOLD の値を指定する方法についても説明します。

図 16 に基づくと、それぞれの関係を表す式は以下のようになります。 t_{cyc} は EMIF が動作する期間です。 R_SETUP 、 R_STROBE 、 R_HOLD の各フィールドは、EMIF サイクルからプログラムされます。データシートに記述されている仕様は、通常ナノ秒単位で示されます。以下の式の分母にある t_{cyc} が表す意味について説明します。この式には -1 が含まれています。これは、 A_nCR の各フィールドが EMIF クロック・サイクル -1 サイクルという点からプログラムされているためです。たとえば、 R_SETUP は EMIF クロック・サイクル -1 サイクルの R_SETUP 幅と等しくなります。

$$R_SETUP \geq \frac{t_{CLR}(m)}{t_{cyc}} - 1$$

$$R_STROBE \geq \max\left(\frac{(t_{REA}(m) + t_{SU})}{t_{cyc}}, \frac{t_{RP}(m)}{t_{cyc}}\right) - 1$$

$$R_SETUP + R_STROBE \geq \frac{(t_{CEA}(m) + t_{SU})}{t_{cyc}} - 1$$

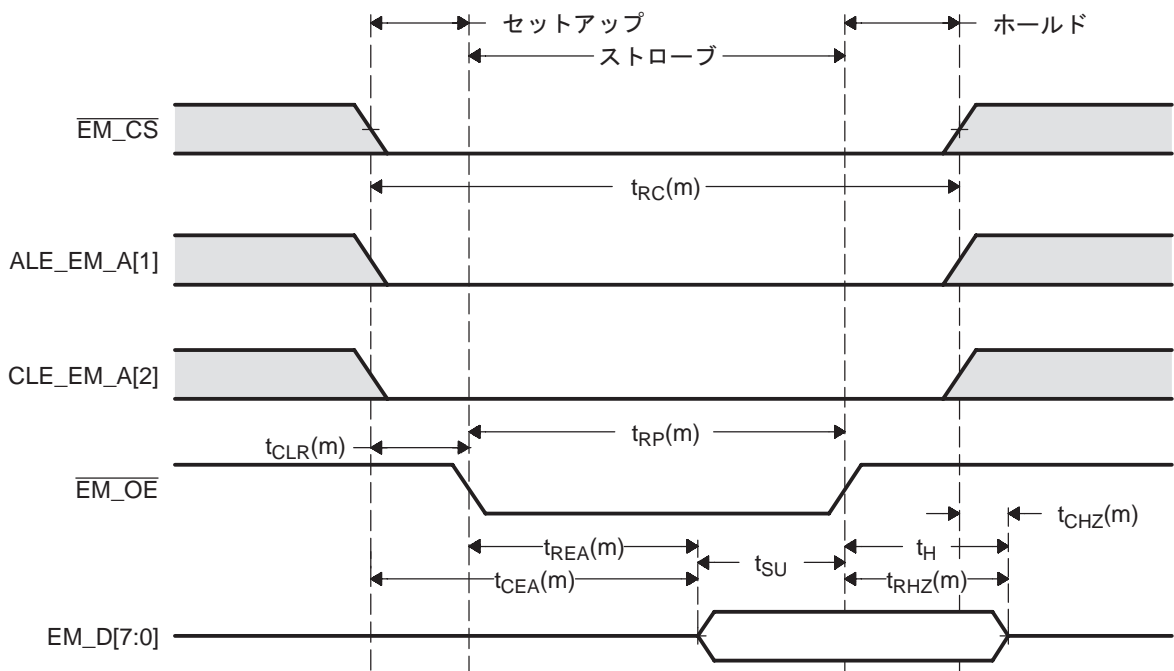
$$R_HOLD \geq \frac{(t_H - t_{CHZ}(m))}{t_{cyc}} - 1$$

$$R_SETUP + R_STROBE + R_HOLD \geq \frac{t_{RC}(m)}{t_{cyc}} - 3$$

EMIF は、リード・サイクルとライト・サイクル間の応答時間を指定するパラメータ TA を別途提供します。このパラメータで、メモリの出力がオフになる時間が次のライト・サイクルを開始するのにかかる時間より長くなる状況に対して保護します。これが該当する場合、EMIF はメモリと同時にデータをドライブし、バス上の競合を引き起こします。図 16 を調べてみると、 TA を求める式は次のようになります。

$$TA \geq \max\left(\frac{t_{CHZ}(m)}{t_{cyc}}, \frac{t_{RHZ}(m) - (R_HOLD + 1)t_{cyc}}{t_{cyc}}\right) - 1$$

図 16. NAND フラッシュ・リード時のタイミング波形



ライト動作の場合、NAND フラッシュへ接続するのに必要な EMIF コンフィギュレーションを決めるために、考慮する必要があるコマンド・ラッチ、アドレス・ラッチ、データ入力ラッチに対する NAND の AC タイミング・パラメータを表 27 に示します。

表 27. NAND フラッシュのライト・タイミング要件

パラメータ	説明
t_{WP}	ライト・パルス幅
t_{CLS}	CLE セットアップ時間
t_{ALS}	ALE セットアップ時間
t_{CS}	\overline{CS} セットアップ時間
t_{DS}	データ・セットアップ時間
t_{CLH}	CLE ホールド時間
t_{ALH}	ALE ホールド時間
t_{CH}	\overline{CS} ホールド時間
t_{DH}	データ・ホールド時間
t_{WC}	ライト・サイクル時間

NAND アクセスのコマンド・ラッチ、アドレス・ラッチ、およびデータ入力ラッチを図 17 ~ 図 19 に示します。

図 17 ~ 図 19 に基づくと、それぞれの関係を表す式は以下のようになります。 t_{cyc} は EMIF が動作する期間です。 W_SETUP 、 W_STROBE 、 W_HOLD の各フィールドは、EMIF サイクルからプログラムされます。ここで、データシートに記述されている仕様は、通常ナノ秒単位で示されます。以下の式の分母にある t_{cyc} が表す意味について説明します。この式には -1 が含まれています。これは、 MCR の各フィールドが EMIF クロック・サイクル -1 サイクルという点からプログラムされているためです。たとえば、 W_SETUP は EMIF クロック・サイクル -1 サイクルの W_SETUP 幅と等しくなります。

$$W_SETUP \geq \max\left(\frac{t_{CLS}(m)}{t_{cyc}}, \frac{t_{ALS}(m)}{t_{cyc}}, \frac{t_{CS}(m)}{t_{cyc}}\right) - 1$$

$$W_STROBE \geq \frac{t_{WP}(m)}{t_{cyc}} - 1$$

$$W_SETUP + W_STROBE \geq \frac{t_{DS}(m)}{t_{cyc}} - 1$$

$$W_HOLD \geq \max\left(\frac{t_{CLH}(m)}{t_{cyc}}, \frac{t_{ALH}(m)}{t_{cyc}}, \frac{t_{CH}(m)}{t_{cyc}}, \frac{t_{DH}(m)}{t_{cyc}}\right) - 1$$

$$W_SETUP + W_STROBE + W_HOLD \geq \frac{t_{WC}(m)}{t_{cyc}} - 3$$

図 17. NAND フラッシュ・コマンド・ライト時のタイミング波形

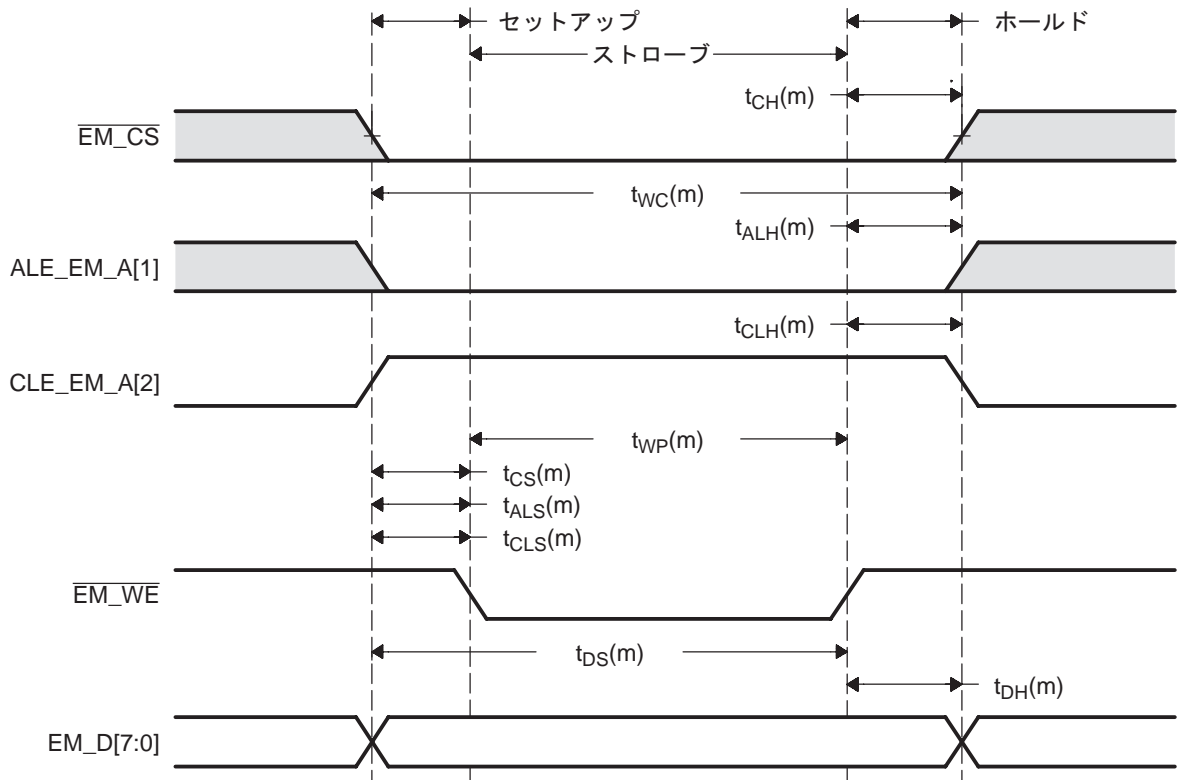


図 18. NAND フラッシュ・アドレス・ライト時のタイミング波形

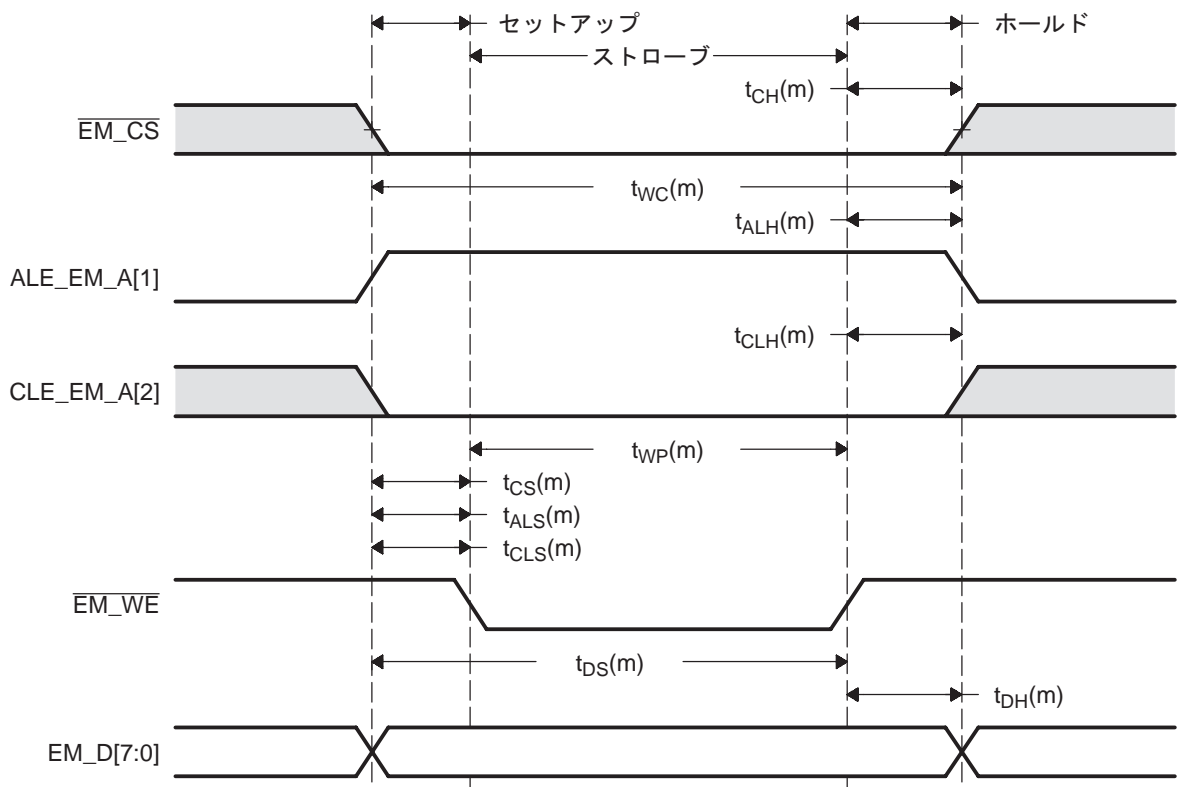
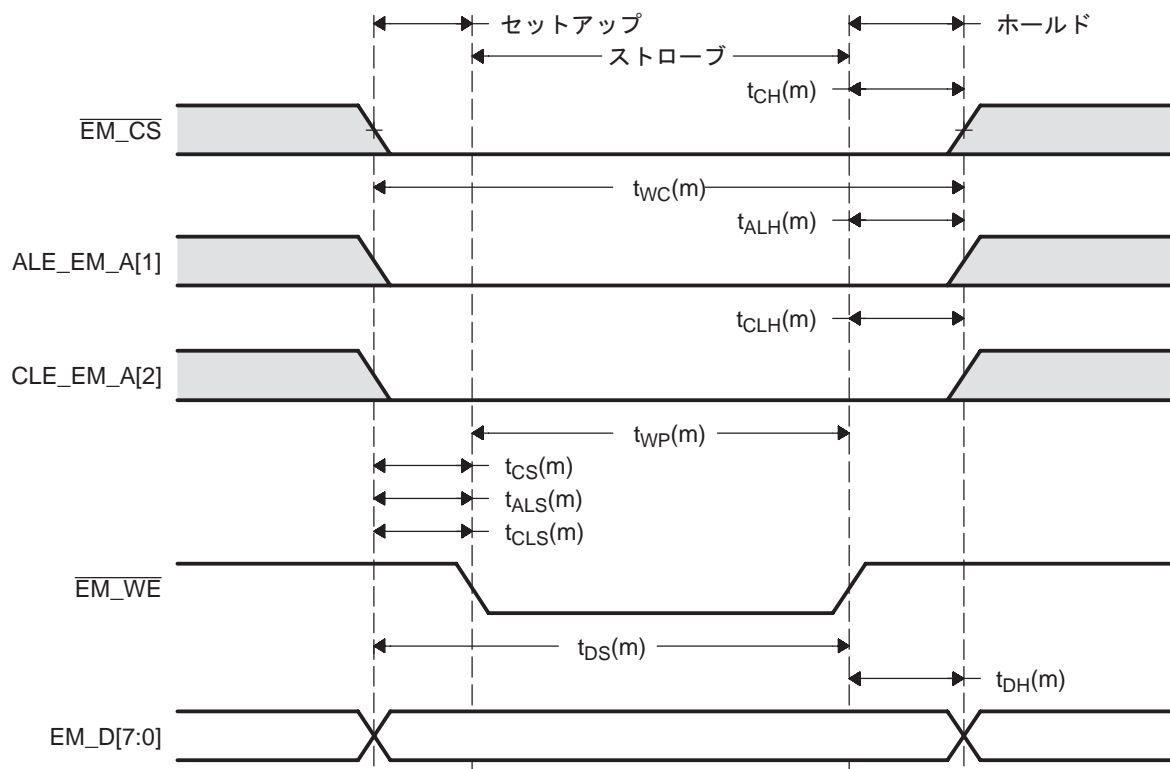


図 19. NAND フラッシュ・データ・ライト時のタイミング波形



3.2.3 Hynix 社の HY27UA081G1M 使用例

ここでは、Hynix 社の HY27UA081G1M NAND フラッシュを EMIF と組み合わせて実装する上で必要なコンフィギュレーション手順について説明します。前提条件は次のとおりです。

- NAND フラッシュはチップ・セレクト空間 2 ($\overline{\text{EM_CS}}[2]$) へ接続される
- EMIF クロック・スピードは 100 MHz ($t_{\text{cyc}} = 10 \text{ nS}$)

EMIF のデータシートに記述されている仕様を表 28 に示します。また、NAND フラッシュのデータシートに記述されている仕様を表 29 に示します。

表 28. HY27UA081G1M に対する EMIF のタイミング要件例

パラメータ	説明	最小	最大	単位
t_{SU}	データ・セットアップ時間、 $\overline{\text{EM_OE}}$ が High になる前の有効なデータ	5		nS
t_{H}	データ・ホールド時間、 $\overline{\text{EM_OE}}$ が High になった後の有効なデータ	0		nS

表 29. HY27UA081G1M に対する NAND フラッシュのタイミング要件例

パラメータ	説明	最小	最大	単位
t_{RP}	リード・パルス幅	60		nS
t_{REA}	リード・イネーブル・アクセス時間		60	nS
t_{CEA}	チップ・イネーブル Low から出力 valid へ		75	nS
t_{CHZ}	チップ・イネーブル High から出力 High-Z へ		20	nS
t_{RC}	リード・サイクル時間	80		nS
t_{RHZ}	リード・イネーブル High から出力 High-Z へ		30	nS
t_{CLR}	コマンド・ラッチ Low からリード・イネーブル Low へ	10		nS
t_{WP}	ライト・パルス幅	60		nS
t_{CLS}	CLE セットアップ時間	30		nS
t_{ALS}	ALE セットアップ時間	30		nS
t_{CS}	$\overline{\text{CS}}$ セットアップ時間	30		nS
t_{DS}	データ・セットアップ時間	20		nS
t_{CLH}	CLE ホールド時間	10		nS
t_{ALH}	ALE ホールド時間	10		nS
t_{CH}	$\overline{\text{CS}}$ ホールド時間	10		nS
t_{DH}	データ・ホールド時間	10		nS
t_{WC}	ライト・サイクル時間	80		nS

コンフィギュレーション例

上記で指定した式にこれらの値を代入することで、SETUP、STROBE、HOLD、TA の値を求めることができます。

リードの場合：

$$R_SETUP \geq \frac{t_{CLR}(m)}{t_{cyc}} - 1 \geq \left(\frac{10}{10}\right) - 1 \geq 0$$

$$R_STROBE \geq \max\left(\frac{(t_{REA}(m) + t_{SU})}{t_{cyc}}, \frac{t_{RP}}{t_{cyc}}\right) - 1 \geq \left(\frac{65}{10}\right) - 1 \geq 5.5$$

$$R_SETUP + R_STROBE \geq \frac{(t_{CEA} + t_{SU})}{t_{cyc}} - 1 \geq \frac{(75 + 5)}{10} - 1 \geq 7$$

$$R_HOLD \geq \frac{(t_H - t_{CHZ}(m))}{t_{cyc}} - 1 \geq \frac{(0 - 20)}{10} - 1 \geq -3$$

$$R_SETUP + R_STROBE + R_HOLD \geq \frac{t_{RC}(m)}{t_{cyc}} - 3 \geq \left(\frac{80}{10}\right) - 3 \geq 5$$

したがって、10 nS のマージンが加算されると、R_SETUP ≥ 1.0、R_STROBE ≥ 6.5、R_HOLD ≥ 0 となります。

R_HOLD の値を求めた後、TA を計算する式は次のようになります。

$$TA \geq \max\left(\frac{t_{CHZ}(m)}{t_{cyc}}, \frac{t_{RHZ}(m) - (R_HOLD + 1)t_{cyc}}{t_{cyc}}\right) - 1 \geq \left(\frac{20}{10}\right) - 1 \geq 1$$

10 ns のマージンを加算すると、TA ≥ 2 となります。

ライトの場合：

$$W_STROBE \geq \frac{t_{WP}(m)}{t_{cyc}} - 1 \geq \left(\frac{60}{10}\right) - 1 \geq 5$$

$$W_SETUP \geq \max\left(\frac{t_{CLS}(m)}{t_{cyc}}, \frac{t_{ALS}(m)}{t_{cyc}}, \frac{t_{CS}(m)}{t_{cyc}}\right) - 1 \geq \left(\frac{0}{10}\right) - 1 \geq -1$$

$$W_SETUP + W_STROBE \geq \frac{t_{DS}(m)}{t_{cyc}} - 1 \geq \left(\frac{20}{10}\right) - 1 \geq 1$$

$$W_HOLD \geq \max\left(\frac{t_{CLH}(m)}{t_{cyc}}, \frac{t_{ALH}(m)}{t_{cyc}}, \frac{t_{CH}(m)}{t_{cyc}}, \frac{t_{DH}(m)}{t_{cyc}}\right) - 1 \geq \left(\frac{10}{10}\right) - 1 \geq 0$$

$$W_SETUP + W_STROBE + W_HOLD \geq \frac{t_{WC}(m)}{t_{cyc}} - 3 \geq \left(\frac{80}{10}\right) - 3 \geq 5$$

したがって、10 nS のマージンが加算されると、W_SETUP ≥ 0、W_STROBE ≥ 6、W_HOLD ≥ 1 となります。

W_SETUP/R_SETUP、W_STROBE/R_STROBE、W_HOLD/R_HOLD、TA フィールドの値は、EMIF クロック・サイクル-1 サイクルと等しくなるため、A1CR は表 30 に示すように設定してください。この例では、EM_WAIT 信号は、NAND フラッシュの R/B 信号に接続されていますが、EMIF の拡張ウェイト・モードは使われていません。したがって、アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) は、プログラムする必要はありません。

表 30. HY27UA081G1M に対する A1CR の設定例

パラメータ	設定
SS	・セレクトストロブ・モード。 <ul style="list-style-type: none"> SS = 0。EMIF を通常モードに置きます。
EW	拡張ウェイト・モードのイネーブル。 <ul style="list-style-type: none"> EW = 0。拡張ウェイト・モードをディスエーブルします。
W_SETUP/R_SETUP	リード/ライトのセットアップ幅。 <ul style="list-style-type: none"> W_SETUP = 0 R_SETUP = 2
W_STROBE/R_STROBE	リード/ライトのストロブ幅。 <ul style="list-style-type: none"> W_STROBE = 6 R_STROBE = 7
W_HOLD/R_HOLD	リード/ライトのホールド幅。 <ul style="list-style-type: none"> W_HOLD = 1 R_HOLD = 0
TA	最小応答時間。 <ul style="list-style-type: none"> TA = 2
ASIZE	非同期デバイス・バス幅。 <ul style="list-style-type: none"> ASIZE = 0。これは 8 ビット・データ・バス幅を選択します。

コンフィギュレーション例

この例は NAND フラッシュを対象にしているため、EMIF を NAND フラッシュ・モードに設定する必要があります。これを行うには、NAND フラッシュ・コントロール・レジスタ (NANDFCR) を表 31 のように設定します。NANDFCR では、チップ・セレクト空間 2 は NAND フラッシュ・モードをイネーブルして設定する必要があります。

表 31. HY27UA081G1M に対する NANDFCR の設定例

パラメータ	設定
CS5ECC	チップ・セレクト 5 のときの NAND フラッシュ ECC の開始。 <ul style="list-style-type: none"> CS5ECC = 0。コンフィギュレーション中はセットされません。データのリードまたはライト直前でのみセットされます。
CS4ECC	チップ・セレクト 4 のときの NAND フラッシュ ECC の開始。 <ul style="list-style-type: none"> CS4ECC = 0。コンフィギュレーション中はセットされません。データのリードまたはライト直前でのみセットされます。
CS3ECC	チップ・セレクト 3 のときの NAND フラッシュ ECC の開始。 <ul style="list-style-type: none"> CS3ECC = 0。コンフィギュレーション中はセットされません。データのリードまたはライト直前でのみセットされます。
CS2ECC	チップ・セレクト 2 のときの NAND フラッシュ ECC の開始。 <ul style="list-style-type: none"> CS2ECC = 0。コンフィギュレーション中はセットされません。データのリードまたはライト直前でのみセットされます。
CS5NAND	チップ・セレクト 5 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> CS5NAND = 0。NAND フラッシュ・モードはディスエーブル。
CS4NAND	チップ・セレクト 4 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> CS4NAND = 0。NAND フラッシュ・モードはディスエーブル。
CS3NAND	チップ・セレクト 3 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> CS3NAND = 0。NAND フラッシュ・モードはディスエーブル。
CS2NAND	チップ・セレクト 2 のときの NAND フラッシュ・モード。 <ul style="list-style-type: none"> CS5NAND = 1。NAND フラッシュ・モードはディスエーブル。

4 レジスタ

外部メモリ・インターフェイス (EMIF) を制御するには、インターナル・メモリ・マップド・レジスタ (MMR) をプログラムします。EMIF のメモリ・マップド・レジスタを表 32 に示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。表 32 に記載のない他のレジスタ・オフセット・アドレスは、予約ロケーションと見なされます。レジスタの内容は変更してはいけません。

注： EMIF の MMR は、ワード (4 バイト) アクセスのみをサポートします。バイト (8 ビット) またはハーフワード (16 ビット) でレジスタへライトを行ったときの動作は不定です。

表 32. エクスターナル・メモリ・インターフェイス (EMIF) レジスタ

オフセット	短縮形	レジスタの説明	参照先
0h	RCSR	リビジョン・コード・ステータス・レジスタ	4.1 節
4h	AWCCR	アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ	4.2 節
10h	A1CR	アシンクロナス 1 コンフィギュレーション・レジスタ (CS2 空間)	4.3 節
14h	A2CR	アシンクロナス 2 コンフィギュレーション・レジスタ (CS3 空間)	4.3 節
18h	A3CR	アシンクロナス 3 コンフィギュレーション・レジスタ (CS4 空間)	4.3 節
1Ch	A4CR	アシンクロナス 4 コンフィギュレーション・レジスタ (CS5 空間)	4.3 節
40h	EIRR	EMIF インタラプト・ロー・レジスタ	4.4 節
44h	EIMR	EMIF インタラプト・マスク・レジスタ	4.5 節
48h	EIMSR	EMIF インタラプト・マスク・セット・レジスタ	4.6 節
4Ch	EIMCR	EMIF インタラプト・マスク・クリア・レジスタ	4.7 節
60h	NANDFCR	NAND フラッシュ・コントロール・レジスタ	4.8 節
64h	NANDFSR	NAND フラッシュ・ステータス・レジスタ	4.9 節
70h	NANDF1ECC	NAND フラッシュ 1 ECC レジスタ (CS2 空間)	4.10 節
74h	NANDF2ECC	NAND フラッシュ 2 ECC レジスタ (CS3 空間)	4.10 節
78h	NANDF3ECC	NAND フラッシュ 3 ECC レジスタ (CS4 空間)	4.10 節
7Ch	NANDF4ECC	NAND フラッシュ 4 ECC レジスタ (CS5 空間)	4.10 節

レジスタ

4.1 リビジョン・コード・ステータス・レジスタ (RCSR)

リビジョン・コード・ステータス・レジスタ (RCSR) を図 20 に示し、表 33 で説明します。

図 20. リビジョン・コード・ステータス・レジスタ (RCSR)

31	30	29			16
BE	FR	MODULE_ID			
R-0	R-1	R-Fh			
15	8		7	0	
MAJOR_REVISION				MINOR_REVISION	
R-2h				R-1h	

凡例：R = リード専用。-n = リセット後の値。

表 33. リビジョン・コード・ステータス・レジスタ (RCSR) フィールドの説明

ビット	フィールド	値	説明
31	BE	0	ビッグエンディアン。EMIF のエンディアン・モードを表します。 リトルエンディアン・モード
30	FR	0 1	フル・レート。フル・レートまたはハーフ・レートで動作するように EMIF がセットされているか表します。 ハーフ・レート フル・レート
29-16	MODULE_ID	0 ~ 3FFh	モジュール ID。 EMIF：Fh = 非同期モード
15-8	MAJOR_REVISION	0 ~ FFh	メジャー・リビジョン。EMIF のコード・リビジョンは、MAJOR_REVISION.MINOR_REVISION 形式を採用したリビジョン・コードで示されます。 メジャー・リビジョン = 2h
7-0	MINOR_REVISION	0 ~ FFh	マイナー・リビジョン。EMIF コード・リビジョンは、MAJOR_REVISION.MINOR_REVISION 形式を採用したリビジョン・コードで示されます。 マイナー・リビジョン = 1h

4.2 アシクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR)

アシクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) は、拡張ウェイト・サイクルのパラメータを設定するために使われます。EM_WAIT ピンの極性と拡張ウェイト・サイクルの許容最大数は両方とも設定できます。AWCCR を図 21 に示し、表 34 で説明します。

注： アシクロナス・コンフィギュレーション・レジスタ (AWCCR) の EW ビットをセットして、拡張ウェイト・サイクルを挿入できるようにする必要があります。

図 21. アシクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR)

31	29	28	27	24	23	16	
Reserved		WP0	Reserved		Reserved		
R/W-7h		R/W-1	R-0		R/W-0		
15					8	7	0
Reserved					MEWC		
R-0					R/W-80h		

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 34. アシクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) フィールドの説明

ビット	フィールド	値	説明
31-29	Reserved	7h	予約。
28	WP0	0 1	WAIT 極性ビット。このビットで、EM_WAIT ピンの極性を指定します。 EM_WAIT が Low の場合、ウェイト・サイクルを挿入します。 EM_WAIT が High の場合、ウェイト・サイクルを挿入します。
27-24	Reserved	0	予約。
23-16	Reserved	0	予約。このフィールドには常に 0 がライトされます。
15-8	Reserved	0	予約。
7-0	MEWC	0 ~ FFh	最大拡張ウェイト・サイクル。EMIF は、非同期ウェイト・サイクルの挿入を停止するまでに、最大で (MEWC + 1) × 16 クロック・サイクル待機してから、アクセスのホールド期間へ進みます。

4.3 アシクロナス・コンフィギュレーション・レジスタ (A1CR ~ A4CR)

アシクロナス・コンフィギュレーション・レジスタ (A_nCR) は、アドレス・シェイプを設定したり、非同期メモリへのアクセス中に信号を制御したりするために使われます。また、非同期インターフェイスの幅をプログラムしたり、各種動作モードから選択したりするためにも使われます。データを転送する前に、このレジスタへライトすることができ、ライト後の非同期転送は新しいコンフィギュレーションを使用します。 A_nCR を図 22 に示し、表 35 で説明します。4 つの A_nCR があります。それぞれのチップ・セレクト空間には、専用の A_nCR があります。これにより、各種非同期メモリ・タイプへ接続するために、それぞれのチップ・セレクト空間を個別にプログラムすることができます。

図 22. アシクロナス n コンフィギュレーション・レジスタ (A_nCR)

31	30	29	26	25	24				
SS	EW ^(A)	W_SETUP		W_STROBE ^(B)					
R/W-0	R/W-0	R/W-Fh		R/W-3Fh					
23	20		19	17	16				
W_STROBE ^(B)			W_HOLD		R_SETUP				
R/W-3Fh			R/W-7h		R/W-Fh				
15	13	12	7	6	4	3	2	1	0
R_SETUP		R_STROBE ^(B)			R_HOLD		TA	ASIZE	
R/W-Fh		R/W-3Fh			R/W-7h		R/W-3h	R/W-0	

凡例：R/W = リード / ライト。- n = リセット後の値。

A EW ビットは、NAND フラッシュ・モードでの動作時には 0 にクリアしておく必要があります。

B W_STROBE および R_STROBE ビットは、拡張ウェイト・モードでの動作時には 0 にクリアしておく必要があります。

表 35. アシクロナス n コンフィギュレーション・レジスタ (A_nCR) フィールドの説明

ビット	フィールド	値	説明
31	SS	0 1	セレクト・ストロブ・ビット。このビットで、非同期インターフェイスが通常モードまたはセレクト・ストロブ・モードで動作しているか指定します。2 つの動作モードの詳細については、2.6 節を参照してください。 通常モードがイネーブル。 セレクト・ストロブ・モードがイネーブル。
30	EW	0 1	拡張ウェイト・ビット。このビットで、拡張ウェイト・サイクルがイネーブルされるか指定します。拡張ウェイト・サイクルの詳細については、2.6.8 項を参照してください。デバイスの EMIF に EM_WAIT ピンがない場合、このビット・フィールドを 0 にクリアする必要があります。 拡張ウェイト・サイクルがディスエーブル。 拡張ウェイト・サイクルがイネーブル。
29-26	W_SETUP	0 ~ Fh	EMIF クロック・サイクル数 - 1 サイクルでのライト・セットアップ幅。詳細については、2.6.3 項を参照してください。
25-20	W_STROBE	0 ~ 3Fh	EMIF クロック・サイクル数 - 1 サイクルでのライト・ストロブ幅。詳細については、2.6.3 項を参照してください。
19-17	W_HOLD	0 ~ 7h	EMIF クロック・サイクル数 - 1 サイクルでのライト・ホールド幅。詳細については、2.6.3 項を参照してください。
16-13	R_SETUP	0 ~ Fh	EMIF クロック・サイクル数 - 1 サイクルでのリード・セットアップ幅。詳細については、2.6.3 項を参照してください。
12-7	R_STROBE	0 ~ 3Fh	EMIF クロック・サイクル数 - 1 サイクルでのリード・ストロブ幅。詳細については、2.6.3 項を参照してください。
6-4	R_HOLD	0 ~ 7h	EMIF クロック・サイクル数 - 1 サイクルでのリード・ホールド幅。詳細については、2.6.3 項を参照してください。

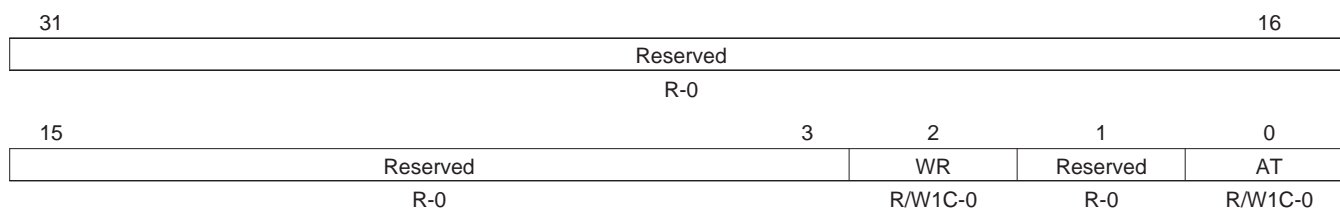
表 35. アシンクロナス n コンフィギュレーション・レジスタ (AnCR) フィールドの説明 (続き)

ビット	フィールド	値	説明
3-2	TA	0 ~ 3h	最小応答時間。このフィールドで、非同期アクセスの終了から別の非同期アクセスの開始までの EMIF の最小クロック・サイクル数 -1 サイクルを指定します。同じチップ・セレクト (CS) 空間に対して、リードの後にリードが行われたり、ライトの後にライトが行われたりすることにより、この遅延が課されることはありません。詳細については、2.6.3 項を参照してください。
1-0	ASIZE	0 ~ 3h 0 1h ~ 3h	非同期データ・バス幅。このビットで、非同期デバイスのデータ・バスの幅を表します。 8 ビット・データ・バス。 予約。

4.4 EMIF インタラプト・ロー・レジスタ (EIRR)

EMIF インタラプト・ロー・レジスタ (EIRR) は、EMIF のハードウェアで生成される割り込みを監視したり、割り込みをクリアしたりするために使われます。割り込み状態が発生したら、EMIF インタラプト・マスク・セット・レジスタ (EIMSR) や EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) の状態に関係なく、EIRR のビットがセットされます。これらのビット・フィールドへ 1 をライトすると、EMIF インタラプト・マスク・レジスタ (EIMR) の対応するビット・フィールドだけでなく、そのビット・フィールド自身もクリアされます。EIRR を図 23 に示し、表 36 で説明します。

図 23. EMIF インタラプト・ロー・レジスタ (EIRR)



凡例：R/W = リード/ライト。R = リード専用。W1C = 1 をライトするとクリア (0 をライトしても影響なし)。-n = リセット後の値。

表 36. EMIF インタラプト・ロー・レジスタ (EIRR) フィールドの説明

ビット	フィールド	値	説明
31-3	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
2	WR	0	ウェイト立ち上がり。このビットに、ハードウェアで 1 がセットされると、立ち上がりエッジが EM_WAIT ピン上で発生したことを示します。
		1	立ち上がりエッジが EM_WAIT ピン上で発生したことを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・レジスタ (EIMR) の WRM ビットがクリアされます。
1	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
0	AT	0	非同期タイムアウト。このビットに、ハードウェアで 1 がセットされると、拡張非同期メモリ・アクセス・サイクル実行中、アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の MEWC フィールドで指定されるサイクル数内では EM_WAIT ピンはインアクティブにはならないことを示します。
		1	非同期タイムアウトが発生したことを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・レジスタ (EIMR) の ATM ビットがクリアされます。

4.5 EMIF インタラプト・マスク・レジスタ (EIMR)

EMIF インタラプト・ロー・レジスタ (EIRR) と同様、EMIF インタラプト・マスク・レジスタ (EIMR) は EMIF のハードウェアで生成される割り込みの状態を監視したり、割り込みをクリアしたりするために使われます。2つのレジスタ間の大きな相違点は、EIMR のビット・フィールドがセットされていると、アクティブ High パルスが CPU 割り込みコントローラへ送られるということです。また、関連付けられている割り込みが EMIF インタラプト・セット・レジスタ (EISR) でイネーブルの場合、EIMR のビット・フィールドのみ 1 にセットされます。EIMR を図 24 に示し、表 37 で説明します。

図 24. EMIF インタラプト・マスク・レジスタ (EIMR)

31	Reserved				16	
R-0						
15	Reserved		3	2	1	0
R-0			R/W1C-0	R-0	R/W1C-0	
R-0			WRM	Reserved	ATM	

凡例：R/W = リード / ライト。R = リード専用。W1C = 1 をライトするとクリア (0 をライトしても影響なし)。-n = リセット後の値。

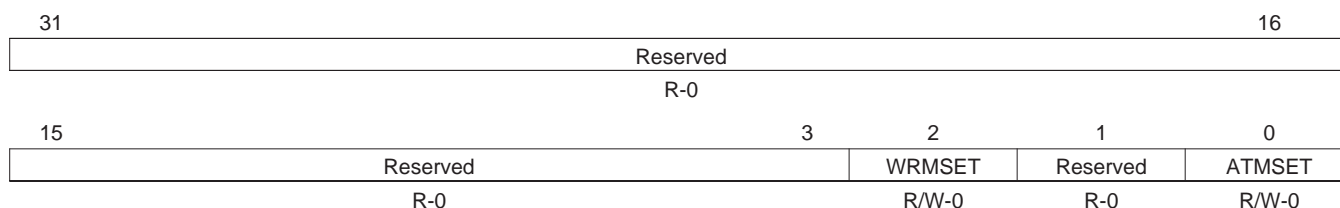
表 37. EMIF インタラプト・マスク・レジスタ (EIMR) フィールドの説明

ビット	フィールド	値	説明
31-3	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
2	WRM	0	ウェイト立ち上がりのマスク。このビットに、ハードウェアで 1 がセットされると、立ち上がりエッジが EM_WAIT ピン上で発生したことを示します。ただし、これは EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の WRMSET ビットが 1 にセットされた場合です。
		1	ウェイト立ち上がり割り込みが生成されたことを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・レジスタ (EIMR) の WR ビットがクリアされます。
1	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
0	ATM	0	非同期タイムアウトのマスク。このビットに、ハードウェアで 1 がセットされると、拡張非同期メモリ・アクセス・サイクル実行中、アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の MEWC フィールドで指定されるサイクル数内では EM_WAIT ピンはインアクティブにはならないことを示します。ただし、これは EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の ATMSET ビットが 1 にセットされた場合です。
		1	非同期タイムアウト割り込みが生成されたことを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・レジスタ (EIMR) の AT ビットがクリアされます。

4.6 EMIF インタラプト・マスク・セット・レジスタ (EIMSR)

EMIF インタラプト・マスク・セット・レジスタ (EIMSR) は、割り込みをイネーブルするために使われます。ビットが 1 にセットされると、EMIF インタラプト・マスク・レジスタ (EIMR) の対応するビットがセットされます。また、関連付けられている割り込み状態が発生すると、割り込みが生成されます。ビットが 0 にクリアされると、EIMR の対応するビットでは常に 0 がリードされます。また、関連付けられている割り込み状態が発生しても、割り込みは生成されません。WRMSET と ATMSET の各ビットに 1 をライトすると、それぞれの割り込みがイネーブルされます。EIMSR を図 25 に示し、表 38 で説明します。

図 25. EMIF インタラプト・マスク・セット・レジスタ (EIMSR)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 38. EMIF インタラプト・マスク・セット・レジスタ (EIMSR) フィールドの説明

ビット	フィールド	値	説明
31-3	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
2	WRMSET	0	ウェイト立ち上がりマスクのセット。このビットで、ウェイト立ち上がり割り込みがイネーブルかどうかを判別します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) の WRMCLR ビットがセットされ、ウェイト立ち上がり割り込みがイネーブルされます。このビットをクリアするには、EIMCR の WRMCLR ビットに 1 をライトする必要があります。
		1	ウェイト立ち上がり割り込みがイネーブルであることを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) の WRMCLR ビットがセットされます。
1	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
0	ATMSET	0	非同期タイムアウト・マスクのセット。このビットで、非同期タイムアウト割り込みがイネーブルかどうかを判別します。このビットに 1 をライトすると、このビット自身と ATMCLR インタラプト・マスク・クリア・レジスタ (EIMCR) の ATMCLR ビットがセットされ、非同期タイムアウト割り込みがイネーブルされます。このビットをクリアするには、EIMCR の ATMCLR ビットに 1 をライトする必要があります。
		1	非同期タイムアウト割り込みがイネーブルであることを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) の ATMCLR ビットがセットされます。

4.7 EMIF インタラプト・マスク・クリア・レジスタ (EIMCR)

EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) は、割り込みをディスエーブルするために使われます。ビットが 1 としてリードされると、EMIF インタラプト・マスク・レジスタ (EIMR) の対応するビットがセットされます。また、関連付けられている割り込み状態が発生すると、割り込みが生成されます。ビットが 0 としてリードされると、EIMR の対応するビットでは常に 0 がリードされます。また、対応する割り込み状態が発生しても、割り込みは生成されません。ATMCLR と WRMCLR の各ビットに 1 をライトすると、それぞれの割り込みがディスエーブルされます。EIMCR を図 26 に示し、表 39 で説明します。

図 26. EMIF インタラプト・マスク・クリア・レジスタ (EIMCR)

31	Reserved				16	
R-0						
15	Reserved			2	1	0
R-0			WRMCLR	Reserved	ATMCLR	
R-0			R/W-0	R-0	R/W-0	

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 39. EMIF インタラプト・マスク・クリア・レジスタ (EIMCR) フィールドの説明

ビット	フィールド	値	説明
31-3	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
2	WRMCLR		ウェイト立ち上がりマスクのクリア。このビットで、ウェイト立ち上がり割り込みがイネーブルかどうかを判別します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の WRMSET ビットがクリアされ、ウェイト立ち上がり割り込みがディスエーブルされます。このビットをセットするには、EIMSR の WRMSET ビットに 1 をライトする必要があります。
		0	ウェイト立ち上がり割り込みがディスエーブルであることを示します。このビットに 0 をライトしても影響はありません。
		1	ウェイト立ち上がり割り込みがイネーブルであることを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の WRMCLR ビットがクリアされます。
1	Reserved	0	予約。予約ビット・ロケーションは、常に 0 としてリードされます。このフィールドにどの値をライトしても、デフォルト値 0 が常にライトされます。
0	ATMCLR		非同期タイムアウト・マスクのクリア。このビットで、非同期タイムアウト割り込みがイネーブルかどうかを判別します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の ATMSET ビットがクリアされ、非同期タイムアウト割り込みがディスエーブルされます。このビットをセットするには、EIMSR の ATMSET ビットに 1 をライトする必要があります。
		0	非同期タイムアウト割り込みがディスエーブルであることを示します。このビットに 0 をライトしても影響はありません。
		1	非同期タイムアウト割り込みがイネーブルであることを示します。このビットに 1 をライトすると、このビット自身と EMIF インタラプト・マスク・セット・レジスタ (EIMSR) の ATMSET ビットがクリアされます。

4.8 NAND フラッシュ・コントロール・レジスタ (NANDFCR)

NAND フラッシュ・コントロール・レジスタ (NANDFCR) を図 27 に示し、表 40 で説明します。

図 27. NAND フラッシュ・コントロール・レジスタ (NANDFCR)

31	Reserved					16
R-0						
15	12	11	10	9	8	
Reserved		CS5ECC	CS4ECC	CS3ECC	CS2ECC	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	
7	4	3	2	1	0	
Reserved		CS5NAND	CS4NAND	CS3NAND	CS2NAND	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 40. NAND フラッシュ・コントロール・レジスタ (NANDFCR) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11	CS5ECC	0	チップ・セレクト 5 のときの NAND フラッシュ ECC の開始。 ECC の計算を開始しません。
		1	$\overline{\text{EM_CS5}}$ のときの NAND フラッシュのデータで ECC の計算を開始します。
10	CS4ECC	0	チップ・セレクト 4 のときの NAND フラッシュ ECC の開始。 ECC の計算を開始しません。
		1	$\overline{\text{EM_CS4}}$ のときの NAND フラッシュのデータで ECC の計算を開始します。
9	CS3ECC	0	チップ・セレクト 3 のときの NAND フラッシュ ECC の開始。 ECC の計算を開始しません。
		1	$\overline{\text{EM_CS3}}$ のときの NAND フラッシュのデータで ECC の計算を開始します。
8	CS2ECC	0	チップ・セレクト 2 のときの NAND フラッシュ ECC の開始。 ECC の計算を開始しません。
		1	$\overline{\text{EM_CS2}}$ のときの NAND フラッシュのデータで ECC の計算を開始します。
7-4	Reserved	0	予約。
3	CS5NAND	0	チップ・セレクト 5 のときの NAND フラッシュ・モード。 NAND フラッシュを使用しません。
		1	$\overline{\text{EM_CS5}}$ のとき NAND フラッシュを使用します。
2	CS4NAND	0	チップ・セレクト 4 のときの NAND フラッシュ・モード。 NAND フラッシュを使用しません。
		1	$\overline{\text{EM_CS4}}$ のとき NAND フラッシュを使用します。
1	S3NAND	0	チップ・セレクト 3 のときの NAND フラッシュ・モード。 NAND フラッシュを使用しません。
		1	$\overline{\text{EM_CS3}}$ のとき NAND フラッシュを使用します。
0	CS2NAND	0	チップ・セレクト 2 のときの NAND フラッシュ・モード。 NAND フラッシュを使用しません。
		1	$\overline{\text{EM_CS2}}$ のとき NAND フラッシュを使用します。

4.9 NAND フラッシュ・ステータス・レジスタ (NANDFSR)

NAND フラッシュ・ステータス・レジスタ (NANDFSR) を図 28 に示し、表 41 で説明します。

図 28. NAND フラッシュ・ステータス・レジスタ (NANDFSR)

31	Reserved				16	
R-0						
15	Reserved			4	3	0
R-0				WAITST		
				R-0		

凡例：R = リード専用。-n = リセット後の値。

表 41. NAND フラッシュ・ステータス・レジスタ (NANDFSR) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約。
3-0	WAITST	0 ~ Fh	EM_WAIT 入力ピンのそのままの状態。アシンクロナス・ウェイト・サイクル・コンフィギュレーション・レジスタ (AWCCR) の WP0 ビットは、WAITST には影響を与えません。

4.10 NAND フラッシュ n ECC レジスタ (NANDF1ECC ~ NANDF4ECC)

NAND フラッシュ n ECC レジスタ (NANDF n ECC) を図 29 に示し、表 42 で説明します。8 ビット NAND フラッシュの場合、P10、P20、P40 の各ビットは列パリティです。P80 ~ P2048O の各ビットは行パリティです。16 ビット NAND フラッシュの場合、P10、P20、P40、P80 の各ビットは列パリティです。P160 ~ P2048O の各ビットは行パリティです。

図 29. NAND フラッシュ n ECC レジスタ (NANDF n ECC)

31	Reserved				28	27	26	25	24
R-0					P2048O	P1024O	P512O	P256O	
23	22	21	20	19	18	17	16		
P128O	P64O	P32O	P16O	P8O	P4O	P2O	P1O		
R-0		R-0	R-0	R-0	R-0	R-0	R-0		
15	Reserved				12	11	10	9	8
R-0					P2048E	P1024E	P512E	P256E	
R-0					R-0	R-0	R-0	R-0	
7	6	5	4	3	2	1	0		
P128E	P64E	P32E	P16E	P8E	P4E	P2E	P1E		
R-0		R-0	R-0	R-0	R-0	R-0	R-0		

凡例：R = リード専用。-n = リセット後の値。

表 42. NAND フラッシュ n ECC レジスタ (NANDF n ECC) フィールドの説明

ビット	フィールド	値	説明
31-28	Reserved	0	予約。
27	P2048O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
26	P1024O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
25	P512O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
24	P256O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
23	P128O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
22	P64O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
21	P32O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
20	P16O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
19	P8O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
18	P4O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
17	P2O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
16	P1O	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
15-12	Reserved	0	予約。
11	P2948E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
10	P102E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
9	P512E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
8	P256E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
7	P128E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
6	P64E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
5	P32E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
4	P15E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
3	P8E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
2	P4E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
1	P2E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。
0	P1E	0-1	NAND フラッシュのリード/ライト時に計算される ECC コード。

付録 A 改訂履歴

本書の旧版からの変更点を表 A-1 に示します。

表 A-1. 資料改訂履歴

参照先	追加 / 変更 / 削除
図 1	図版を変更。
表 1	EM_D ピンを変更。
2.5 節	サブセクションを追加。それ以降のサブセクションの番号を振り直し。
2.6.1 項	サブセクションを変更。
表 3	ASIZE の説明を変更。
図 8	図版を変更。
図 10	図版を変更。
2.6.10 項	第 4 パラグラフを追加。
2.6.12 項	サブセクション 2.15.2 「プログラム実行」を削除。それ以降のサブセクションの番号を振り直し。
2.6.14 項	サブセクションを追加。
2.7 節	サブセクションを変更。
3.1.1 項	サブセクションを変更。
図 12	図版を変更。
図 13	図版を変更。
図 14	図版を変更。
図 15	図版を変更。
3.1.4 項	サブセクションを変更。
図 20	ビット 31 のリセット値を変更。
表 33	BE、ビット 31 の説明を変更。
図 21	図版を変更。
表 34	表の内容を変更。
表 35	ASIZE、ビット 1-0 の説明を変更。
表 40	CS5NAND、ビット 3 の説明を追加。

