

## TI Designs

# PRU-ICSSによるマルチプロトコル産業用イーサネット検出、 産業用オートメーション向け



## TI Designs

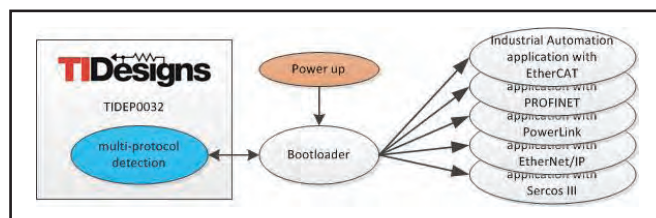
T産業用オートメーション・アプリケーションでは、20種類以上の異なる産業用イーサネット標準が使用されています。EtherCAT®、EtherNet/IP™、PROFINET、Sercos III、PowerLinkなど、よく利用されているリアルタイムイーサネット・プロトコルの一部では、FPGA(Field Programmable Gain Array)やASIC(Application Specific Integrated Circuit)といった専用のMACハードウェア・サポートが必要となります。TIのSitara™ファミリ・プロセッサの内部にハードウェア・ブロックとして搭載されているPRU-ICSS(Programmable Real-time Unit and the Industrial Communication Subsystem)は、FPGAまたはASICをシングルチップ・ソリューションで置き換えたものです。PRU-ICSSのファームウェアでは、産業用イーサネット・プロトコルの種類を検出でき、適切な産業用アプリケーションを実行時にSitaraプロセッサへロードします。このTI Designでは、PRU-ICSS用のマルチプロトコル産業用イーサネット検出ファームウェアについて説明します。

## デザイン・リソース

TIDEP0032	デザイン・ファイルを含む ツール・フォルダ
TMDSICE3359	ツール・フォルダ
AM3359	製品フォルダ
TIDEP0001	ツール・フォルダ
TIDEP0003	ツール・フォルダ
TIDEP0008	ツール・フォルダ
TIDEP0010	ツール・フォルダ
TIDEP0028	ツール・フォルダ



[ASK Our E2E Experts](#)  
[WEBENCH® Calculator Tools](#)

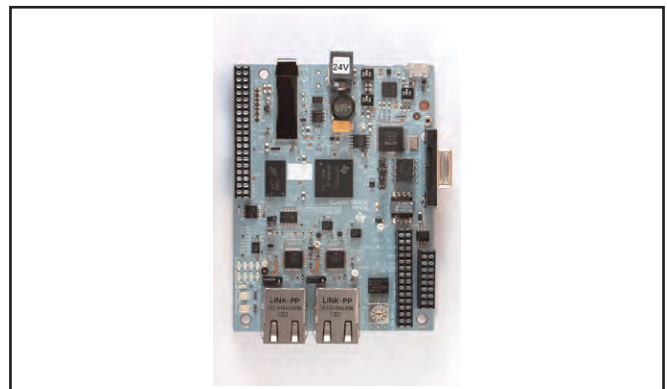


## デザインの特長

- PRU-ICSS用のマルチプロトコル産業用イーサネット検出ファームウェア
- EtherCAT、EtherNet/IP、PROFINET、Sercos III、PowerLinkなど、主要な産業用イーサネット・プロトコル標準の検出をサポート
- PRU-ICSS用マルチプロトコル産業用イーサネット検出ファームウェアのソース・コードが提供され、カスタマイズおよび他の産業用イーサネット・プロトコル標準の追加が可能
- PRU-ICSSファームウェアはTIのマルチプロトコル・デモンストレータ・パネル上でテスト済み(“Electronica and SPS IPC Drives”トレード・ショーで公開)であり、ファームウェアのソース・コードとデザイン実装が付属

## 主なアプリケーション

- プログラマブル・ロジック制御システム(PLC)
- 産業用ドライブ
- 産業用センサおよびI/Oモジュール
- 産業用通信ゲートウェイ



この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TIDUA28A 翻訳版

最新の英語版資料  
<http://www.ti.com/littidua28>



An IMPORTANT NOTICE at the end of this TI reference design addresses authorized use, intellectual property matters and other important disclaimers and information.

## 1 主なシステム仕様

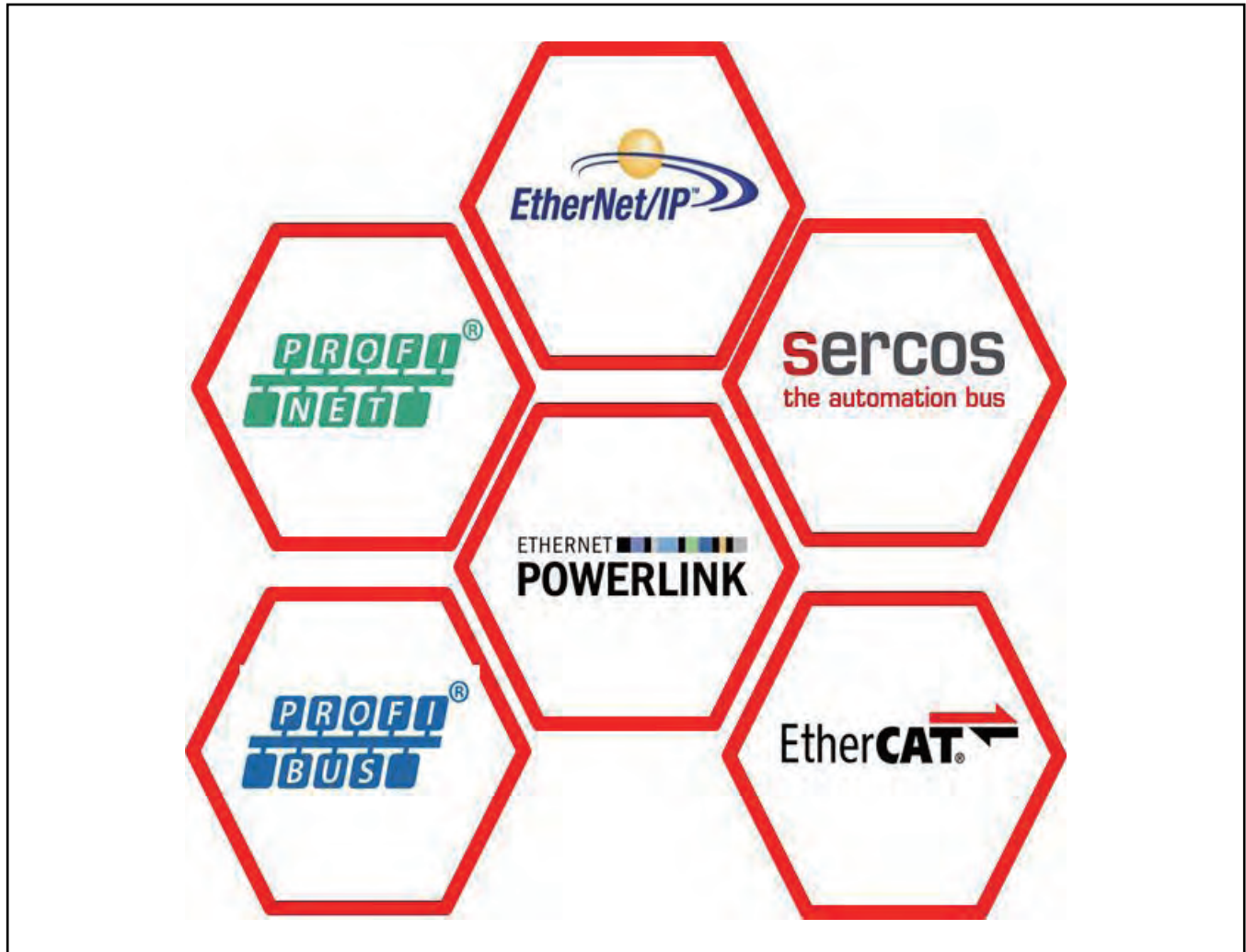


図 1. PRU-ICSSによる、さまざまな産業用イーサネット標準のマルチプロトコル検出

本項執筆時点で、20以上の産業用イーサネット・プロトコルが標準として定義され、産業用オートメーション・ソリューションを導入した工場で利用されています。表1に、PRU-ICSS用のマルチプロトコル検出ファームウェアを使用してこのTI Designでサポートされる産業用イーサネット・プロトコルの一覧を示します。また、このTI Designでは、ユーザーが製品を差別化する方法として、他の産業用イーサネット標準を検出できるように、PRU-ICSSファームウェアのソース・コードを編集することができます。

表 1. リアルタイム・イーサネットの種類と検出方法

PROTOCOL NAME	DETECTION TYPE	PROTOCOL ID (STORED IN SHARED MEMORY)
EtherCAT	EtherType field	0xA488
PROFINET	EtherType field	0x9288
Sercos III	EtherType field	0xCD88
PowerLink	EtherType field	0xAB88
EtherNet/IP	EtherType field and MAC address match	0x0002 and 0xE49069*****

## 2 システム説明

プログラミング能力が大きく向上した新しい種類のマルチコア組み込みプロセッサやSoC(Systems-on-a-Chip)によって、産業用ネットワーク機器メーカーの多くが製品ラインで採用する戦略が変化しています。これらの新しいプロセッサをソフトウェアベースのプロトコル実行と組み合わせることで、スケーラブルなプラットフォームのアプローチを実現できます。そのような柔軟性の高いアーキテクチャは、幅広い種類のシステムにわたって、複数の産業用通信プロトコルをサポートできます。その結果、より高速で強力な処理能力が産業用ネットワーク機器のユーザーに提供される一方で、メーカーは自社のシステム・コストを削減し、組み立てプロセスを単純化し、機能の差別化を推進し、フィールド・サポートの合理化を進めています。

### 2.1 決定性の産業用イーサネット・プロトコル

産業用イーサネット（またはリアルタイム・イーサネット）の各プロトコルには、産業用オートメーションおよび制御の市場で、それぞれ独自の利点があります。

イーサネットMAC(Medium Access Control)用の標準ハードウェアではリアルタイムの制約に対応できないため、スレーブ・デバイスのほとんどには固有のハードウェア・サポートが必要となります。イーサネット・フレームの低いレイテンシを維持するためには、オン・ザ・フライ（その場での）処理など、いくつかの機能が必須です。このオン・ザ・フライ処理は、MACハードウェアがまだフレームを受信している間に、プロトコル固有のMACが受信バイトのストリームからバイトを抽出または挿入（あるいはその両方）し、新しいイーサネット・フレームのチェックサムを再計算して付加することを意味します。

表2は、EtherCAT<sup>®</sup>、EtherNet/IP<sup>™</sup>、PROFINET、POWERLINK、Sercos IIIなど、最も普及している産業用イーサネット・プロトコルに関する情報を示しています。

また、仕様の更新やテスト要件などによってプロトコルを最新に保持するために活動している組織も記載されています。プロトコルの詳細については、各組織のWebサイトをご覧ください。

表 2. 産業用イーサネット標準

CRITERIA	PROFINET	PowerLink	EtherNet/IP	EtherCAT	Sercos III
Organization	PNO	EPSCG	ODVA	ETG	SERCOS International
www.	<a href="http://profibus.com">profibus.com</a>	<a href="http://ethernet-powerlink.org">ethernet-powerlink.org</a>	<a href="http://odva.org">odva.org</a>	<a href="http://ethercat.org">ethercat.org</a>	<a href="http://sercos.org">sercos.org</a>

#### 2.1.1 EtherCAT

EtherCATは、TCP/IPなどの高レベル・プロトコルに対して透過であるMAC層プロトコルです。これまで、ほとんどの場合、EtherCATはASICおよびFPGAで実行されてきました。EtherCATは、低レイテンシのスレーブ応答時間を確保するために、データ送信へのオーバーヘッドを最小限にし、産業用イーサネット・ネットワーク上に最大65,535個のノードをサポートします。

TIプロセッサでのEtherCATテクノロジーの詳細については、TIDEP0001ツール・フォルダを参照してください。

#### 2.1.2 EtherNet/IP

EtherNet/IPは、TCP/IP上で実行されるアプリケーション層プロトコルであり、産業用ネットワーク向けにCIP(Common Industrial Protocol)を採用しています。EtherNet/IPでは標準のイーサネットおよびイーサネット・スイッチを利用するため、EtherNet/IPネットワークでは無制限の数のノードをサポートできます。

TIプロセッサでのEtherNet/IPテクノロジーの詳細については、TIDEP0003ツール・フォルダを参照してください。

#### 2.1.3 PROFINET

PROFINETには3つの性能クラスがあり、それぞれ異なるスループット速度と、さまざまな低レイテンシ応答時間を提供します。通常、PROFINETでサポートされるネットワーク・トポロジは、ブランチ型およびスター型アーキテクチャです。

TIプロセッサでのPROFINETテクノロジーの詳細については、TIDEP0008ツール・フォルダを参照してください。

### 2.1.4 PowerLink

PowerLinkは、ポーリングおよびタイム・スライシング・メカニズムを採用することで、リアルタイムのネットワーク性能を実現します。PowerLinkはIEEE 802.3イーサネット上で動作するため、クロス接続やホット・プラグなど各種のネットワーク・トポロジをサポートします。

TIプロセッサでのPowerLinkテクノロジーの詳細については、TIDEP0028ツール・フォルダを参照してください。

### 2.1.5 Sercos III

これは、Sercos(Serial Real-time Communication System)の第三世代のプロトコルです。Sercos IIIは、リング型およびライン型のネットワーク・トポロジをサポートします。リング型のネットワーク・トポロジでは、Sercos IIIはある程度の冗長性を持ち、1つのスレーブで障害が発生しても、ネットワーク上の他のスレーブ・ノードへの通信は引き続き可能です。

TIプロセッサでのSercos IIIテクノロジーの詳細については、TIDEP0010ツール・フォルダを参照してください。

## 2.2 マルチプロトコル産業用イーサネット検出の実例

本稿執筆時点で、産業用オートメーション・ソリューションの製品は、1つの特定の産業用イーサネット・プロトコル向けに開発されています。デバイスは、メーカーの組み立てライン上で、その特定の産業用イーサネット・プロトコル用にプログラミングされます。ハードウェアの制約 (ASIC/FPGA)により、産業用オートメーション・ソリューションのほとんどの製品は、マルチプロトコルの産業用イーサネットをサポートせず、産業用イーサネット・プロトコルをその場でロードすることができません。

PRU-ICSSベースの製品では、産業用イーサネット・ファームウェアなどのマルチプロトコル産業用イーサネット・アプリケーションをサポートでき、これらはデバイスのスタートアップ時にロードされます。

図2に、PRU-ICSS対応デバイスでの、パワーアップ後のマルチプロトコル産業用イーサネット検出の実行フローを示します。最初に、ブートローダーがロードされて、メモリ・インターフェイス、システムPLL、汎用入出力 (GPIO) ピンなどのシステム・ペリフェラルを初期化します。ブートローダーは、受信する産業用イーサネット標準の種類をイーサネット・フレームから判別する必要があるため、最初にマルチプロトコル産業用イーサネット検出アプリケーション(TIDEP0032)をロードします。PRU-ICSSファームウェアによって、リアルタイム・イーサネット・ポート上の受信イーサネット・フレームが分析されます。産業用イーサネット標準が判別されると、プロトコルの種類が不揮発性メモリに格納され、ブートローダーが再起動されます。再起動後、ブートローダーは不揮発性メモリを読み取り、産業用イーサネット標準の種類を識別します。それによってブートローダーは、該当する産業用イーサネット標準 (EtherCAT、PROFINET、PowerLink、EtherNet/IP、Sercos IIIなど)をサポートする適切な産業用オートメーション・アプリケーションをロードできます。

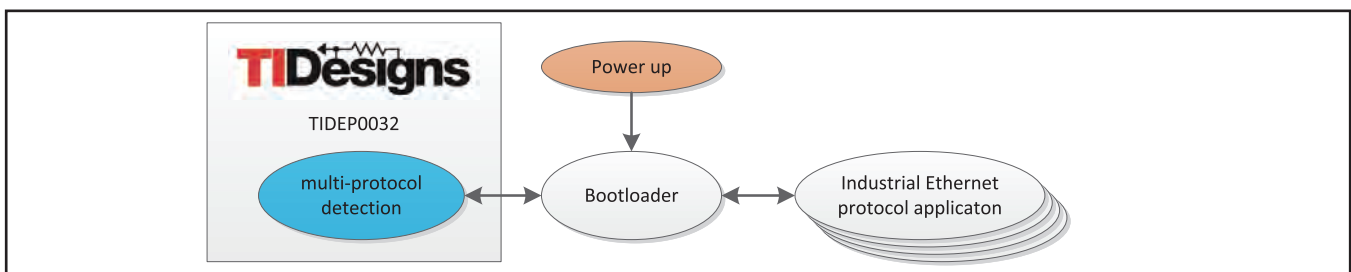


図 2. TI Design TIDEP0032： PRU-ICSSによるマルチプロトコル産業用イーサネット

TIDEP0032 TI Designは、PRU-ICSS用のマルチプロトコル検出ファームウェアを提供します。このデザインでは、イーサネット・フレームの受信について説明し、各種の産業用イーサネット標準の検出について詳述しています。また、他の産業用イーサネット標準の検出手段を追加する方法についても説明しています。

## 2.3 PRU-ICSSペリフェラル

### 2.3.1 PRU-ICSSシステム・ブロック図

PRU-ICSSは、専用のRAMおよびROMを備えた2つのプログラマブルRISCコアから構成されています(図3を参照)。これらのRISCコアは200MHzで動作し、1サイクルの命令実行(5ns)によってリアルタイムの決定性プログラミングが可能です。PRU-ICSSの詳細については、TIのWikiページ(<http://processors.wiki.ti.com/index.php/PRU-ICSS>)をご覧ください。

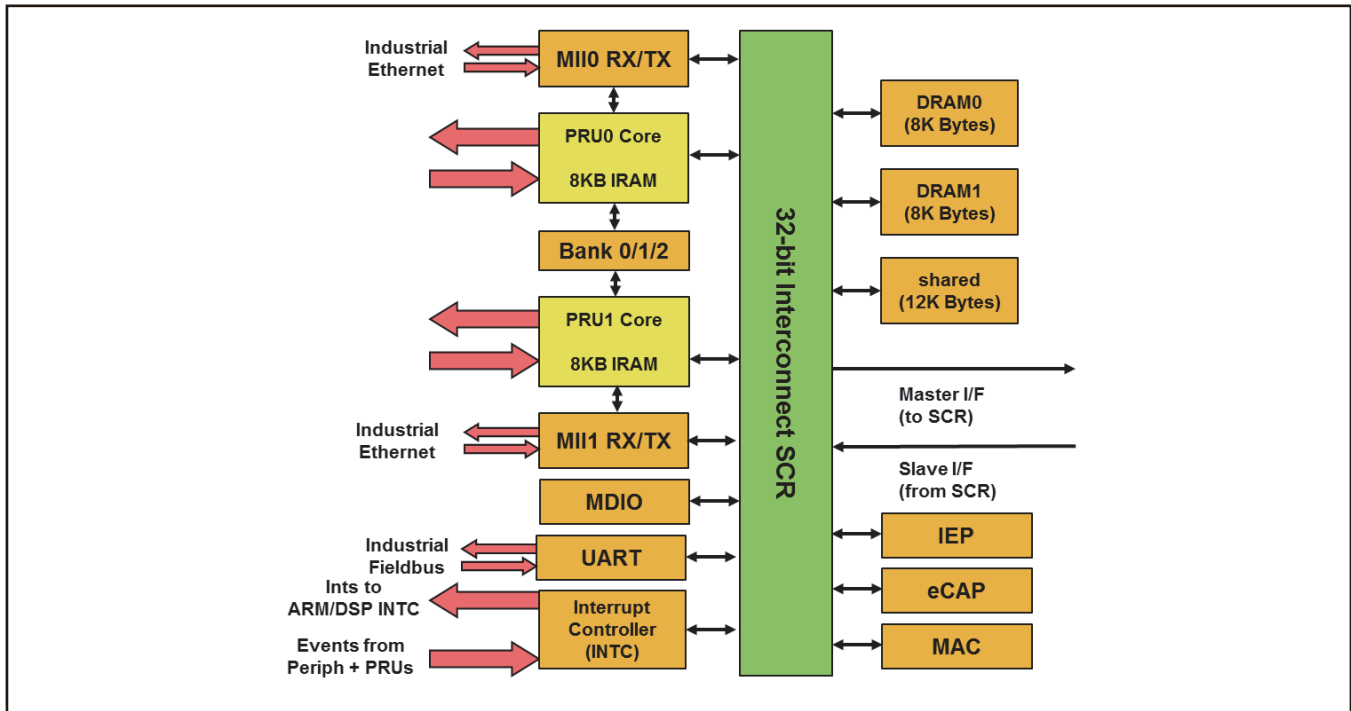


図 3. AM335xプロセッサのPRU-ICSSシステム・ブロック図

### 2.3.2 MIIインターフェイス

PRU-ICSSには、イーサネット・フレームを受信するために2つの専用MII (Media-Independent Interface)が搭載されています。各PRUが、1つのMIIブロックに直接アクセスできます。マルチプロトコル検出ファームウェアでは、“RX L2”モードを使用して、イーサネット・フレームを64バイトの循環リング・バッファ内で受信します。MIIインターフェイスはこのリング・バッファへの書き込みをブロックしますが、PRUでは、書き込みポインタが循環L2受信バッファ内のデータを上書きし始める前に、バッファから32バイト単位のデータを読み出す必要があります。PRUは命令を決定性のリアルタイム時間(1命令あたり5ns)で実行するため、次の式(1)および式(2)を使用して、必要な命令サイクル数を計算します。これらの計算では、ユーザーが100Mbpsのイーサネットを実装し、80nsごとに1バイトが受信されると仮定しています。

$$64 \text{ バイト} \times 80 \text{ ns (1バイトあたり)} = 5.12 \text{ } \mu\text{s} \quad (1)$$

$$5.12 \text{ } \mu\text{s} / 5 \text{ ns (1 PRU命令あたり)} = 1024 \text{ PRU命令} \quad (2)$$

これらの式で計算できるとおり、PRUは、RX L2バッファが先頭に戻ってフレームの受信済みバイトを上書きする前に、1024個の命令を実行できます。2.56 $\mu$ s (512 PRU命令)後に、32バイトの値が受信されます。

PRUは、イーサネット・フレームの32バイトを同時に処理します。この量を処理するために、XINアセンブリ命令では、RX L2データの32バイトを1つのPRU命令サイクル内でレジスタR2~R9にマッピングします。それによってPRUは、この32バイト・データを共有メモリに格納し、32バイト単位のイーサネット・フレーム断片を組み立てます。このプロセスは、イーサネット・フレームが完全に受信されるまで繰り返されます。その後で、PRUは受信したイーサネット・フレームの分析を開始し、産業用イーサネット標準の種類を判別します。

### 2.3.3 PRUのRAMと共有メモリ

PRU-ICSSは、PRUコアごとの8KBに加えて、12KBの共有メモリを備えています。PRU0のローカルRAMを使用して、イーサネット・フレーム全体を格納します。イーサネット・フレームが分析され、産業用イーサネット標準の種類が判別されると、プロトコルの種類が共有メモリに格納されます。ARMアプリケーションでは、以降の処理にこの種類のプロトコルだけを使用します。

### 2.3.4 PRU-ICSS割り込みコントローラ

PRU-ICSSファームウェアによって産業用イーサネット標準が検出されると、PRUは割り込みコントローラ(INTC)を通してイベントを発行します。ARM割り込みコントローラは、このイベントを割り込みとして受信します。イベントの送信後、PRUはイーサネット・フレームの分析を続行しながら、各フレームの分析後に引き続きPRU RAMアドレスを更新します。ARMでは、アプリケーションがブートローダーを再起動する前に、同じ種類の産業用イーサネット標準に対する複数のイベントを何回受信できるか、具体的に決定する必要があります。図4に、INTCの構成を示します。システム・イベント18(SYS\_EVENT\_18)はChannel-2にマッピングされ、Host-2イベントが発生します。そして、このHost-2イベントがARM割り込みコントローラで受信されます。

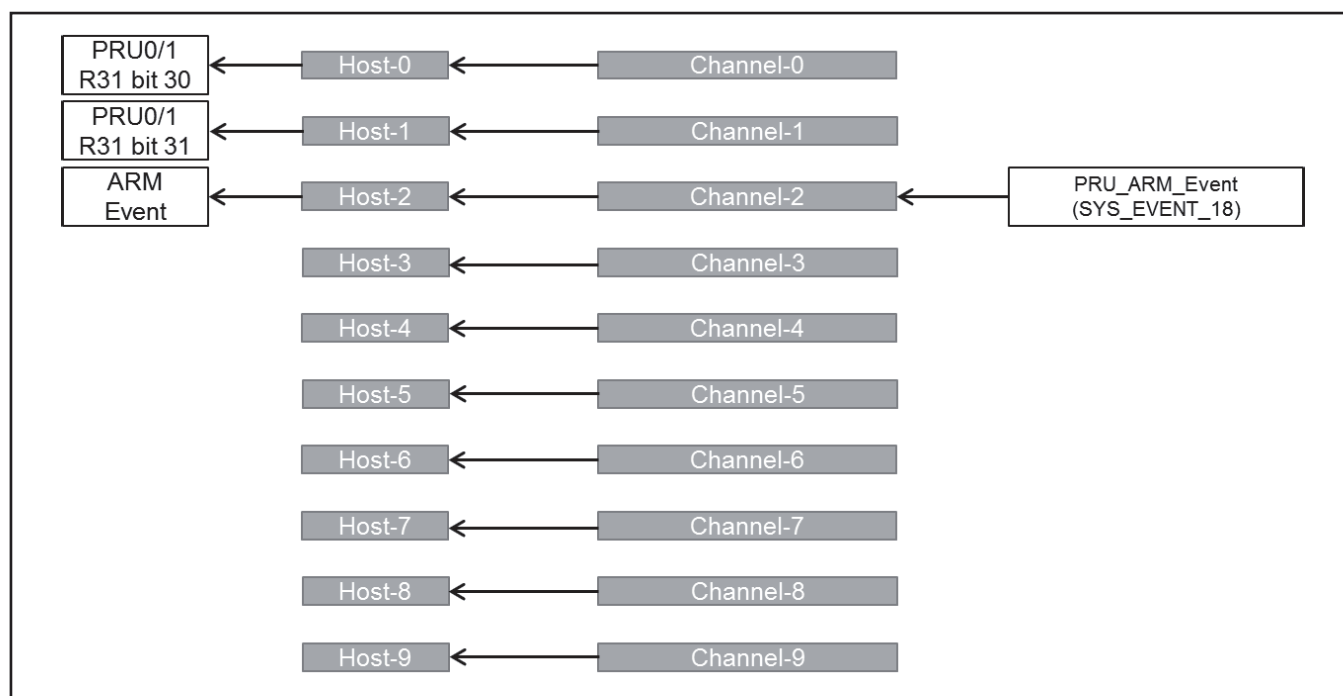


図 4. PRU-ICSSのINTC構成

### 2.3.5 PRUのアセンブラ・プログラミング

このTI Designでは、RISCアセンブラを使用してPRU-ICSSファームウェアをプログラミングします。このプログラミング手法により、リアルタイム性が不可欠なアプリケーションの実装可能性が向上します。また、TIのCode Composer Studio™ (CCSv6)を使用すると、PRUをC言語でプログラミングできます。ただし、このTI Designでは、リアルタイム制約を満たす必要があるため、C言語は使用していません。

TI WikiにあるPRUアセンブリ命令マニュアルを参照してください。

[http://processors.wiki.ti.com/index.php/PRU\\_Assembly\\_Instructions](http://processors.wiki.ti.com/index.php/PRU_Assembly_Instructions).

## 3 ブロック図

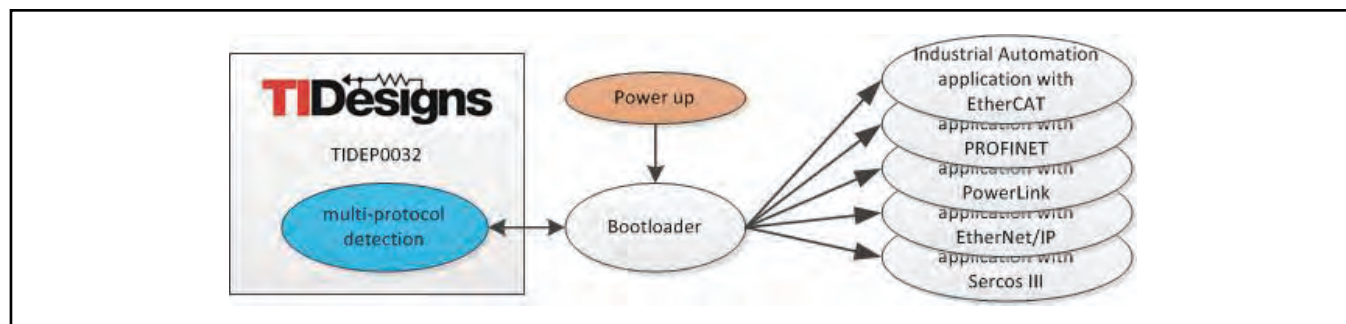


図 5. PRU-ICSSによるマルチプロトコル産業用イーサネット検出

### 3.1 使用製品

#### 3.1.1 AM335xプロセッサ

最大1GHzのSitara™ ARM® Cortex®-A8 32ビットRISCプロセッサ

- NEON™ SIMDコプロセッサ
- 32KBのL1命令キャッシュおよび32KBのデータ・キャッシュ、単一エラー検出 (パリティ) 付き
- 256KBのL2キャッシュ、エラー訂正コード(ECC) 付き
- 176KBのオンチップ・ブートROM
- 64KBの専用RAM
- エミュレーションおよびデバッグ - JTAG
- 割り込みコントローラ(最大128個の割り込み要求)

プログラマブル・リアルタイム・ユニット・サブシステムおよび産業用通信サブシステム(PRU-ICSS)

- EtherCAT®, PROFIBUS、PROFINET、EtherNet/IP™などのプロトコルをサポート
- 2個のプログラマブル・リアルタイム・ユニット(PRU)
- 200MHzで動作可能な32ビットのロード/ストアRISCプロセッサ
- 8KBの命令RAM、単一エラー検出 (パリティ) 付き
- 8KBのデータRAM、単一エラー検出 (パリティ) 付き
- 64ビット・アキュムレータを備えたシングル・サイクル32ビット乗算器
- 強化されたGPIOモジュールによりシフトイン/シフトアウトおよび外部信号の並列ラッチをサポート
- 12KBの共有RAM、単一エラー検出 (パリティ) 付き
- 各PRUからアクセス可能な120バイトのレジスタ・バンク × 3
- システム入力イベント処理用のINTC
- 内部および外部マスタをPRU-ICSS内部のリソースに接続するローカル相互接続バス
- PRU-ICSS内部のペリフェラル：
  - 最大12Mbpsをサポートするフロー制御ピン付きUART(Universal Asynchronous Receiver and Transmitter)ポート × 1
  - eCAP(enhanced capture) モジュール × 1
  - EtherCATなどの産業用イーサネットをサポートするMIIイーサネット・ポート × 2
  - MDIO(Management Data Input and Output)ポート × 1

オンチップ・メモリ(共有L3 RAM)

- 64KBの汎用オンチップ・メモリ・コントローラ (OCMC) RAM
- すべてのマスタからアクセス可能

**外部メモリ・インターフェイス(EMIF)**

- mDDR (LPDDR)、DDR2、DDR3、およびDDR3Lコントローラ：
  - mDDR：200MHzクロック(データ・レート：400MHz)
  - DDR2：266MHzクロック(データ・レート：532MHz)
  - DDR3：400MHzクロック(データ・レート：800MHz)
  - DDR3L：400MHzクロック(データ・レート：800MHz)
  - 16ビット・データ・バス
  - 合計1GBのアドレッシング可能領域
  - 1個のx16メモリまたは2個のx8メモリによるデバイス構成をサポート
- 汎用メモリ・コントローラ (GPMC)
  - 最大7個のチップ選択 (NAND、NOR、Muxed-NOR、またはSRAM)を備えた柔軟な8ビットおよび16ビット非同期メモリ・インターフェイス
  - BCHコードを使用して4、8、または16ビットECCをサポート
  - ハミング・コードを使用して1ビットECCをサポート

### 3.1.2 TMDSICE3359産業用通信エンジンEVM

**ハードウェア仕様**

- AM3359 ARM Cortex-A8
- DDR3、NORフラッシュ、およびSPI (Serial Peripheral Interface) フラッシュ
- 有機発光ダイオード (OLED) ディスプレイ
- TPS65910電源管理
- 24V電源
- JTAGインターフェイスおよびシリアル・コンソール用USBケーブル

**ソフトウェアおよびツール**

- SYS/BIOSリアルタイム・オペレーティング・システム (OS)
- Starterwareベース・ポート
- TIのCode Composer Studio™ (CSS)統合開発環境 (IDE)
- 産業用通信プロトコル用のアプリケーション・スタック
- 産業用サンプル・アプリケーション

**接続性**

- PROFIBUSインターフェイス
- CANOpen
- EtherNet/IP
- PROFINET
- Sercos III
- デジタル入出力 (I/O)
- SPI
- UART
- JTAG

機能およびデザイン・リソースの完全なリストについては、TMDSICE3359 Webサイトを参照してください：

[www.ti.com/tool/tmdsice3359](http://www.ti.com/tool/tmdsice3359)



## 4 システム設計理論

産業用イーサネット標準の種類を判別する方法の1つは、802.3イーサネット・フレーム構造の内部にある特定のフィールドを既知の値と比較することです。

PRU-ICSSファームウェアは、サポートされている5つの産業用イーサネット標準のうち4つのケースで、EtherTypeフィールドを既知の値と比較します。さらに、PRU-ICSSファームウェアでは、EtherNet/IP標準に対して、ソースMACアドレスを分析します。

### 4.1 イーサネット・フレームの形式

表3に、802.3イーサネット・フレームの形式構造を示します。イーサネットPHYとMACでは、7つの“Preamble”オクテット(バイト)と1つの“Start of Frame Delimiter”(SFD)オクテットを使用して、受信したフレームに受信ロジックを同期させます。PRU-ICSS内のMIIブロックは、受信したフレームから8バイトのフレーム・ヘッダを削除するよう設定されています。それにより、RX L2リング・バッファに格納される最初の情報はMAC宛先アドレスとなり、その後にMACソース・アドレスが続きます。MACソース・アドレスの後、イーサネット標準でサポートされる802.1Qタグがない場合には、次に受信した2バイトが、2オクテットのEtherTypeフィールドです。これらの2オクテットは、MAC宛先アドレスの先頭から12バイトのオフセットで配置されています。このEtherType情報を使用して、産業用イーサネット標準の種類を判別します。

表 3. イーサネットのパケットおよびフレーム構造

LAYER	PREAMBLE	START OF FRAME DELIMITER	MAC DESTINATION	MAC SOURCE	802.1Q TAG (OPTIONAL)	ETHERTYPE (ETHERNET II) OR LENGTH (IEEE 802.3)	PAYLOAD	FRAME CHECK SEQUENCE (32-BIT CRC)	INTERPACKET GAP
	7 octets	1 octet	6 octets	6 octets	(4 octets)	2 octets	46(42) <sup>(1)</sup> –1500 octets	4 octets	12 octets
Layer 2 Ethernet frame	← 64–1518(1522) octets →								
Layer 1 Ethernet frame	← 72–1526(1530) octets →								

(1) IEEE 802.3-2005 Clause 3.5より

### 4.2 産業用イーサネット標準の詳細

EtherTypeフィールドの内容は、それぞれの産業用イーサネット標準ごとに異なります。表4に、各産業用イーサネット標準について想定されるEtherType値を示します。フレームが受信されると、PRUファームウェアは、PRU0のローカルRAMから2バイトのEtherTypeフィールド(4.1節で述べたように、MAC宛先アドレスから12バイトのオフセットで配置)をロードします。フレームのEtherType値を表4の値と比較することで、産業用イーサネット標準の種類を判別します。

表 4. 産業用イーサネット標準ごとに固有のEtherType値

PROTOCOL NAME	ETHERTYPE FIELD VALUE (2 BYTES)	COMMENT
EtherCAT	0x88AE	
PROFINET	0x8892	
Sercos III	0x88CD	
PowerLink	0x88AB	
EtherNet/IP	0x8000	IP protocol

PRU-ICSSでは、分析を完了する前に、MACソース・アドレスがRockwell AutomationのMACアドレス範囲内に一致するかどうかチェックします。PRU-ICSSでは、(EtherTypeとしてIPプロトコル値を持つ)EtherNET/IPに対してだけ、このチェックを行います。

## 4.3 マルチプロトコル産業用イーサネット検出 - 機能シーケンス

図6に、汎用機能ブロックのフローチャートを示します。青色のボックスが、このTIDEP0032 TI Designに含まれている部分です。

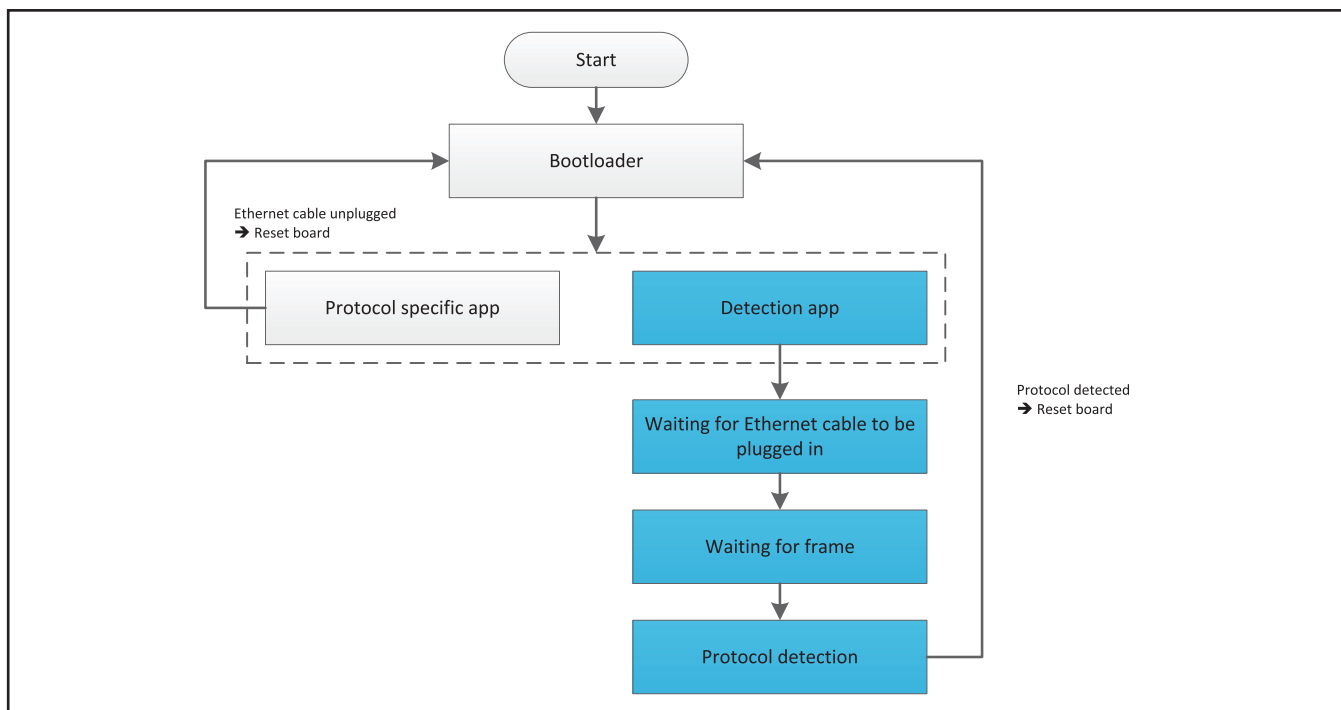


図 6. マルチプロトコル・アプリケーションのフローチャート

ブートローダーが検出アプリケーションのバイナリをARMプロセッサにロードした後、ARMは必要なSoC機能ブロック(PRU-ICSS、MII、イーサネットPHYなど)を初期化します。その後、アプリケーションは、ユーザーがイーサネット・ケーブルを接続してPLCとのPHYリンクを確立するまで待機します。この接続が確立された後、検出アプリケーションはイーサネット・フレームの受信を待ちます。イーサネット・フレームが受信されると、アプリケーションはフレームの内容を分析して、産業用イーサネット標準を判別します。産業用イーサネット標準の判別後、アプリケーションはリセットを生成してブートローダーをリロードします。

### 4.3.1 ARMアプリケーションの説明

ARMアプリケーションは、main()関数、タスク、および割り込み処理ルーチン(ISR)から構成されます。このアプリケーションは、TIのSYS/BIOS™リアルタイム・オペレーティング・システム(RTOS)を使用します。

main()関数は、以下のタスクを実行します。

- SoCデバイスの初期化
  - メモリ管理ユニット(MMU)
  - オンボードEEPROMに格納された情報による基板検出の種類
  - プロセッサ・ピンの構成
  - SPI、GPIO、LED、およびUARTペリフェラル
- PRU-ICSSの初期化 (MIIブロック内のRX L2リング・バッファの設定を含む)
- PRU-ICSSによって生成されたイベントを受信する割り込みハンドラの登録
- タスクreset\_task()の登録
- OLEDディスプレイへのメッセージの表
- SYS/BIOSスケジューラの起動

ISRは、PRU-ICSSファームウェアによって生成された割り込みの受信を待機します。この割り込みは、イーサネット・フレームが受信されて分析されたときに発行されます。ISRでは、産業用イーサネット標準の種類を確認し、この情報をRTC\_SCRATCH0\_REGレジスタに書き込みます。このレジスタは、デバイスがコールド・スタート（リセット）を実行した後もデータの整合性を保持するため、このレジスタに格納された情報をブートローダーが評価することができます。

表5と表6は、AM3359 Technical Reference Manual (TRM)[4]からの抜粋であり、レジスタRTC\_SCRATCH0\_REGおよびPRM\_RSTCTRLの詳細を示しています。

**表 5. RTC\_SCRATCH0\_REGレジスタ**

3	3	2	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	
RTCSCRATCH0																															
R/W-0h																															

RTC\_SCRATCH0\_REGは、メモリ・アドレス0x44E3E060に存在します。

表6にPRM\_RSTCTRLレジスタを示し、表7でその各フィールドを説明しています。グローバル・ソフトウェアには、コールドおよびウォーム・リセット制御機能があります。このレジスタは自動的にクリアされ、“1の書き込み”のみが可能です。読み出すと常に“0”が返されます。

**表 6. RTC\_SCRATCH0\_REGレジスタのフィールド説明**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8								
RESERVED																															
Rreturns0s-0h																															
7	6	5	4	3	2	1																									
RESERVED																RST_GLO BAL_ SW COLD_				RST_GLOBAL_ WARM_SW											
Rreturns0s/W-0h																Rreturns0s/W-0h				Rreturns0s/W-0h											

**表 7. PRM\_RSTCTRLレジスタのフィールド説明**

BIT	FIELD	TYPE	RESET	DESCRIPTION
31-2	RESERVED	Rreturns0s	0h	
1	RST_GLOBAL_COLD_SW	Rreturns0s/W	0h	Global COLD software reset control. This bit is reset only upon a global cold source of reset. Read returns 0. 0h = 0x0 : Global COLD software reset is cleared. 1h = 0x1 : Asserts a global COLD software reset. The software must ensure the SDRAM is properly put in self-refresh mode before applying this reset.
0	RST_GLOBAL_WARM_SW	Rreturns0s/W	0h	Global WARM software reset control. This bit is reset upon any global source of reset (WARM and COLD). Read returns 0. 0h = 0x0 : Global WARM software reset is cleared. 1h = 0x1 : Asserts a global WARM software reset.

task\_reset()は、g\_resetパラメータの値が“1”に等しくなるまで待機します。値がそれ以外の場合、task\_reset()は再びスリープ・モードに入ります。g\_resetパラメータが“1”に等しくなると、メモリ・アドレス0x44E00F00のPRM\_RSTCTRLレジスタにRST\_GLOBAL\_COLD\_SWビットをセットします。

RST\_GLOBAL\_COLD\_SWビットをセットすると、SoCのコールド・ソフトウェア・リセットが開始され、ブートローダーがリロードされます。リロード後、ブートローダーは、RTC\_SCRATCH0\_REGを読み出すことにより、産業用イーサネット標準の種類を判別できます。ブートローダーはその後、産業用アプリケーション・ソフトウェアに該当する産業用イーサネット標準をロードする前に、RTC\_SCRATCH0\_REGレジスタをクリアする必要があります。

### 4.3.2 PRU-ICSSファームウェアの説明

PRUファームウェアでは最初に、(MDIOへのアクセスを通じて)イーサネットPHYがリンクを確立しているかどうかを確認します。これは、イーサネット・ケーブルがRJ45コネクタに接続され、PLCとのリンクが確立されていることを意味します。

リンクが確立されるとすぐに、PRU-ICSSファームウェアは新しいイーサネット・フレームの受信を待機します。PRU-ICSSファームウェアは、イーサネット・フレームを共有メモリに格納します。フレームが完全に受信されると、PRU-ICSSファームウェアは、イーサネット・フレーム内部のEthertypeフィールド(フレームの先頭から12バイトのオフセット位置)に基づいて産業用イーサネットの種類を分析します。Ethertypeフィールドの分析後、PRU-ICSSファームウェアは検出した標準の種類をPRUローカル・メモリに格納し、割り込みコントローラを通してARMに割り込みを発生します。割り込みを生成した後、PRU-ICSSファームウェアは、次のフレームが受信されるまで待機します。

### 4.4 産業用イーサネット・プロトコル検出用PRU-ICSSファームウェアの拡張

エンジニアは、PRU-ICSSファームウェアを拡張して、追加の産業用イーサネット標準を分析することができます。このような拡張を実現するには、産業用イーサネット標準の特性をエンジニアが知っている必要があります。特性または識別パラメータの一例がEthertypeフィールドであり、これはEtherCATで使用されます。Ethertypeが0x88AEに一致した場合、PRU-ICSSファームウェアはそれがEtherCATフレームであると判別します。PRU-ICSSレジスタでは、この2バイトが入れ替わっていることに注意してください。つまり、ファームウェアは0xAE88との一致をチェックします。同じプログラム・フローを、必要に応じて他のEthertype値にも使用できます。

イーサネット・フレーム内の追加のフィールドをチェックする必要がある場合は、PRU-ICSSファームウェアを使用して、PRU0ローカル・データRAM(メモリ・アドレス0x00000)に格納されているフレーム全体にアクセスできます。

## 5 開発の開始

PRU-ICSSによるマルチプロトコル産業用イーサネット検出では、デモおよび評価のために以下のハードウェアおよびソフトウェアが必要となります。

### 5.1 ハードウェア要件

- TMSICE3359 ICE EVM(TMSICE3359)
- 以下の産業用イーサネット標準をサポートするプログラマブル・ロジック・コントローラ：EtherCAT、PROFINET、EtherNet/IP、Sercos III、PowerLink

### 5.2 ソフトウェア要件

- CCSv6 ([http://processors.wiki.ti.com/index.php/Download\\_CCS](http://processors.wiki.ti.com/index.php/Download_CCS))
- AM335x SYS/BIOS Industrial SDK 01.01.00.05
- SYS/BIOS 6.41.0.26およびXDCtools 3.30.5.60
- ARM Compiler TI V5.1.10
- PRU C-Compiler v2.1.1

TIDEP0032デザインは、CCSv6用のARMプロジェクトおよびPRUプロジェクトから構成されています。ユーザーはCCS内で2つのプロジェクトをそれぞれ個別にインポートしてビルドする必要があります。PRUプロジェクトは、ビルド・プロセス中にファームウェア・ヘッダ・ファイル(.h)を生成します。ARMプロジェクトは、ビルド・プロセス中にPRUファームウェア・ヘッダ・ファイルをインクルードします。つまり、ユーザーは最初にPRUプロジェクトをビルドしてから、ARMプロジェクトをビルドする必要があります。また、ユーザーがPRU-ICSSファームウェアに変更を加えた場合、その変更を有効にするためには、PRUおよびARMプロジェクトも再ビルドする必要があります。

### 5.3 CCSのインポート、ビルド、およびダウンロード

(デフォルトのインストール・パスから)サブフォルダ...detection\_appでARMプロジェクトを見つけます。

サブフォルダ...detection\_firmware\_ccsでPRUプロジェクトを見つけます。

最初に、“Import CCS Eclipse Projects”ウィンドウで、両方のプロジェクトをCCSにインポートします (図7および図8を参照)。

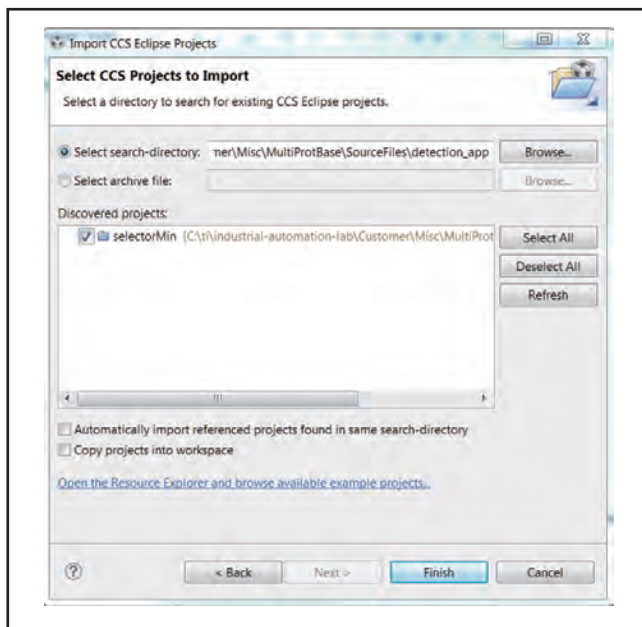


図 7. ARMプロジェクトのCCSインポート・ダイアログ

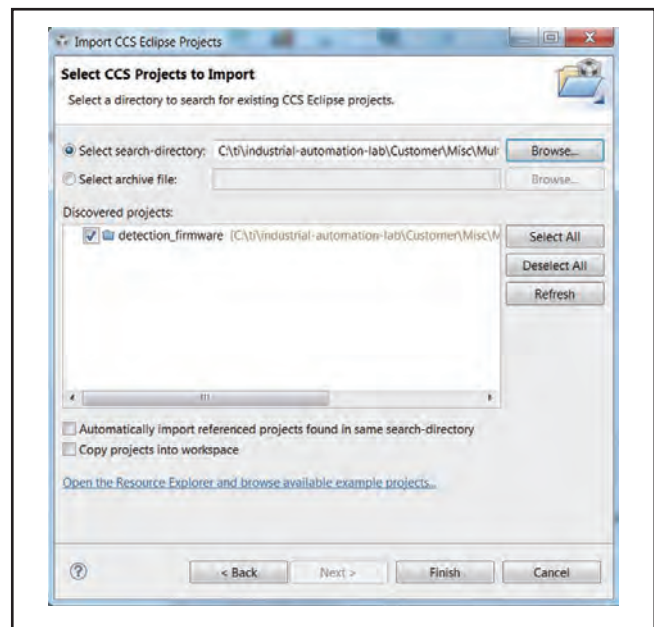


図 8. PRUプロジェクトのCCSインポート・ダイアログ

プロジェクトをインポートすると、プロジェクト・エクスプローラにPRUプロジェクトdetection\_firmwareおよびARMプロジェクトselectorMinが表示されます (図9を参照)。

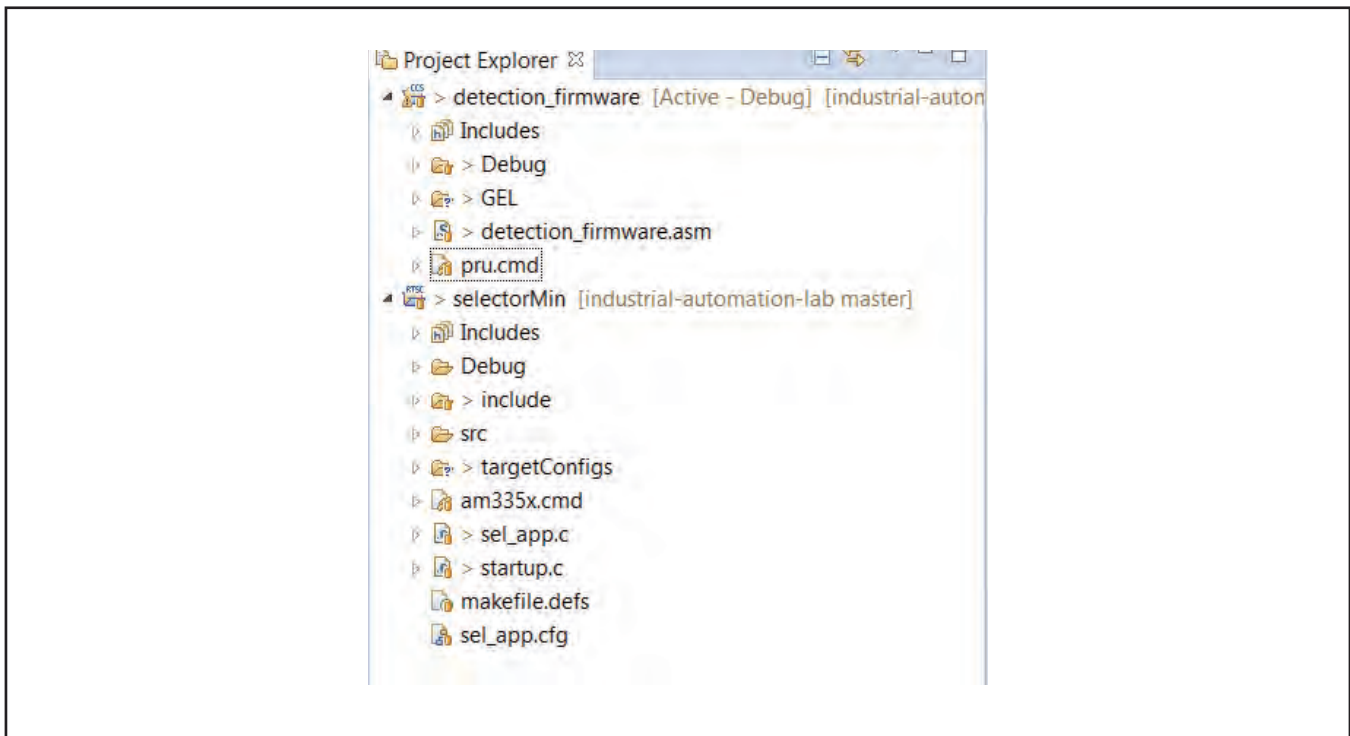


図 9. CCSプロジェクト・エクスプローラの表示内容

次のステップは、PRUプロジェクトの再ビルドです。

- “Project Explorer”ウィンドウで、detection\_firmwareフォルダを選択します。
- メニュー・バーで、“Project”、“Build Project”の順に選択します。
- PRU-ICSSプロジェクトがビルドされ、ファイルdetection\_firmware.outが生成されます。

新しいCMDウィンドウを開いて、.outファイルから.hファイルを生成します (図10を参照)。この.hファイルはselectorMinアプリケーションによって使用され、PRU-ICSSファームウェアが含まれています。

- detection\_firmware\_css\Debugフォルダに移動します。
- ファイルbuild\_header.batを実行します。
- このファイルを実行すると、protocol\_detection\_bin.hが生成されて、selectorMin\includeフォルダにコピーされます。

注： 使用している特定のPCの開発用パスに応じて、ユーザーは.batファイル内のファイル・パスを変更する必要があります。

```

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>build_header.bat

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>set PRU_C_COMPILER_PATH="C:\ti\ccsv6\tools\compiler\ti-cgt-pru_2.1.1\"

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>IF ""C:\ti\ccsv6\tools\compiler\ti-cgt-pru_2.1.1\" == "" GOTO NOPATH

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>rem "C:\ti\ccsv6\tools\compiler\ti-cgt-pru_2.1.1\" \bin\clpru.exe --verbose --asm_listing --asm_define=MAG_ADC_ENABLE --asm_define=ADC_SIMULTANEOUS_SAMPLING --asm_define=MINIMAL_ADC_CONFIG pru_adc_sampling.asm -z pru_adc_sampling.cmd -o pru_adc_sampling.out -m pru_adc_sampling.map -i "C:\ti\ccsv6\tools\compiler\ti-cgt-pru_2.1.1\" \lib

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>"C:\ti\ccsv6\tools\compiler\ti-cgt-pru_2.1.1\" \bin\hexpru.exe pru_header.cmd detection_firmware.out
Translating to Binary format...
"detection_firmware.out" .text ==> .text

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>C:\ti\am335x_sysbios_ind_sdk_1.1.0.5\sdk\tools\bin2header\bin2header.exe detection_firmware.b00 pru_header_bin.h detection_firmware_0 4

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>copy .\pru_header_bin.h ..\..\detection_app\include\protocol_detection_bin.h
1 file(s) copied.

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>GOTO END

C:\ti\industrial-automation-lab\Customer\Misc\MultiProtBase\SourceFiles\detection_firmware_ccs\Debug>

```

図 10. ファームウェア・ヘッダ・ファイルの生成

次のステップは、ターゲット構成ファイルの生成です (まだ存在しない場合)。図11を参照してください。このファイルを生成すると、CCSソフトウェアがJTAGを通してTMDSCICE3359 ICE EVMと接続できるようになります。

- メニュー・バーから、“File”、“New”、“Target Configuration”の順に選択します。
- 基本パネルで、以下を実行します。
  - “All Connections”パネルで、“Texas Instruments XDS100v2 USB Emulator”を選択します。
  - “Board or Device”で、AM3359を選択します。
- カスケード表示される詳細設定パネルで、以下を実行します。
  - CortexA8を選択します。
  - フォルダsdk\tools\gel\ICEで、SDKからGELファイルTMDXICE3359\_v2\_1A.gelを選択します。
  - “Save”ボタンをクリックします。

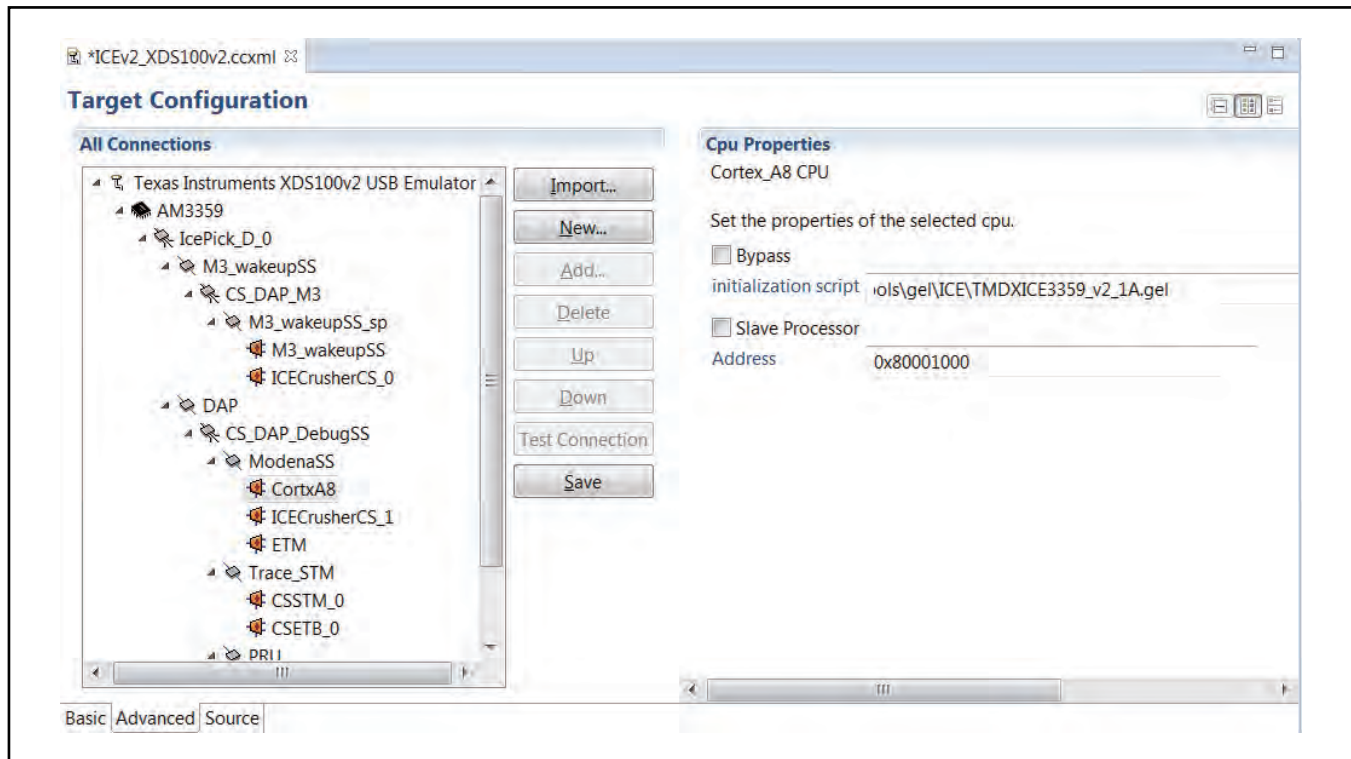


図 11. ターゲット構成ファイル

TMDXICE3359 ICE EVMを24V電源に接続します。ICE基板とPCの間にUSBケーブルを接続します。次に、ターゲット構成ファイルを開き、CCSv6とICE EVMの間にJTAGデバッグ接続を設定します。

- “Debug”ウィンドウで、CortexA8エントリを選択します。
- メニュー・バーで、“Run”、“Connect Target”の順に選択します。
- “Run”、“Reset”、“CPU Reset (HW)”の順に選択します。
- “Scripts”、“AM335x System Initialization”、“AM3359\_ICE\_INITIALIZATION”の順に選択します。
- “Run”、“Load”、“Load Program”の順に選択します。
- “Browse project”ボタンを使用して、ファイルselectorMin.outを選択し、“OK”ボタンを2回押します。
- プログラムがARMプロセッサにダウンロードされます。ダウンロードが完了すると、“Program Counter”はmain()関数で停止します (図12を参照)。



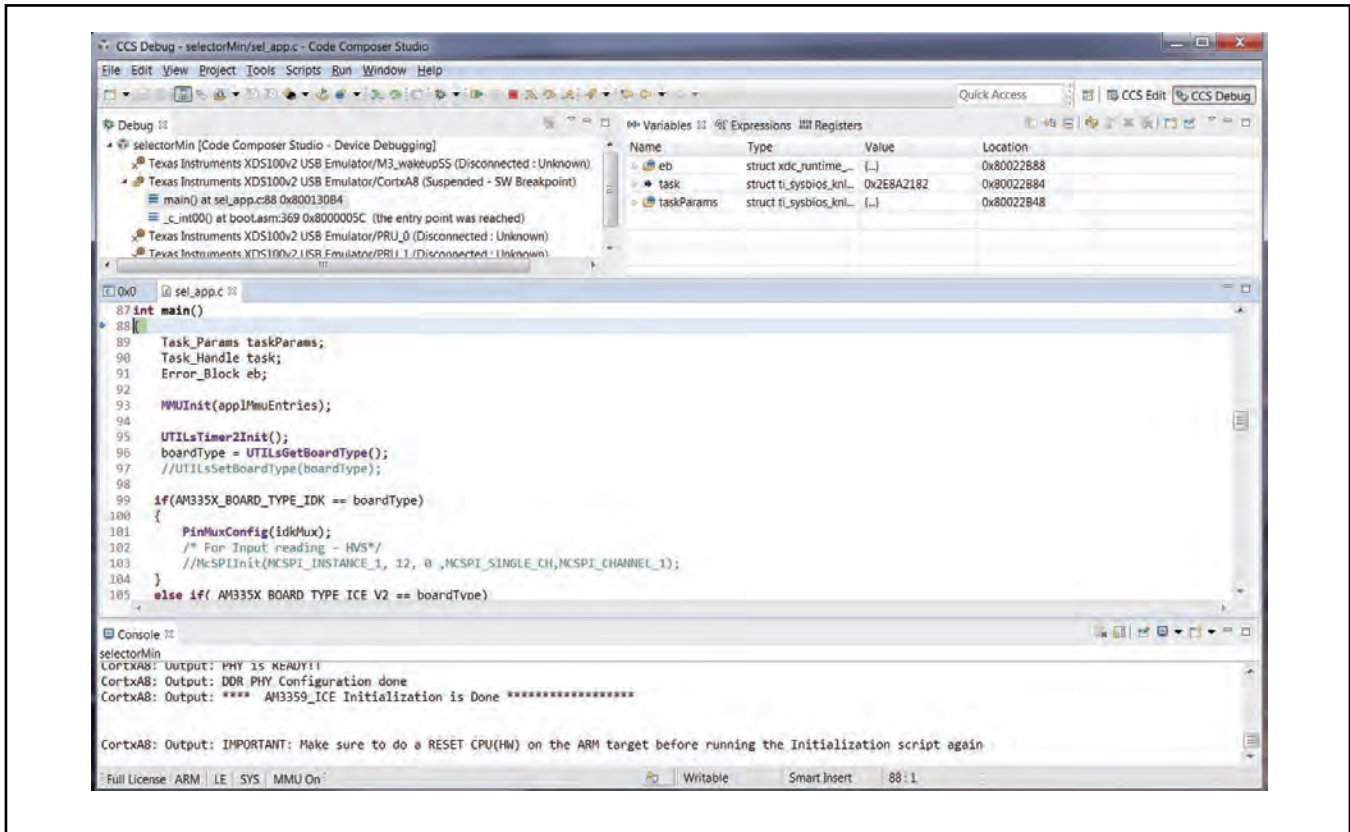


図 12. プログラムのダウンロード後のCCSデバッグ画面

テストおよびデバッグのために、タスク関数task\_resetにブレークポイントを追加して、アプリケーションがSoCをリセットしないようにすることをお勧めします。アプリケーションがSoCをリセットすると、CCSとICE EVMの間のJTAG接続が失われます (図 13)。または、HWREG行をコメントアウトしてリセットの生成全体を防ぐこともできます。

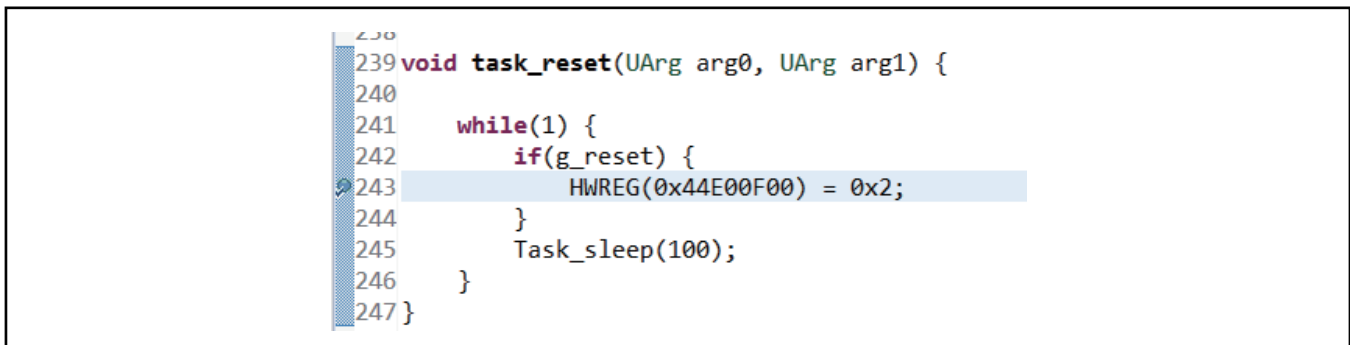


図 13. task\_reset()にブレークポイントを追加してSoCのリセットを防ぐ

ここで、ARMアプリケーションを起動します。

- メニューバーで、“Run”、“Resume”の順に選択します。
- PCLに接続されているイーサネット・ケーブルをRJ45コネクタ (J2)に接続します。
- PLCがフレームを送信してプロトコルが判別されたら直ちに、関数task\_reset()内のブレークポイントでアプリケーションを停止する必要があります。

## 6 Test Setup

The TIDEP0032 TI design has been validated with PLCs from Beckhoff (EtherCAT), Siemens (PROFINET), Automata (Sercos III), B&R (PowerLink), and Rockwell Automation/Allen-Bradley (EtherNet/IP).

The following Figure 14 shows the test setup and Figure 15 shows the physical demonstrator platform.

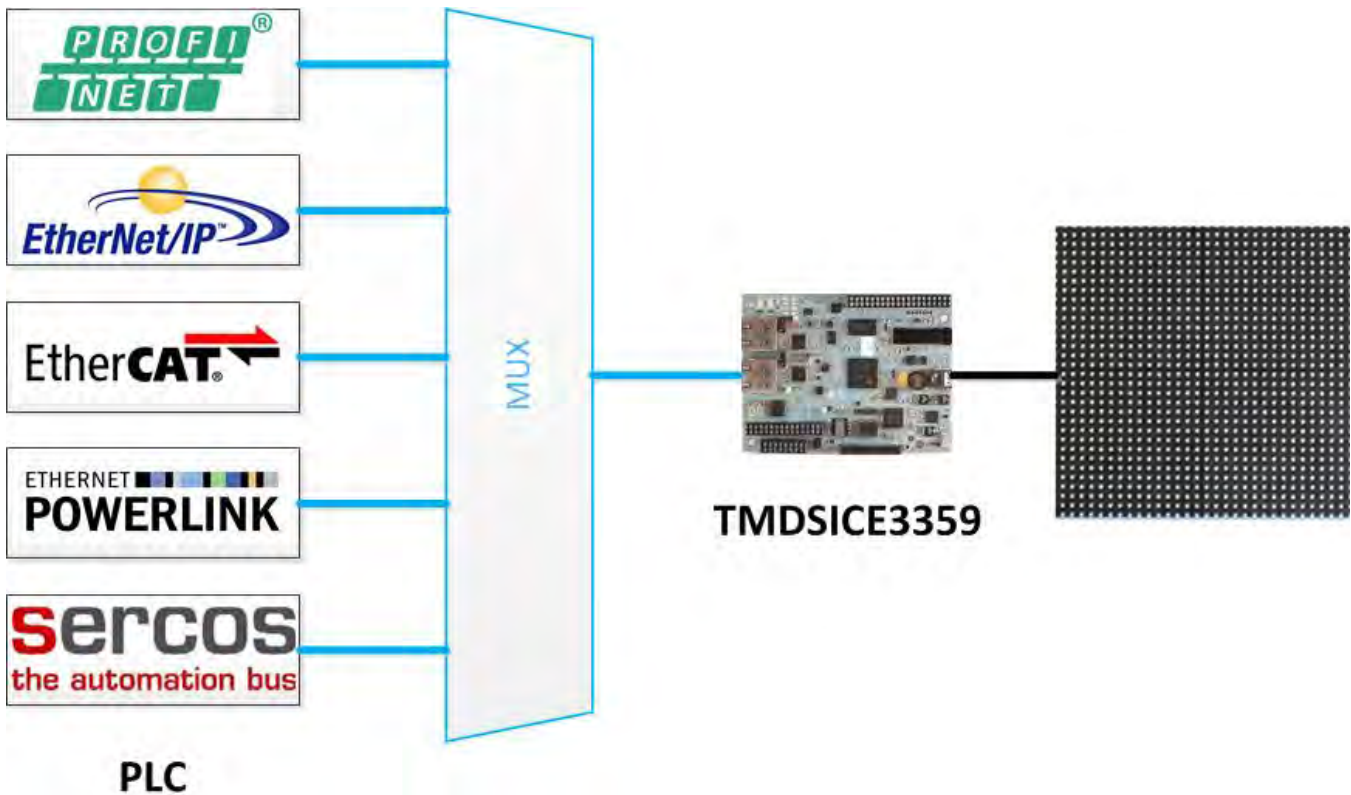


Figure 14. Multi-Protocol Test Setup



**Figure 15. Multi-Protocol Demonstrator as Shown at Electronica 2014 and SPS IPC Drives 2014**

## 7 Design Files

### 7.1 Schematics

To download the schematics, see the design files at [TIDEP0032](#).

### 7.2 Bill of Materials

To download the bill of materials (BOM), see the design files at [TIDEP0032](#).

### 7.3 PCB Layout

To download the PLC layout, see the design files at [TIDEP0032](#).

### 7.4 Gerber Files

To download the Gerber files, see the design files at [TIDEP0032](#).

### 7.5 Physical TMD5ICE3359 EVM

Purchase the TMD5ICE3359 ICE EVM from the TI online shop. Please refer to: [TMD5ICE3359](#).

## 8 Software Files

To download the software files for this design, see the design files at [TIDEP0032](#).

## 9 References

1. Texas Instruments, *Texas Instruments Industrial Communications*, Demonstration Video on Multi-Protocol Detection Panel from Electronica 2014 (<http://bit.ly/1Kh2Qaf>)
2. Texas Instruments, *PRU-ICSS*, TI Wikipedia Page (<http://processors.wiki.ti.com/index.php/PRU-ICSS>)
3. Texas Instruments, *PRU Assembly Instructions*, TI Wikipedia Page ([http://processors.wiki.ti.com/index.php/PRU\\_Assembly\\_Instructions](http://processors.wiki.ti.com/index.php/PRU_Assembly_Instructions))
4. Texas Instruments, *AM335x Sitara™ Processors*, AM335x Technical Reference Manual ([SPRUH73](#))

## 10 Terminology

**CCS**— Code Composer Studio

**ICSS**— Industrial Communication Subsystem

**ISR**— Interrupt Service Routine

**MII**— Media Independent Interface

**PLC**— Media Independent Interface

**PRU**— Programmable Real-time Unit

**RTOS**— Real-time Operating System

**SoC**— System-on-a-chip

**TRM**— Technical Reference Manual

## 11 About the Author

**THOMAS MAUER** is a System Applications Engineer in the Factory Automation and Control Team at Texas Instruments Freising, where he is responsible for developing reference design solutions for the industrial segment. Thomas brings to this role his extensive experience in industrial communications like Industrial Ethernet and fieldbuses and industrial applications. Thomas earned his Electrical Engineering degree (Dipl. Ing. (FH)) at the University of Applied Sciences in Wiesbaden, Germany.

**FABIAN FISCHER** is a Master student at the RWTH Aachen University in Electrical Engineering and Information Technology. As a part of the Factory Automation and Control Team at Texas Instruments in Freising, he is developing solutions for the industrial area.

## IMPORTANT NOTICE FOR TI REFERENCE DESIGNS

Texas Instruments Incorporated ("TI") reference designs are solely intended to assist designers ("Buyers") who are developing systems that incorporate TI semiconductor products (also referred to herein as "components"). Buyer understands and agrees that Buyer remains responsible for using its independent analysis, evaluation and judgment in designing Buyer's systems and products.

TI reference designs have been created using standard laboratory conditions and engineering practices. **TI has not conducted any testing other than that specifically described in the published documentation for a particular reference design.** TI may make corrections, enhancements, improvements and other changes to its reference designs.

Buyers are authorized to use TI reference designs with the TI component(s) identified in each particular reference design and to modify the reference design in the development of their end products. HOWEVER, NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY THIRD PARTY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT, IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI components or services are used. Information published by TI regarding third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI REFERENCE DESIGNS ARE PROVIDED "AS IS". TI MAKES NO WARRANTIES OR REPRESENTATIONS WITH REGARD TO THE REFERENCE DESIGNS OR USE OF THE REFERENCE DESIGNS, EXPRESS, IMPLIED OR STATUTORY, INCLUDING ACCURACY OR COMPLETENESS. TI DISCLAIMS ANY WARRANTY OF TITLE AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, QUIET ENJOYMENT, QUIET POSSESSION, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS WITH REGARD TO TI REFERENCE DESIGNS OR USE THEREOF. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY BUYERS AGAINST ANY THIRD PARTY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON A COMBINATION OF COMPONENTS PROVIDED IN A TI REFERENCE DESIGN. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, SPECIAL, INCIDENTAL, CONSEQUENTIAL OR INDIRECT DAMAGES, HOWEVER CAUSED, ON ANY THEORY OF LIABILITY AND WHETHER OR NOT TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES, ARISING IN ANY WAY OUT OF TI REFERENCE DESIGNS OR BUYER'S USE OF TI REFERENCE DESIGNS.

TI reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All semiconductor products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its components to the specifications applicable at the time of sale, in accordance with the warranty in TI's terms and conditions of sale of semiconductor products. Testing and other quality control techniques for TI components are used to the extent TI deems necessary to support this warranty. Except where mandated by applicable law, testing of all parameters of each component is not necessarily performed.

TI assumes no liability for applications assistance or the design of Buyers' products. Buyers are responsible for their products and applications using TI components. To minimize the risks associated with Buyers' products and applications, Buyers should provide adequate design and operating safeguards.

Reproduction of significant portions of TI information in TI data books, data sheets or reference designs is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such altered documentation. Information of third parties may be subject to additional restrictions.

Buyer acknowledges and agrees that it is solely responsible for compliance with all legal, regulatory and safety-related requirements concerning its products, and any use of TI components in its applications, notwithstanding any applications-related information or support that may be provided by TI. Buyer represents and agrees that it has all the necessary expertise to create and implement safeguards that anticipate dangerous failures, monitor failures and their consequences, lessen the likelihood of dangerous failures and take appropriate remedial actions. Buyer will fully indemnify TI and its representatives against any damages arising out of the use of any TI components in Buyer's safety-critical applications.

In some cases, TI components may be promoted specifically to facilitate safety-related applications. With such components, TI's goal is to help enable customers to design and create their own end-product solutions that meet applicable functional safety standards and requirements. Nonetheless, such components are subject to these terms.

No TI components are authorized for use in FDA Class III (or similar life-critical medical equipment) unless authorized officers of the parties have executed an agreement specifically governing such use.

Only those TI components that TI has specifically designated as military grade or "enhanced plastic" are designed and intended for use in military/aerospace applications or environments. Buyer acknowledges and agrees that any military or aerospace use of TI components that have **not** been so designated is solely at Buyer's risk, and Buyer is solely responsible for compliance with all legal and regulatory requirements in connection with such use.

TI has specifically designated certain components as meeting ISO/TS16949 requirements, mainly for automotive use. In any case of use of non-designated products, TI will not be responsible for any failure to meet ISO/TS16949.