

TI Designs: TIDA-01442

ADC12DJ3200を使用するL、S、C、Xバンド用の直接RFサンプリング・レーダー・レシーバのリファレンス・デザイン



概要

TIDA-01442 TI Designでは、ADC12DJ3200 EVMを使用し、HF、VHF、UHF L、S、C、およびXバンドの一部で動作するレーダーの直接RFサンプリング・レシーバを紹介します。アナログ/デジタル・コンバータ(ADC)の広いアナログ入力帯域幅と高いサンプリング・レート(6.4GSPS)から、単一のレシーバまたはADCでマルチバンドをカバーできます。ADCの直接RFサンプリング能力により、いくつかのダウンコンバージョン段が不要になり、コンポーネント数が減少するため、システム全体の複雑性が低減されます。

リソース

TIDA-01442	デザイン・フォルダ
ADC12DJ3200	プロダクト・フォルダ
LMK04828	プロダクト・フォルダ
LMX2582	プロダクト・フォルダ
TSW14J57EVM	プロダクト・フォルダ

特長

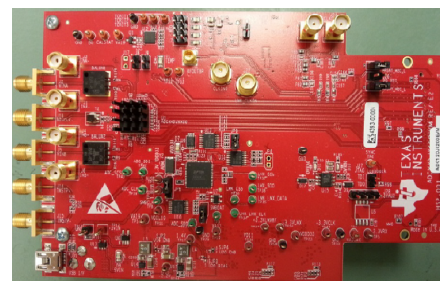
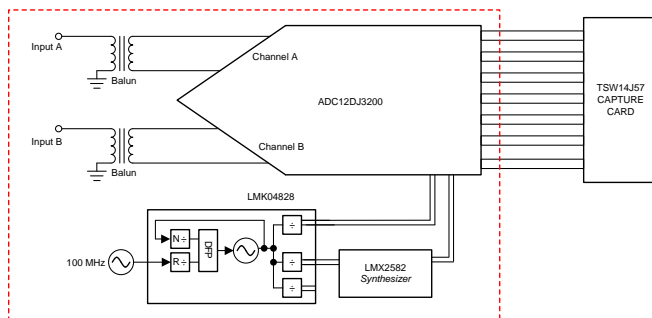
- ADCの高入力周波数対応により、LバンドからXバンドまでの信号をRFサンプリング可能
- シングル・チャンネル(インターリーブ・モード)で最大サンプル・レート6.4GSPS、デュアル・チャンネル・モードで3.2GSPS
- DDCごとに4つの独立したNCOにより、バンド間で高速な周波数ホッピングが可能
- 低ジッタとJESD204B動作に最適化されたクロッキング・ソリューション

アプリケーション

- ミリタリー・レーダー
- 気象レーダー
- 航空機制御レーダー
- 試験および測定機器



[E2Eエキスパートに質問](#)



使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE(重要な注意事項)をご参照くださいますようお願いいたします。英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

1 System Description

The TIDA-01442 reference design demonstrates an AC-coupled, dual-channel wideband digitizer used for radar receiver applications. This design is based on the dual-channel, 12-bit, 3.2-GSPS ADC12DJ3200. Both channel A and channel B are AC coupled using a 9-GHz bandwidth balun. This design showcases the high sample rate 6.4 GSPS and wide bandwidth capabilities of the ADC12DJ3200. Both input channels have been optimized for wide bandwidth performance. This design focuses on demonstrating the performance of the device over 9 GHz of bandwidth in addition to discussing clocking and power management.

1.1 Key System Specifications

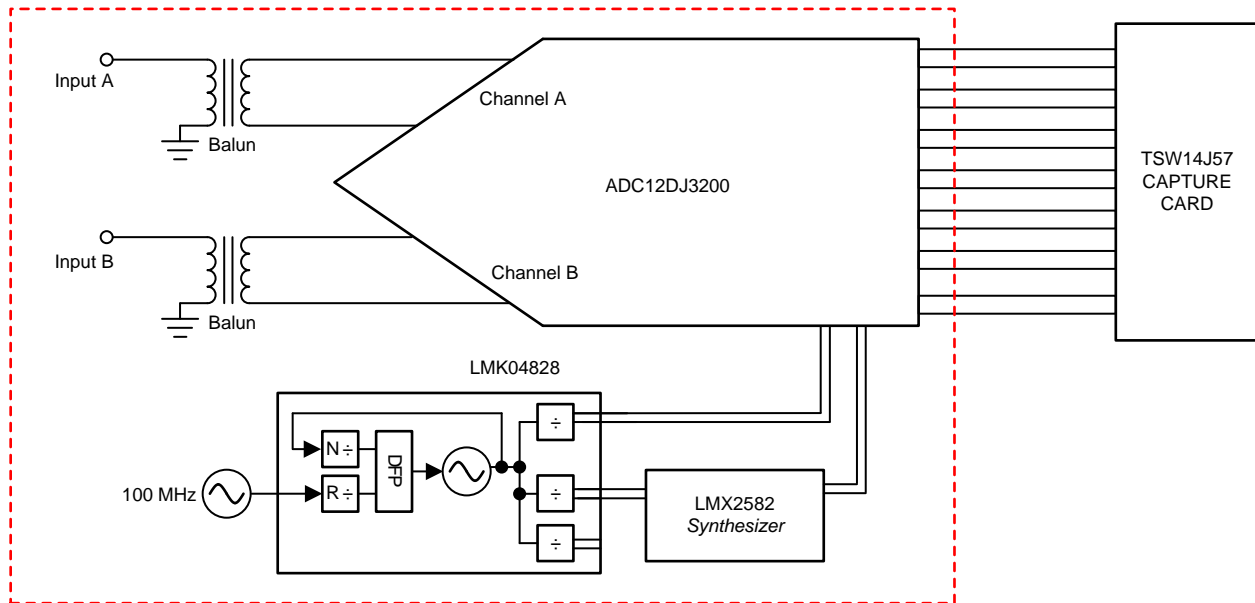
表 1. Key System Specifications

PARAMETER	SPECIFICATIONS
Analog input signal bandwidth	9 GHz
Resolution	12 bit
Max sampling rate	6.4 GSPS in single channel interleaved and 3.2 GSPS in dual-channel input mode
Number of channels	2
SNR	> 44 dBFS across full bandwidth
Harmonic distortion	< -46 dBFS HD2/HD3 across full bandwidth

2 System Overview

2.1 Block Diagram

Figure 1 shows the block diagram for the TIDA-01442 reference design. As the figure shows, a single-ended input signal can be applied at each input channel. The single-ended input signal is converted to a differential signal with a 9-GHz bandwidth balun. Both input paths can also be modified to accept differential input signals. The clocking for ADC is also implemented on the evaluation module (EVM). LMX2582 is used for clocking the ADC and LMK04828 is used for providing the SYSREF signal for the ADC and field-programmable gate array (FPGA), along with any additional clocking required by the FPGA.



Copyright © 2017, Texas Instruments Incorporated

Figure 1. TIDA-01442 Block Diagram

2.2 Highlighted Products

2.2.1 ADC12DJ3200

The ADC12DJxx00 family are RF-sampling gigasample ADCs that can directly sample input frequencies from DC to above 9 GHz. In dual-channel mode, the ADC12DJ3200, ADC12DJ2700, and ADC12DJ1600 can sample up to 3200 MSPS, 2700 MSPS or 1600 MSPS. In single-channel mode, the devices can sample up to 6400 MSPS, 5400 MSPS, or 3200 MSPS, respectively. With a -3 -dB input bandwidth exceeding 9 GHz in either dual- or single-channel mode, the ADC12DJ3200/2700/1600 can be used to sample signals in the first, second, and higher Nyquist zones.

ADC12DJxx00s use a high-speed JESD204B output interface with up to 16 serialized lanes and support subclass-1 for deterministic latency and multi-device synchronization. The serial output lanes support up to 12.8 Gbps and can be configured to trade off bit rate versus number of lanes. In dual-channel mode, optional digital-down converters can tune and decimate a band from RF to a complex baseband signal to reduce the interface data rate in bandwidth-limited applications.

2.2.2 LMK04828

The LMK0482x family is the industry's highest-performance clock conditioner with JEDEC JESD204B support. The 14 clock outputs from PLL2 can be configured to drive seven JESD204B converters or other logic devices using device and SYSREF clocks. SYSREF can be provided using both DC and AC coupling. This device is available in a 64-pin QFN package (9 mm × 9 mm).

2.2.3 LMX2582

The LMX2582 is a low-noise, wideband RF phase-locked loop (PLL) with integrated VCO that supports a frequency range from 20 MHz to 5.5 GHz. The device supports both fractional-N and integer-N modes with a 32-bit fractional divider allowing fine frequency selection. Integrated noise of 47 fs for a 1.8-GHz output allows for an ideal low-noise source. The device is available in a 40-pin WQFN (6 mm × 6 mm).

3 System Design Theory

3.1 Clocking

Figure 2 shows a block diagram of the clocking subsystem, which comprises an LMK04828 JESD204B clock conditioner, LMX2582 synthesizer, 100-MHz voltage-controlled crystal oscillator (VCXO), ADC, and LMK SMA clock inputs. The two main ways to clock the ADC are onboard clocking and external clocking.

Onboard clocking:

- By default, the ADC12DJ3200EVM is set up to use onboard clocking. When using the default onboard clocking option for the ADC EVM, the LMX2582 is used as a clock source for the ADC and LMK04828 is used for providing the SYSREF for the ADC and the FPGA, in addition to being used for clocking the FPGA. The VCXO is used as a reference for both LMK04828 and LMX2582. In this mode, there is an option to lock the VCXO to an external source by providing a 10-MHz reference clock to connector J38.

External clocking:

- If external clocking is desired, the clock from the external signal generator is provided to the ADC EXT CLK (J18) input connector and LMK EXT CLK (J22) connector. The LMK04828 device is used to provide the SYSREF and CLK to the FPGA as well as the SYSREF to ADC. In external clock mode, the LMX2582 is powered down. When using external clocking mode, C49 and C52 must be installed and C48, C50, C51, and C53 must be uninstalled.

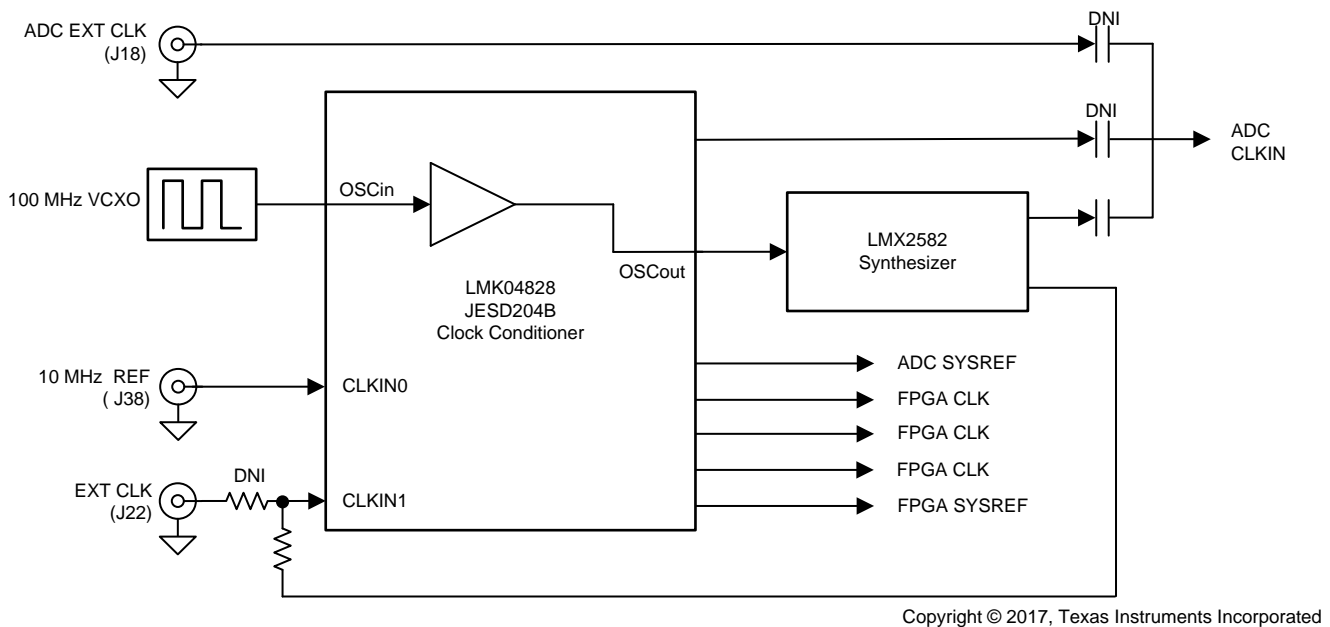
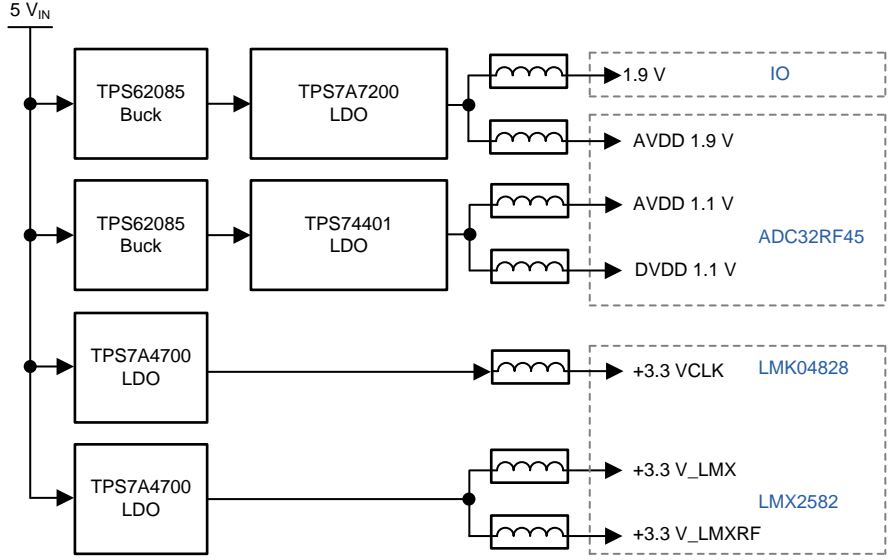
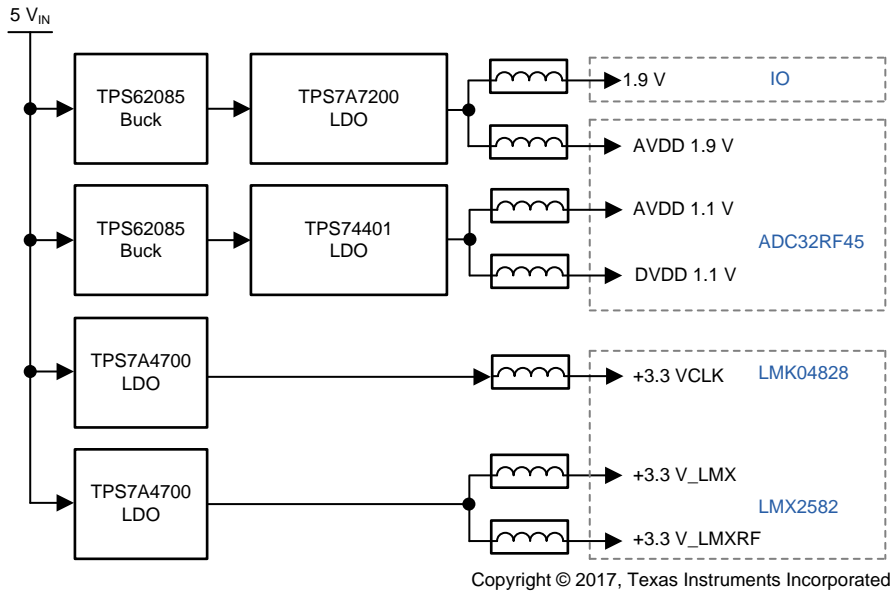


Figure 2. Clocking

3.2 Power

This ADC12DJ3200EVM operates from a single +5-V power supply, which powers a combination of switching and linear regulators that are used to power the various domains on the board.  shows a block diagram of the power management.



 3. Power Management Block Diagram

4 Getting Started Hardware and Software

4.1 Required Hardware

The required hardware for the TIDA-01442 design is as follows:

- ADC12DJ3200 EVM
- TSW14J57 EVM
- Signal generator

4.1.1 ADC12DJ3200

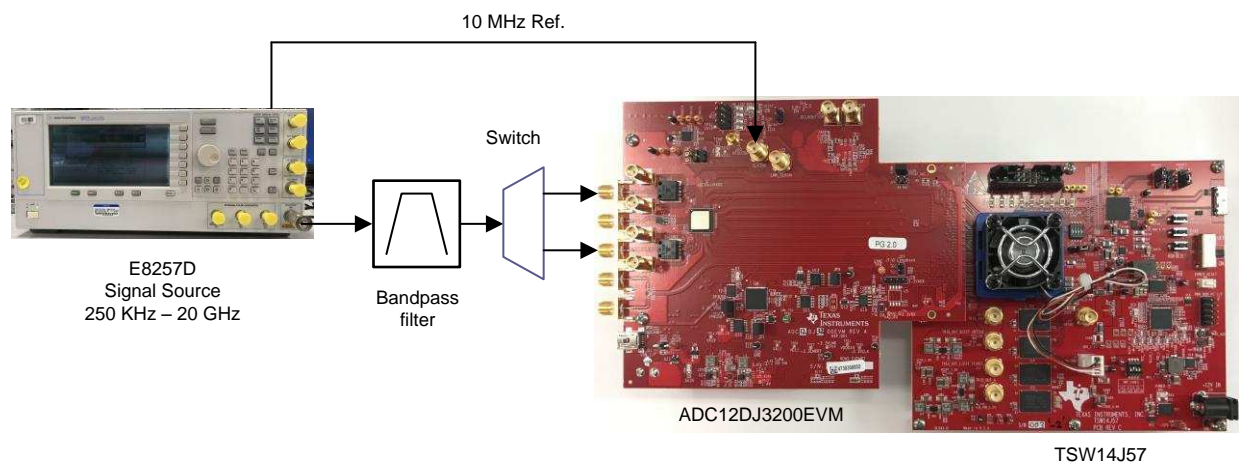
See the ADC12DJ3200EVM tool folder at <http://www.ti.com/tool/ADC12DJ3200EVM> for a detailed description.

4.1.2 TSW14J57

See the TSW14J57 EVM tool folder at <http://www.ti.com/tool/tsw14j57evm> for a detailed description.

4.1.3 Test Setup

The performance measurements of the ADC were taken using the setup shown in [Figure 4](#). In the setup, a 3.2-GHz clock signal generated by LMX2582 (onboard) is sent to the ADC and LMK04828 (onboard). The LMK04828 is a JESD204B-compliant clock jitter cleaner and is used to provide the SYSREF signals and other required clock signals to the ADC and TSW14J57. The input signal for the ADC is provided by the Agilent Technologies E8257D signal source. The input signal is filtered using a tunable band-pass filter and applied at the channel A or channel B input of the ADC. The input signal and clock are synchronized to each other by feeding a 10-MHz reference signal from the signal source to the LMK04828 device. The ADC12DJ3200 EVM is connected to the TSW14J57 capture card to capture the output digital data of the ADC. The captured data is processed using the High Speed Data Converter (HSDC) Pro software. Both boards are powered by +5-V supplies (through barrel connectors) and connect to a PC through USB cables.



Copyright © 2017, Texas Instruments Incorporated

図 4. Test Setup Diagram

4.2 Software

4.2.1 ADC12DJ3200 GUI

The ADC12DJ3200EVM board must be configured through the ADC12DJ3200 GUI before conversions can be captured. After launching the GUI, the first step is to select the *On-board* option using the drop-down menu under the #1. *Clock Source* field. Then set the clocking frequency to $F_{clk} = 3200\text{ MHz}$ using the drop-down menu under the #2a. *On-board Fclk Selection* (see [Figure 5](#)). The next step is to select *JMODE0* if taking single-channel interleaved measurements or *JMODE3* if taking dual-channel measurements. In single-channel interleaved mode, the input signal is applied to the single input channel. In this mode, both the rising edge and falling edge of the FCLK are used to sample the input signal, thus making the effective sampling rate 6.4 GSPS with a 3.2-GHz clock. Alternatively, in dual-channel mode, both the input channels are used with each channel to sample an input signal at 3.2 GSPS with a 3.2-GHz clock. The last step is to click the *Program Clocks and ADC* button and wait for the script to finish execution. This step completes the configuration and then the user can launch and configure the HSDC Pro GUI.

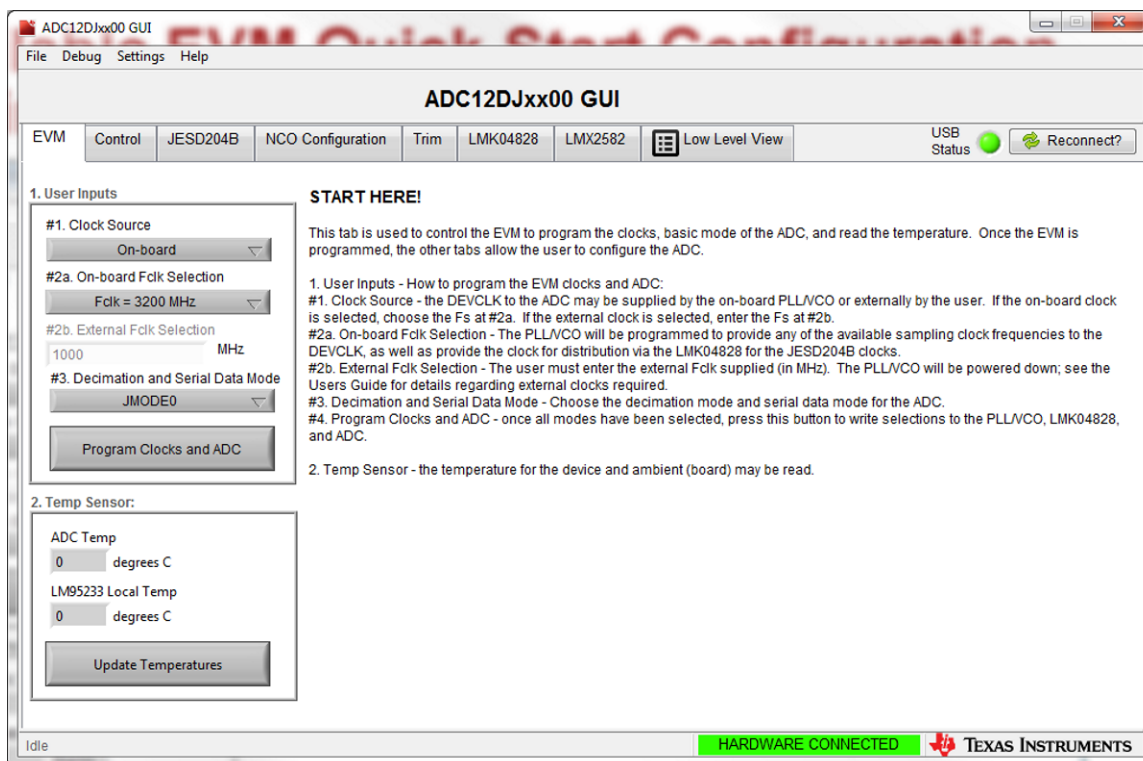


図 5. ADC12DJ3200 GUI—Quick Setup

4.2.2 HSDC Pro GUI

HSDCpro GUI works with a TSW14J57 capture card and is used to process and display data captured from the ADC12DJ3200. Download the HSDC Pro software from <http://www.ti.com/tool/dataconverterpro-sw>. As 図 6 shows, click on the drop-down menu and select "ADC32RF45_LMF_82820". Next set the *ADC Output Data Rate* to "6.4G" for single-channel interleaved mode and "3.2G" for dual-channel mode. The HSDC Pro software is now configured and data can be captured by clicking the *Capture* button.

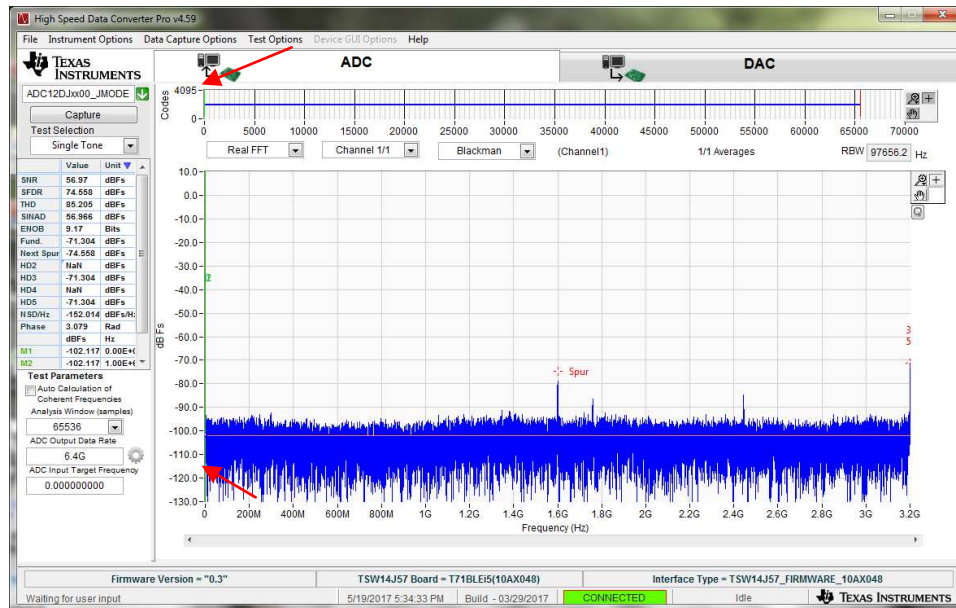


図 6. HSDC Pro GUI—Configuring Device and Sample Rate

図 6 also shows the fast Fourier transform (FFT) of captured data from the ADC12DJ3200EVM board. The HSDC Pro software provides a time domain and frequency domain analysis. The HSDC Pro software also provides single-tone FFT statistic parameters such as signal-to-noise ratio (SNR), spurious free dynamic range (SFDR), total harmonic distortion (THD), signal-to-noise and distortion ratio (SINAD), effective number of bits (ENOB), fundamental tone power, and HD2-5.

5 Testing and Results

A variety of measurements were taken to demonstrate the performance of ADC12DJ3200EVM board. A clean, filtered signal was fed into the ADC12DJ3200EVM board to test the performance and the SNR, HD2, HD3, and other various parameters were measured. The measurements were performed for both the single-channel interleaved mode (6.4 GSPS) and dual-channel mode (3.2 GSPS for each channel). JMODE0 was used for the single-channel interleaved mode. In JMODE0, the digital data from the ADC is sent to the capture card (FPGA) over eight serializer/deserializer (SerDes) lanes with a lane rate of 12.8 Gbps. JMODE3 was used for dual-channel measurements. In JMODE3, the digital data from the ADC is sent to the FPGA over 16 SerDes lanes with half the lane rate of JMODE0, which is 6.4 Gbps.

Figure 7 shows the SNR performance with a -1 -dBFS input signal swept from 30 MHz to 10 GHz. The input signal was applied to channel A for single-channel interleaved mode. The input signal was applied to both channel A and channel B for dual-channel input measurement.

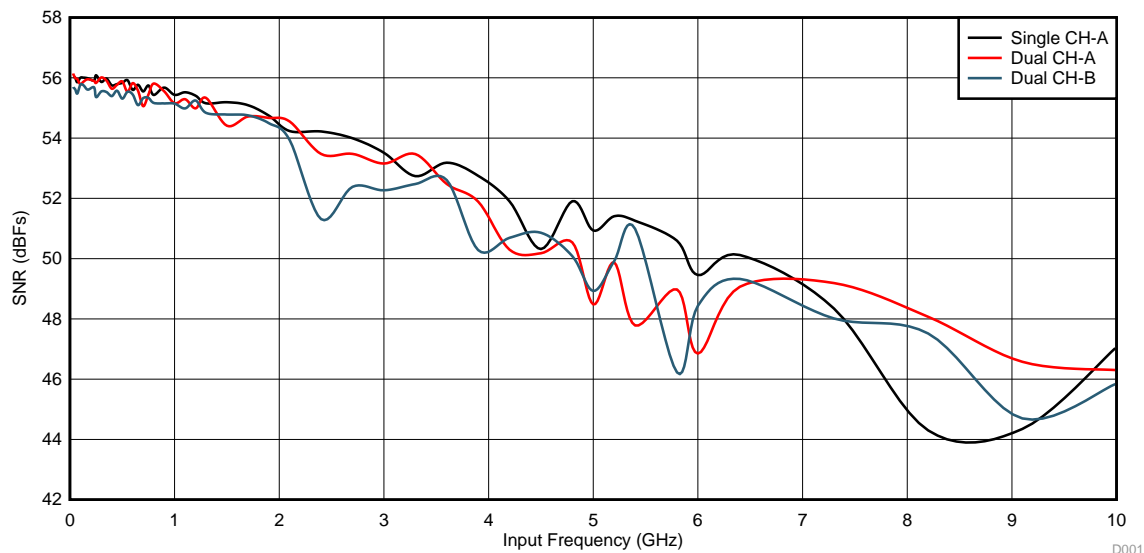


Figure 7. SNR for Interleaved Single- and Dual-Channel Modes

Figure 8 shows the THD for both single-channel interleaved mode and dual-channel mode.

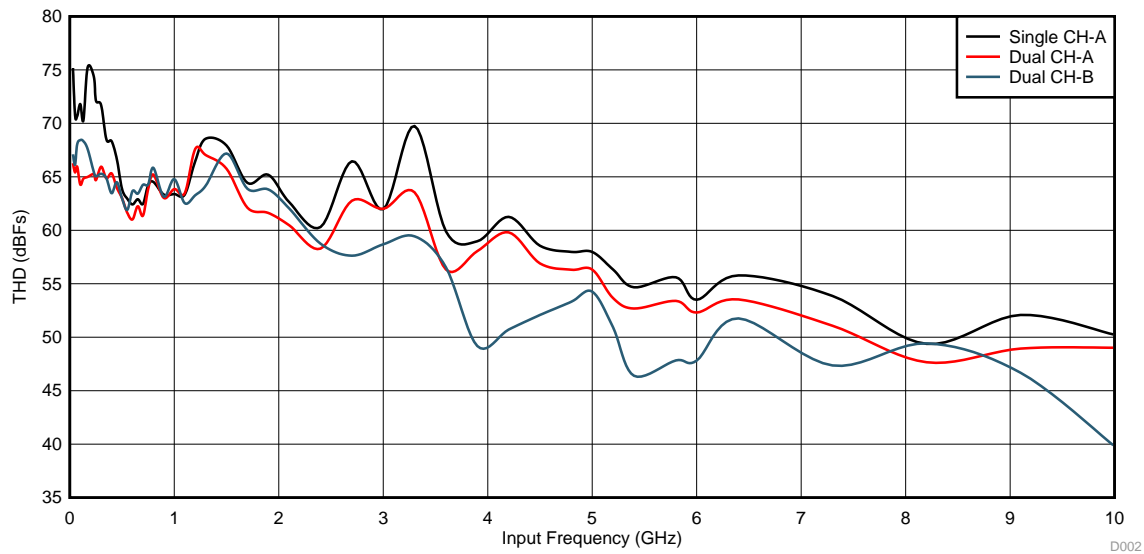


図 8. THD Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

図 9 and 図 10 show the HD2 and HD3 performance for both single-channel interleaved mode and dual-channel mode.

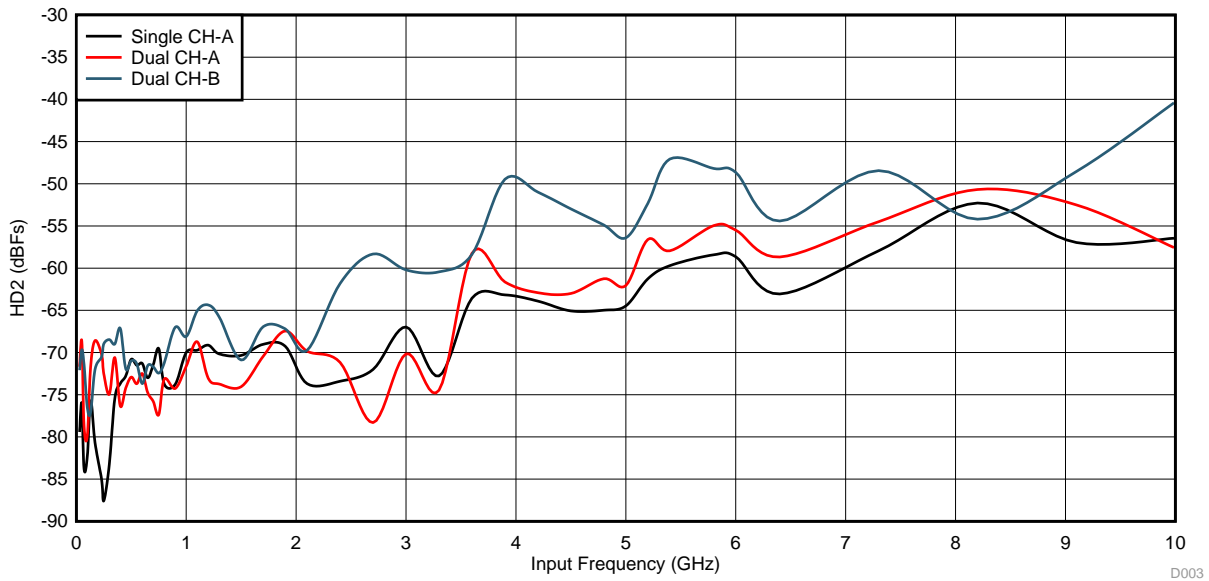
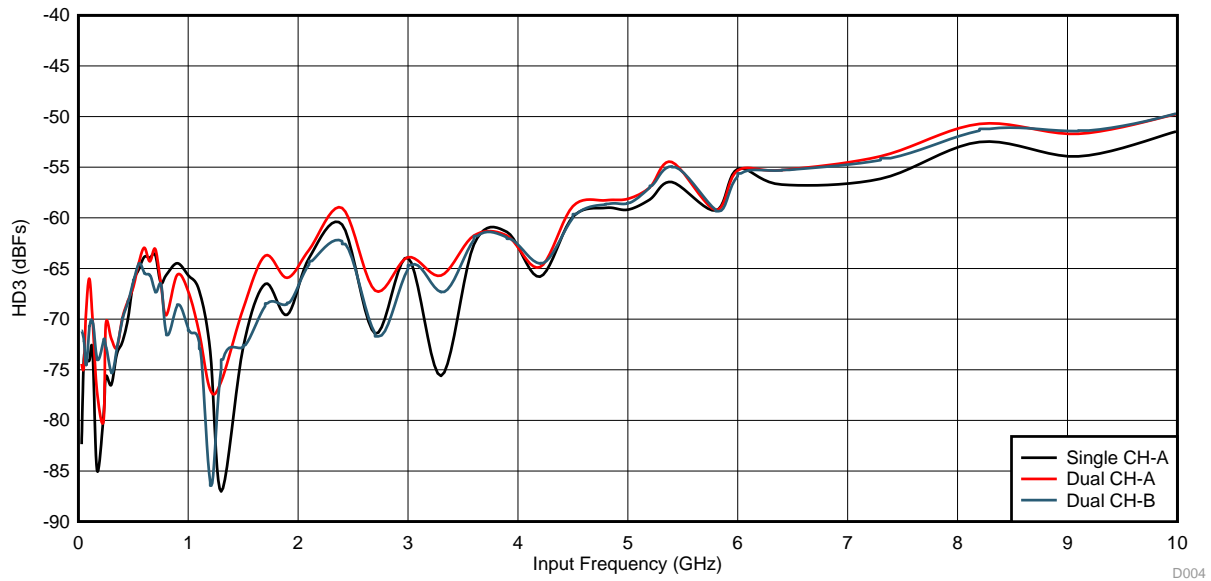


図 9. HD2 Performance for Single-Channel Interleaved Mode and Dual-Channel Mode



10. HD3 Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

Figure 11 and Figure 12 show the SFDR and SINAD performance for both single-channel interleaved mode and dual-channel mode.

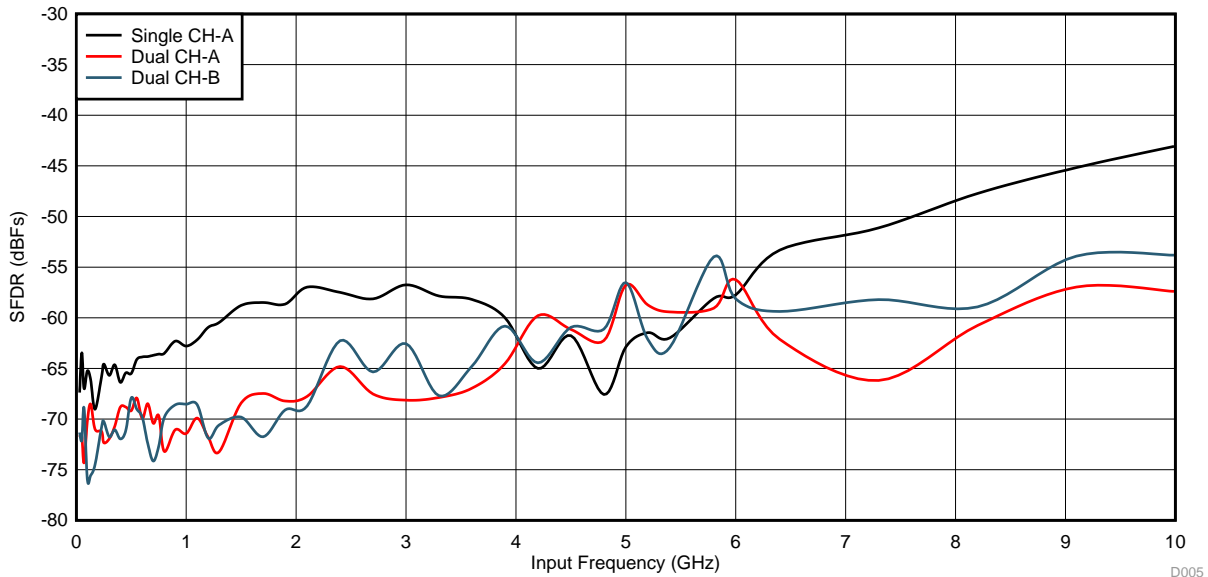


Figure 11. SFDR Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

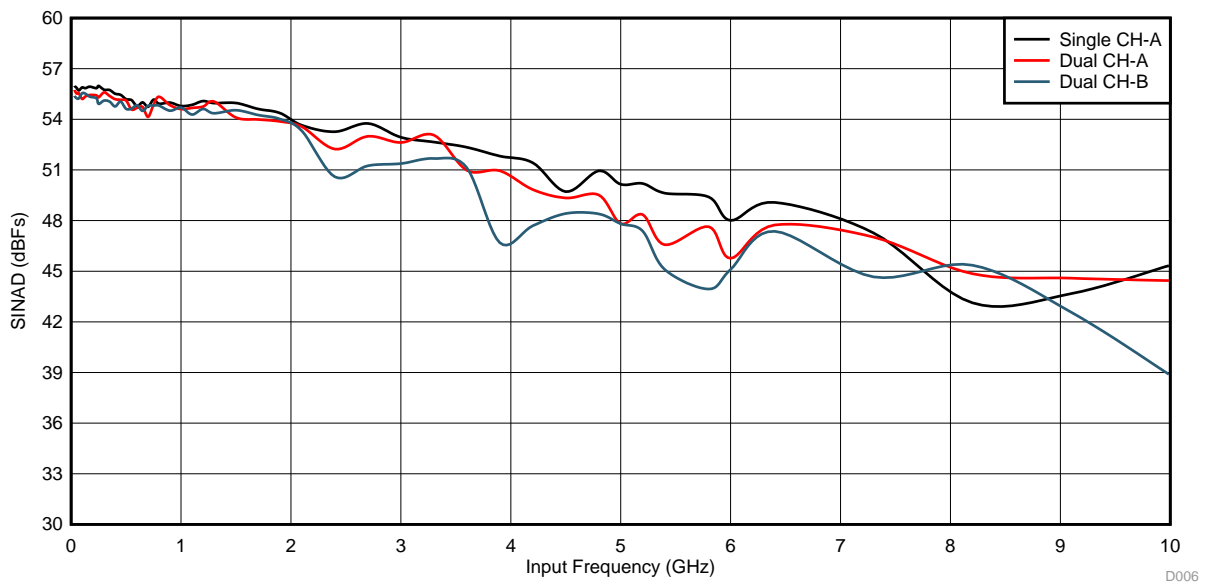


Figure 12. SINAD Performance for Single-Channel Interleaved Mode and Dual-channel Code

Figure 13 and Figure 14 show the S11 and frequency response performance for both single-channel interleaved mode and dual-channel mode.

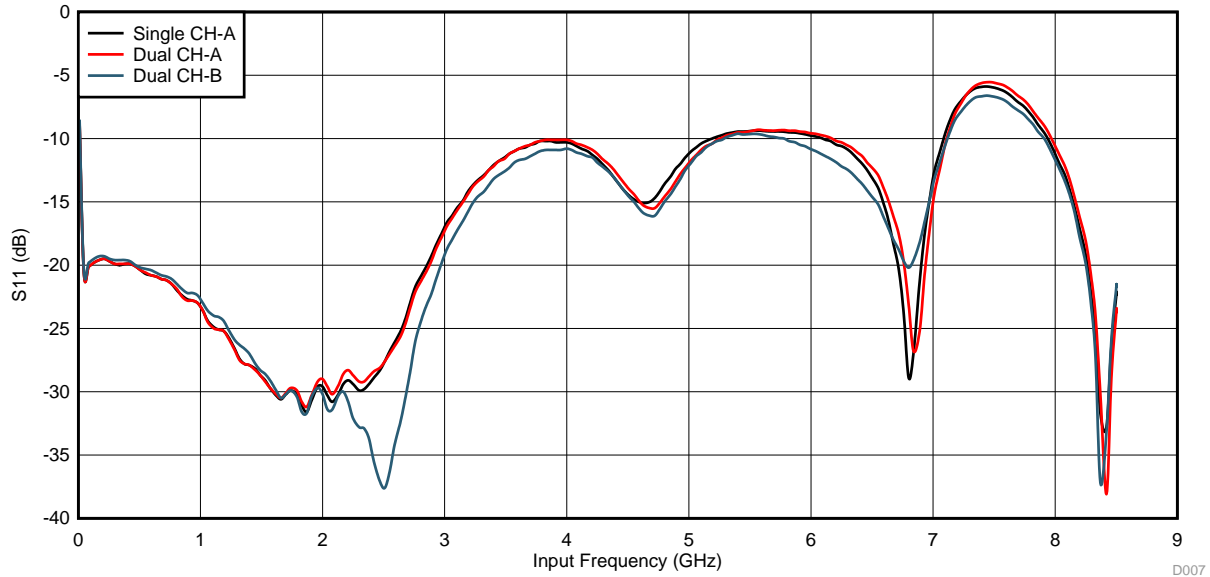


Figure 13. S11 Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

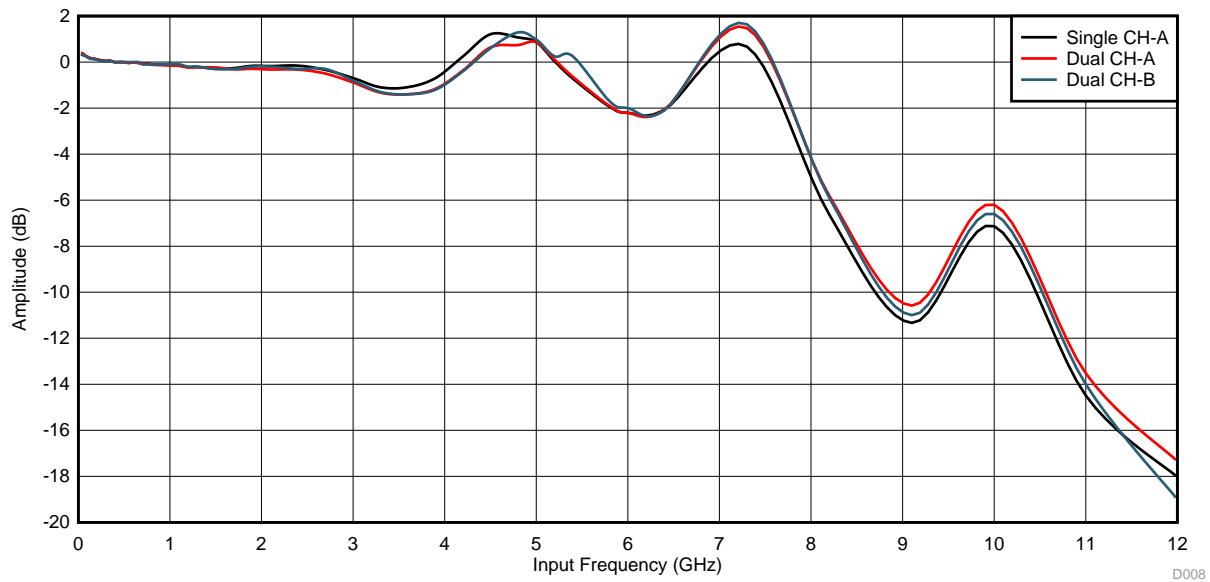


Figure 14. Frequency Response for Single-Channel Interleaved Mode and Dual-Channel Mode

Figure 15 shows the channel-to-channel isolation performance for dual-channel mode.

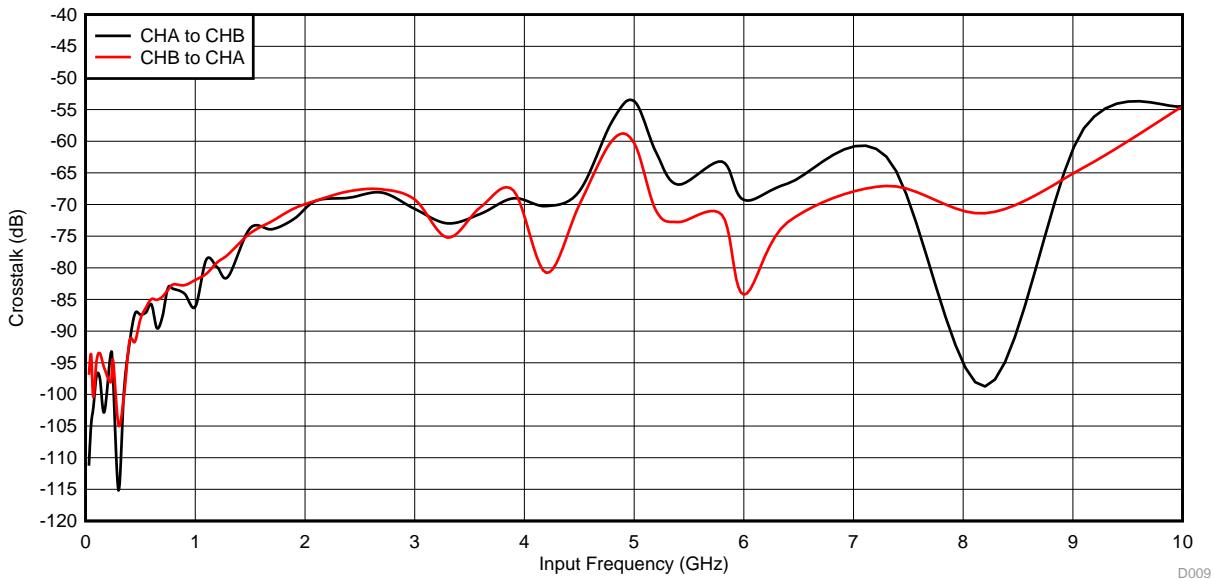


Figure 15. Crosstalk Performance in Dual-Channel Mode for Channel A and Channel B

The board was modified by replacing both the input baluns with BALH-0009SMG. This balun has a better performance at higher frequencies.

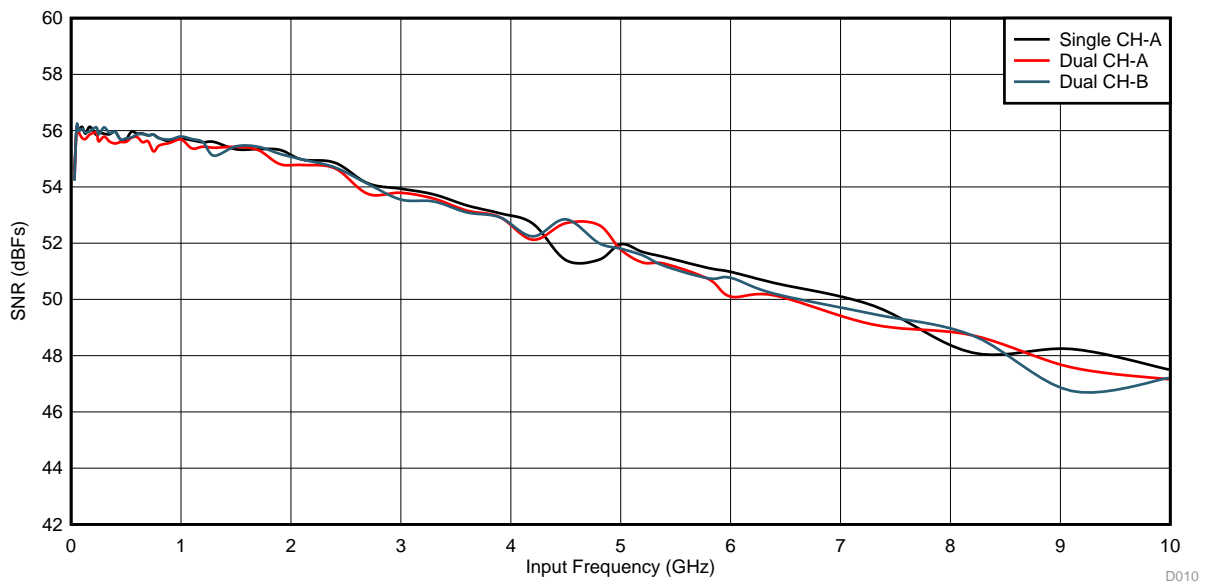


Figure 16. SNR for Interleaved Single-Channel and Dual-Channel Mode

Figure 17 shows the THD for both single-channel interleaved mode and dual-channel mode.

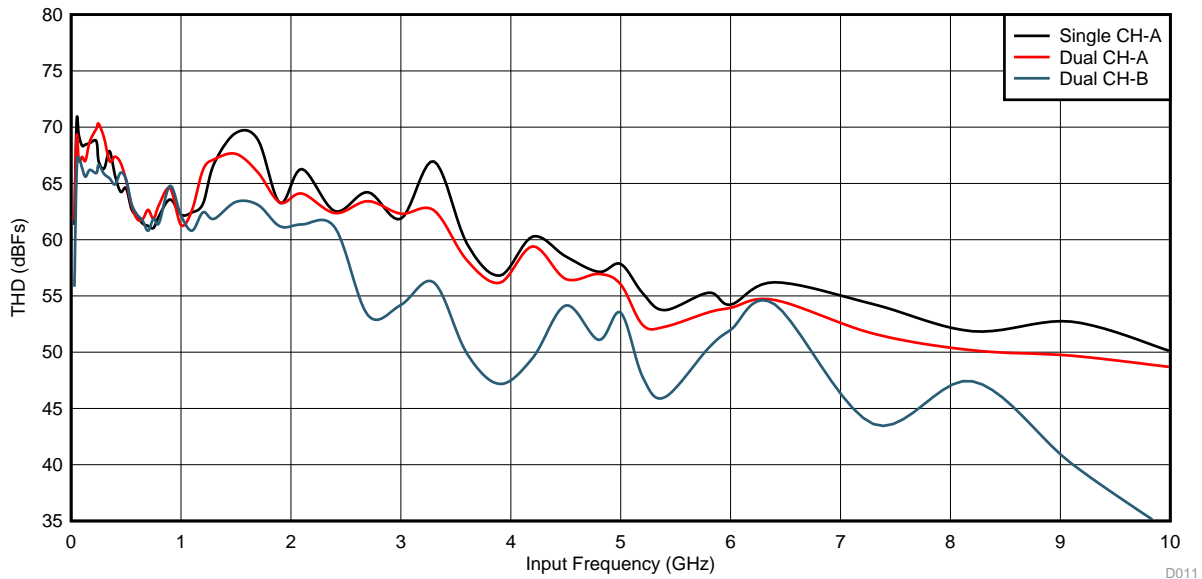


Figure 17. THD Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

Figure 18 and Figure 19 show the HD2 and HD3 performance for both single-channel interleaved mode and dual-channel mode.

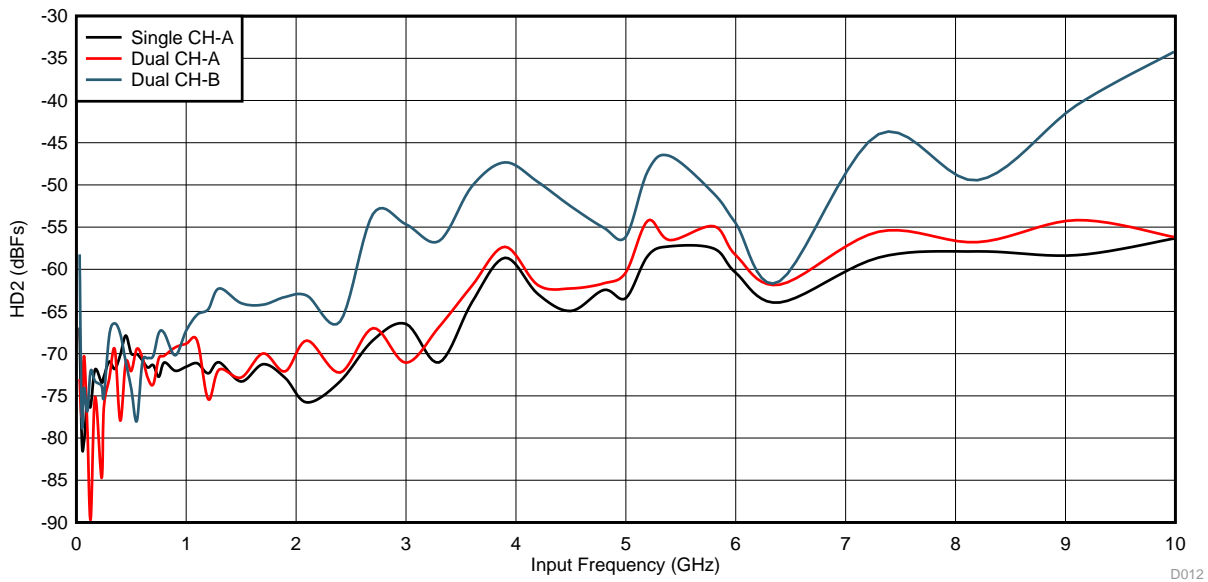
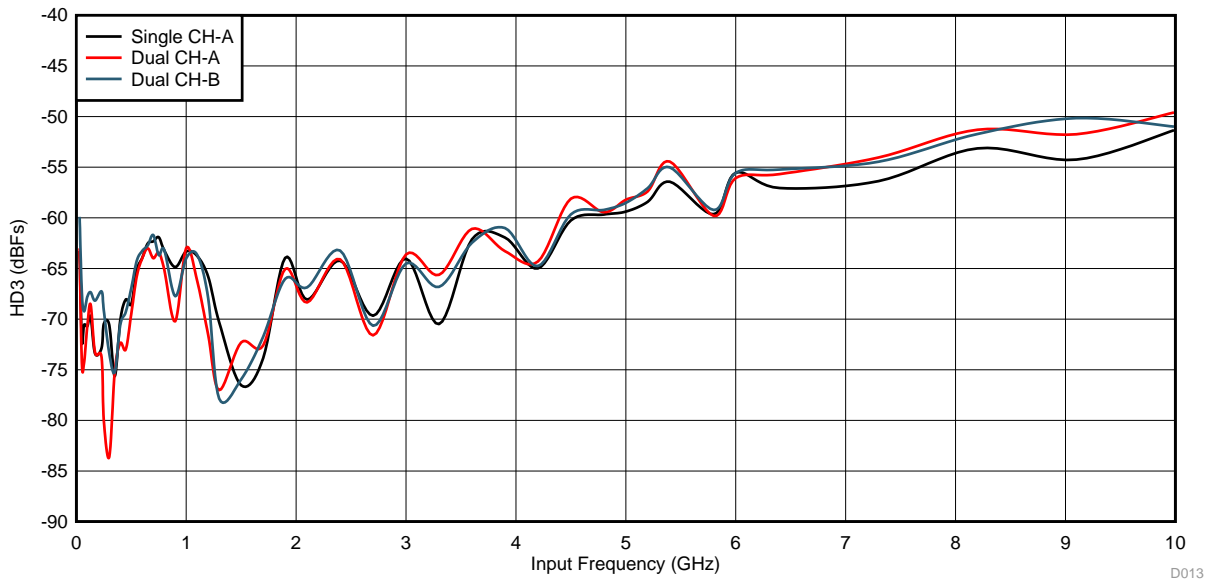
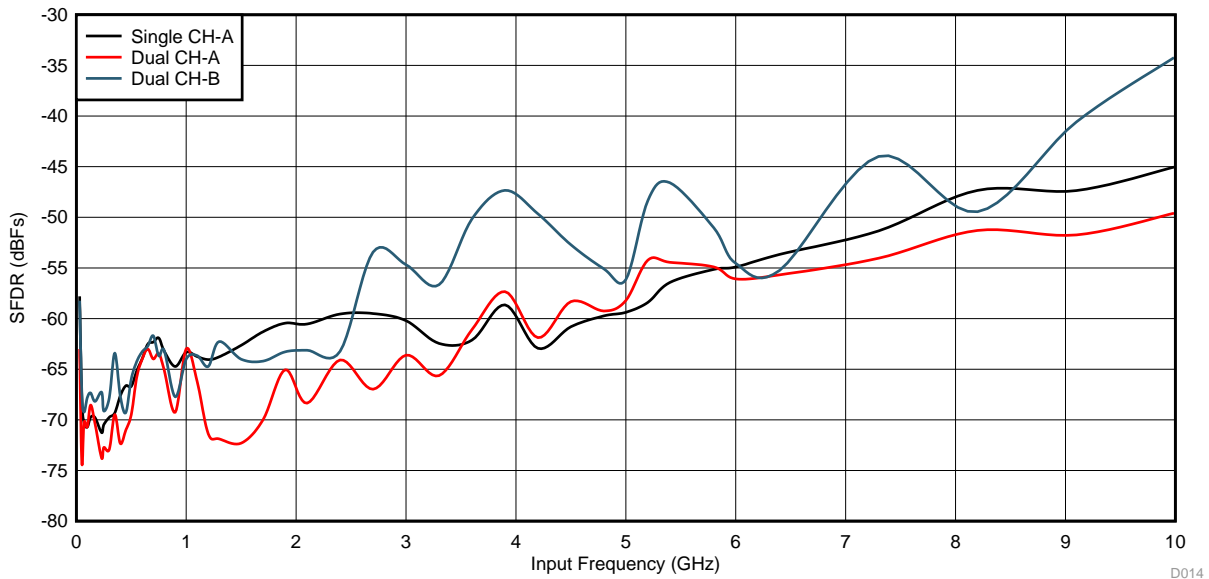


Figure 18. HD2 Performance for Single-Channel Interleaved Mode and Dual-Channel Mode



19. HD3 Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

20 and 21 show the SFDR and SINAD performance for both single-channel interleaved mode and dual-channel mode.



20. SFDR Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

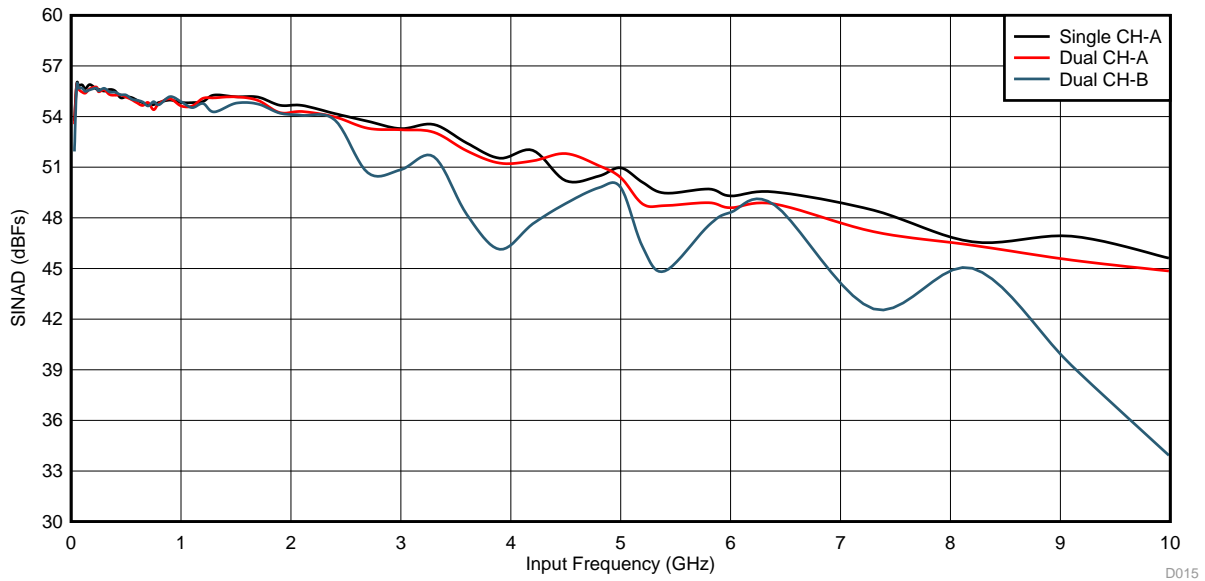


図 21. SINAD Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

図 22 and 図 23 show the S11 and frequency response performance for both single-channel interleaved mode and dual-channel mode.

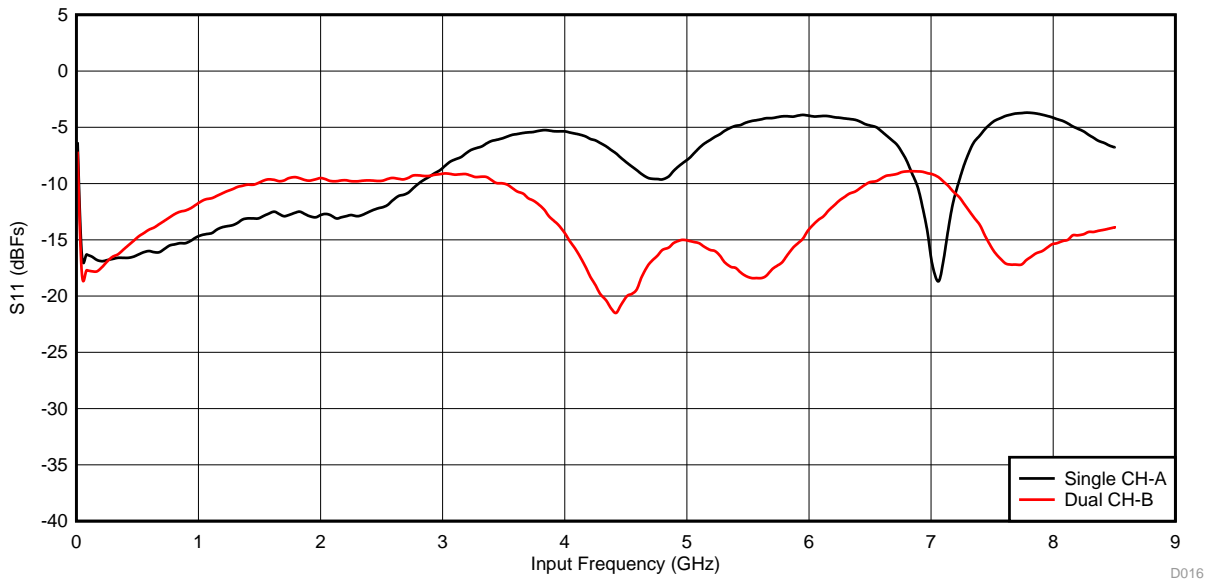


図 22. S11 Performance for Single-Channel Interleaved Mode and Dual-Channel Mode

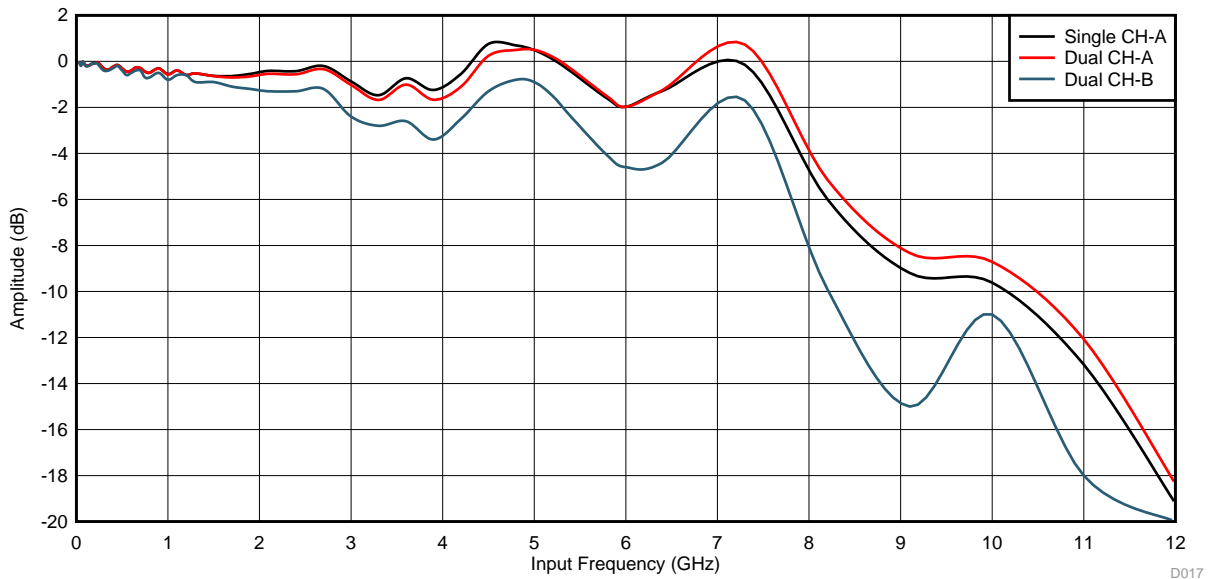


図 23. Frequency Response for Single-Channel Interleaved Mode and Dual-Channel Mode

図 24 shows the channel-to-channel isolation performance for dual-channel mode.

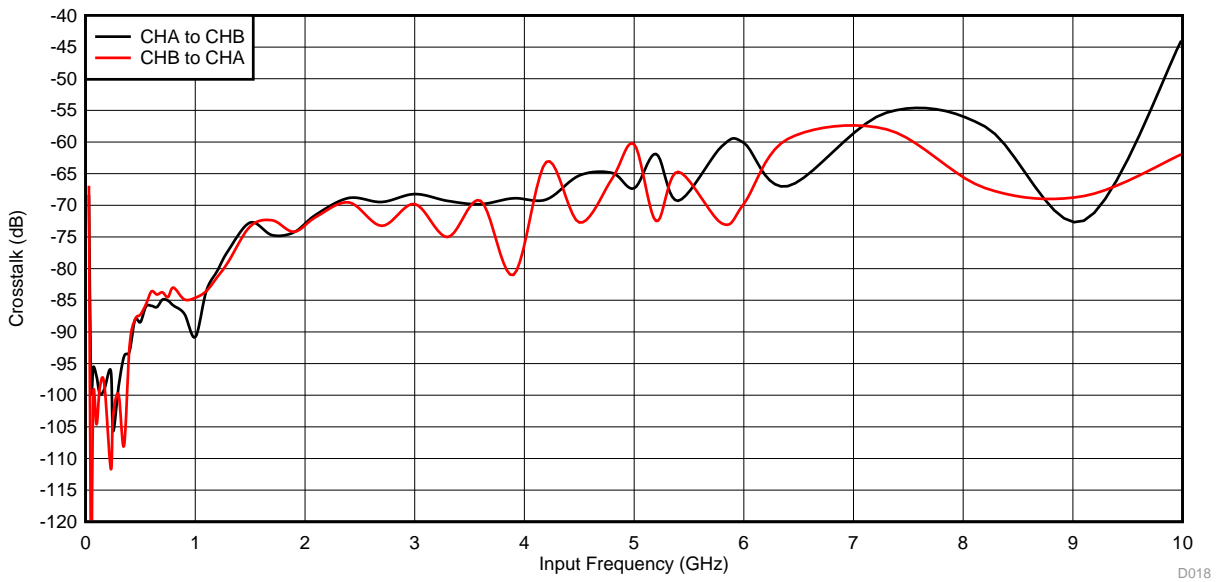


図 24. Crosstalk Performance in Dual-Channel Mode for Channel A and Channel B

6 Design Files

6.1 Schematics

To download the schematics, see the design files at [TIDA-01442](#).

6.2 Bill of Materials

To download the bill of materials (BOM), see the design files at [TIDA-01442](#).

6.3 PCB Layout Recommendations

6.3.1 Layout Prints

To download the layer plots, see the design files at [TIDA-01442](#).

6.4 PCB Project

To download the Altium project files, see the design files at [TIDA-01442](#).

6.5 Gerber Files

To download the Gerber files, see the design files at [TIDA-01442](#).

6.6 Assembly Drawings

To download the assembly drawings, see the design files at [TIDA-01442](#).

7 Software Files

To download the software files, see the design files at [TIDA-01442](#).

8 商標

All trademarks are the property of their respective owners.

9 About the Author

NEERAJ GILL is an application engineer in high-speed catalog converters group at Texas Instruments. Gill received his BSEE from University of New Hampshire in 2011 and then his Masters in Electrical Engineering also from University of New Hampshire in 2013.

TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的での、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、もしくは、TIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示的保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterms.htm>)についてのTIの標準条項が含まれますが、これらに限られません。