

TI Designs: TIDA-01416

NXP™ i.MX7シリーズ・アプリケーション・プロセッサ用の小型、高効率、柔軟な電源のリファレンス・デザイン



概要

この小型、高効率、柔軟な電源のリファレンス・デザインは、NXP™ i.MX7プロセッサ用の完全な電源ソリューションです。この単純なソリューションは、5つのDC/DCコンバータと1つのシーケンサ集積回路(IC)のみを使用し、非常にコスト効率の優れた設計でi.MX7に電力を供給できます。このリファレンス・デザインは多くの産業用アプリケーション、および小型、高効率、柔軟な電源ソリューションが必要なあらゆるアプリケーションに対応できます。

リソース

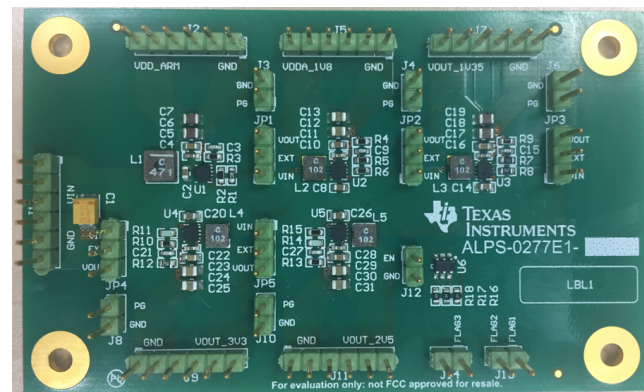
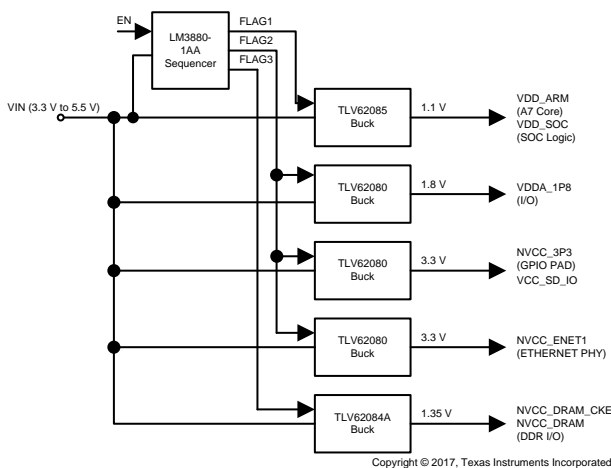
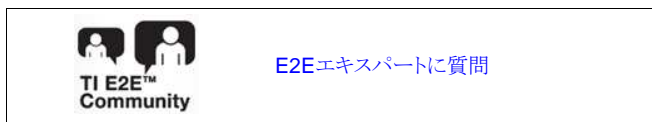
- TIDA-01416 デザイン・フォルダ
- TLV62080, TLV62084A プロダクト・フォルダ
- TLV62085 プロダクト・フォルダ
- LM3880 プロダクト・フォルダ

特長

- 入力電圧範囲: 3.3V~5.5V
- DCS-Control™トポロジによる高速過渡応答
- 高効率と低静止電流
- 自動パワーセーブ・モードによる軽負荷時の高効率
- TLV6208xファミリの手法による低コストのソリューション

アプリケーション

- 家電製品
- 試験/計測
- 電子POS
- モノのインターネット



使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE(重要な注意事項)をご参照くださいますようお願いいたします。英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

1 System Description

The i.MX7 series application processor from NXP is a highly-integrated, multi-market applications processor designed to enable various applications. This TIDA-01416 reference design provides a scalable power solution for several i.MX7 processor versions supporting space-constrained and cost-sensitive systems. The power architecture follows the source material in [i.MX 7Dual Family of Applications Processors Datasheet](#). A 1.1-V rail is required for the core and system on chip (SoC), a 1.8-V rail for the input/output (I/O) pads, a 3.3-V rail for I/O and SD card pads, a 3.3-V rail for Ethernet controller, and a 1.35-V rail for DDR3 I/O pad supply.

This reference design achieves high efficiency by using efficient, integrated DC/DC converters and no low dropout (LDO) linear regulators. High efficiency results in a low self-temperature rise and higher reliability.

1.1 Key System Specifications

表 1. Key System Specifications

PARAMETER		SPECIFICATIONS	DETAILS
Input voltage range		3.3 V to 5.5 V	—
OUTPUTS PROVIDED			
VDD_ARM, VDD_SOC	Voltage setpoint	1.1 V	3.1.1
	Ripple	< 20 mV	
	Transient response	< 5%	
	Load regulation	< 0.4 %	
	Line regulation	< 0.4%	
VDDA_1P8	Voltage setpoint	1.8 V	3.1.2
	Ripple	< 25 mV	
	Transient response	< 5%	
	Load regulation	< 0.4 %	
	Line regulation	< 0.4 %	
NVCC_3P3, NVCC_ENET1	Voltage setpoint	3.3 V	3.1.3
	Ripple	< 20 mV	
	Transient response	< 5 %	
	Load regulation	< 0.4 %	
	Line regulation	< 0.4 %, $V_{IN} > 3.3 V$	
NVCC_DRAM	Voltage setpoint	1.35 V	3.1.4
	Ripple	< 20 mV	
	Transient response	< 5%	
	Load regulation	< 0.4 %	
	Line regulation	< 0.4%, $V_{IN} > 3.3 V$	
Efficiency (each regulator at half of its rated load)		—	3.1.1, 3.1.2, 3.1.3, 3.1.4
Efficiency (each regulator at its full rated load)		—	3.1.1, 3.1.2, 3.1.3, 3.1.4
Sequencing order (power up)		1. VDD_ARM and VDD_SOC; 2. VDDA_1P8, NVCC_3P3, NVCC_SD_IO, and NVCC_ENET1; 3. NVCC_DRAM_CKE	3.1.5
Sequencing order (power down)		1. NVCC_DRAM_CKE; 2. VDDA_1P8, NVCC_3P3, and NVCC_SD_IO; 3. VDD_ARM and VDD_SOC	

2 System Overview

2.1 Block Diagram

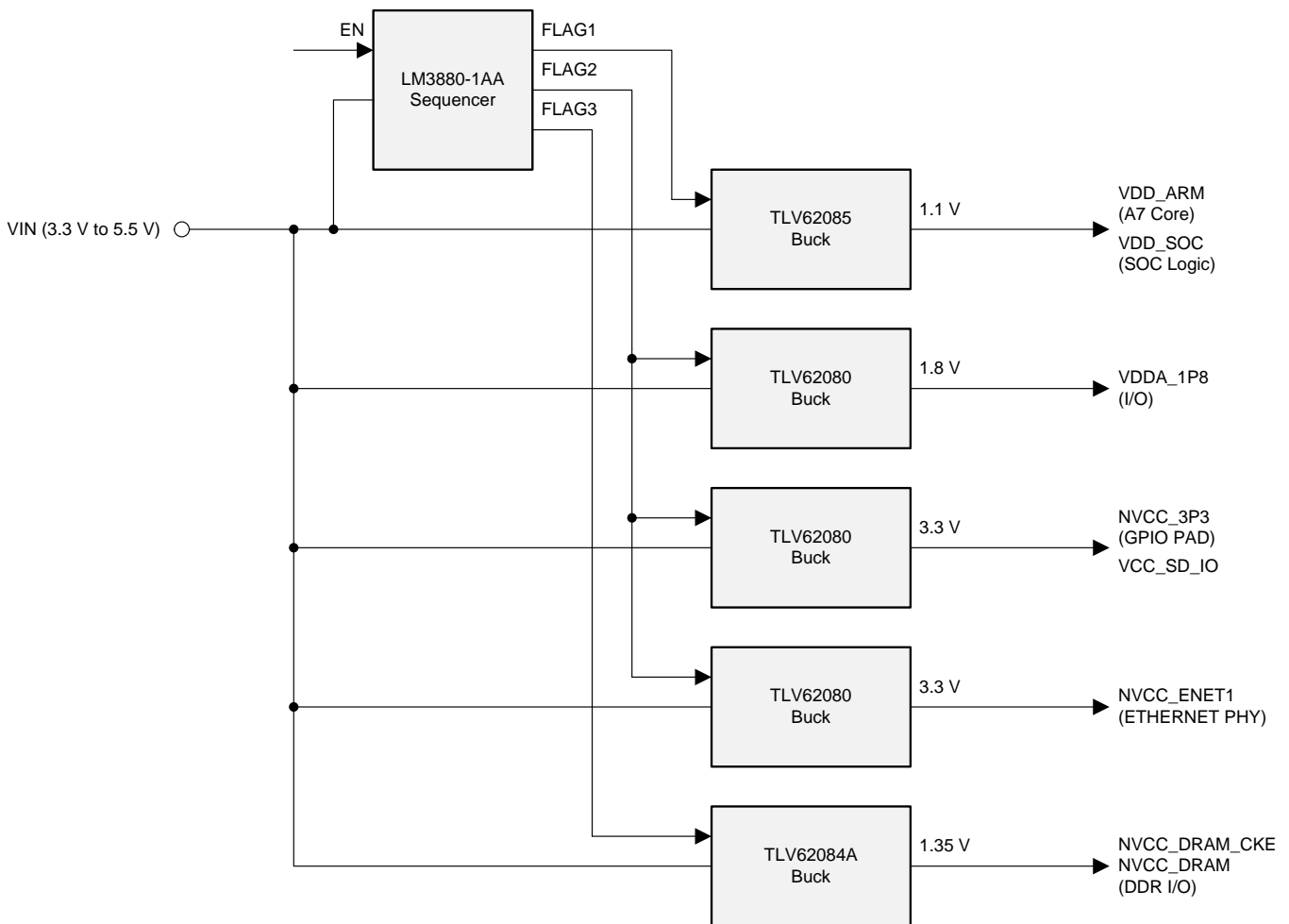


図 1. Block Diagram

2.2 Highlighted Products

2.2.1 TLV62085

The TLV62085 is a 3-A, high-frequency, synchronous step-down converter optimized for small solution size and high efficiency. At medium to heavy loads, the converter operates in pulse-width modulation (PWM) mode and automatically enters power save mode operation at light load to maintain high efficiency over the entire load current range. Its DCS-Control™ topology (Direct Control with Seamless transition into power save mode) enables a very-fast transient response to regulate the output voltage during heavy load changes, while its high switching frequency enables the use of a small inductor and output capacitor.

2.2.2 TLV62080, TLV62084A

The TLV6208x family of devices are small buck converters with few external components that enable cost-effective solutions. The 1.2-A (TLV62080) and 2-A (TLV62084A) synchronous step-down converters provide high-efficiency over a wide output current range. At medium to heavy loads, the TLV6208x converters operate in PWM mode and automatically enter power save mode operation at light-load currents to maintain high efficiency over the entire load current range. With DCS-Control architecture, excellent load transient performance and output voltage regulation accuracy are achieved.

2.2.3 LM3880

The LM3880 Simple Power Supply Sequencer offers the easiest method to control power-up sequencing and power-down sequencing of multiple independent voltage rails. The LM3880 contains a precision enable pin and three open-drain output flags. When the LM3880 is enabled, the three output flags sequentially release, after individual time delays, thus permitting the connected power supplies to start up. The output flags follow a reverse sequence during power down when the enable pin is pulled down.

2.3 System Design Theory

The application processor power requirements are a function of the specific functionality used in a given application. In most cases, the current drawn by each rail is not known precisely during the design phase. Only gross estimates are available when the power supply is designed. For this reason, this reference design uses DC/DC converters that are high enough power to support the majority of i.MX7 applications, while still supplying a small solution size and high efficiency. Use 2-A converters to provide the 1.8-V and 3.3-V I/O rails and a 3-A converter for the common 1.1-V core and SoC rail. The output voltages of the converter are adjustable with external resistor feedback dividers.

The i.MX7 application processor only requires a simple sequencing of the power rails. VDD_SOC must be stable before NVDCC_DRAM and NVDCC_DRAM_CKE start to ramp. For down sequencing, first NVCC_DRAM and NVDCC_DRAM_CKE must be powered down before VDD_SOC is disabled. Though no specific sequencing is required for the other rails, this reference design also applies a controlled sequencing of the other rails to reduce the inrush current drawn from the input source, as well as to provide a controlled system start-up. The LM3880-1AA Simple Sequencer starts VDD_SOC and VDD_ARM first; then VDD_1P8, NVCC_3P3 VCCA, and NVCC_ENET1 second; and then finally, the 1.35-V converter (NVCC_DRAM_CKE and NVCC_DRAM rail). This reference design uses the 1AA version of LM3880, which provides a sequencing power-up order of FLAG1, FLAG2, and FLAG3 with a delay time (t_{DELAY}) of 10 ms. Power-up sequencing starts when the enable pin of the LM3880 device is pulled high and power-down sequencing starts when the enable pin is pulled low (see [Figure 2](#)). An external enable signal must be applied at jumper J12, such as from a microcontroller (MCU) or signal generator.

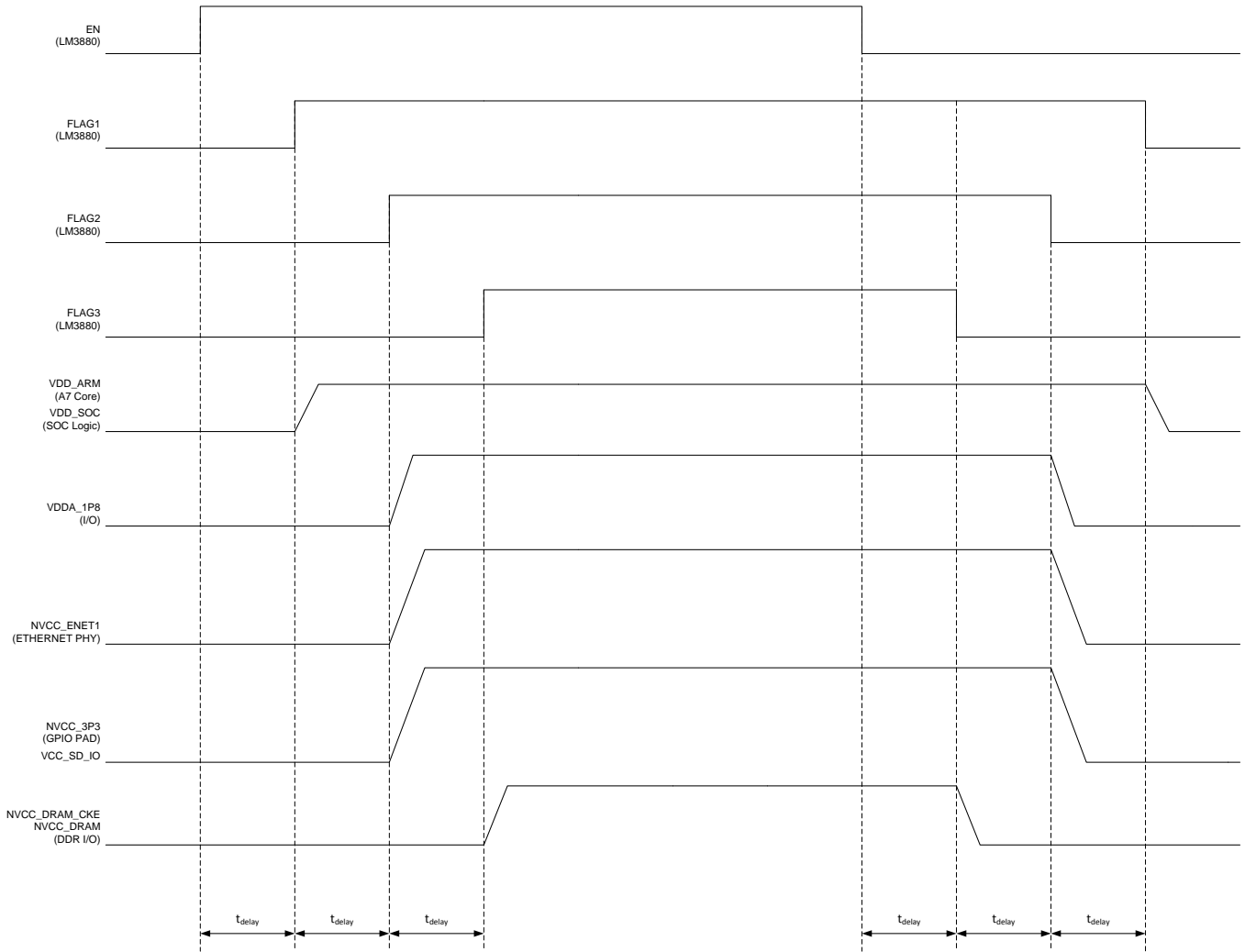


図 2. Power Sequencing

3 Hardware, Software, Testing Requirements and Test Results

To test this reference design, apply an input voltage (typically 3.6 V) to the J1 input connector. Apply an enable signal to jumper J12 with a signal generator to initiate the power-up sequencing of the output rails. For the high level, apply at least 1.4 V (maximum level is V_{IN}); for the low level, apply less than 1.0 V.

3.1 Testing and Results

This section includes the relevant test results to power the i.MX7 application processor. Unless otherwise noted, all testing was conducted with 3.6 V_{IN} and at room temperature.

3.1.1 VDD_ARM, VDD_SOC

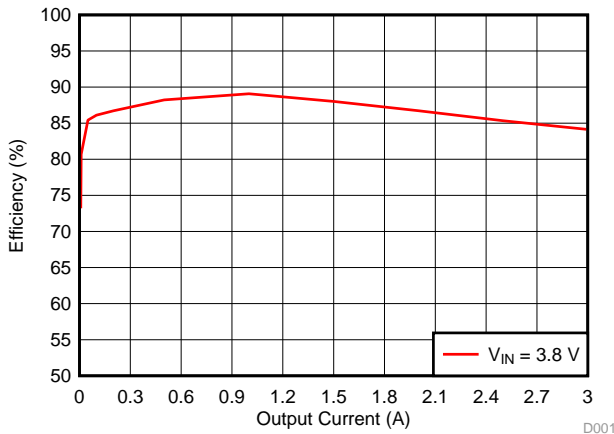


Figure 3. VDD_ARM, VDD_SOC Efficiency (3.8 V_{IN})

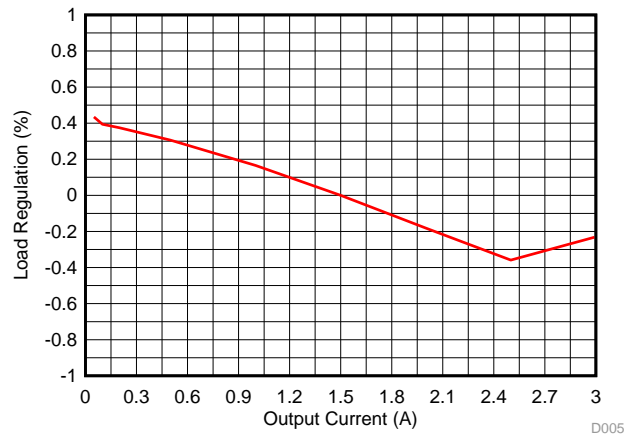


Figure 4. VDD_ARM, VDD_SOC Load Regulation (3.8 V_{IN})

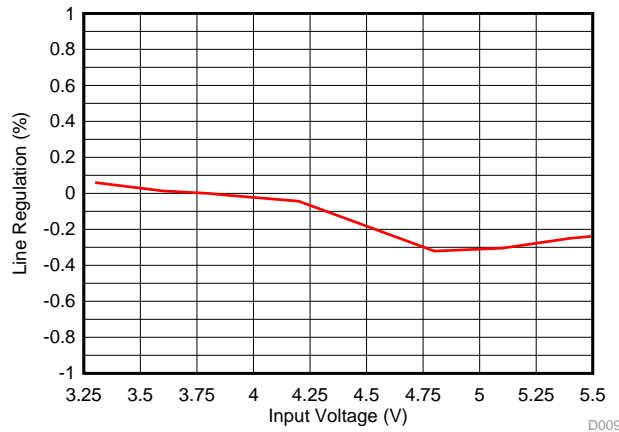


Figure 5. VDD_ARM, VDD_SOC Line Regulation (3-A Load)

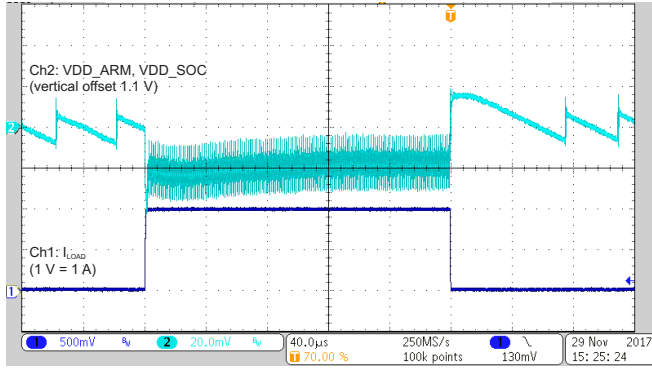


図 6. VDD_ARM, VDD_SOC Transient Response ($V_{IN} = 3.8\text{ V}$, 10-mA to 2-A Load Step)

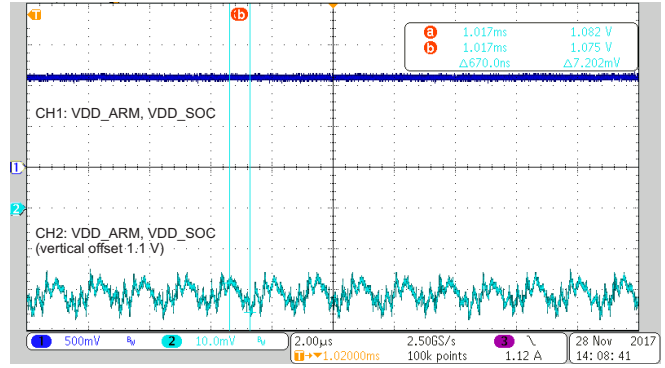


図 7. VDD_ARM, VDD_SOC Ripple ($V_{IN} = 3.8\text{ V}$, 3-A Load)

3.1.2 VDDA_1P8

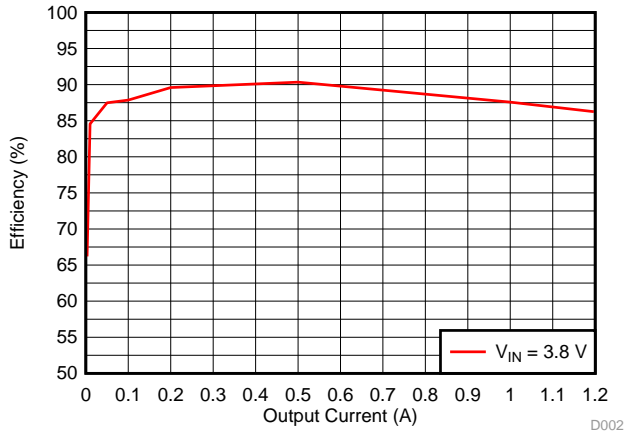


図 8. VDDA_1P8 Efficiency (3.8 V_{IN})

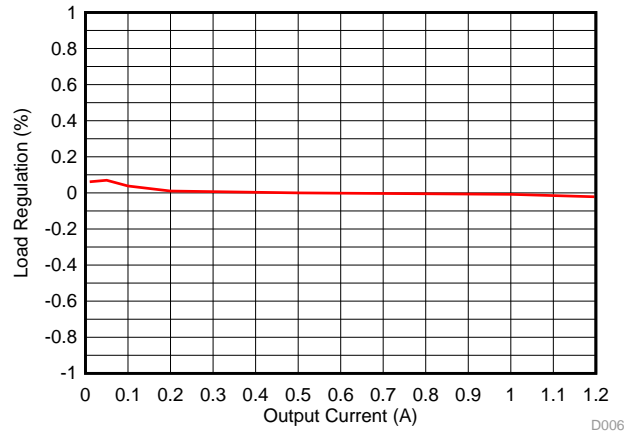


図 9. VDDA_1P8 Load Regulation (3.8 V_{IN})

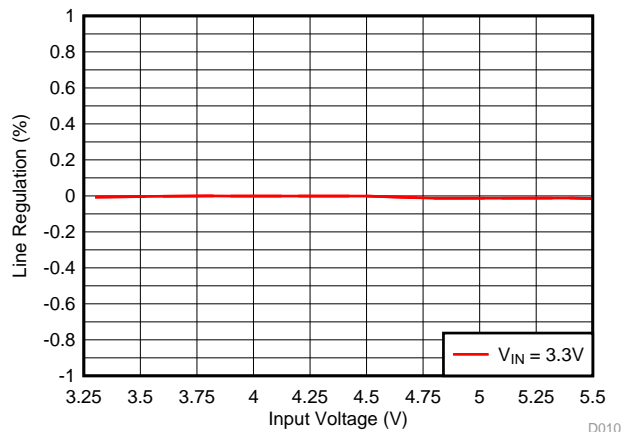


図 10. VDDA_1P8 Line Regulation (1.2-A Load)

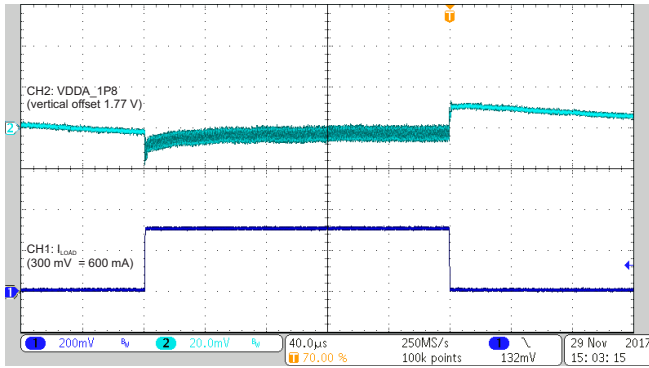


図 11. VDDA_1P8 Transient Response ($V_{IN} = 3.8\text{ V}$, 1-mA to 600-mA Load Step)

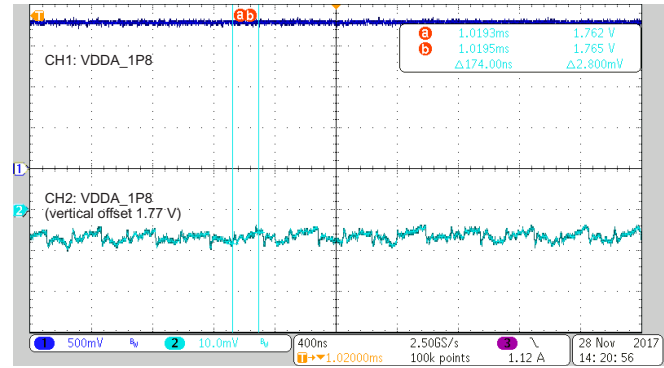


図 12. VDDA_1P8 Ripple ($V_{IN} = 3.8\text{ V}$, 1.2-A Load)

3.1.3 NVCC_3P3

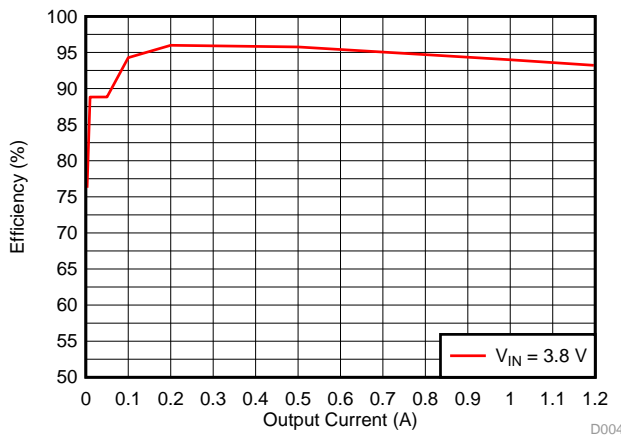


図 13. NVCC_3P3 Efficiency ($V_{IN} = 3.8\text{ V}$)

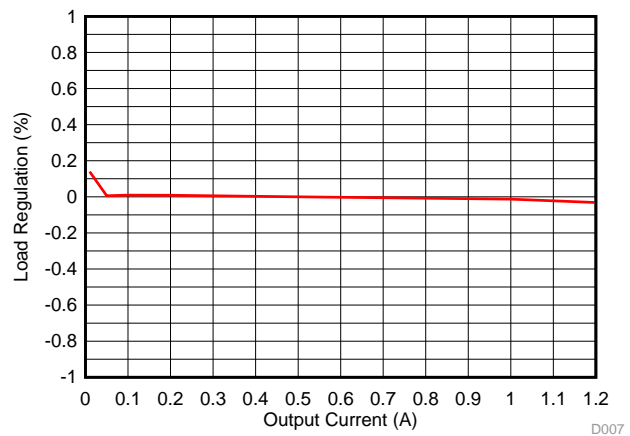


図 14. NVCC_3P3 Load Regulation ($V_{IN} = 3.8\text{ V}$)

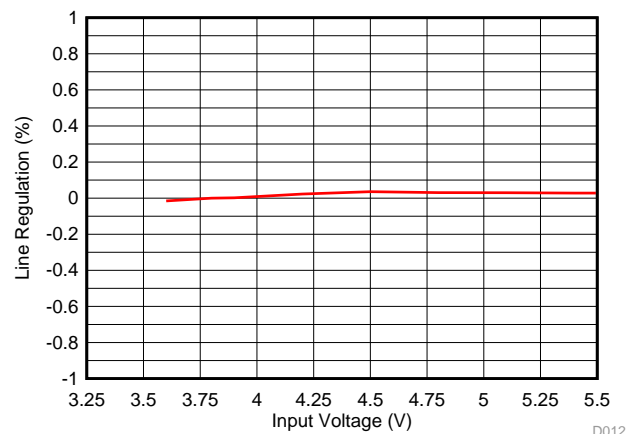


図 15. NVCC_3P3 Line Regulation (1.2-A Load)

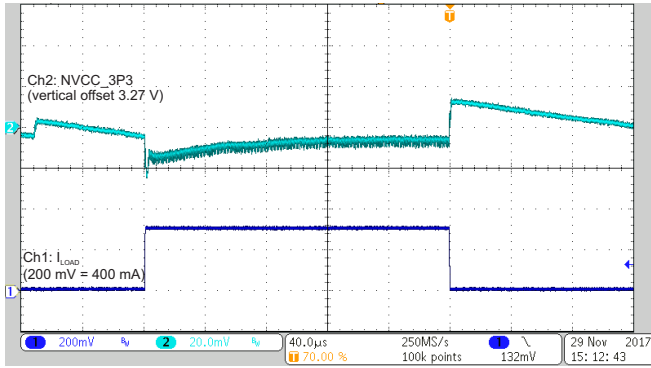


図 16. NVCC_3P3 Transient Response ($V_{IN} = 3.8 \text{ V}$, 1-mA to 600-mA Load Step)

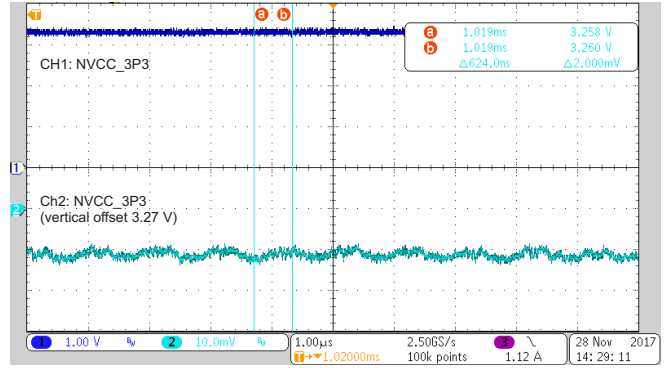


図 17. NVCC_3P3 Ripple ($V_{IN} = 3.8 \text{ V}$, 1.2-A Load)

3.1.4 NVCC_DRAM

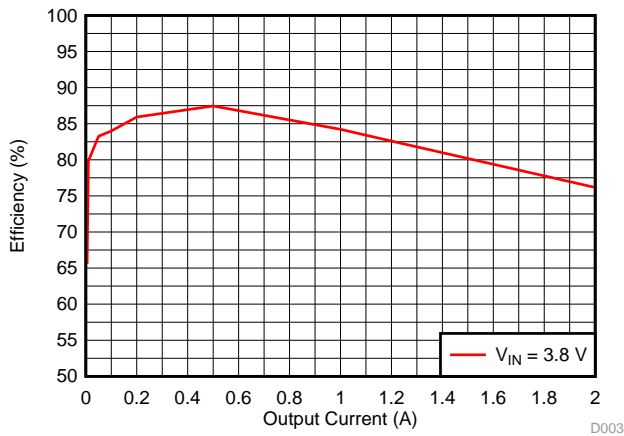


図 18. NVCC_DRAM Efficiency ($V_{IN} = 3.8 \text{ V}$)

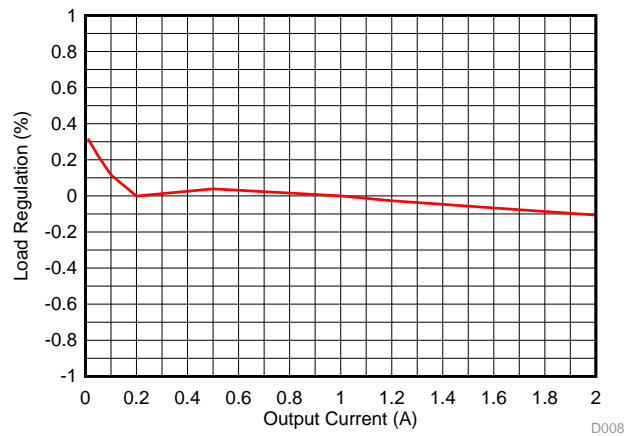


図 19. NVCC_DRAM Load Regulation ($V_{IN} = 3.8 \text{ V}$)

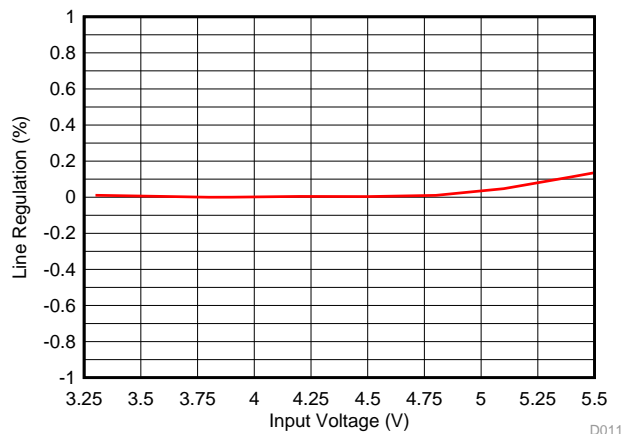
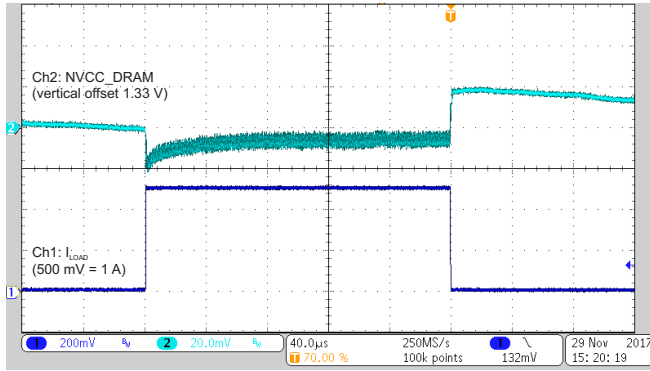
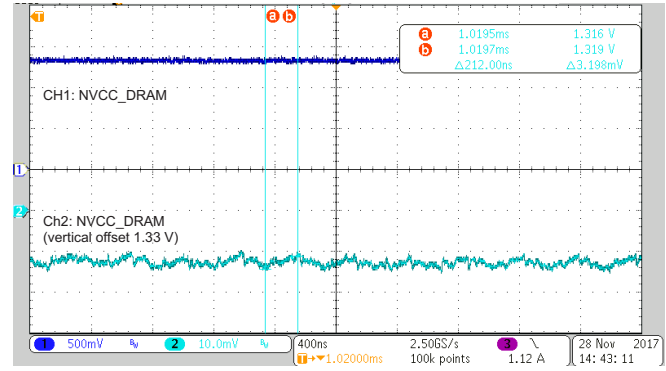


図 20. NVCC_DRAM Line Regulation (2-A Load)

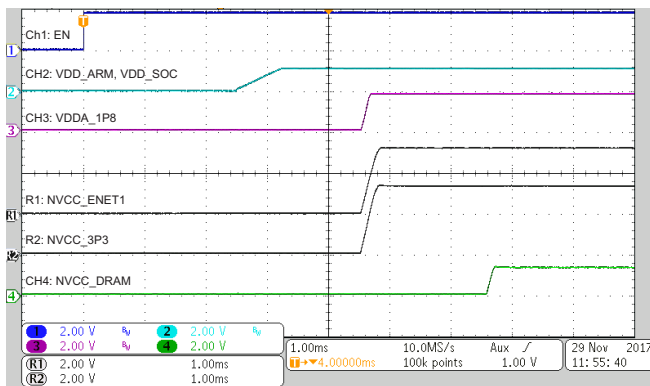


21. NVCC_DRAM Transient Response ($V_{IN} = 3.8 \text{ V}$, 1-mA to 1-A Load Step)

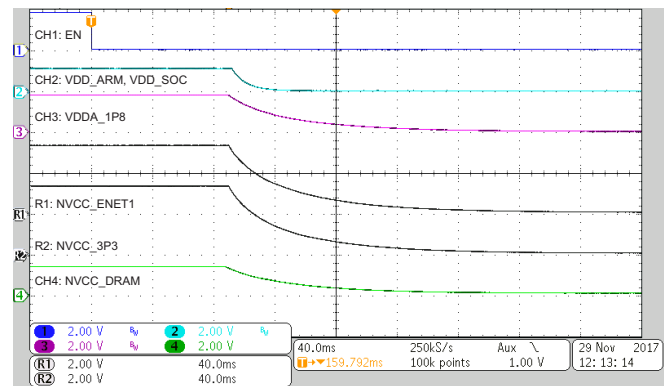


22. NVCC_DRAM Ripple ($V_{IN} = 3.8 \text{ V}$, 2-A Load)

3.1.5 System Power Up and Power Down



23. Power Up ($V_{IN} = 3.8 \text{ V}$, No Load)



24. Power Down ($V_{IN} = 3.8 \text{ V}$, No Load)

4 Design Files

4.1 Schematics

To download the schematics, see the design files at [TIDA-01416](#).

4.2 Bill of Materials

To download the bill of materials (BOM), see the design files at [TIDA-01416](#).

4.3 PCB Layout Recommendations

4.3.1 Layout Prints

To download the layer plots, see the design files at [TIDA-01416](#).

4.4 Gerber Files

To download the Gerber files, see the design files at [TIDA-01416](#).

4.5 Assembly Drawings

To download the assembly drawings, see the design files at [TIDA-01416](#).

5 Related Documentation

1. NXP, [i.MX 7Dual Family of Applications Processors Datasheet](#)
2. Texas Instruments, [High Efficiency 3-A Step-Down Converter in 2-mm×2-mm VSON Package](#)
3. Texas Instruments, [1.2-A and 2-A High-Efficiency Step-Down Converter in 2-mm×2-mm WSON Package](#)
4. Texas Instruments, [Simple Power Sequencer](#)
5. Texas Instruments, [High-efficiency, low-ripple DCS-Control™ offers seamless PWM/power-save transitions](#)

5.1 商標

DCS-Control is a trademark of Texas Instruments.

NXP is a trademark of NXP Semiconductors.

TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的での、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、もしくは、TIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示の保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterms.htm>)についてのTIの標準条項が含まれますが、これらに限られません。