

デザイン・ガイド: TIDA-00299

EtherCAT®スレーブおよびマルチプロトコル産業用イーサネットのリファレンス・デザイン



概要

TIDA-00299 は、コスト最適化され優れた EMC 耐性を備えた EtherCAT®スレーブ (デュアル・ポート) と、アプリケーション・プロセッサとの SPI インターフェイスを実装しています。AMIC110 産業用通信プロセッサを使用し、産業用イーサネットおよびフィールドバスの複数のプロトコルをサポートできます。また 5V 入力に対応しており、単一の PMIC (電源管理 IC) により、オンボードに必要なすべてのルールが生成されます。EtherCAT スレーブスタックは、AMIC110、またはシリアルペリフェラルインターフェイス (SPI) を使用するアプリケーションプロセッサで実行可能です。ハードウェアスイッチにより、SPI フラッシュから、あるいは SPI 経由でアプリケーションプロセッサから EtherCAT スレーブファームウェアを起動するように AMIC110 を構成できます。このリファレンス・デザインは、EtherCAT マスタを実行する標準の産業用 PLC を使用して、IEC61800-3 EMC 耐性テストを実施済みです。JTAG インターフェイスにより、カスタムファームウェアも短時間で開発できます。

リソース

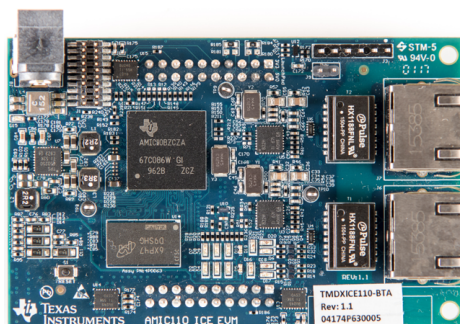
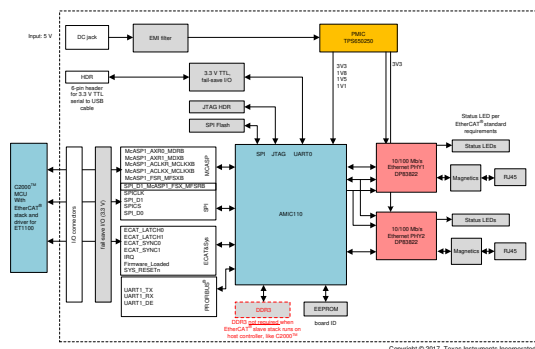
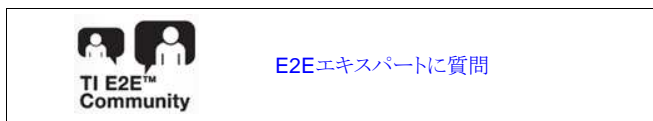
TIDA-00299	デザイン・フォルダ
AMIC110	プロダクト・フォルダ
DP83822H	プロダクト・フォルダ
TPS650250	プロダクト・フォルダ
TMDXICE110	ツール・フォルダ

特長

- EtherCAT スレーブ適合試験 (CTT 使用) に合格
- AMIC110 通信プロセッサを使用して、ソフトウェア・プログラマブルなマルチプロトコルの産業用イーサネットおよびフィールド・バスをサポート
- 両ポートで EtherCAT を実行して IEC61800-3 EMC 耐性要件を上回る性能を実現
 - +/- 6kV ESD CD (IEC 61000-4-2 に準拠)
 - +/- 4kV EFT (IEC 61000-4-4、基準 A に準拠)
 - +/- 2kV サージ (IEC 61000-4-5、基準 A に準拠)
 - IEC61000-4-6 伝導 RF (基準 A)
 - CISPR 11/EN55011 クラス A
- 遅延時間が短く堅牢な 10/100Mbps イーサネット PHY である DP83822
- コスト最適化された使いやすい電源管理。1 つの PMIC を使用して、事前にレギュレートされた 5V 電源から基板全体に電力を供給
- 産業用温度範囲全体にわたって動作
 - 標準的な使用条件での基板の総消費電力は 1.25W 未満、最高 85°C の周囲温度でヒートシンク不要

アプリケーション

- 産業用モータ・ドライブ
- ファクトリ・オートメーション / 制御





使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE (重要な注意事項)をご参照くださいますようお願いいたします。

1 システムの説明

産業用イーサネット向け通信モジュールを開発する場合、2つの主要な検討事項があります。

- 使用する産業用イーサネット・プロトコルの種類と数
- EMC ノイズに対するシステムの通信の堅牢性

1.1 産業用イーサネット通信

イーサネットは、共通の物理リンクと高速化により普及し、コスト効率も良くなっています。そのため、多くの産業用通信プロトコルがイーサネットベースのソリューションに移行してきています。通常、TCP/IP によるイーサネット通信は非デタミニスティック (非確定的) な手法であり、反応時間は大抵約 100ms です。産業用イーサネット・プロトコルは、修正されたメディア・アクセス制御 (MAC) 層を使用して、非常に短い待ち時間とデタミニスティックな応答を達成します。イーサネットを使用すると、システムのネットワーク・トポロジとノード数の柔軟性を高めることもできます。

通常使用される産業用イーサネット・プロトコルを以下に示します。

- EtherCAT®
- PROFINET
- Sercos III
- EtherNet/IP
- POWERLINK
- Modbus/TCP
- CC-Link

産業用機器メーカーが経済的かつ柔軟な方法で各種産業用通信プロトコルを実装するには、コスト効率、柔軟性、将来性がより優れたマルチプロトコル対応産業用通信ソリューションを提供する専用コアが必要です。詳細については、2.3.1 を参照してください。

確定性の問題が解決したところで、このインターフェイスに関する次の課題は、EMC ノイズに対する堅牢性の確保です。より高精度で堅牢な産業用通信を実現するためのトレンドは、予知保全だけでなく安全機能も追加して全体システムの停止時間を短縮または解消することです。EMC 耐性規格の詳細については、1.2 を参照してください。

このデザイン・ガイドで使用する産業用プロトコルは EtherCAT® です。これはソフトウェア・オプションであり、ソフトウェアを変更することでその他のプロトコルもサポートできます。

1.2 産業用ドライブのための IEC61800-3 EMC 耐性規格

産業用ドライブを開発する場合、IEC61800-3 EMC 規格のコンプライアンス・テスト (適合試験) に合格する必要があります。

IEC61800-3 規格の詳細については、『[Know your electromagnetic compatibility requirements for designing industrial drives](#)』ブログ (英語) または『[Why EMI/EMC and isolation standards for Motor Drives](#)』ビデオ (英語) を参照してください。

このブログでは、テストする必要がある複数のインターフェイスが存在することを紹介しています。

EMC 耐性については、IEC61800-3 および IEC61000-6-2 規格に従ってテストしました。ESD、EFT、サージ、伝導 RF はそれぞれ IEC61000-4-2、IEC61000-4-4、IEC61000-4-5、IEC61000-4-6 規格に従ってテストしました。

表 1. IEC618000-3 および IEC61000-6-2 EMC 耐性要件 (第 2 種環境)、測定電圧レベル、クラス

要件				
ポート	現象	参照規格	レベル	性能 (合格) 基準
筐体ポート	ESD	IEC61000-4-2	+/-4kV CD または 8kV AD (CD が不可能な場合)	B
制御ラインおよび DC 補助電源 (60V 未満) 用ポート	ファスト・トランジェント・バースト (EFT)	IEC61000-4-4	+/-2kV / 5kHz または 100kHz (容量性クランプ)	B
	サージ 1.2/50 μ s、8/20 μ s	IEC61000-4-5	+/-1kV。シールド・ケーブルが 20m 超であるため、シールドに直接結合 (2 Ω /500A)	B
	伝導 RF	IEC61000-4-6	0.15~80MHz、10V/m、80% AM (1kHz)	A

性能 (合格) 基準を以下のように定義します。

性能 (合格) 基準	概要
A	モジュールは意図した動作を継続すること。テスト実施中も機能や性能の損失がないこと。
B	一時的な性能低下は許容される。テスト後、オペレータの介入なしに、モジュールは意図した動作を継続すること。
C	テスト実施中、機能の損失は許容されるが、ハードウェアやソフトウェアの破損はないこと。テスト後、オペレータによる再起動、電源切断、電源投入のいずれかの後、モジュールは意図した動作を自動的に継続すること。

ドライブを使用する国によって異なる EMC 規格が適用されます。このリファレンス・デザインでは、IEC 規格に基づいてテストしました。

表 2. IEC618000-3 および IEC61000-6-2 EMC 耐性要件 (第 2 種環境)、測定電圧レベル、クラス

要件		
現象	参照規格	カテゴリ 2 電界強度成分準尖頭値 dB (uV/m)
EMI	EN55011/CISPR 11 クラス A	40 (30~230MHz)、47 (230~1000MHz)

ドライブを使用する国によって異なる EMC 規格が適用されます。このリファレンス・デザインでは、IEC 規格に基づいてテストしました。

1.3 EtherCAT®の概要

EtherCAT とは Ethernet for Control Automation Technology の略です。EtherCAT は、Beckhoff Automation GmbH が開発し、2003 年に発表したリアルタイム産業用イーサネットフィールドバスの規格です。

EtherCAT は国際電気標準会議 (IEC) で標準化されたオープンテクノロジーです。このテクノロジーは、国際的なユーザーとベンダーのコミュニティである EtherCAT Technology Group (ETG) によってサポートされ、推進されています。

EtherCAT プロトコルは IEC 規格 IEC61158 で規格化されています。この規格は、自動化技術をはじめとするさまざまな用途で、ハードウェアおよびソフトウェアのリアルタイム要件に対応するように策定されました。

EtherCAT の主な開発目標は、低い通信ジッタと短いデータ更新時間 (100 μ s 以下) により正確な同期 (1 μ s 以下) を実現することでした。EtherCAT の詳細については、[EtherCAT Technical Introduction and Overview](#)を参照してください。

1.3.1 標準的な EtherCAT®ネットワーク

EtherCAT では、各ネットワークにマスタが 1 台のみ存在します。マスタは、通信プロセッサを追加することなく、標準のイーサネットメディアアクセスコントローラ (MAC) に実装できます。この MAC は全二重 100Mbit/s のインターフェイスを提供する必要があります。必要なソフトウェアを搭載した標準の PC であれば、EtherCAT マスタとして使用できます。図 1 に標準的な EtherCAT ネットワークの構造を示します。

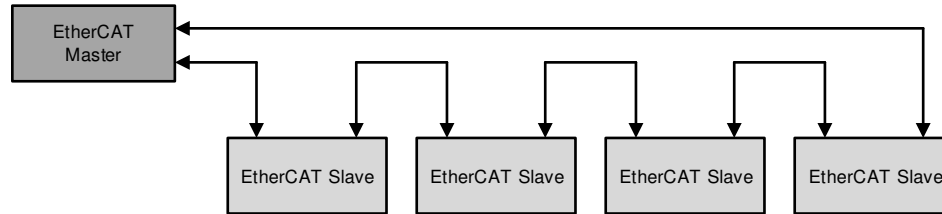


図 1. 標準的な EtherCAT®ネットワーク

図 1 に示す例は、デジチェーンネットワーク方式ですが、EtherCAT はライン型、ツリー型、またはスター型にも対応します。

標準的なイーサネットの動作とは逆に、EtherCAT スレーブは EtherCAT フレームを「オンザフライ」で処理します。つまり、受信データパケットの受信が完了しないうちから、可能な限り速やかに、新しい EtherCAT パケットの送信が開始されます。このような送信は、ハードウェアベースの実装なくしては実現せず、決定的なネットワーク性能を確保する上で不可欠です。

このリファレンス・デザインは、EtherCAT スレーブのハードウェアおよびソフトウェア要件に重点を置いています。

1.3.2 EtherCAT®スレーブの構成要素

各 EtherCAT スレーブコントローラ(ESC)には、大きく分けて物理層へのインターフェイス、EtherCAT MAC 層、アプリケーション層という 3 つの構成要素があります。図 2 にこれらの構成要素を示します。

物理層

物理層は、100BASE-TX 銅線、100BASE-FX 光ファイバ、または LVDS を採用した E-bus (Ethernet-Klemmenbus) を伝達媒体として使用します。信号は、物理層回路 (PHY) を経由して媒体から機器へ伝達されます。イーサネット規格では、PHY はいわゆるメディアインディペンデントインターフェイス (MII) やその後継を使用して、MAC に接続します。

EtherCAT MAC 層

コンピュータネットワークの IEEE 802 リファレンス・モデルでは、MAC 層は論理リンク制御 (LLC) 副層とネットワークの PHY の間のインターフェイスとなります。MAC 層は EtherCAT 規格の仕様 IEC61158 に基づいて実装します。この層は通常、EtherCAT スレーブコントローラともいいます。この実装では、EtherCAT データフレームを処理するだけでなく、標準の TCP-IP および UDP-IP プロトコルもサポートする必要があります。受信データはアプリケーション層に渡され、次のノードに送信するためにもう一つのポートにも送られるため、遅延時間を最小限に抑えることができます。

EtherCAT アプリケーション層

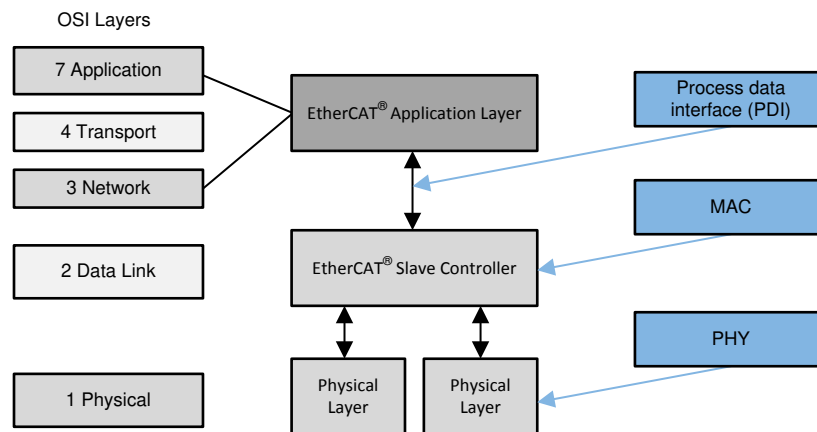


図 2. EtherCAT®スレーブの構成

アプリケーション層の接続では、選定した ESC に応じて、さまざまなプロセスデータインターフェイス (PDI) を利用できます。標準的なインターフェイスの選択肢は、32 ビットから 8 ビットまたは 16 ビットの平行 IO インターフェイス、あるいは SPI などのシリアルインターフェイスまで多岐にわたります。アプリケーション層では、EtherCAT スレーブがデータを処理したり、個々のプロファイルに規定するさまざまな機能を実行します。

このプロファイルの詳細については、EtherCAT Web ページを参照してください。

1.4 主なシステム仕様

このリファレンス・デザインは、コスト最適化された EtherCAT スレーブ (デュアルポート) と、アプリケーションプロセッサ向けの SPI 接続機能を実装しています。AMIC110 産業用通信プロセッサを使用し、産業用イーサネットおよびフィールドバスの複数のプロトコルをサポートできます。また 5V 入力に対応しており、単一の PMIC (電源管理 IC) により、オンボードで必要なすべてのレールが生成されます。EtherCAT スレーブスタックは、AMIC110、または SPI を使用するアプリケーションプロセッサで実行可能です。ハードウェアスイッチにより、SPI フラッシュから、あるいは SPI 経由でアプリケーションプロセッサから EtherCAT スレーブファームウェアを起動するように AMIC110 を構成できます。このリファレンス・デザインは、BoosterPack プラグイン・モジュールのフォームファクタを採用し、TI LaunchPad 開発キットと互換性のあるコネクタを搭載しているため、C2000 MCU を使用して簡単に評価を行えます。JTAG インターフェイスにより、カスタムファームウェアも短期間で開発できます。

この TI Design の主要なビルディングブロックは、5V PMICx1、イーサネット PHYx2、そしてホストコントローラへの SPI (スレーブ) 接続機能を備えた ESC である AMIC110 Sitara™ プロセッサです。

EtherCAT CTT に対して TIDA-00299 をテストするファームウェアビルドでは、EtherCAT スタックをオンボードの AMIC110 Sitara 上で実行します。

表 3. TIDA-00299 の仕様

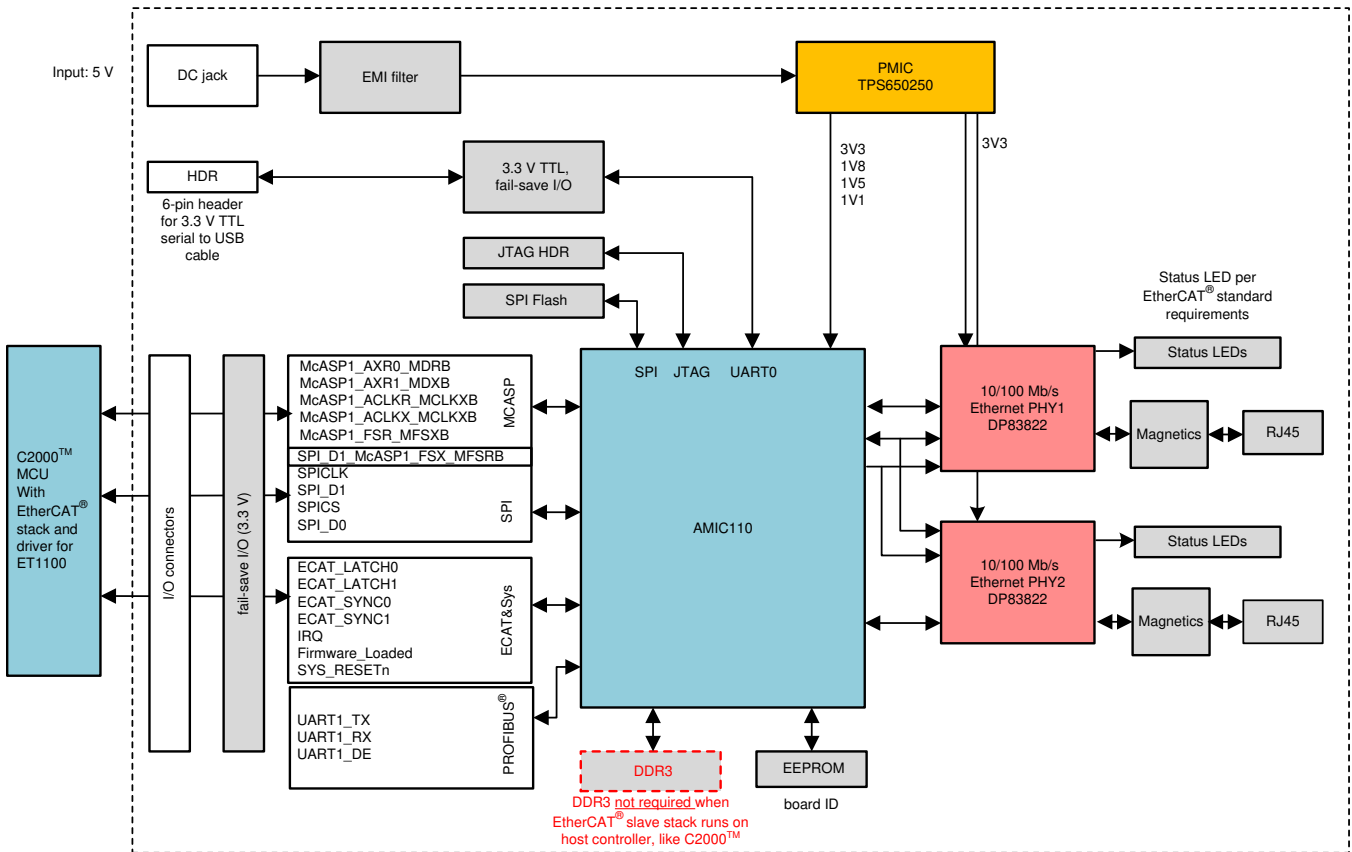
パラメータ	値	備考
DC 入力電圧	5V±5%	内径 2.1mm/外径 5.5mm の丸型 DC ジャック 5V 入力により単一の PMIC を使用して基板に電力を供給し、必要な全電源を生成。
DC 入力電流	250mA (標準値)	EtherCAT スレーブの動作中に CAT マスタに接続
消費電力	1.25W (標準値)	EtherCAT スレーブのサンプルコードによる基板の総消費電力、5V 電源で測定
産業用イーサネット規格	EtherCAT スレーブ	EtherCAT の CTT に合格
	Sercos III, EtherNet/IP, PROFINET, POWERLINK	ハードウェアは対応、ファームウェアの変更が必要 (提供なし)。 AMIC110 通信プロセッサは、ソフトウェアプログラミング可能な産業用イーサネットおよびフィールドバスの複数のプロトコルに対応。
産業用イーサネットスタック	EtherCAT スタック	EtherCAT スタックをオンボード (このリファレンス・デザインでテストした AMIC110) または外部アプリケーションプロセッサで実行可能。スタックを外部アプリケーションプロセッサで実行する場合、DDR3 メモリは不要。
インジケータ LED	利用可能な産業用イーサネット規格に対応	各産業用イーサネット規格では、イーサネットインターフェイスの状態を表示するためのインジケータ LED を規定。複数の産業用イーサネットプロトコルに対応するため、ハードウェアは全規格の要件に対応。
IO インターフェイスの信号電圧	3.3V	3.3V フェイルセーフ IO。TI LaunchPad 対応。
ホストプロセッサの SPI データレート	16MHz (スレーブ) または 48MHz (マスタ)	このインターフェイスを使用して外部プロセッサとの通信が可能。
温度範囲	-40°C ~ 85°C	工業用温度範囲 (-40°C ~ 85°C) ヒートシンク不要
電磁環境適合性 (EMC)	IEC61800-3 に準拠	IEC61800-3 EMC レベルに準拠し、以下のテスト方法による ESD、EFT、サージ基準に合格 <ul style="list-style-type: none"> • IEC61000-4-2 • IEC61000-4-4 • IEC61000-4-5 • IEC61000-4-6
EMI	CISPR11, EN55011	EN55011, クラス A 規格に準拠

表 3. TIDA-00299 の仕様 (continued)

パラメータ	値	備考
EtherCAT ファームウェアストレージ	SPI フラッシュ	このフラッシュインターフェイスは ROM ブートローダおよびスタンドアロン動作に使用。
基板識別	EEPROM	EEPROM を使用して、実行時に基板識別値を格納
デバッグインターフェイス	JTAG ヘッド	カスタムファームウェア開発用 JTAG ヘッド
ケーブルの長さ	> 100m	システムは通常 100m 以上のケーブル長をサポートする必要がある

2 システム概要

2.1 ブロック図



Copyright © 2017, Texas Instruments Incorporated

図 3. TIDA-00299 のシステムブロック図

2.2 設計上の検討事項

2.2.1 ハードウェア設計

本章では、この TI Design のさまざまな項目について述べ、部品選定における検討事項と回路設計のプロセスについて説明します。取り上げる項目は以下のとおりです。

- 電源管理
- 10/100Mbps イーサネット PHY
- EtherCAT コントローラ
- ロジック IC
- ホストプロセッサインターフェイス

2.2.1.1 電源管理

電源管理の主な課題は、リファレンス・デザインが対応しなければならない動作温度範囲です。複数のレールに電力を供給する必要があるため、高度な統合により基板面積や部品点数を削減することが推奨されます。まず、各電動部品の電力要件を考慮する必要があります。

2.2.1.1.1 DP83822 の消費電力

DP83822 への電力供給には、電力バジェットに応じていくつかの選択肢があります。表 4 に、DP83822 の特性表から引用した最大消費電力とレールの選択肢を示します。

表 4. DP83822 の消費電力

電圧オプション	パラメータ	電圧	最大消費電力	備考
1	IO 電源	3.3V	261mW	各レールの電力バジェットに応じて電圧を選択
	アナログ電源	3.3V		
2	IO 電源	1.8V	126mW	各レールの電力バジェットに応じて電圧を選択
	アナログ電源	1.8V		

2.2.1.1.2 Sitara™ AMIC110 の消費電力

カスタム設計については、AMIC110 Sitara SoC[7]を参照してください。

『AM335x の消費電力概要』Wiki ページに、AM335x チップの基準消費電力値が記載されています。AMIC110 は AM335x の派生製品です。このため、AM335x の基準値から AMIC110 TI Design の最悪条件下の電力要件を推計できます。

表 5 では、消費電流が極めて高い例として 3D Chameleon Man の電力要件を採用しています。この例は 3D グラフィックス処理を含んでいますが、AMIC110 ではそれはありません。したがって、AMIC110 の消費電力はこれより低くなると予想されます。

表 5. DDR3 を含む AM335x の消費電力

レール	SITARA	DDR3
1.1V	約 420mA	—
1.5V ⁽¹⁾	約 120mA	約 140mA
1.8V	約 33mA	—
3.3V	約 34mA	—

⁽¹⁾ 1.5V を使用する DDR3 インターフェイスです。

2.2.1.1.3 追加部品の消費電流

コンプリートシステムでは、3.3V レールに次のようないくつかの追加部品があります。

- AMIC110 と DP83822 の間のグルーロジック
- EtherCAT のステータス LED
- AMIC110 ブート用 SPI RAM
- IO ラインのスイッチング損失

グルーロジックは、AMIC110 のブートシーケンスで、起動時に 2 つの出力が駆動し合わないようにするために必要です。このため、SN74LV244A MUX と SN74LVC2G66 デュアルスイッチを使用しました。これらの消費電流は、『SN74LV244A オクタルバッファドライバ、3 ステート出力対応』[9]特性表と『SN74LVC2G66 デュアル双方向アナログスイッチ』[10]特性表に基づき、10mA と概算されます。

リアルタイムイーサネットプロトコルのステータス LED については、3.3V、2mA の LED を 8 個、5V、2mA の LED を 6 個で計 14 個の LED を搭載しています。

フラッシュチップは Winbond™ の W25Q64 です。W25Q64FV の特性表によれば、最悪条件下の消費電流は 25mA です。IO 駆動電流については、次の最悪条件下の計算を行いました。

$$P_{IO,out} = (C_{out} \times (V_{IO})^2 \times f) = 20 \text{ pF} (3.3 \text{ V})^2 \times 25 \text{ MHz} = 5.4 \text{ mW} \quad (1)$$

IO 容量は、『AMIC110 Sitaro SoC』[7]特性表の値に基づく、AMIC110 PRU ピンの標準的な負荷容量から概算します。MII 信号のクロック周波数は 25MHz です。

このため、3.3V の IO ピン当たりの駆動電流は約 1.67mA となります。このリファレンス・デザインでは、約 50 個のピンを使用します。

表 6. 外部回路と IO 駆動の電流要件

レール	フラッシュ	グルーロジック	LED	IO 駆動
3.3V	約 25mA	約 10mA	約 16mA	約 83mA

2.2.1.1.4 システム消費電流

4 つの電源レールの総電力要件を表 7 にまとめます。

表 7. システム電流要件

レール	AMIC110	DDR3	単一電源 DP83822	外部回路
1.1V	約 420mA	—	—	—
1.5V ⁽¹⁾	約 120mA	約 140mA	—	—
1.8V	約 33mA	—	—	—
3.3V	約 34mA	—	約 159mA	約 138mA

⁽¹⁾ 1 つまたは 2 つの電源レールで DP83822 に電力を供給するように設計できます。このリファレンス・デザインでは、1 つの電源レールしか検討しませんでした。3.3V を使用することにしました。

表 8. システム電流要件、オプション 1 表 4

レール	単一電源
1.1V	約 420mA
1.5V ⁽¹⁾	約 260mA
1.8V	約 33mA
3.3V	約 327mA

⁽¹⁾ 過渡事象を考慮して、マージン 50% を採用するのが妥当です。

2.2.1.1.5 TPS650250 を使用したシングルチップ電源

TPS650250 PMIC は、AM335x や AMIC110 といった Sitara ファミリのプロセッサを駆動するように設計されています。詳細ならびに実例については、『TPS650250 による AM335x の電力供給』[\[8\]](#)ユーザーガイドを参照してください。ユーザーガイドには、AMIC110 ファミリの要件を満たす方法が記載されています。このリファレンス・デザインは事前に電圧制御された 5V 電源で動作します。

表 9 の電力損失計算については、スイッチモード電源 (SMPS) には式 2 を、LDO には式 3 を用いました。これらの計算では、SMPS の効率を 80% としました。

$$P_{\text{SMPS}} = V_{\text{OUT}} \times I_{\text{OUT}} \times \left(\frac{1}{\eta} - 1 \right) \quad (2)$$

$$P_{\text{LDO}} = (V_{\text{IN}} - V_{\text{OUT}}) \times I_{\text{OUT}} \quad (3)$$

表 9. システム消費電力

レール	TPS650250 の最大電流	トポロジ	単一電源	消費電力
1.1V	1600mA	SMPS	約 420mA	0.12W
1.5V	800mA	SMPS	約 260mA	0.1W
1.8V	400mA	LDO	約 33mA	0.1W
3.3V	800mA	SMPS	約 331mA	0.28W

単一電源構成での TPS650250 の総消費電力は 0.6W です。

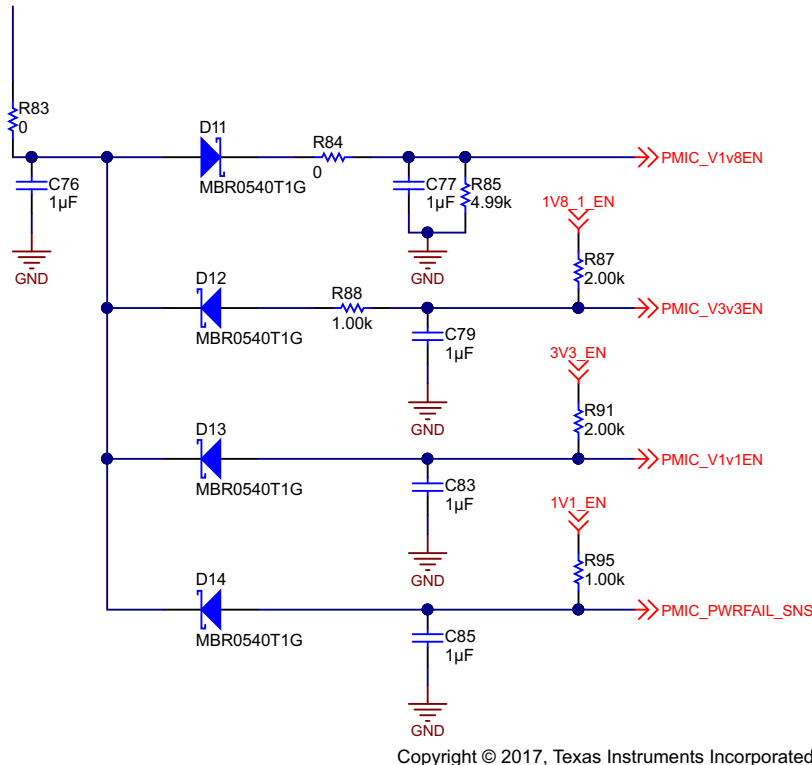
TPS650250 の定格消費電力は、『DP83822 堅牢かつ低消費電力の 10/100Mbps イーサネット物理層トランシーバ』[\[12\]](#)特性表の 7.5 節に記載されています。パッケージの基準接合部 - 周囲間熱抵抗 $R_{\theta JA}$ は 35K/W です。これに基づき、85°C 時に外部冷却なしで 1.14W を消費する可能性があります。

TPS650250 と AMIC110 の間の電源ライン接続については、表 10 を参照してください。

表 10. AMIC110-TPS650250 電源レール間の電源ライン接続

レール	TPS650250	AMIC110
1.1V	DCDC1	VDD_CORE、VDD_MPU、VDD_RTC
1.5V	DCDC2	VDDS_DDR
1.8V	VLDO1	VDDS_SRAM_MPU_BB、VDDS_SRAM_CORE_BG、VDDA_ADC、VDDSHVx、VDDS_PLL_DDR、VDDS_PLL_MPU、VDDS_PLL_CORE_LCD、VDDS_OSC、VDDA1P8V_USB0、VDDA1P8V_USB1
1.8V	VLDO2	VDDS、VDDS_RTC、VDDSHVx
3.3V	DCDC3	VDDA3P3V_USB0、VDDA3P3V_USB1、VDDSHVx

TPS650250 は電源低電圧コンパレータを内蔵しています。このリファレンス・デザインでは、5V の上流電源を監視する代わりに、PWRFAIL_SNS 信号を使用して 1.1V(プロセッサコア)レールの電圧を監視し、コア電圧が 1.0V を下回っている間はそのオープンドレイン出力を使用して AMIC110 の nRESET ラインをアサートします。図 4 に示すように、さまざまな電源レールのイネーブル入力をカスケード接続して、電源投入シーケンスを組みます。5V 入力電源の低電圧保護は実装していないため、正常な動作を確保するには、DC ジャックの入力電圧を 4.5V ~ 5.5V に維持する必要があります。



Copyright © 2017, Texas Instruments Incorporated

図 4. 電源投入シーケンスネットワーク

2.2.1.2 DP83822: 10/100Mbps イーサネット PHY

EtherCAT は通常、過酷な産業環境で使用するため、低 EMI 特性を備えた DP83822 PHY を選定しました。シールドイーサネットケーブルで使いやすい製品です。PHY チップは少数のピンを使用してハードウェアを構成しますが、これをブートストラップピンまたはストラップといいます。ストラップピンにはプルアップ抵抗またはプルダウン抵抗が内蔵されており、これによりデフォルト構成が提供されます。外付け抵抗を使用することで、このデフォルト構成は変更できます。これらのピンの値は、電源投入時またはハードウェアリセット時にサンプリングされます。ブートストラップピンは、リセットがアサート解除された後、代替機能を持つことがあるため、VCC や GND に直接接続しないでください。

このリファレンス・デザインでは、必要部品数を低減するため、MDIO インターフェイスを介して初期設定ルーチンで PHY 機能の大半を構成し、MDIO PHY アドレスの構成にのみストラップを使用しています。

また、DP83822 には送受信待ち時間が短いという特長もあるため、この PHY はリアルタイム・イーサネット・システムに最適です。

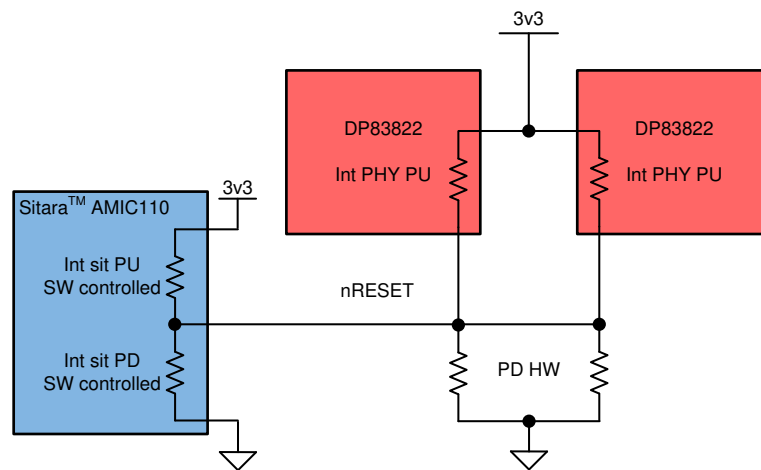
MII インターフェイスの 100BASE-TX の場合、この情報はデータシートに記載されています。送信待ち時間は 48ns、受信待ち時間は 194ns です。

2.2.1.2.1 デュアル PHY に関する検討事項

MDIO インターフェイスは、MII の IEEE 802.3 規格イーサネットファミリ向けに定義されたシリアルバスです。MDIO バスは、1 つの MAC しかマスタとしてサポートしませんが、最大 32 個の PHY スレーブを接続できます。MDIO インターフェイスは 2 つの信号を使用します。MDC クロックは PHY の MAC デバイスにより駆動され、MDIO データは双方向となります。PHY は MDC クロックを駆動して、読み出し操作終了時にレジスタデータを提供します。

デュアル PHY 構成では、2 つの PHY の MDIO インターフェイスアドレスを違うものにする必要があります。これは、DP83822 のストラップオプションを使用して実現できます。PHY1 および PHY2 にそれぞれアドレス 01 および 13 を選定しました。ストラップ構成については、『DP83822 堅牢かつ低消費電力の 10/100Mbps イーサネット物理層トランシーバ』[12]の 8.5.1 節をご覧ください。PHY で使用するインジケータ LED ピンを使用する場合のストラップ構成については、8.5.2 節で述べています。

起動中は、nRESET ピンを LOW に維持して PHY をリセットモードに保持し、PHY プロセッサが正常にブートされる前に PHY が動作しないようにします。リセット回路を図 5 に示します。



Copyright © 2017, Texas Instruments Incorporated

図 5. DP83822 の TIDA-00299 リセット回路

各 PHY の nRESET ピンには、9kΩ の固定プルアップ抵抗が内蔵されています。プッシュプル GPIO を別にすれば、AMIC110 Sitara は 15kΩ のプルアップ抵抗と 35kΩ のプルダウン抵抗を備えており、ソフトウェアで選択可能です(ただし、すべてのピンではない)。初期化されていないピンは、高インピーダンス入力となります。信号の電圧が 0.8V 以下になると PHY は nRESET を LOW と解釈します。これを実現するには、1.1kΩ のプルダウン抵抗が必要です。個別のリセット信号処理が可能になるように、2.2kΩ のプルダウン抵抗を各 PHY に 1 つずつ(計 2 つ)使用します。これらの抵抗により nRESET の電圧は約 0.77V となります。

2.2.1.2.2 DP83822 と AMIC110 の間の MII

PHY (DP83822)と MAC (AMIC110)との接続は MII 規格に従います。このインターフェイスはシングルエンドの 3.3V 信号を使用します。DP83822 PHY は、1.8V、2.5V、3.3V の IO 電圧オプションで供給されます。必要な信号ラインを表 11 に示します。

表 11. 各ポートの MII データライン

内容	ネット名	ピン数
送信クロック	PHYx_TXCLK	1
送信データ	PHYx_TXDn	4
送信許可	PHYx_TXEN	1
受信クロック	PHYx_RXCLK	1
受信データ	PHYx_RXDn	4
受信エラー	PHYx_RXER	1
受信データ有効	PHYx_RXDV	1
衝突検出	PHYx_COL	1
搬送波検知	PHYx_CRS	1
合計	—	15

EtherCAT は全二重通信であるため、COL (衝突検出) および CRC (キャリア検出) 信号は不要です。

2.2.1.2.3 MDI

EMC を高めるため、インジケータ LED なしの RJ45 イーサネットジャックを選定しました。2 つ目の検討事項は、変圧器と RJ45 コネクタの分離でした。この分離により PCB は若干大きくなるものの、全体的な EMC/EMI 性能は向上します。3 つ目の重要な要素は、イーサネット変圧器を介した PHY から RJ45 ジャックへの PCB 配線で、この場合、ジャックと変圧器のピンが PHY のピンと一致していなければなりません。

RJ45 コネクタから変圧器、変圧器から PHY への信号は差動ペアであり、それに応じて配線する必要があります。高い信号品質を実現するには、差動ペア間の長さの不一致を 10mil (0.254mm) 未満に抑える必要があります。

図 6 に PHY - ジャック間接続回路図を示します。U4 は ESD プロテクタです。

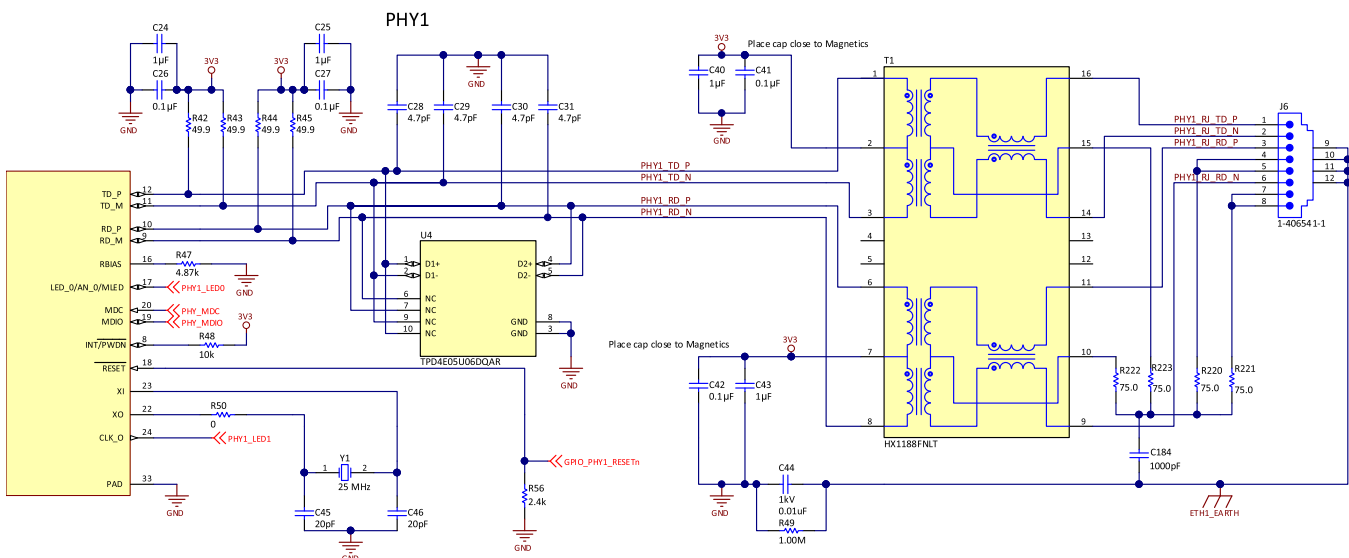


図 6. TIDA-00299 の PHY - RJ45 間接続

イーサネット変圧器により、ローカル回路とネットワークケーブルの間の DC 絶縁が実現します。絶縁された巻線のセンタータップには、75Ω の抵抗 (R220-R223) と 1000pF の容量 (C184) によりシャーシ GND (アース) に接続するボブ・スミス終端を形成します。終端コンデンサの定格破壊電圧は 2kV 以上とします。ボブ・スミス終端を使用して同相ノイズを低減します。

2.2.1.2.3.1 アース - GND 間接続

この接続はシステムの EMC 性能に大きく影響する可能性があるため、設計時には特別な配慮を要します。

EMC イベントにより GND 電位が大きく変動した場合、基板の GND 電位を基準としたアース電位はこの接続によって影響を受けます。これは、PHY 仕様を逸脱する電位差による PHY 通信エラーの原因になる可能性があります。

これを防ぐため、このリファレンス・デザインでは C44 と R49 を使用した RC 接続を提案しています。接続する PHY へのシステム全体の接続に応じて、RCD 接続とすることもできます。

このリファレンス・デザインでは、各種の R と RC の選択肢を使用して、複数のテストを行いました。詳細については、3.2.2.3.3.2 を参照してください。

2.2.1.3 AMIC110 Sitara™ - EtherCAT®コントローラ

EtherCAT 規格の詳細については、『PRU ICSS EtherCAT ファームウェア API ガイド』Wiki ページの「EtherCAT 機能用 AM335x/AM437x SOC ピン」を参照してください。どのピンを使用して Sitara プロセッサの EtherCAT 機能を有効にするかが記載されています。

2.2.1.3.1 メモリインターフェイス

DDR3

DDR3 メモリチップを 1 つしか必要としないため、正しくレイアウトしていれば、DDR3 データラインの終端は無視して構いません。各配線の特性インピーダンスは、DDR3 IC のそれと一致していなければなりません。これはすでに BeagleBone Black で実現し、テスト済みであるため、その DDR3 インターフェイスをこのリファレンス・デザインで再利用しました。

SPI フラッシュ

コスト最適化されたブートオプションを提供するために、このフラッシュチップを選定しました。AMIC110 のブート構成ピンを、SPI フラッシュからブートするように設定します。ブート構成の詳細については、『AM335x/AMIC110 Sitara プロセッサ・テクニカルリファレンスマニュアル』[13] の表 26-7 を参照してください。このリファレンス・デザインで使用するブート構成を表 12 に示します。PD は「プルダウン抵抗」、PU は「プルアップ抵抗」、X は「無効」を意味します。

表 12. ブート構成ピン

グループ	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Sysboot ピン	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
抵抗	PU	PD	PD	PD	X	X	X	X	X	X	PD	PU	PU	PD	PD	PD

I2C EEPROM

識別用に EEPROM メモリを基板に追加しました。ファームウェアがこの機能をサポートしていれば、イーサネット MAC アドレスもそこに格納できます。EEPROM チップは I2C アドレス 0x50 でアクセス可能です。

2.2.1.3.2 イーサネットプロトコル別インジケータ LED

EtherCAT に重点を置いて基板を構築しましたが、他のプロトコルで必要なインジケータ LED も追加して拡張性を確保しました。必要なインジケータ LED の定義とその意味を表 13 に示し、表 14 にまとめます。ファームウェアのアップデートにより、ハードウェアは次の産業用イーサネットプロトコルをサポートできます。

- EtherCAT (サンプルファームウェアを提供)
- PROFINET
- SERCOS III
- Ethernet/IP
- Ethernet Powerlink

表 13. 産業用イーサネットインジケータ LED の定義

—	—	POWERLINK	EtherCAT	Ethernet/IP	SERCOS III	PROFINET
リンク/通信 LED	色	緑 (ポート単位)	緑 (ポート単位)	緑 (ポート単位)	緑 (ポート単位)	緑 (ポート単位)
—	動作	リンク時点灯、通信時点滅	リンク時点灯、通信時点滅	リンク時点灯、通信時点滅 (オプション)	リンク時点灯	リンク時点灯、PLC からのコマンド時点滅 (通信時ではない)
通信 LED	色	—	—	橙 (ポート単位)	橙 (ポート単位)	—
—	動作	—	—	通信時点滅	通信時点滅	—
ステータス/エラー LED	色	2 色 (緑・赤)	—	—	—	—
—	動作	—	—	—	—	—
実行 LED	色	—	緑	—	—	—
エラー LED	色	—	赤	—	—	—
モジュール状態	色	—	—	2 色 (緑・赤)	—	—
ネットワーク状態	色	—	—	2 色 (緑・赤)	—	—
S LED	色	—	—	—	3 色 (橙・緑・赤)	—
SD1 LED	色	—	—	—	3 色 (橙・緑・赤)	—
ON	色	—	—	—	—	緑
—	動作	—	—	—	—	デバイスは ON
BF	色	—	—	—	—	赤
SF	色	—	—	—	—	赤
MT	色	—	—	—	—	黄
SF	色	—	—	—	—	赤
MT	色	—	—	—	—	黄

上記の定義に基づき、この 5 つのプロトコルをすべてサポートするには表 14 に示す LED が必要です。

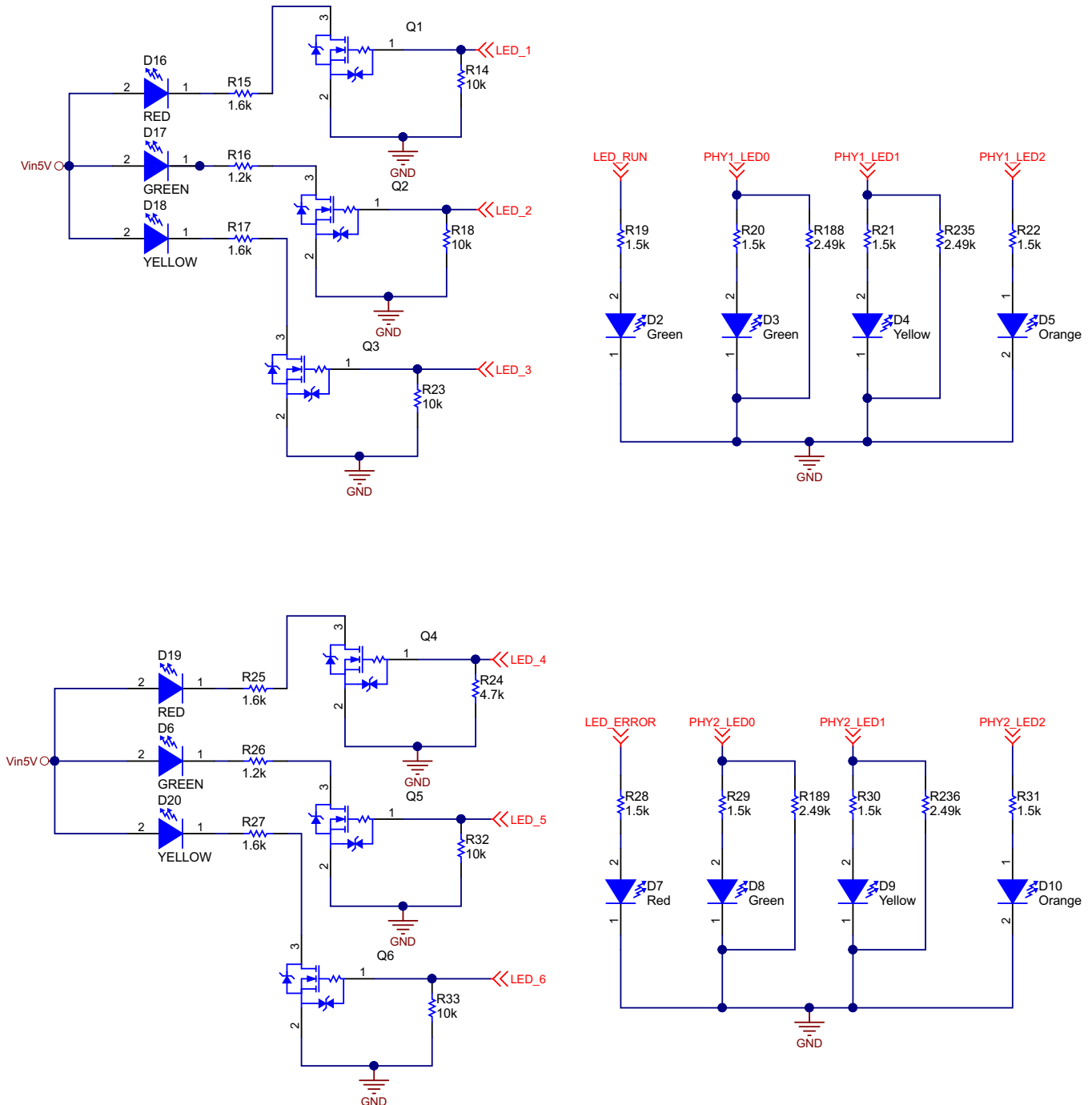
表 14. 産業用イーサネットインジケータ LED のまとめ

グループ	1	2	3	4	5
LED タイプ	緑	黄	橙	赤	多色 LED
LED 数	3	2	2	1	3 色 (赤・緑・黄) x2

表 14に示す全プロトコルを実装するために、合計すると 6 個の LED と 2 個の多色 LED を追加したことになります。

図 7にインジケータ LED の回路を示します。予期せぬ RoHS および REACH 遵守上の問題があるため、多色 LED を 3 つの単色 LED と分離する必要がありました。この分離は LED の機能を示していますが、SERCOS III、Ethernet/IP、POWERLINK などの規格に準拠するには、レンズを組み合わせたり、多色 LED に変更する必要があります。

PHY のブート時間設定には、追加の並列抵抗 R188、R189、R235、R236 が必要です。



Copyright © 2017, Texas Instruments Incorporated

図 7. TIDA-00299 のインジケータ LED

2.2.1.3.3 AMIC110 のブート時間 GPIO に関する検討事項

AMIC110 の多段ブート処理中には、起動時に High-Z 状態になるピンがあります。このようなピンの一部は、フローティングのままにすることができず、一定の外付けプルアップ抵抗またはプルダウン抵抗を必要とします。

当該ピンを表 15 および表 16 にまとめます。『AMIC110 Sitara SoC』[7] 特性表の表 4-4 にも記載されています。

表中の各ピンは、プルダウン抵抗 (PD)、プルアップ抵抗 (PU)、または High-Z 状態 (Z) に分類されていますが、これはブート処理中に、これらのピンが常時 High-Z となるためプルアップ/プルダウン抵抗を選定可能であるか、あるいはブート状態のピンには内部 PU/PD が接続されているためプルアップ/プルダウンする必要のあることを意味しています。

表 15. 外付けプルダウン/プルアップ抵抗を必要とする High-Z ピン

グループ	1	2	3	4	5	6	7	8	9	10	11	12	13
ZCZ ボール番号	B6	C7	B7	A7	C8	B8	A8	C9	C18	B18	C17	C16	R6
PD または PU または Z	Z	Z	Z	Z	Z	Z	Z	Z	PD	PU	PU	PU	PD
ZCZ ボール番号	R1	R2	R3	R4	T1	T2	T3	T4	U1	U2	U3	U4	V2
PD または PU または Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
ZCZ ボール番号	V3	V4	T5	R5	V5	U5	B15	B4	B5	D14	A17	A16	C15
PD または PU または Z	Z	Z	Z	PD	PD	PD	Z	Z	Z	PD	PU	PU	PU
ZCZ ボール番号	B17	B16	E16	E18	E15	E17	D15	D16	D17	D18	A9	B9	A15
PD または PU または Z	PU	PU	PU	PU	PU	PU	PU	PU	PU	PU	Z	Z	PD

表 16. フローティングのままよい High-Z ピン

グループ	1	2	3	4	5	6	7	8	9	10	11	12
ZCZ ボール番号	P16	N17	P18	P17	T18	R17	R18	M15	P15	N18	V10	A4
PD または PU または Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z

このブート時間設定では、ブートシーケンス完了後にブート時間を要するすべてのプルアップ (10kΩ) またはプルダウン (100kΩ) 抵抗を切断するために、SN74LVC541 3 ステートオクタルバッファを 2 個採用しました。

2.2.1.3.4 未使用ペリフェラルおよびインターフェイス

消費電力を削減するために、未使用ペリフェラルおよびインターフェイスを無効にできます。これは外付け部品の削減、ひいては PCB 占有面積、部品点数の削減にもつながります。次の部品を無効にしました。

- RTC 回路
- USB インターフェイス

RTC 回路を無効にするには、『AM335x 回路図チェックリスト』Wiki ページの「[RTC](#)」を参照してください。

表 17 の構成を採用する必要があります。

表 17. AMIC110 のリアルタイムクロックサブシステムの無効化

ピン	接続先
VDDS_RTC	1.8V
CAP_VDD_RTC	1.1V (VDD_CORE)
RTC_KALDO_ENn	1.8V (VDDS_RTC)
RTC_PWRONRSTn	GND (VSS)
PMIC_POWER_EN	NC
EXT_WAKEUP	GND (VSS)
RTC_XTAL	NC
VSS_RTC	GND (VSS)

USB インターフェイスを無効にするには、『AM335x 回路図チェックリスト』Wiki ページの「[USB](#)」を参照してください。

表 18. AMIC110 の USB インターフェイスの無効化

ピン	接続先
VDDA1P8V_USB	1.8V
VDDA3P3V_USB	3.3V または GND
VSSA_USB	GND
USBx_DP	NC または GND
USBx_DM	NC または GND
USBx_CE	NC
USBx_ID	NC または GND
USBx_DRVVBUS	NC
USBx_VBUS	NC または GND

2.2.1.3.5 コネクタにおける Sitara™ ペリフェラルインターフェイスとその信号

プロセッサ間インターフェイス信号はコネクタ J4 および J5 を介して利用できます。

表 19. TIDA-00299 のプロセッサ間ペリフェラル接続

機能	信号	IO [3.3V]	備考
AMIC110 - ホストプロセッサ間の SPI 接続	SPIx_D1 (I)	デジタル入力	シリアル通信用データ入力
	SPIx_CS0n (I)	デジタル入力	チップ選択信号、アクティブ LOW
	SPIx_SCLK (I)	デジタル入力、最高 16MHz	シリアル通信用クロック
	SPIx_D0 (O)	デジタル出力	シリアル通信用データ出力
AMIC110 UART1 インターフェイス	UART1_TX	デジタル出力	—
	UART1_EN	デジタル出力	—
	UART1_RX	デジタル入力	—

GPIO 信号はコネクタ J4 および J5 を介して利用できます。

表 20. TIDA-00299 の GPIO 信号接続

機能	信号	IO [3.3V]	備考
AMIC110 GPIO 信号	GPIO1_1	デジタル入出力	予備 GPIO
	GPIO2_27	デジタル入出力	予備 GPIO
AMIC110 リセット信号	SYS_RESETh	デジタル入力	BoosterPack をリセットする入力

コネクタ J4 および J5 を介して利用できる EtherCAT 信号。

表 21. TIDA-00299 の EtherCAT®信号接続

機能	信号	IO [3.3V]	備考
AMIC110 EtherCAT 信号	ECAT_LATCH0	デジタル入力	EtherCAT 分散クロック Latch0 (外部事象入力)
	ECAT_LATCH1	デジタル入力	EtherCAT 分散クロック Latch1 (外部事象入力)
	ECAT_SYNC0	デジタル出力	EtherCAT 分散クロック Sync0 出力、単発、サイクリックモード対応
	ECAT_SYNC1	デジタル出力	EtherCAT 分散クロック Sync1、SYNC0 サイクル時間の倍数
	IRQ	デジタル入力	EtherCAT 割り込み信号
	FIRMWARE_LOADED	デジタル出力	EtherCAT 動作準備完了信号

コネクタ J3 の USB-3.3V UART シリアルケーブルインターフェイス間接続用シリアルポート

表 22. TIDA-00299 のシリアルポート接続

機能	信号	IO [3.3V]	備考
AMIC110 UART0 インターフェイス	UART0_TX	デジタル出力	仮想 COM ポート用シリアルポート接続
	UART0_RX	デジタル入力	仮想 COM ポート用シリアルポート接続

2.2.1.3.6 グルーロジック

AMIC110 のブートピンはイーサネット MII にも使用できるため、ブート抵抗を MII 配線から分離する必要があります。これは 3 ステート出力対応のオクタルバッファを 2 個使用して行います。MII を使用しているときには、バッファによりプルアップ抵抗およびプルダウン抵抗が切断され、インターフェイスはブート回路から独立します。

AMIC110 の起動中は、AMIC110 の 2 つのブートピンが DP83822 のピンにデフォルトで出力しようとします。ブートシーケンス中にこの 2 つのピンを切断するには、短い遅延時間と MII 信号に影響を与えない帯域幅を確保するためデュアル FET ロジックが必要になります。この要件により、SN74LVC2G66 デュアルアナログスイッチを選定しました。MII の動作中はスイッチが常時オンになるため、帯域幅は 150MHz、伝搬遅延時間はわずか 0.8ns です。

MII 信号の周波数は最大 25MHz であるため、伝搬遅延時間 0.8ns は最短周期の 2% に相当します。

AMIC110 の IO それ自体はフェイルセーフでないため、LaunchPad コネクタの前に SN74CB3Q3245 バススイッチを追加しました。長い伝搬遅延時間を入れずに帯域幅が 500MHz になることから、SN74CB3Q3245 を選定しました。

また、SN74CB3Q3245 は電源切断時でも 3.3V トレラントであるため、LaunchPad やその他の BoosterPack の装着に関係なく、電源シーケンスの問題を回避できます。BoosterPack に電力が印加されて、ソフトウェアによりバススイッチが有効になるまで、SN74CB3Q3245 は AMIC110 を保護します。

2.2.1.4 ホストプロセッサインターフェイス

ホストプロセッサ基板への接続用に 2×10 ピン、2.54mm のヘッダが 2 個あります。このインターフェイスは LaunchPad LAUNCHXL-F28377S および LAUNCHXL-F28379D に適合します。

このインターフェイスは 3.3V の IO システムに対応しています。コネクタピン配置の詳細については、[2.2.1.3.5](#) および [3.1.1.2](#) を参照してください。

2.2.1.5 機能アップデートとさらなるコスト削減に向けた設計最適化

- テストおよびデバッグ用の 0Ω の抵抗を外します。
- RGMII 信号の終端抵抗は必要ないため外します。
- LaunchPad コネクタをお客様の基板間接続に置き換えます。
- JTAG コネクタおよび回路を外します。
- PHY2 から水晶発振器を外し、PHY1 に PHY2 のクロックを駆動させます。この場合、独立した PHY リセット回路を実装する必要があります (TIDA-00299 を修正してこれをテストできます)。
- PHY の nRESET 回路を変更して、静止消費電力を削減します。
- EtherCAT スタックをホストプロセッサで実行し、AMIC110 で実行しない場合、DDR3 は不要です。
- EEPROM は必要ないかもしれません。
- バススイッチは無視して構いません。
- PMIC リセット信号を変更して、スイッチオフ中に Sitara ピンの電圧が 0.6V になるのを回避します。
- [表 13](#)により多色 LED が必要な場合は、希望の規格に適合するように LED を変更します。

2.2.2 ソフトウェア設計

この設計ガイドで使用するソフトウェアは、[プロセッサ SDK](#) にあるプロセッサ SDK ソフトウェアパッケージから取得します。

AMIC110 ソフトウェアオプションの詳細については、[『AMIC110SW』Wiki](#) ページを参照してください。

このパッケージには、コードのコンパイルおよび実行に必要な追加ソフトウェアパッケージがすべて収められています。また、Code Composer Studio™ (CCS) もインストールする必要があります。[Code Composer Studio \(CCS\) 統合開発環境 \(IDE\)](#) から CCS をダウンロードしてください。

プロセッサ SDK は、簡易版 EtherCAT スタックのみをヘッダ付きライブラリとして収めています。全機能については、[EtherCAT Technology Group](#) から EtherCAT スレーブスタック (ET9300) をダウンロードする必要があります。ダウンロードするには、ETG のライセンスを取得しなければなりません。フル機能版 EtherCAT スタックを使用するには、[TI プロセッサ Wiki](#) で EtherCAT を検索してください。検索すると、このアップデートに関するさまざまなトレーニングやウォークスルーが表示されます。

表 23 に必要なファイルとその機能を示します。

表 23. 必要な AMIC110 初期設定ファイル

必要なファイル	ファイルの機能
GEL ファイル	JTAG 接続に必要な TIDA-00299 プロセッサのメモリマップ
ブートローダ (MLO)	TIDA-00299 基板を設定し、app ファイルをロードするブートローダファイル
アプリケーションファイル (app)	EtherCAT 機能を収めたアプリケーションファイル
フラッシュライター	TIDA-00299 基板のオンボードフラッシュをプログラミングするアプリケーション

さらにサポートが必要であれば、[TI E2E コミュニティの Sitara プロセッサフォーラム](#)をご覧ください。

2.2.2.1 プレビルドファイル

AMIC110 のプロセッサ SDK にはブートローダ (MLO) が付属しています。デフォルト設定で Windows プラットフォームにインストールすると、MLO は `C:\ti\pdk_DEVICE_Version\packages\ti\starterware\binary\bootloader\bin\EVM_TYPE\gcc` に保存されます。オンボード SPI メモリをプログラミングするため、SDK にはフラッシュツールが付属しており、これもこのパッケージに収められています。

ブートローダは、SPI フラッシュからブートするように構成する必要があります。適切なビルドオプションを選択することで、この構成が可能になります。構成の詳細については、ソフトウェアパッケージのユーザーガイドを参照してください。

ユーザーガイド、EtherCAT ライブラリ、プレビルドバイナリ、サンプルソースコードは、[PRU-ICSS-ETHERCAT-SLAVE 01_00_02_01](#) にあります。

2.2.2.2 McSPI フラッシュを介したブート

AMIC110 Sitara プロセッサは、McSPI0 を介してオンボードフラッシュメモリからブートするように構成されています。ブートローダは TIDA-00299 のサンプルファームウェアを SPI フラッシュから DDR3 RAM にコピーして、アプリケーションを起動します。図 8 にブート処理のフローチャートを示します。

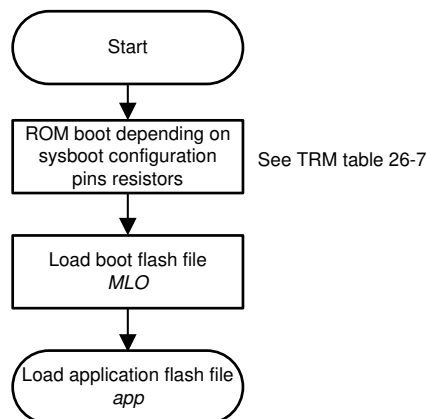


図 8. 電源投入からアプリケーション実行までの AMIC110 のブート処理

2.2.2.2.1 SPI フラッシュへのブートローダおよびアプリケーションの書き込み

フラッシュメモリに書き込むには、フラッシュライターアプリケーションを使用します。このアプリケーションにより、AMIC110 がバイナリブートローダ (MLO) およびアプリケーションバイナリ **app** をオンボードフラッシュに書き込むことができます。そのプロセスは次のとおりです。

1. ターゲット構成を選択します。この構成には JTAG ポートとターゲットプロセッサが含まれます。
2. GEL ファイルをロードします。
3. ターゲットを接続します。
4. フラッシュライターをファイルからロードします。
5. 事前にフラッシュを消去しておくことを推奨します。
6. 実行を停止して、2 ~ 4 の手順を繰り返します。手順 6 から続行します。
7. イメージのフラッシュオプションを選択すると、バイナリファイル名を求めるメッセージが表示されます。
8. **MLO.bin**というブートローダファイルを選択すると、今度はフラッシュのロードアドレスを求めるメッセージが表示されます。
9. ブートローダをロードする際のアドレス **0x00000** を入力します。
10. 実行を停止して、2 ~ 4 の手順を繰り返します。手順 10 から続行します。
11. イメージのフラッシュオプションを選択すると、バイナリファイル名を求めるメッセージが表示されます。
12. 作成した **app.bin** をロードすると、またフラッシュのロードアドレスを求めるメッセージが表示されます。
13. アプリケーションバイナリをロードする際のアドレス **0x20000** を入力します。
14. SPI フラッシュの書き込みが終了したら、CCS から切断します。
15. 基板をリセットすると、アプリケーションファイルが SPI フラッシュからメモリにロードされます。

2.3 使用製品

2.3.1 AMIC110

AMIC110 はマルチプロトコル対応のプログラミング可能な産業用通信プロセッサであり、ほとんどの産業用イーサネットおよびフィールドバス通信のスレーブと一部のマスタにすぐ使用できます。このデバイスは、ARM® Cortex®-A8 プロセッサ、ペリフェラル、産業用インターフェイスオプションを採用しています。さらに、高レベルのオペレーティング・システム (HLOS) をサポートしています。Linux® および TI-RTOS は、TI から無料で利用できます。他の RTOS も、TI のエコシステム・パートナーから入手できます。AMIC110 マイクロプロセッサは、ネット接続対応のドライバで C2000 ファミリの MCU と組み合わせて使用するのに最適な通信チップです。

マイクロプロセッサユニット (MPU) サブシステムは、ARM Cortex-A8 プロセッサを搭載しています。PRU-ICSS は ARM コアから分離されているため、独立した動作およびクロックが可能になり、効率性と柔軟性が向上します。PRU-ICSS により、EtherCAT、PROFINET IRT、EtherNet/IP、PROFIBUS、Ethernet Powerlink、Sercos III、その他の追加ペリフェラルインターフェイスおよびリアルタイムプロトコルを利用できます。また、PRU-ICSS はプログラミング可能であり、ピン、イベント、すべてのシステムオンチップ (SoC) リソースにアクセスできることから、高速なリアルタイムの応答、専用データ処理動作、カスタムペリフェラルインターフェイスを実現し、SoC の他のプロセッサコアをタスクから解放する柔軟性をもたらします。

2.3.2 DP83822

DP83822 は低消費電力のシングルポート 10/100Mbps イーサネット PHY です。

複数の産業用バスを高速なリンクダウンのタイミングでサポートし、Auto-MDIX を強制モードでサポートします。

83822DP は、32 ピン、5.00mm×5.00mm の QFN パッケージで供給されます。

特長

- ±16kV の HBM ESD 保護
- ±8kV の IEC 61000-4-2 ESD 保護
- 動作温度範囲: -40°C ~ 125°C
- IO 電圧: 3.3V、2.5V、1.8V
- ケーブル診断
- 内蔵セルフテスト (BIST)
- MDC および管理用データ入出力 (MDIO) インターフェイス

2.4 TPS650250

TPS650250 は、複数の電源レールを生成する統合型電源管理 IC です。TPS650250 は、プロセッサ搭載システムのコア電圧、ペリフェラル、IO、およびメモリ電源レールを供給するために、3 つの高効率降圧型コンバータを搭載しています。

TPS650250 は小型の 5mm×5mm、32 ピン QFN パッケージで供給されます。

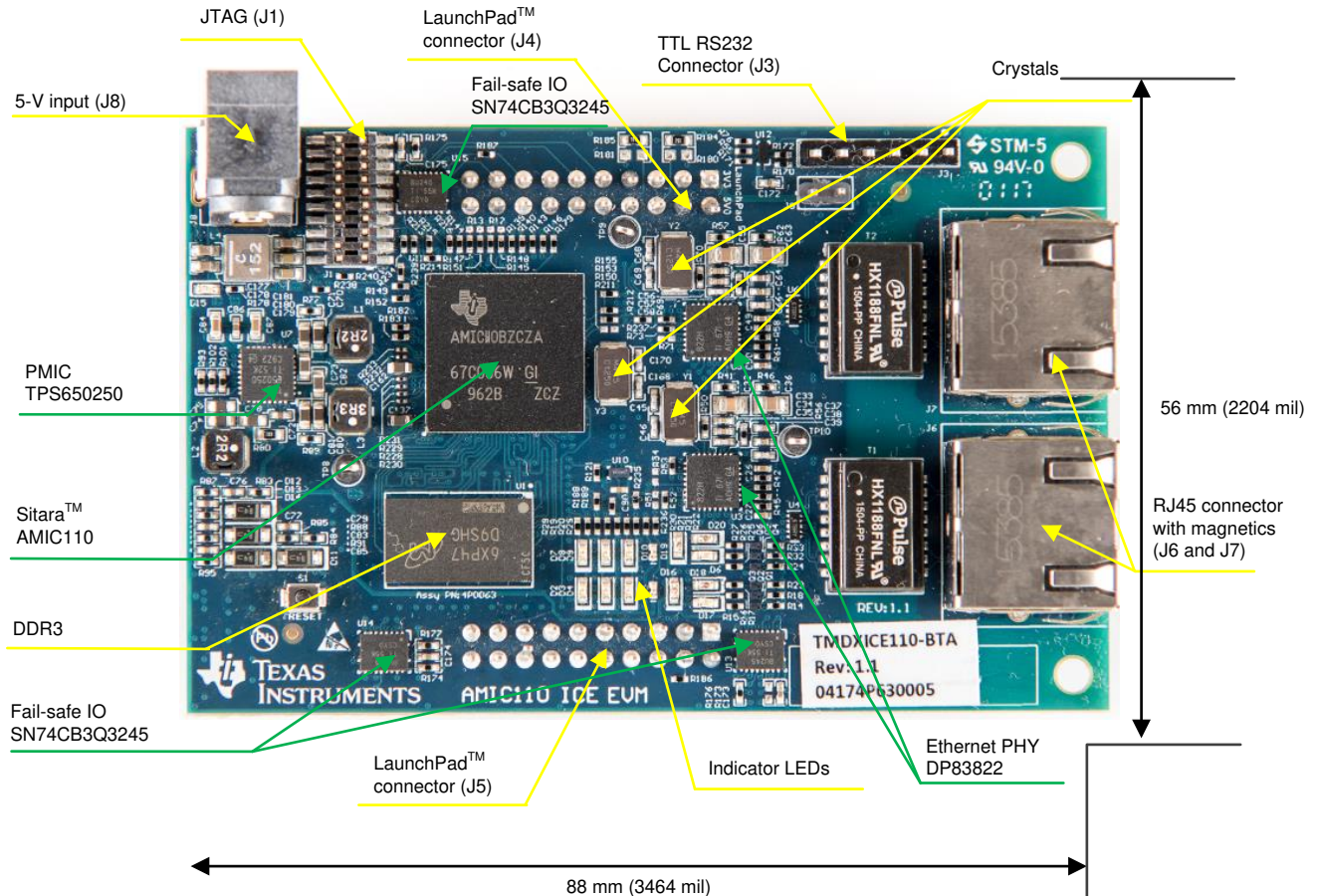
3 ハードウェア、ソフトウェア、テスト要件、テスト結果

3.1 必要なハードウェアとソフトウェア

3.1.1 ハードウェア

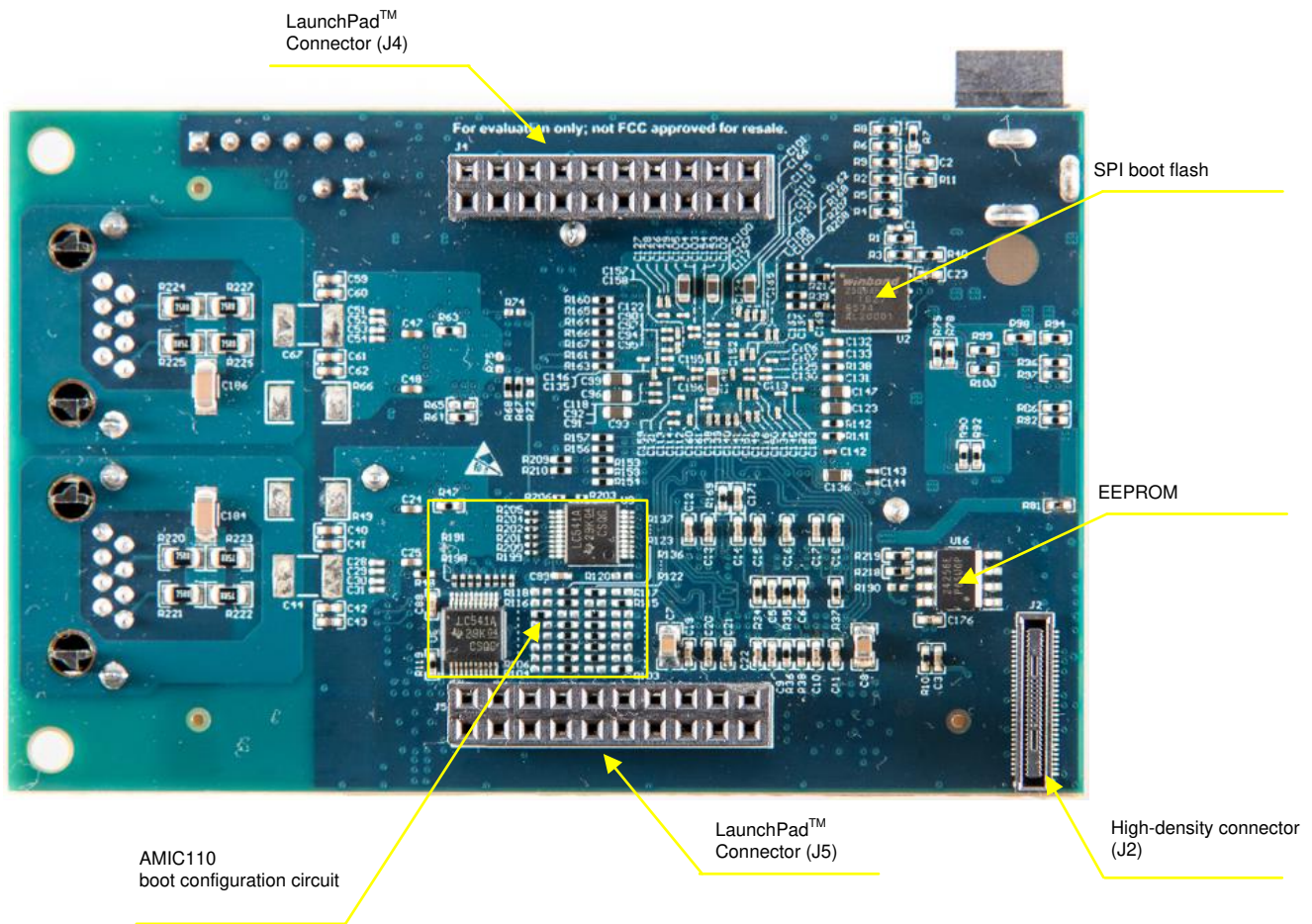
3.1.1.1 PCB 概要

図 9 および図 10 に、TIDA-00299 PCB の上面および底面の写真を示します。ヘッダおよびデフォルトのジャンパ設定については、3.1.1.2 で説明します。



Copyright © 2017, Texas Instruments Incorporated

図 9. 基板写真(上面)



Copyright © 2017, Texas Instruments Incorporated

図 10. 基板写真(底面)

3.1.1.2 コネクタおよびジャンパ設定

3.1.1.2.1 電源コネクタ

コネクタ J8 を介して 5V の入力電圧 (公称値) を供給可能。選定したコネクタは Switchcraft の RAPC722X です。このコネクタは内径 2.1mm、外径 5.5mm の嵌合丸型コネクタとします。

3.1.1.2.2 デフォルトのジャンパ設定

TIDA-00299 基板を使用する前に、正しいジャンパ設定が適用されていることを確認してください。図 9 および図 10 に、デフォルトのジャンパ設定を示します。

表 24. デフォルトのジャンパ設定

ヘッダ	ジャンパ設定
J9	3.3V の中間レールを接続して LaunchPad を駆動できるように、J2 ピン 1 とピン 2 の間にジャンパを挿入します。

警告

CAUTION

このジャンパを使用する際には、LaunchPad がその USB 接続で駆動されないことを確認する必要があります。

3.2 テストと結果

3.2.1 テスト構成

3.2.1.1 設計評価

表 25 に TIDA-00299 TI Design の評価に必要なハードウェア機器とソフトウェアを示します。

表 25. 前提条件

機器	備考
5V DC 電源	2A 以上の出力電流に対応する 5V 出力電源ブリック。内径 2.1mm/ 外径 5.5mm の嵌合丸型コネクタ
TIDA-00299 のハードウェア	3.1.1.2 に基づくデフォルトのジャンパ設定
基板設定用ジャンパ x 1	2 つのピン、2.54mm (100mil)
TIDA-00299 のファームウェア	TIDA-00299 デザインフォルダからダウンロード
InstaSPIN-Motion F28377S LaunchPad	TI eStore で入手可能
JTAG インターフェイス (XDS100v2 または XDS100v3)	XDS100 リンク から購入
EtherCAT コンフォーマンステストツール (CTT)	https://www.ethercat.org からソフトウェアを購入
CCS 6	https://www.ti.com からダウンロード

3.2.1.2 ハードウェア設定

表 26 に EtherCAT BoosterPack が C2000 LaunchPad との通信に使用する信号を示します。

表 26. J4 および J5 ホストプロセッサインターフェイスのピン配置

TIDA-00299 revE2			
J4(左)	J4(右)	J5(左)	J5(右)
3V3	-	McASP1_AXR1	GND
-	GND	McASP1_AXR0	SPI_CS (SPI_D1/McASP1_FSX)
ECAT_SYNC0	AIN0	McASP1_ACLKR	GPMC_AD1 (V7)
ECAT_SYNC1	AIN1	McASP1_FSR	-
UART_RX (PROFIBUS)	-	ECAT_LATCH0	-
MMC0_DAT2 (F18)	-	ECAT_LATCH1	SPI_D0
SPI_CLK (McASP1_ACLKX)	-	FIRMWARE_LD	SPI_D1/McASP1_FSX
SPI_CS (SPI_D1/McASP1_FSX)	-	-	-
UART_DE (PROFIBUS)	-	-	SYS_RESETn
UART_TX (PROFIBUS)	-	-	IRQ

3.2.1.3 ソフトウェア設定

当初、TIDA-00299 基板のオンボードフラッシュは次のものでプログラミングされています。

- Sitara をブートして、SPI フラッシュからアプリケーションファイルをロードするブートローダ
- SPI フラッシュから実行する EtherCAT スレーブのアプリケーションファイル

ソフトウェアの詳細については、[2.2.2](#)を参照してください。

3.2.1.4 ユーザーインターフェイス

TIDA-00299 の EtherCAT スレーブ基板をテストするには、EtherCAT マスタが必要です。PC を使用して TwinCAT® 3 と呼ぶプログラムで EtherCAT マスタを実現できます。

TwinCAT 3 ツールは、PC またはノートブック PC で標準のイーサネット・アダプタを使用し、このアダプタに EtherCAT プロトコルを追加します。大半のハードウェアでは、TwinCAT 3 は難なく動作しますが、TwinCAT ドライバがイーサネットアダプタに対応していないこともあります。詳細については、[TwinCAT driver for Ethernet cards](#) を参照してください。

TwinCAT ドライバでイーサネットアダプタを使用できる場合は、『SYSBIOS 産業用 SDK 02.01.00.01 ユーザーガイド』Wiki ページの「[EtherCAT](#)」にインストールガイドと TwinCAT 3 の概要が記載されています。

TIDA-00299 基板のデフォルトのソフトウェアにより、TwinCAT 3 ツールでの EtherCAT パッケージのペイロード変更時に LED の点滅を表示することができます。

3.2.2 テスト結果

各機能ブロックと基板全体を評価するためにテストを実施しました。特に次のテストを行いました。

- 電源管理
- イーサネット信号
- システム性能
 - EtherCAT 準拠

テストは約 22°C の室温で実施しました。表 27 に TIDA-00299 のテストセッションで使用した機器を示します。

表 27. TIDA-00299 性能試験用機器

試験装置	型番
低速オシロスコープ(電源テストに最適)	Tektronix™TDS2024B
高速オシロスコープ(アナログ信号テストに最適)	Tektronix TDS784C
差動プローブ	Tektronix P6630
シングルエンド・プローブ	Tektronix P6139A
電源(5V)	Agilent™E3648A、内径 2.1mm/外径 5.5mm の嵌合丸型コネクタケーブル付き
True RMS(真の実効値)マルチメータ	Fluke 179
汎用 PC	イーサネットポートで TwinCAT 3 を実行可能
汎用 PC(オプション、上記と同じ PC 可)	CCS を実行
イーサネットケーブル	ツイストペアシールド Cat 7 ケーブル

図 11 にテスト構成を示します。

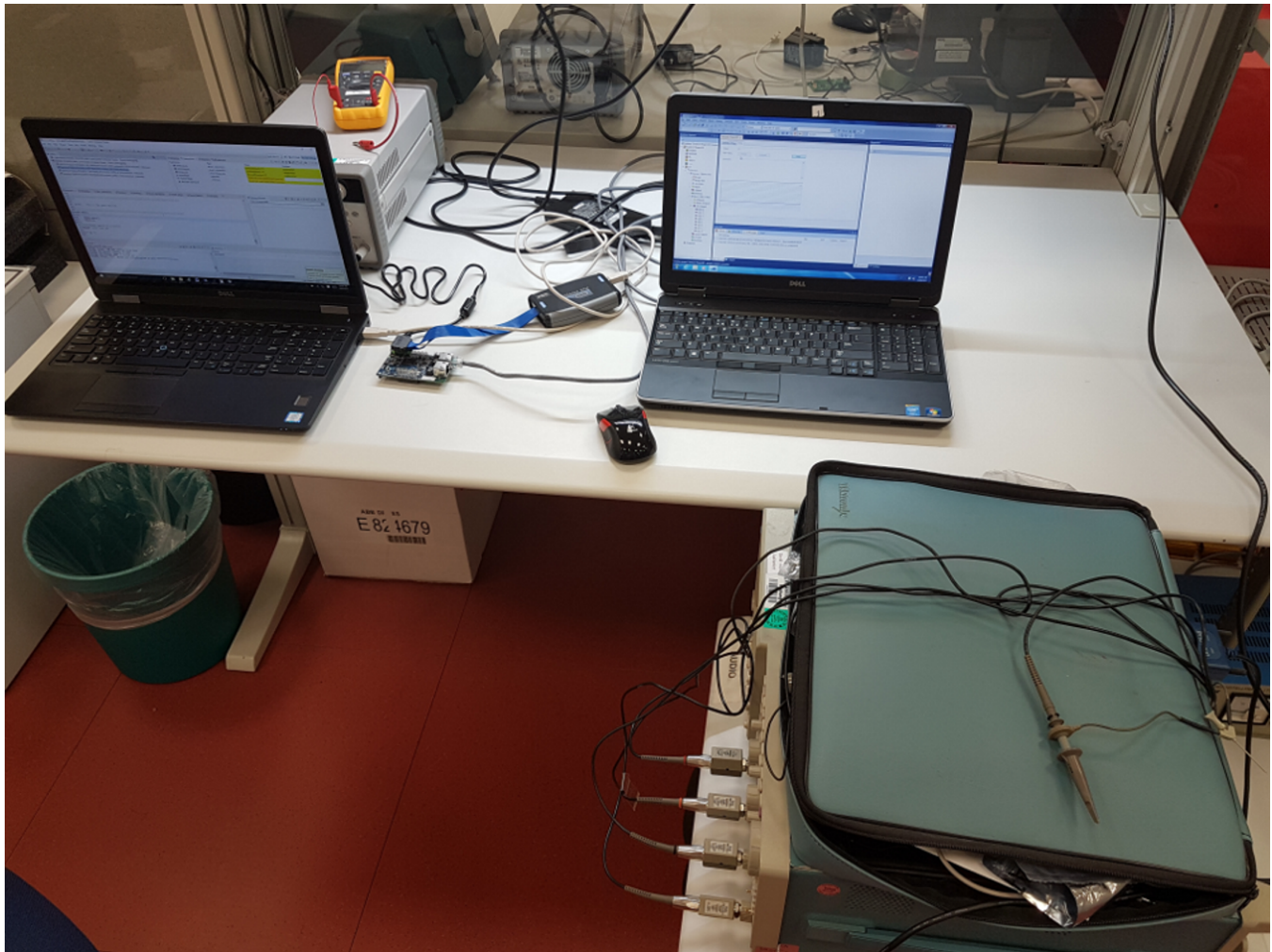


図 11. TIDA-00299 のテスト構成

3.2.2.1 電源管理

TIDA-00299 基板の電源管理サブシステムでは、次のテストを実施しました。

- 電源レールの電源投入シーケンスのテスト
- 電力損失シナリオのテスト
- 各電源レールの消費電流のテスト

図 12 に示すテスト構成で、テストを実施しました。

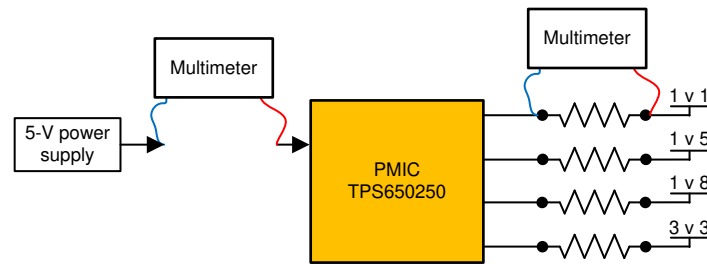


図 12. TIDA-00299 のテスト構成図

3.2.2.1.1 オンボード電源レールの電源投入時動作

図 13に示すように、電源投入シーケンスのテストを行った結果、初回はレール 1v1、1v5、3v3、リセットが表示されました。

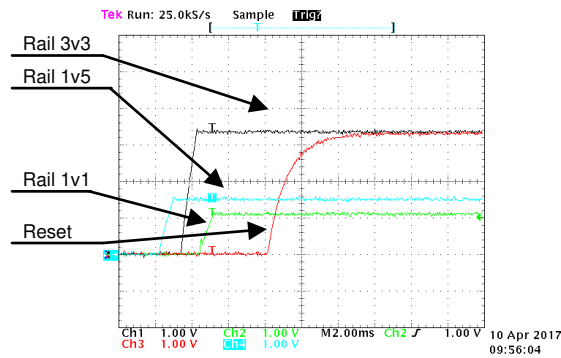


図 13. 電源投入シーケンスにより、レール 1v1、1v5、3v3、リセットを表示

図 14に示すように、2 回目のテストでは、電源投入シーケンスにより 1v5、1v8、3v3、リセット信号が表示されました。

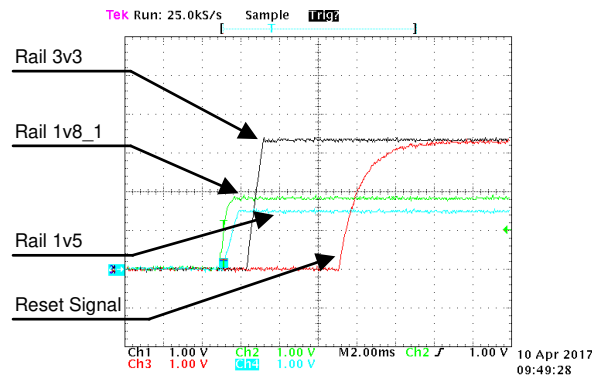


図 14. 電源投入シーケンスにより、レール 1v5、1v8_1、3v3、リセットを表示

この測定では、レール 1v8 を常に 1v8_1 としています。テスト中に 1v8_1 と 1v8_2 を比較して、常に同じ起動/停止動作を示しています。

3.2.2.1.2 オンボード電源の電源切断時動作

図 15 にレール 1v1、1v8_1、3v3 の電源切断時動作を示します。

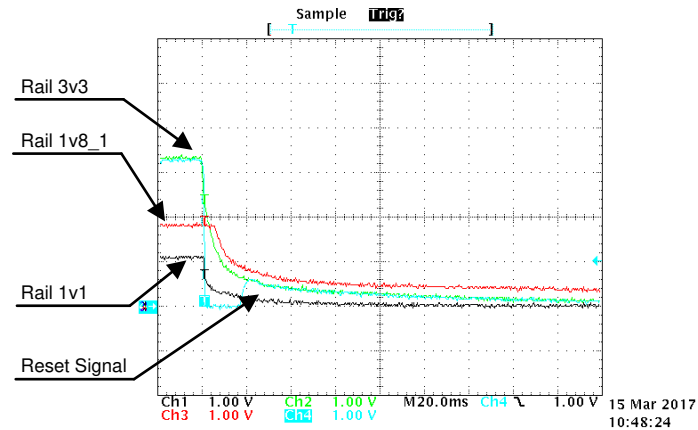


図 15. 電源切断時動作により、レール 1v1、1v8_1、3v3、リセットを表示

電源切断中、TPS650250 PMIC は、その電源電圧が PMIC の推奨入力電圧範囲を下回ると、リセット信号を LOW に保持できなくなります。そのポイントを過ぎると、リセット信号は 3v3 レールまで浮上します。この電圧は、『AMIC110 Sitara SoC』[7]特性表に規定されている最大許容低レベル信号 (0.5V) を若干上回ります。バンプは 1.35V 以上とされる高レベル信号を送りません。電源切断中は、リセットピンと 3.3V が同じレールから駆動されるのが常なので、すべての IO ピンを IO 電源レール 0.3V とする必要があります(『AMIC110 Sitara SoC』[7]特性表の 5.1 節を参照)。

図 16 では、電源切断テストによりレール 1v5、1v8_1、3v3、リセットが表示されています。

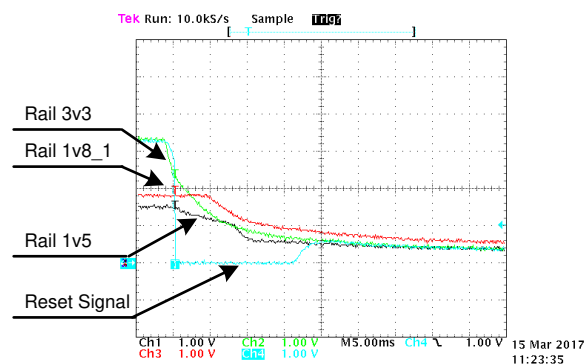


図 16. 電源切断時動作により、レール 1v5、1v8_1、3v3、リセットを表示

3.2.2.1.3 システムの消費電力

このテストは、TIDA-00299 リファレンス・デザイン上で EtherCAT スレーブ・ファームウェアを実行して行いました。その際 TIDA-00299 リファレンス・デザインは、PC に接続した TwinCAT 3 ターミナルに接続しました。システム性能を表 28 に示します。

表 28. システム消費電力の測定値

レール	TPS650250 の最大出力電流	テクノロジー	消費電流	消費電力
1.1V	1600mA	SMPS	349mA	0.384W
1.5V	800mA	SMPS	35.8mA	0.054W
1.8V	400mA	LDO	26.23mA	0.047W
3.3V	800mA	SMPS	128mA	0.422W

消費電流測定は、マルチメータを使用し、各電源レールから 0Ω の直列抵抗を外して行いました。5V 入力で、マルチメータを接続して電流を測定しました。

このようにマルチメータを使用する場合、その内蔵シャントでの電圧降下を考慮する必要があります。電流メータを通過したレールの電圧も測定しなければなりません。

基板の総消費電力は $0.91W$ です。5V システム電源からの総供給電流の測定値は $248mA$ であることから、5V レールの入力電力は $1.24W$ となります。この測定から、TPS650250 の総効率はコンプリートシステムで約 78% 、パッケージの消費電力は $0.33W$ となります。

『TPS650250 リチウムイオン電源システム用電源管理 IC』[11]特性表に記載されているパッケージ温度に対する接合部の性能を採用すると、周囲温度に比べてこの部位の温度上昇は次のようになると予想されます。

$$T_{TPS650250} = R_{\theta JA} \times P_{Dissipation} = \frac{35^{\circ}\text{C}}{\text{W} \times 0.333\text{W}} \approx 11.7^{\circ}\text{C} \quad (4)$$

周囲温度 85°C の場合、接合部温度の推計値は 97°C となります。

最大動作接合部温度 125°C を念頭に置いて、TPS650250 を周囲温度 85°C で動作させると、強制冷却なしで 1.14W を消費する可能性があります。

3.2.2.1.4 温度テスト

EtherCAT スレーブの動作中に基板の熱画像を撮影しました。この画像を用いて、リファレンス・デザインに温度のホットスポットがあるかどうかを確認します。

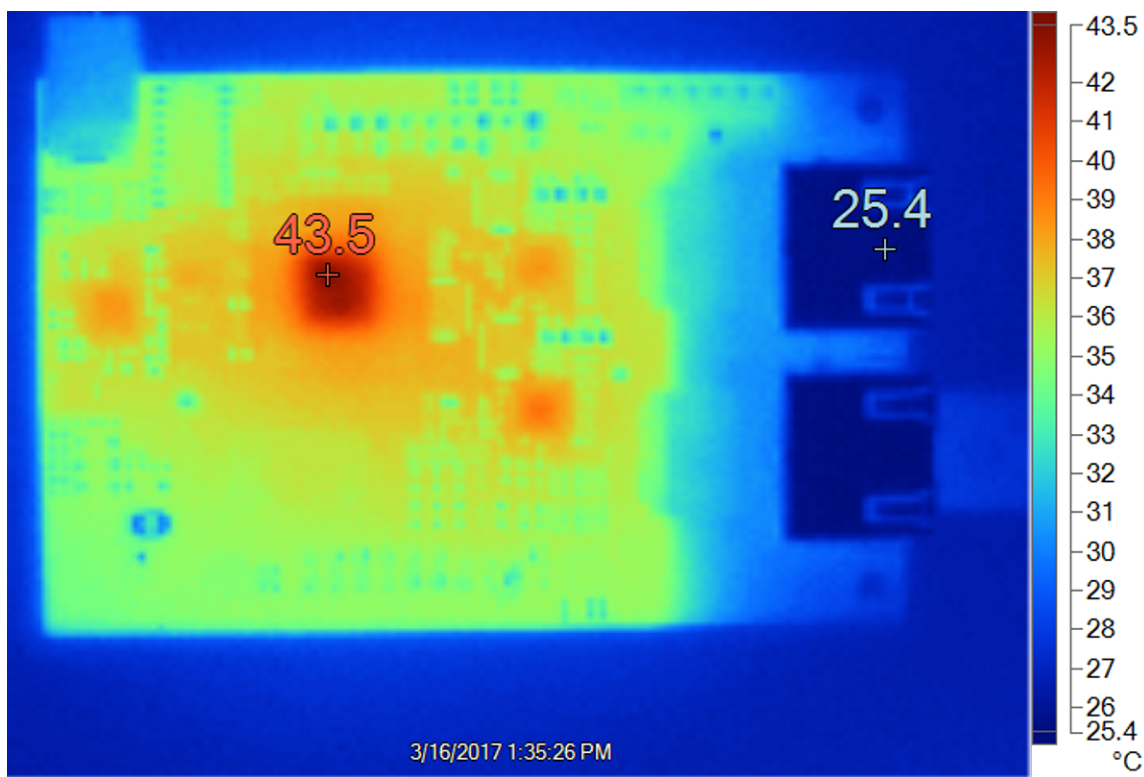


図 17. TIDA-00299 基板の熱画像

図 17 は、周囲温度 25.4°C で電源が約 37°C まで上昇していることを示しています。

『TPS650250 リチウムイオン電源システム用電源管理 IC』[11]特性表の値を用いて、評価基板を使用した部品の理論上の温度上昇を計算できます。

$$T_{TPS650250} = R_{\theta JC(top)} \times P_{Dissipation} = \frac{21.8^{\circ}\text{C}}{\text{W} \times 0.333\text{W}} \approx 7.3^{\circ}\text{C} \quad (5)$$

この値では、基板の他の IC の追加温度上昇と PCB の放熱性能を考慮していないため、測定値は計算値よりも高くなります。

基板の最高温スポットは AMIC110 で、温度上昇は 18.1°C です。

3.2.2.2 イーサネット信号テスト

3.2.2.2.1 MII 信号

PHY1 と PHY2 の RX および TX で 100Mbit の接続を確立して、MAC と PHY の間の MII 信号をテストします。図 18～図 21 に、クロック信号と対応する RX_D1 および TX_D1 データ信号を示します。他のデータ信号 D0、D2、D3 も測定したところ、同様の波形を示しました。このリファレンス・デザインはインピーダンスに最適化され、クロックラインとデータラインの長さが一致していたため、このような結果は予想されていました。

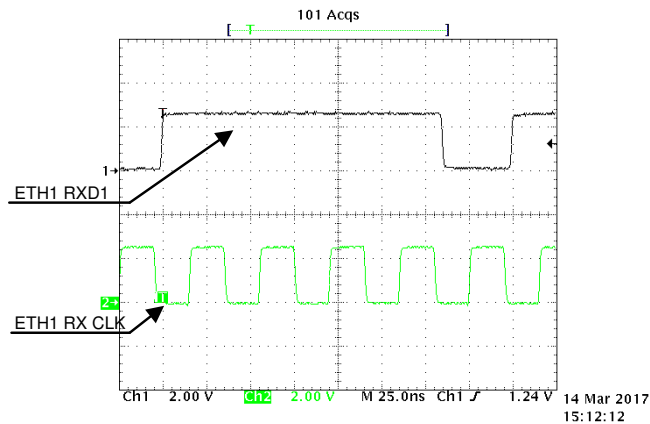


図 18. イーサネット通信中の ETH1 MII RX クロック信号およびデータ信号

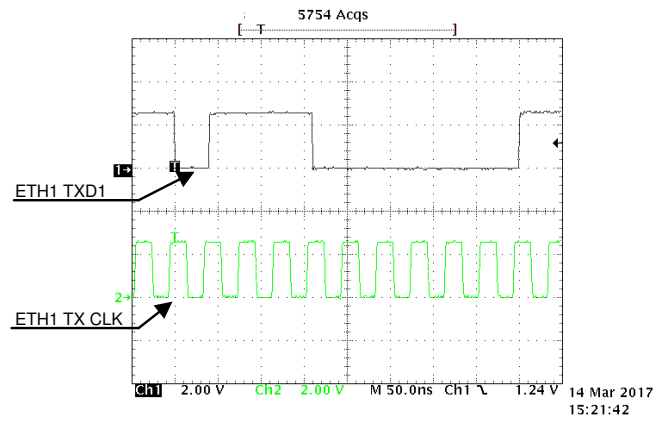


図 19. イーサネット通信中の ETH1 MII TX クロック信号およびデータ信号

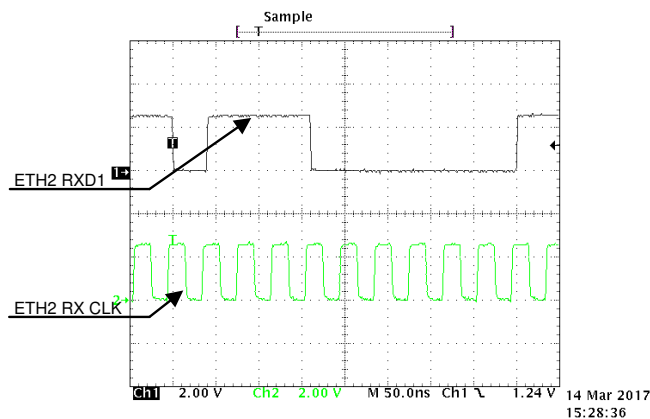


図 20. イーサネット通信中の ETH2 MII RX クロック信号およびデータ信号

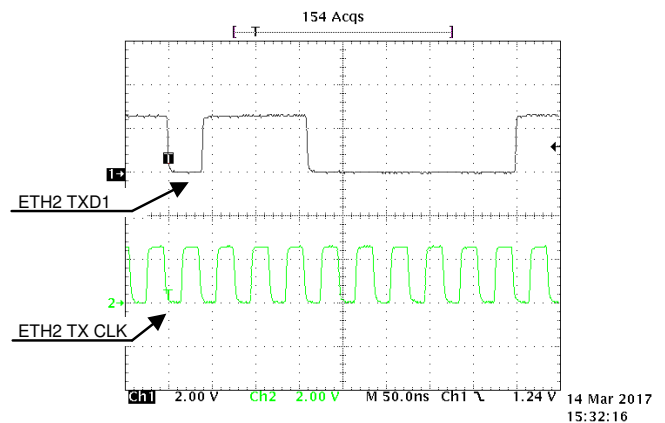


図 21. イーサネット通信中の ETH2 MII TX クロック信号およびデータ信号

3.2.2.2.2 シリアルマネージメントインターフェイス (SMI)

AMIC110 の SMI の最高クロック周波数は 2.5MHz です。このテストでは、イーサネット接続を有効にする必要はありません。図 22 に、AMIC110 Sitara と 2 つの DP83822H すなわち PHY1 および PHY2 の間の MDC (クロック) 信号と MDIO (双方向データ) 信号を示します。Sitara は MDIO マスタであり、2 つの PHY はスレーブで、同じクロックラインとデータラインを共有します。

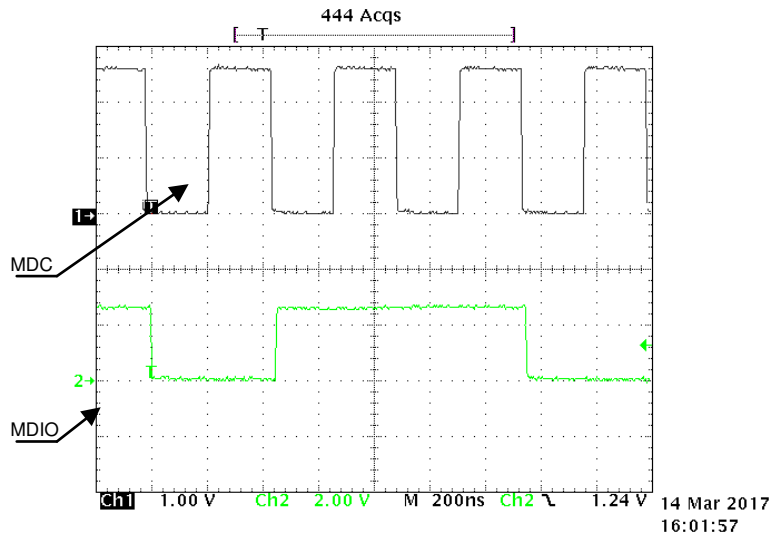


図 22. 2.2MHz 時の SMI クロック信号およびデータ信号

3.2.2.3 システム性能

EtherCAT スレーブ機能のテストには、EtherCAT CTT を使用できます。これは、EtherCAT テストセンタ (ETC) に送る前にリファレンス・デザインの内社テストを行うためのツールです。ETC での独立したコンFORMANCEテスト (適合性試験) に合格した機器には、ETG の適合認定証が発行されます。

ETC を検索するには、EtherCAT テストセンタ Web ページを参照してください。

EtherCAT コンFORMANCEの詳細については、EtherCAT コンFORMANCE Web ページを参照してください。

このリファレンス・デザインに使用できるもう1つのツールは、EtherCAT マスタを実装するための開発環境である TwinCAT® 3 です。

TwinCAT 3 の詳細については、Beckhoff® 社の Web ページ <https://www.beckhoff.com/twincat3/> を参照してください。

3.2.2.3.1 EtherCAT コンFORMANCE・テスト・ツール

EtherCAT CTT は XML ファイルを使用します。そしてこの XML ファイルは、TIDA-00299 基板で実行するデフォルトのファームウェアで動作するように構成されています。図 23 および図 24 に、CTT のスクリーンショットを示します。

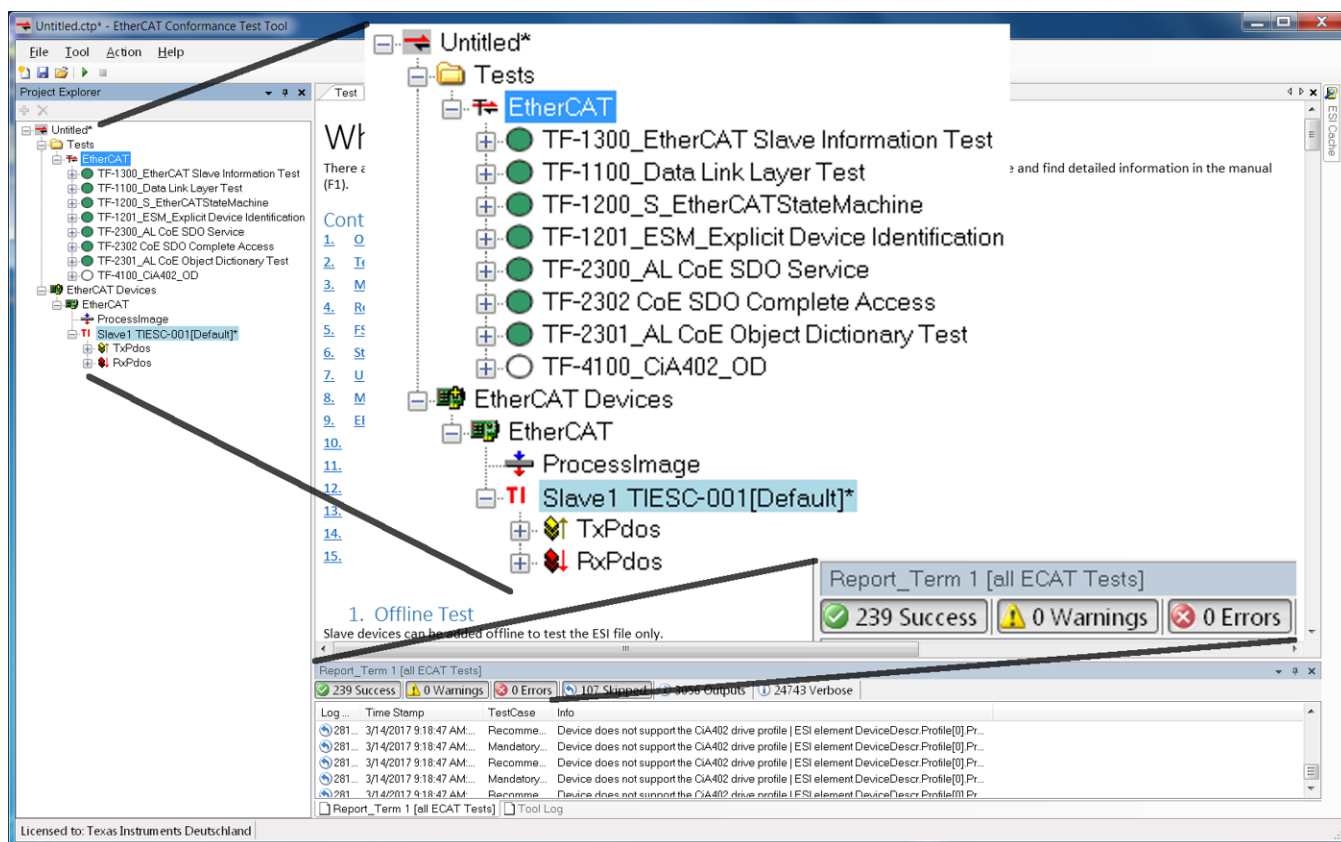


図 23. PHY1 での CTT の結果のスクリーンショット

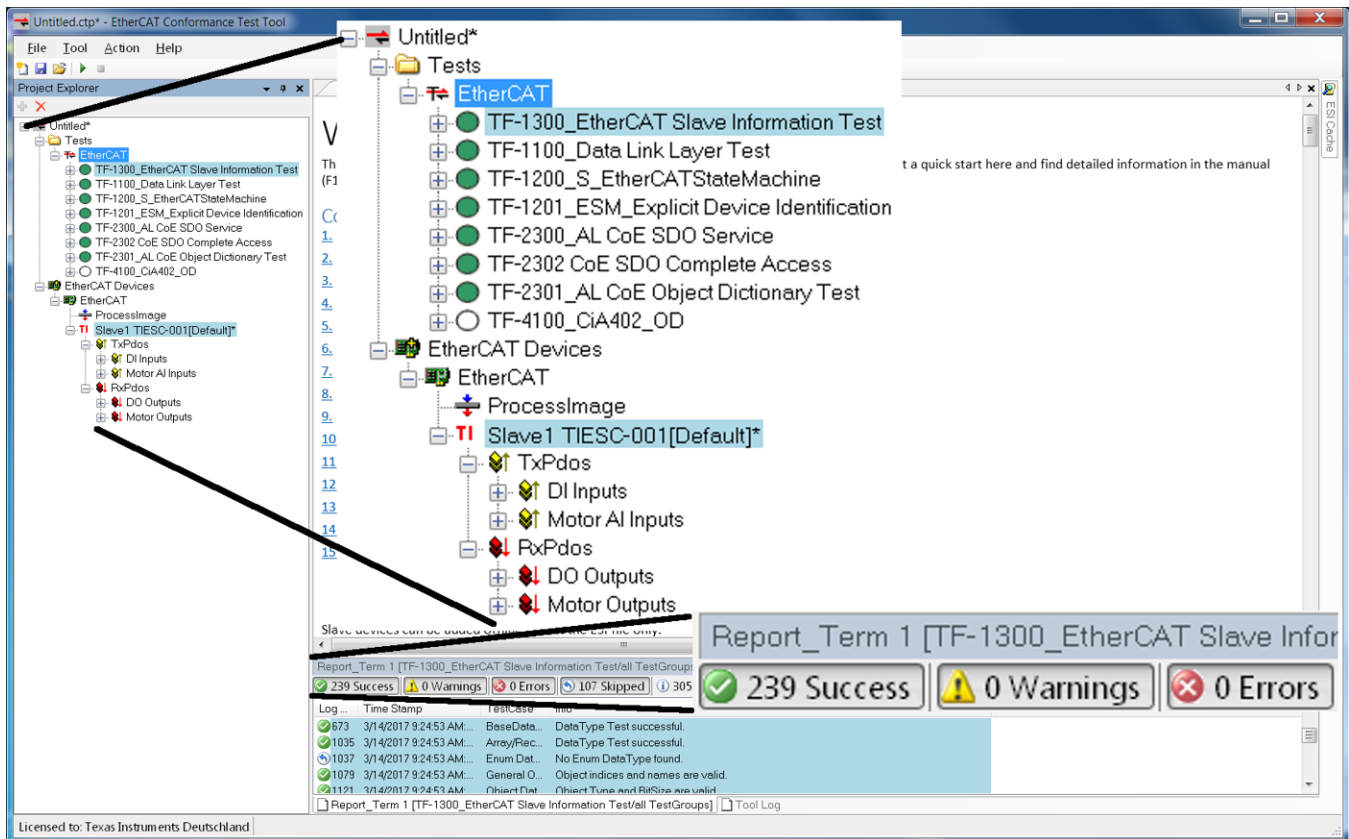


図 24. PHY2 での CTT の結果のスクリーンショット

図 23 および 図 24 のスクリーンショットによれば、TIDA-00299 基板は CTT テストに合格しています。

3.2.2.3.2 EtherCAT ケーブル長テスト

TwinCAT® 3 を使用して Dell™ PC で EtherCAT マスタをエミュレートし、各種のケーブル長をテストしました。EtherCAT マスタから 20kHz の周波数で 1 つのスレーブにパケットを送信してテストを行いました。テスト時間は 2 分、EtherCAT のパケット・サイズは 108 バイトでした。

各種のケーブルのタイプと長さでテストを行いました。

- Cat 7 ケーブルは Draka® UC900 Super Screen 27 としました。
- Cat 6 ケーブルは GigaSPEED XL® 3071 ETL としました。

表 29 に、その結果を示します。

表 29. ケーブル長テスト結果

ケーブル	長さ	CRC エラー (2 分間)	送信パケット総数 (2 分間)
Cat 7	3	0	2.400.000
Cat 7	30	0	2.400.000
Cat 7	50	0	2.400.000
Cat 6	150	0	2.400.000

3.2.2.3.3 EMC/EMI テスト結果

TIDA-00299 リファレンス・デザインは、CISPR 11/EN55011 クラス A の放射エミッションに従って EMI をテスト済みです。EMC 耐性については、IEC61800-3 および IEC61000-6-2 規格に従ってテストしました。ESD、EFT、サージ、伝導 RF はそれぞれ IEC61000-4-2、IEC61000-4-4、IEC61000-4-5、IEC61000-4-6 規格に従ってテストしました。

このリファレンス・デザインはこれらの規格に準拠しており、IEC61800-3 EMC 耐性要件 (第 2 種環境) に基づく電圧要件を上回っています。概要を以下の表に示し、詳細を以下に述べます。

表 30. EMC 耐性テスト結果の概要

要件					TIDA-00299 測定結果		
ポート	現象	参照規格	レベル	性能 (合格) 基準	レベル	性能 (達成) 基準	テスト
筐体ポート	ESD	IEC61000-4-2	+/-4kV CD または 8kV AD (CD が不可能な場合)	B	+/- 8kV CD	B	合格 (以上)
制御ライン および DC 補助電源 (60V 未 満) 用 ポート	ファスト・トラン ジェント・バース ト (EFT)	IEC61000-4-4	+/- 2kV / 5kHz または 100kHz (容量 性クランプ)	B	+/- 4kV	A	合格 (以上)
	サージ 1.2/50 μ s、 8/20 μ s	IEC61000-4-5	+/-1kV。シールド・ケーブル が 20m 超であるため、シールドに直接結合 (2 Ω /500A)	B	+/- 2kV	A	合格 (以上)
	伝導 RF	IEC61000-4-6	0.15~ 80MHz、 10V/m、80% AM (1kHz)	A	10V/M	A	合格

性能 (合格) 基準を以下のように定義します。

性能 (合格) 基準	概要
A	モジュールは意図した動作を継続すること。テスト実施中も機能や性能の損失がないこと。
B	一時的な性能低下は許容される。テスト後、オペレータの介入なしに、モジュールは意図した動作を継続すること。
C	テスト実施中、機能の損失は許容されるが、ハードウェアやソフトウェアの破損はないこと。テスト後、オペレータによる再起動、電源切断、電源投入のいずれかの後、モジュールは意図した動作を自動的に継続すること。

表 31. 放射エミッション (EMI) テスト結果の概要

要件			TIDA-00299 測定結果	
現象	参照規格	カテゴリ 2 電界強度成分準尖頭値 dB (uV/m)	限度値までの最小マージン測定結果	テスト
EMI	EN55011/CISPR 11 クラス A	40 (30~230MHz)、47 (230~1000MHz)	水平: 6.9dB (55.22MHz)、垂直: 5.1dB (99.743MHz)	合格

3.2.2.3.3.1 テスト構成

TIDA-00299 リファレンス・デザインは、ドイツのシュトラスキルヘンにある CSA Group Bayern 社の試験場でテストしました。

図 25 に、試験装置を接続した TIDA-00299 を示します。

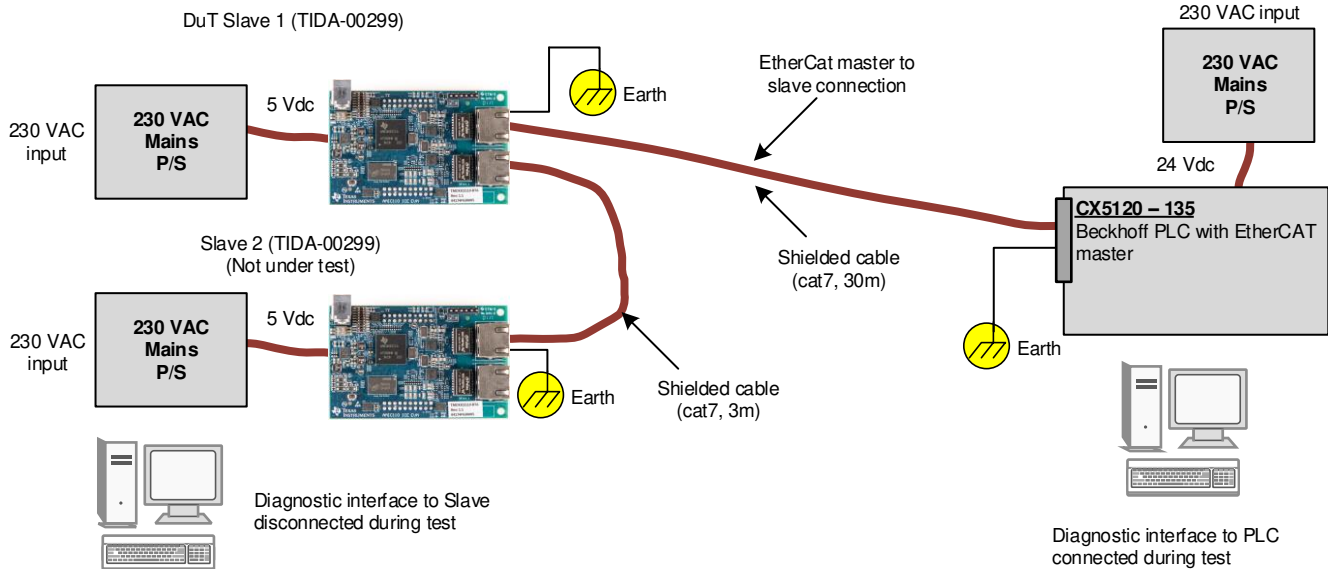


図 25. TIDA-00299 の EMI/EMC テストの試験装置の概要

EMI、ESD、EFT、サージの各テスト構成の画像を以下に示します。

テスト時には、Beckhoff PLC を表 32 に示すように設定しました。

表 32. テスト時の Beckhoff PLC 設定

パラメータ	値
イーサネット・プロトコル	EtherCAT
EtherCAT 送信レート	20kHz
EtherCAT パケット・サイズ	108 バイト

EtherCAT システム・マネージャを使用して、各アクティブ・スレーブ・ポートでエラー・データ、マスタの損失フレーム、TX/RX エラー、CRC エラーを読み出します。

EtherCAT ステート・マシン (ESM) に基づいてリンク損失が生じた場合のカウンタの読み値は以下の通りです。

- スレーブが動作 (OP) モードを離れた場合、カウンタは HIGH にセットされます。
- リンク損失中に送信できたはずの packets 数をカウントします。

詳細については、図 26 を参照してください。

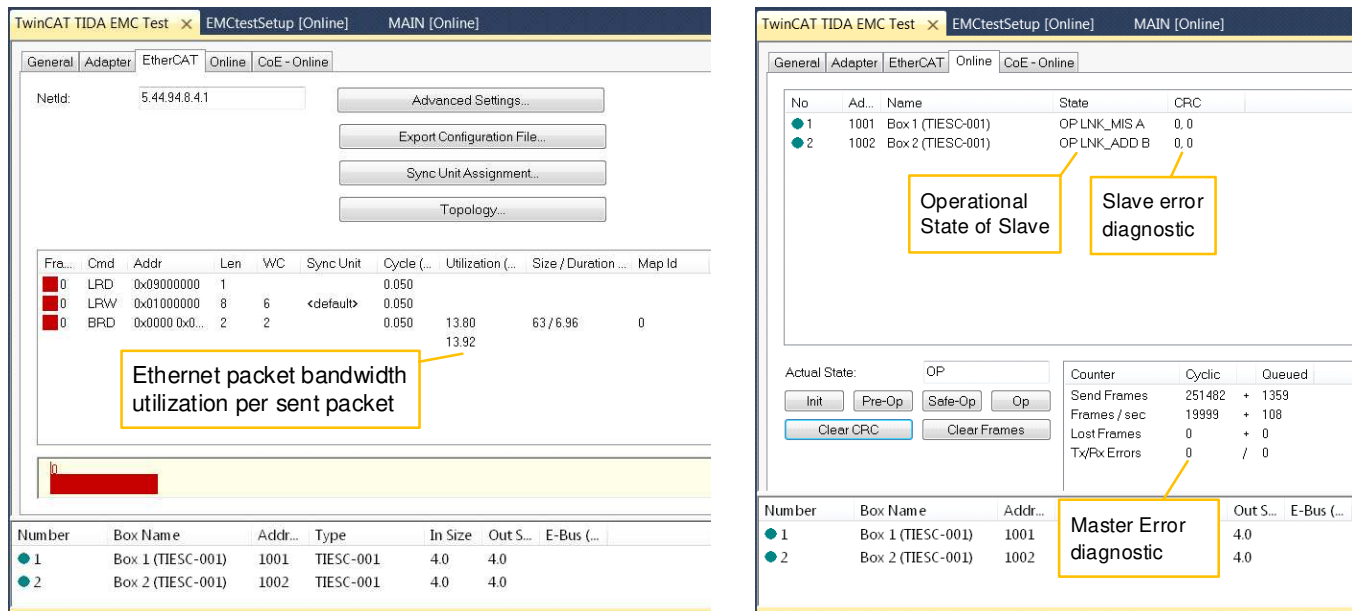


図 26. テスト時に使用した PLC システム・マネージャ診断オプション

Beckhoff PLC ペイロードをカウンタとして、スレーブがエラー診断を実行できます。このエラー診断では、ペイロードを比較し、テスト中の連続エラー数と単一エラー数をカウンタに表示します。ここで、限度値を最大 8 つの連続エラーと 9 つ以上の単一エラーに設定しました。

EFT テスト時に最適化された性能をテストするために、EFT テスト時以外は GND - アース間の接続を使わずに TIDA-00299 ハードウェアをテストしました。後日、最適化された EFT アース - GND 間接続と両方の高速リンク・ダウン・オプション (R49 = R66 = 1MΩ および C44 = C67 = 10nF) を使用して残りのテストを行う予定です。イーサネット・ポート 2 の R66 に対して R49 と C44 を使用したイーサネット・ポート 1 のアース - GND 間接続の詳細については、図 6 を参照してください。同じ構成で C67 を使用しました。

3.2.2.3.3.2 IEC-61000-4-4 EFT テスト結果

図 27 に、TIDA-00299 の EFT テスト構成を示します。画像の正面に容量性クランプが見えます。

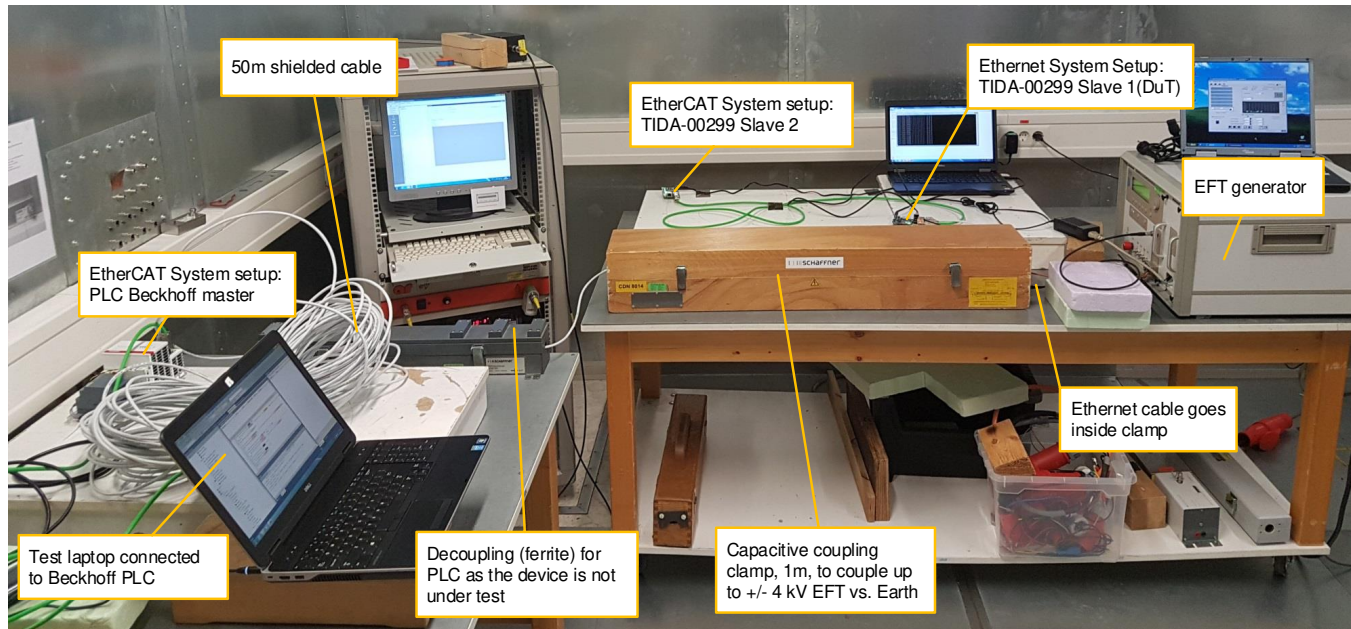


図 27. TIDA-00299 の IEC61000-4-4 EFT テスト構成

EFT テスト時のシステム構成は 3.2.2.3.3.1 に記載したとおりです。

EFT テストは、アース - GND 間接続として $R_{49} = R_{66} = 1M\Omega$ 、 $C_{44} = C_{67} = 10nF$ を実装して行いました。TIDA-00299 リファレンス・デザインの更新版により、以下の結果を確認できました。

表 33 に、最終テスト結果を示します。

表 33. GND - アース間 RC 接続を実装した TIDA-00299 の IEC-61000-4-4 EFT テスト結果

現象	参照規格	レベル	達成性能基準	備考
EFT	IEC61000-4-4	+/- 1kV / 5kHz (容量性クランプ)	A	
EFT	IEC61000-4-4	+/- 2kV / 5kHz (容量性クランプ)	A	
EFT	IEC61000-4-4	+/- 4kV / 5kHz (容量性クランプ)	A	IEC61800-3 では不要
EFT	IEC61000-4-4	+/- 1kV / 100kHz (容量性クランプ)	A	
EFT	IEC61000-4-4	+/- 2kV / 100kHz (容量性クランプ)	A	
EFT	IEC61000-4-4	+/- 4kV / 100kHz (容量性クランプ)	A	IEC61800-3 では不要

ここで、TIDA-00299 は IEC61800-3 に基づくテストに合格していることが分かります。表 34 に、読み出した Beckhoff PLC の診断結果を示します。

表 34. TIDA-00299 の IEC-61000-4-4 EFT 診断結果

現象	参照規格	レベル	Beckhoff PLC 診断結果		
			リンク損失	フレーム損失	Tx/Rx エラー
EFT	IEC61000-4-4	+/- 1kV / 5kHz (容量性クランプ)	0	0	0/0
EFT	IEC61000-4-4	+/- 2kV / 5kHz (容量性クランプ)	0	0	0/0
EFT	IEC61000-4-4	+/- 4kV / 5kHz (容量性クランプ)	0	0	0/0
EFT	IEC61000-4-4	+/- 1kV / 100kHz (容量性クランプ)	0	0	0/0
EFT	IEC61000-4-4	+/- 2kV / 100kHz (容量性クランプ)	0	0	0/0
EFT	IEC61000-4-4	+/- 4kV / 100kHz (容量性クランプ)	0	0	0/0

このテストは、アース - GND 間接続を実装しない状態 (基準 B のみを達成) でも実施しました。

これは、TIDA-00299 と周辺ビルディング・ブロックをテストする際のシステムのアース接続の重要性を示しています。EMC 性能をテストする場合、PHY の外部回路を最適化するとシステム性能が大幅に向上します。各接続はサブシステムごとに最適化する必要があります。

最高の性能を達成するには、このシステム面を最適化する必要があります、システムに存在するすべてのアース接続を考慮することが重要です。

その他のテストは事前にアース - GND 間接続を実装せずに実施しました。

3.2.2.3.3 IEC-61000-4-2 ESD テスト結果

図 28 に、ESD テスト構成を示します。ESD ストライクは、ポート 1 とポート 2 の RJ45 ケース / シールドに印加しました。どちらの RJ45 ケースも導電性銅箔と電気的に接続しました。3.2.2.3.3.1 に、ESD テスト時のシステム構成を示します。

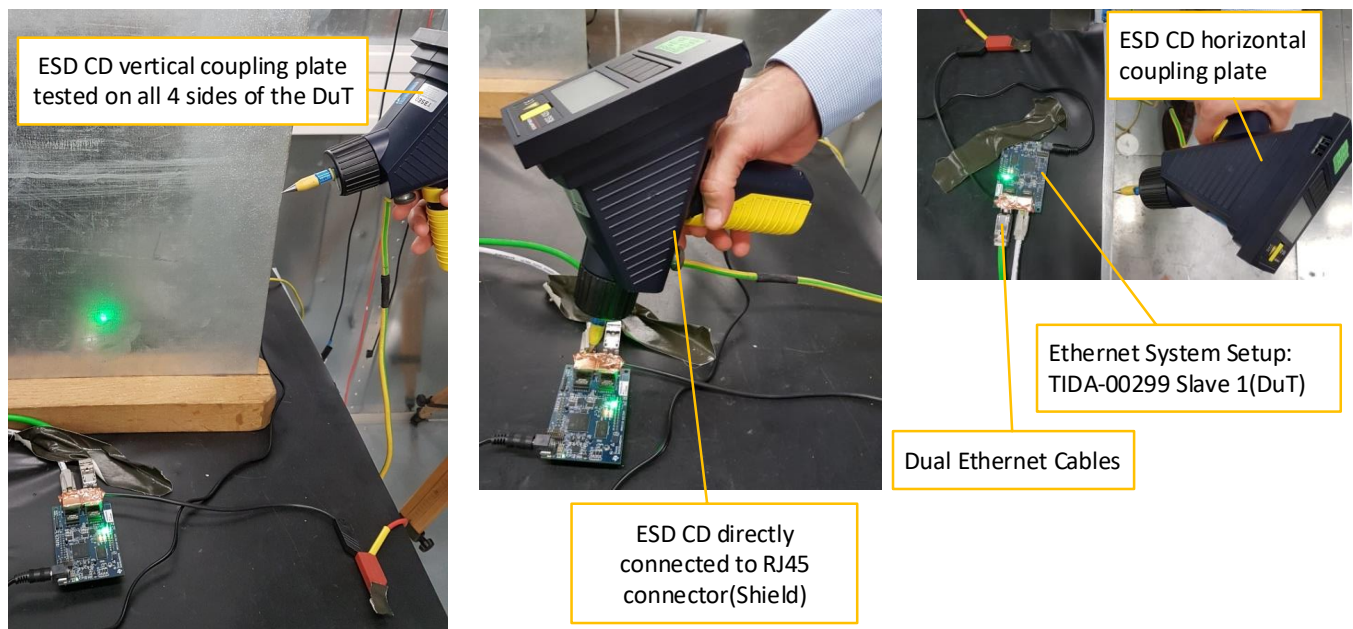


図 28. TIDA-00299 の IEC61000-4-2 テスト構成 (CD を表示)

表 35 に、電圧レベルの接触および気中放電に対する ESD テスト結果一式を示します。これらの結果も IEC618000-3 に基づく要件を上回っています。これはそれぞれ備考欄に示しています。

これらのテストはアース - GND 間接続を実装しないで実施しました。

表 35. TIDA-00299 の IEC-61000-4-2 ESD テスト結果

現象	参照規格	レベル	達成性能基準	備考
ESD	IEC61000-4-2	+/- 4kV 接触放電	B	
ESD	IEC61000-4-2	+/- 6kV 接触放電	B	IEC61800-3 では不要
ESD	IEC61000-4-2	+/- 8kV 接触放電	B	IEC61800-3 では不要
ESD	IEC61000-4-2	+/- 8kV 接触放電、垂直および水平	B	IEC61800-3 では不要

ネットワーク使用率の低下とリンク損失があった場合、クラス B と判定しました。このリンクは、システムの電源リセットなしで自動的に再接続されました。

表 36. TIDA-00299 の IEC-61000-4-2 ESD 診断結果

現象	参照規格	レベル	Beckhoff PLC 診断結果		
			リンク損失	フレーム損失	Tx / Rx エラー
ESD	IEC61000-4-2	+/- 2kV 接触放電	0	3	0/1
ESD	IEC61000-4-2	+/- 4kV 接触放電	1	14	0/3
ESD	IEC61000-4-2	+/- 6kV 接触放電	1	23	0/6
ESD	IEC61000-4-2	+/- 8kV 接触放電	1	67	0/2
ESD	IEC61000-4-2	+/- 8kV 接触放電、垂直および水平	1	27	0/5

表 36 に、読み出した Beckhoff PLC の診断結果を示します。

3.2.2.3.3.4 IEC-61000-4-5 サージ・テスト結果

図 29 に、TIDA-00299 のサージ・テスト構成を示します。

これらのテストはアース - GND 間接続を実装せずに実施しました。

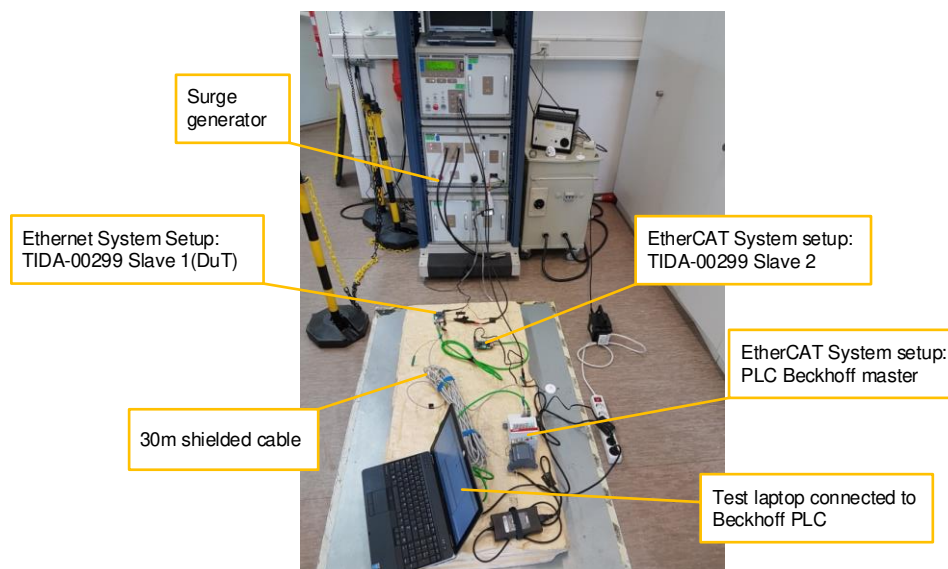


図 29. TIDA-00299 の IEC61000-4-5 サージ・テスト構成

EFT テスト時のシステム構成は 3.2.2.3.3.1 に記載したとおりです。表 37 に、テスト結果を示します。

表 37. TIDA-00299 の IEC-61000-4-5 サージ・テスト結果

現象	参照規格	レベル	達成性能基準	備考
サージ	IEC61000-4-5	+/- 0.5kV、2Ω/500A (20m のシールド付き Cat7 イーサネット・ケーブル)	A	IEC61800-3 以上 (クラス B のみ必須のため)
サージ	IEC61000-4-5	+/- 1kV、2Ω/500A (20m のシールド付き Cat7 イーサネット・ケーブル)	A	IEC61800-3 以上 (クラス B のみ必須のため)
サージ	IEC61000-4-5	+/- 2kV、2Ω/500A (20m のシールド付き Cat7 イーサネット・ケーブル)	A	IEC61800-3 以上 (クラス B のみ必須のため)

3.2.2.3.3.5 IEC-61000-4-6 伝導 RF テスト結果

図 30 に、TIDA-00299 の伝導 RF テスト構成とカプラを示します。

これらのテストはアース - GND 間接続を実装せずに実施しました。

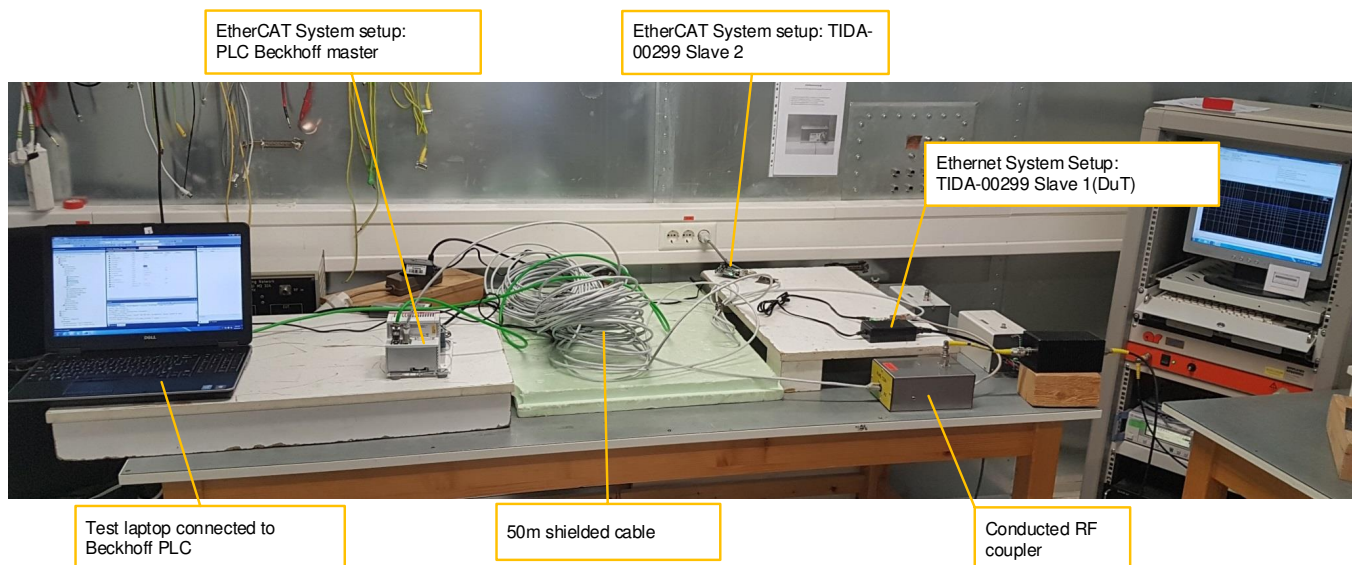


図 30. TIDA-00299 の IEC61000-4-6 伝導 RF テスト構成

EFT テスト時のシステム構成は 3.2.2.3.3.1 に記載したとおりです。表 38 に、テスト結果を示します。

表 38. TIDA-00299 の IEC-61000-4-6 伝導 RF テスト結果

現象	参照規格	レベル	達成性能基準	備考
伝導 RF	IEC61000-4-6	0.15~80MHz、10V/m、80% AM (1kHz)	A	

3.2.2.3.3.6 EN55011 CISPR 11 放射エミッション・テスト結果

TIDA-00299 はカテゴリ 2 の EN55011/CISPR 11 クラス A 要件を 5.1dB 以上のマージン (125MHz、垂直偏波での遠距離場測定) で満たしています。水平偏波の最小マージンも 125MHz で 6.9dB でした。

アンテナ距離 10m での最終テストに備えて、近接場測定 (被試験体 (DUT) とアンテナの距離 3m) による自動予備テストを使用して水平偏波と垂直偏波のそれぞれで EMI が最も大きい周波数を特定しました。

図 31 に、DUT とアンテナの距離を 10m とした最終的な測定のためのテスト構成を示します。

これらのテストはアース - GND 間接続を実装せずに実施しました。

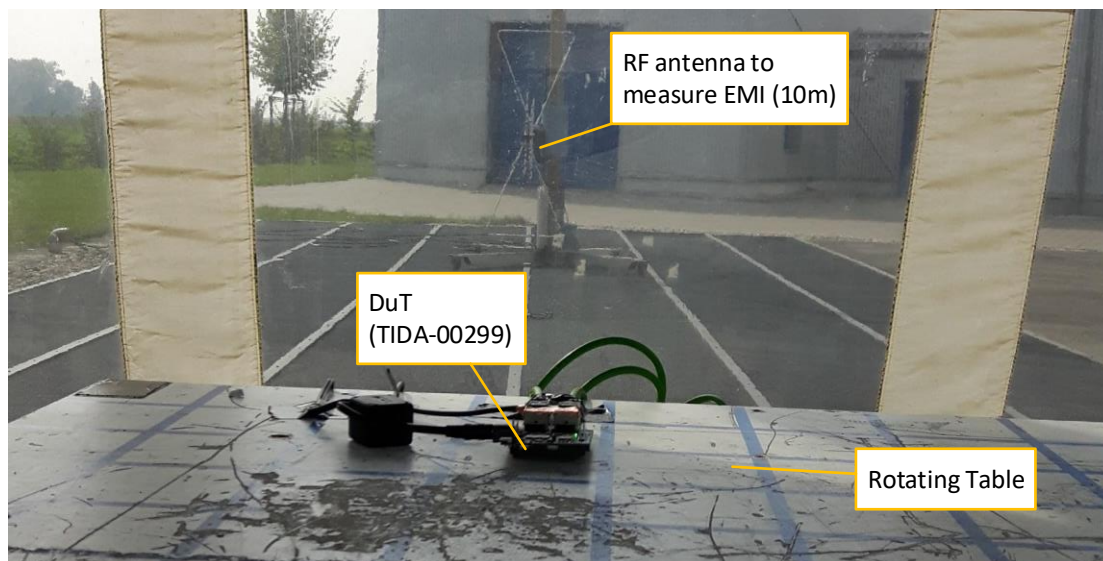


図 31. TIDA-00299 DUT とアンテナの距離を 10m とした遠距離場の EN55011 / CISPR 11 テスト構成

以下の 2 つの表に、予備テストで特定された臨界周波数でのアンテナ距離を 10m とした最終測定により得られたスペクトル密度を示します。前述のとおり、それぞれ 125MHz において、最小マージンは垂直偏波で 6.9dB、水平偏波で 5.1dB でした。

表 39. EN55011 に基づく EMI スペクトル測定結果 (準尖頭値)、10m 遠距離場、水平偏波

周波数	測定値 (dBuV)	補正值	値 (dBuV/m)	限度値 (dBuV/m)	マージン (dB)
MHz	QP (準尖頭値)	dB	QP	QP	QP
87.6	17.0	13.6	30.6	40	9.4
99.80	14.8	15.0	29.8	40	10.2
125.01	17.4	17.5	34.9	40	5.1
250.01	9.7	17.6	27.3	47	19.4
445.50	0.3	22.6	22.9	47	24.1

表 40. EN55011 に基づく EMI スペクトル測定結果 (準尖頭値)、10m 遠距離場、垂直偏波

周波数	測定値 (dBuV)	補正值	値 (dBuV/m)	限度値 (dBuV/m)	マージン (dB)
MHz	QP (準尖頭値)	dB	QP	QP	QP
60.0	3.5	18.9	22.4	40	17.6
125.01	15.6	17.5	33.1	40	6.9
156.05	4.4	19.5	23.9	40	16.1
250.01	8.9	17.6	26.5	47	20.5
275.00	3.0	18.3	21.3	47	25.7

3.2.2.3.3.7 アンテナ距離を 3m とした予備テスト結果

図 32 に、DUT とアンテナの距離を 3m とした予備テスト測定のためのテスト構成を示します。

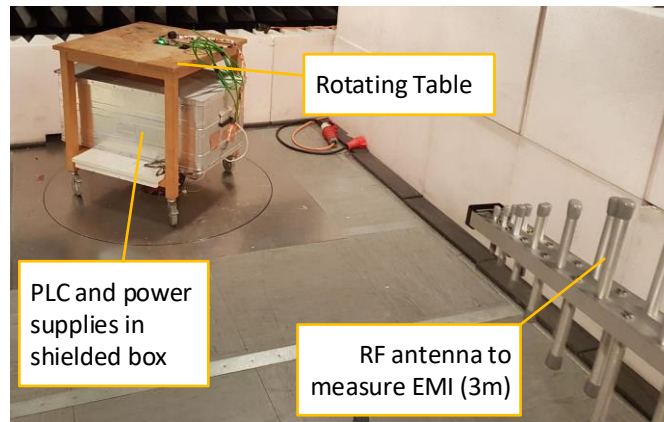


図 32. DUT (TIDA-00299) とアンテナの距離を 3m とした EMI の自動予備テスト構成

予備テストを実施して、各偏波の臨界周波数を特定しました。このテストは、アンテナとの距離を 3m として室内で行いました。

表 41. 予備テスト装置構成

種類	名前
アンテナ	A5_VULB9168_24-14-007
ケーブル	A5_Cable_50-13-018
ケーブル	A5_Cable_50-13-019
プリアンプ	Ohm1_MTS TVV-695_50-01-059
レシーバ	Ohm1_FSP7_11-05-002
ターンテーブル	CO1000

以下の 2 つの水平偏波と垂直偏波の図に、予備テストのスペクトル測定結果を示します。

距離が 10m ではなく 3m と短いため、放射 EMI に関する EN55011 のスレッショルドも 10dB 高くなり、以下の図に示すように設定されます。

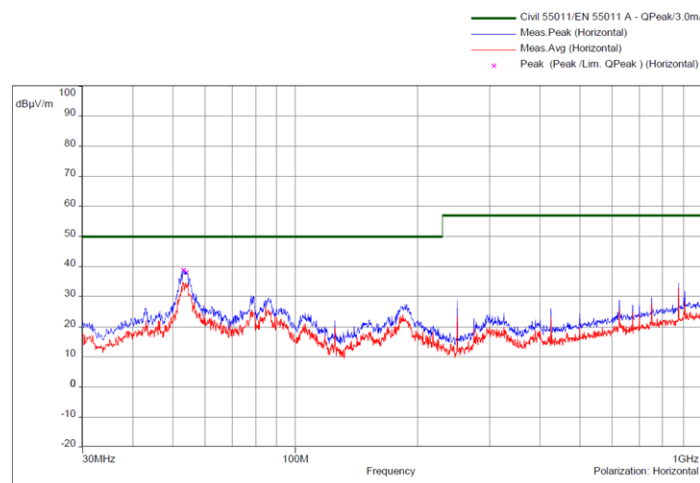


図 33. EN55011 に基づく EMI スペクトル測定結果 (予備テスト)、3m 近接場、水平偏波

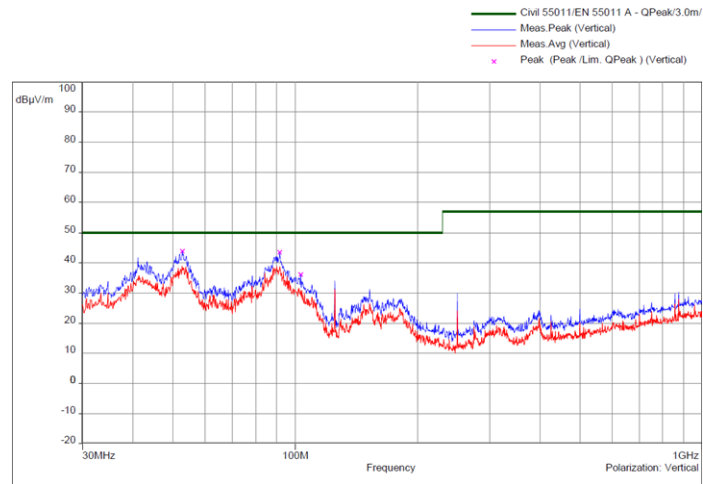


図 34. EN55011 に基づく EMI スペクトル測定結果 (予備テスト)、3m 近接場、垂直偏波

4 デザイン・ファイル

4.1 回路図

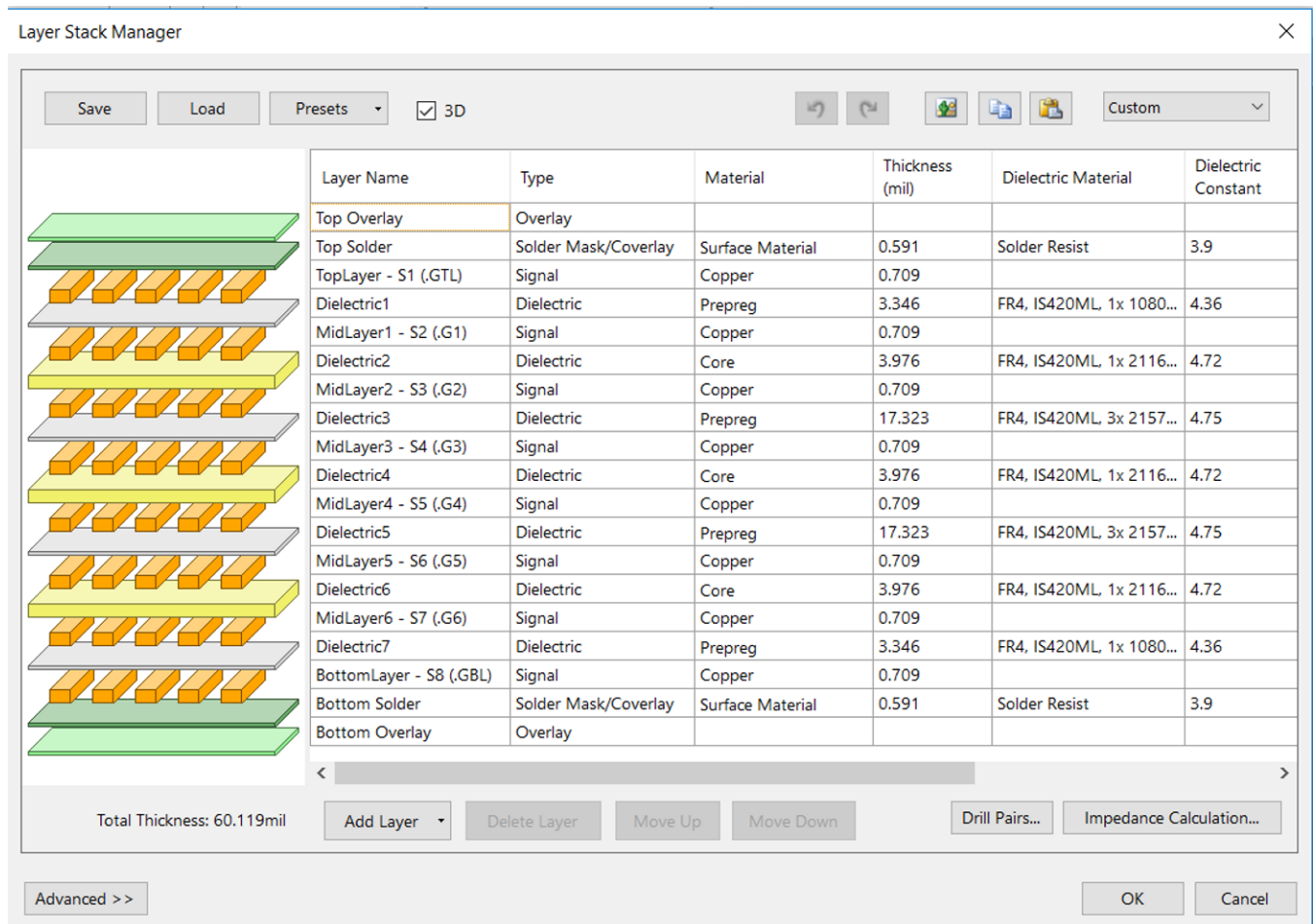
回路図をダウンロードするには、[TIDA-00299](#) のデザインファイルを参照してください。

4.2 部品表

部品表 (BOM) をダウンロードするには、[TIDA-00299](#) のデザインファイルを参照してください。

4.3 PCB レイアウト

このリファレンス・デザインでは 8 層 PCB を使用します。図 35 に積層を示します。



The screenshot shows the Layer Stack Manager window with a 3D visualization of the PCB stack on the left and a detailed table of layer properties on the right. The total thickness is 60.119 mil.

Layer Name	Type	Material	Thickness (mil)	Dielectric Material	Dielectric Constant
Top Overlay	Overlay				
Top Solder	Solder Mask/Coverlay	Surface Material	0.591	Solder Resist	3.9
TopLayer - S1 (.GTL)	Signal	Copper	0.709		
Dielectric1	Dielectric	Prepreg	3.346	FR4, IS420ML, 1x 1080...	4.36
MidLayer1 - S2 (.G1)	Signal	Copper	0.709		
Dielectric2	Dielectric	Core	3.976	FR4, IS420ML, 1x 2116...	4.72
MidLayer2 - S3 (.G2)	Signal	Copper	0.709		
Dielectric3	Dielectric	Prepreg	17.323	FR4, IS420ML, 3x 2157...	4.75
MidLayer3 - S4 (.G3)	Signal	Copper	0.709		
Dielectric4	Dielectric	Core	3.976	FR4, IS420ML, 1x 2116...	4.72
MidLayer4 - S5 (.G4)	Signal	Copper	0.709		
Dielectric5	Dielectric	Prepreg	17.323	FR4, IS420ML, 3x 2157...	4.75
MidLayer5 - S6 (.G5)	Signal	Copper	0.709		
Dielectric6	Dielectric	Core	3.976	FR4, IS420ML, 1x 2116...	4.72
MidLayer6 - S7 (.G6)	Signal	Copper	0.709		
Dielectric7	Dielectric	Prepreg	3.346	FR4, IS420ML, 1x 1080...	4.36
BottomLayer - S8 (.GBL)	Signal	Copper	0.709		
Bottom Solder	Solder Mask/Coverlay	Surface Material	0.591	Solder Resist	3.9
Bottom Overlay	Overlay				

図 35. 積層

S2、S4、S7 の各層を GND プレーンとして、S5 を電源プレーンとして、S1、S3、S6、S8 を信号層として使用します。この設定により、信号プレーンの GND 電流復路を可能な限り短くできます。

適用したレイアウトの指針は、この TI Design で使用する TI 部品の特性表に記載されています。

4.3.1 レイアウト・プリント

レイアウトをダウンロードするには、[TIDA-00299](#) のデザインファイルを参照してください。

4.4 Altium プロジェクト

Altium プロジェクトファイルをダウンロードするには、[TIDA-00299](#) のデザインファイルを参照してください。

4.5 ガーバー・ファイル

ガーバー・ファイルをダウンロードするには、[TIDA-00299](#) のデザインファイルを参照してください。

4.6 組立図面

組立図面をダウンロードするには、[TIDA-00299](#) のデザインファイルを参照してください。

5 ソフトウェア・ファイル

ソフトウェア・ファイルをダウンロードするには、[プロセッサ SDK](#) のプロセッサ SDK ソフトウェアパッケージを参照してください。

詳細については、[2.2.2](#)を参照してください。

6 用語

略称	正式名称
ESC	EtherCAT スレーブコントローラ
PDI	プロセスデータインターフェイス
ETG	EtherCAT Technology Group
IEC	国際電気標準会議
CTT	コンプライアンステストツール
PHY	物理層
MAC	メディアアクセス制御
MII	メディアインディペンデントインターフェイス
PMIC	電源管理IC

7 関連資料

1. テキサス・インスツルメンツ、[『Sitara』](#)、Wiki ページ
2. テキサス・インスツルメンツ、[AMIC110 \(英語\)](#)、Wiki ページ
3. [EtherCAT Technology Group](#)
4. Beagle Board 社、[BeagleBone Black \(英語\)](#)
5. テキサス・インスツルメンツ、[C2000 Delfino マイコン向け F28379D LaunchPad™ 開発キット](#)、LAUNCHXL-F28379D ツール・フォルダ
6. IEC 61800-3:2017、[『Adjustable speed electrical power drive systems - Part 3: EMC requirements and specific test methods』 \(英語\)](#)
7. テキサス・インスツルメンツ、[『AMIC110 Sitara SoC』](#)、AMIC110 特性表 (SPRS971)
8. テキサス・インスツルメンツ、[『TPS650250 による AM335x への電力供給』](#)、ユーザーガイド (SLVU731)
9. テキサス・インスツルメンツ、[『SN74LV244A オクタルバッファドライバ、3 ステート出力対応』](#)、SN74LV244A 特性表 (SCLS383)
10. テキサス・インスツルメンツ、[『SN74LVC2G66 デュアル双方向アナログスイッチ』](#)、SN74LVC2G66 特性表 (SCES325)
11. テキサス・インスツルメンツ、[『TPS650250 リチウムイオン電源システム用電源管理 IC』](#)、TPS650250 特性表 (SLVS843)
12. テキサス・インスツルメンツ、[『DP83822 堅牢かつ低消費電力の 10/100Mbps イーサネット物理層トランシーバ』](#)、DP83822HF、DP83822IF、DP83822H、DP83822I 特性表 (SNLS505)

13. テキサス・インスツルメンツ、『[AM335x/AMIC110 Sitara](#) プロセッサ・テクニカル・リファレンスマニュアル』、ユーザーガイド (SPRUH73)

7.1 商標

Sitara, Code Composer Studio are trademarks of Texas Instruments.

ARM, Cortex are registered trademarks of ARM Limited.

Agilent is a trademark of Agilent Technologies, Inc.

EtherCAT, TwinCAT, Beckhoff are registered trademarks of Beckhoff Automation GmbH, Germany.

GigaSPEED XL is a registered trademark of CommScope, Inc.

Dell is a trademark of Dell Inc.

Draka is a registered trademark of Prysmian S.P.A.

Tektronix is a trademark of Tektronix, Inc.

Linux is a registered trademark of The Linux Foundation.

Winbond is a trademark of Winbond Electronics Corporation.

すべての商標および登録商標はそれぞれの所有者に帰属します。

8 著者について

KRISTEN MOGENSEN は、テキサス・インスツルメンツの産業システム - モータ・ドライブ・チームに属するシステム・エンジニアであり、産業用ドライブのリファレンス・デザイン開発を担当しています。

MARTIN STAEBLER は、テキサス・インスツルメンツの産業システム - モータ・ドライブ・チームに属するシステム・アーキテクトであり、産業用ドライブのリファレンス・デザイン開発を担当しています。

改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

2017年4月発行のものから更新	Page
• 「概要」の情報を 変更	1
• TMDXICE110 を「設計リソース」に 追加.....	1
• 「特長」の情報を 変更	1
• 「システムの説明」に情報を 追加	2
• 「EC61800-3 EMC 耐性規格」セクションを 追加.....	2
• その他の産業用プロトコルに関する情報を 削除	3
• 「TIDA-00299 の仕様」表の情報を 変更.....	6
• 「DP83822: 10/100Mbit イーサネット PHY」に情報を 追加.....	12
• 「DP83822 と AMIC110 の間の MII」に情報を 追加	14
• 「TIDA-00299 の PHY - RJ45 間接続」画像を 変更.....	14
• 「アース - GND 間接続」セクションを 追加	15
• 「TIDA-00299 性能試験用機器」表の情報を 変更	29
• TwinCat 3 に関する情報を「システム性能」セクションに 追加	37
• セクション 3.2.2.3.1 のタイトルを「システム性能」から「EtherCAT コンフォーマンス・テスト・ツール」に変更	37
• 「EtherCAT ケーブル長テスト」セクションを 追加	38
• 「EMC/EMI テスト結果」セクションを 追加	39

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 (www.tij.co.jp/ja-jp/legal/termsofsale.html)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2020, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 (www.tij.co.jp/ja-jp/legal/termsofsale.html)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2020, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社