

TI Designs: TIDEP-0068

K2G汎用EVM (GP EVM)用のPCI-Express PCB設計上の考慮事項のリファレンス・デザイン



TI Designs リファレンス・デザイン

TI Designs リファレンス・デザインは、システムの迅速な評価とカスタム化に必要な方法、試験結果、設計ファイルなどを提供しています。開発期間の短縮に役立ちます。

設計リソース

TIDEP0068	TI Designフォルダ
高速レイアウトのガイドライン	プロダクト・フォルダ
66AK2G02	プロダクト・フォルダ
66AK2G12	プロダクト・フォルダ
TPS65911	
K2G汎用EVM	ツール・フォルダ
K2GのプロセッサSDK	ソフトウェア・フォルダ

デザインの特長

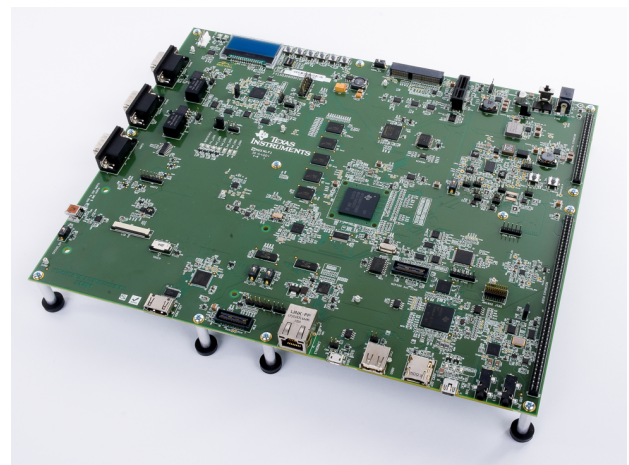
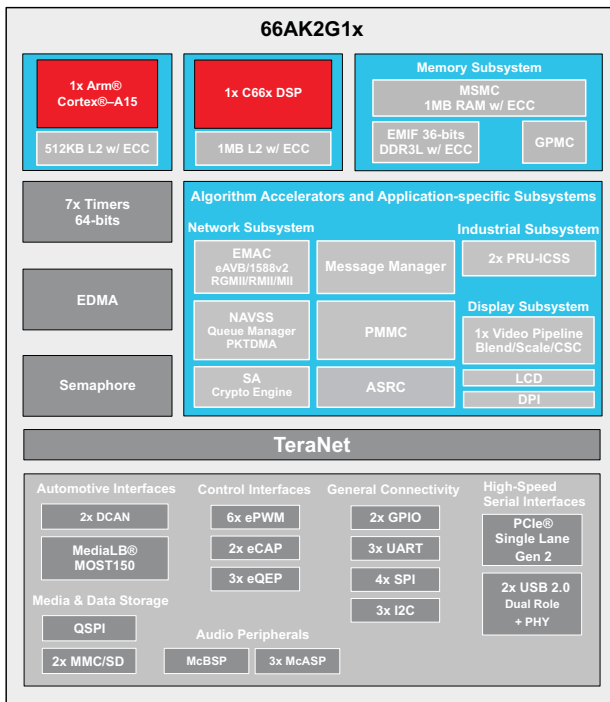
- 最適化された高速信号ルーティング
- 表面実装のPCIex1ソケット
- ACカップリング・コンデンサの配置例
- 差動ペアの推奨間隔の例

主なアプリケーション

- 電源保護
- 産業用通信および制御
- サブステーション・オートメーション
- グリッド通信



[E2Eエキスパートに質問](#)



intro_001a
Copyright © 2017, Texas Instruments Incorporated



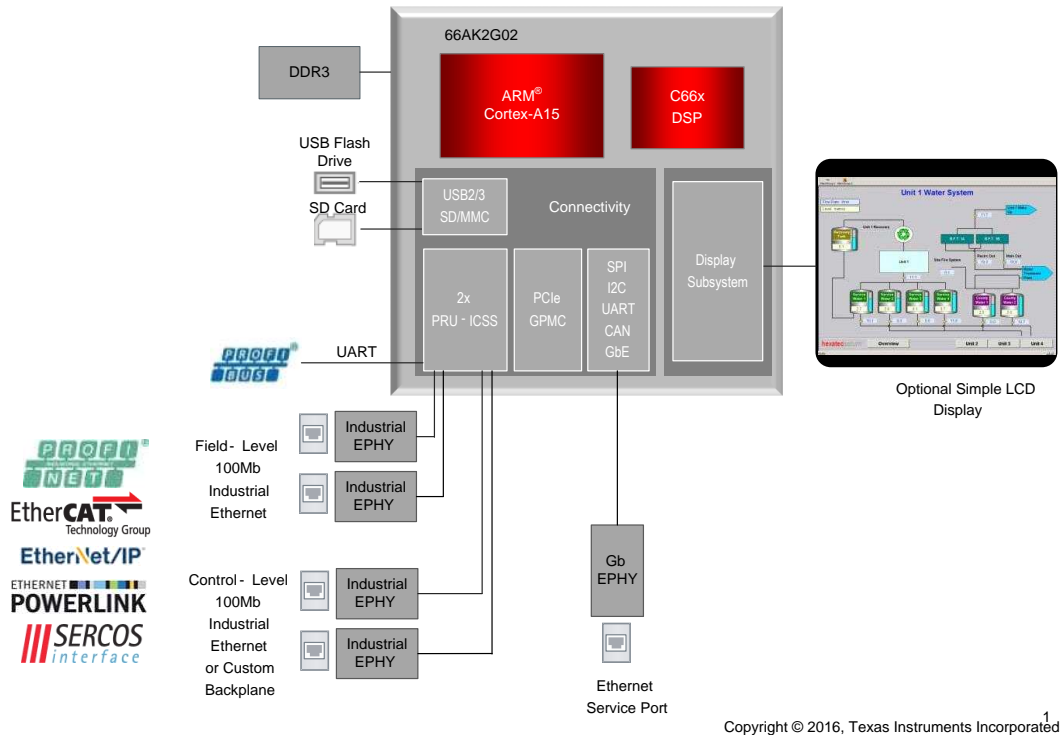
使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE (重要な注意事項)をご参照くださいますようお願いいたします。

1 66AK2Gx and Featured Applications

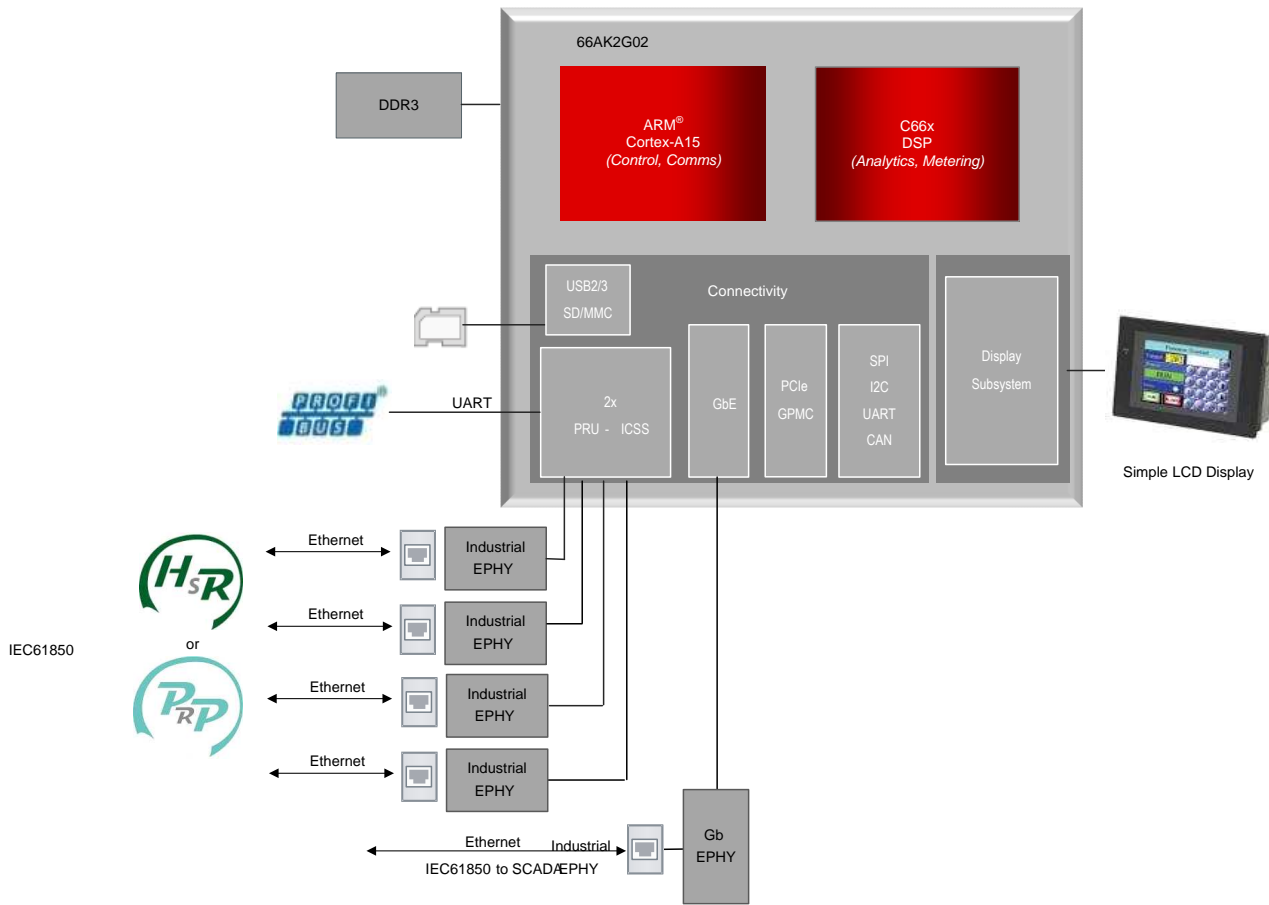
The 66AK2Gx SoC supports the following features (refer to the 66AK2G1x block diagram on page 1):

- **Processor Cores and Memory**
 - Arm Cortex A15 up to 1000 MHz
 - 32 KB L1D, 32 KB L1P, 512 KB L2 cache
 - C66x DSP up to 1000 MHz
 - 32 KB L1D, 32 KB L1P, 1024 KB L2
 - 1024KB of Shared L2 SRAM in MSMC
 - ECC on all L1, L2, and shared memory
- **Industrial and Control Peripherals**
 - 2 Industrial Communication Subsystems enable cut through, real-time and low latency Industrial Ethernet protocols
 - Programmable real-time I/O enables versatile field bus and control interfaces
 - PCIe for connection to an FPGA or ASIC that provides industrial network connections, backplane communication, or connection to another 66AK2Gx device.
- **Security and Crypto**
 - Standard secure boot with customer programmable OTP keys
 - Crypto
 - Package
 - 21 x 21 mm, 0.8 mm pitch BGA 625 pins

The 66AK2Gx is suited for applications such as Industrial PLC and Protection Relay as shown in [図 1](#) and [図 2](#). In these systems PCIe is used for connection to an FPGA or ASIC that provides industrial network connections, backplane communication or connection to another 66AK2Gx device.



1. Industrial PLC System Block Diagram



Copyright © 2016, Texas Instruments Incorporated

図 2. Protection Relay System Block Diagram

2 Design Overview

The K2G SoC is a high-performance, highly integrated device based on TI KeyStone™ II Multicore DSP + Arm® System-on-Chip (SoC) architecture. The device incorporates a single-lane PCI-Express (PCIe) Gen2 (5GT/s) module that may perform as either a Root Complex (RC) or End Point (EP) device. This design discusses the implementation of the PCI-Express interface on the K2G General Purpose EVM with an eye toward optimizing signal integrity of the interface.

Figure 3 shows the K2G General Purpose EVM PCIe signal quality.

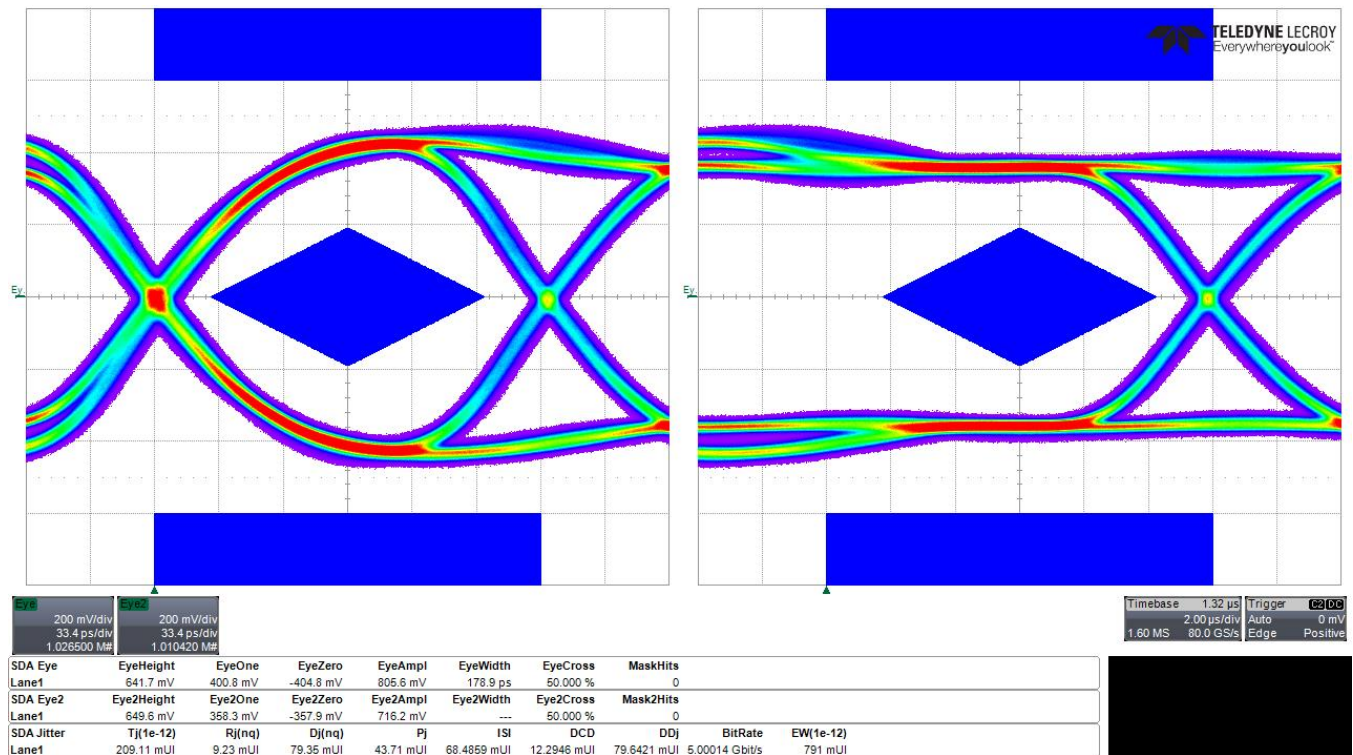


Figure 3. K2G General Purpose EVM PCIe Signal Quality

3 Key System Specifications

The PCI-Express module present in the 66AK2Gx device supports both Root-Complex and End Point operation on a single-lane bidirectional link interface. PCIe provides for low pin-count, high reliability, and high-speed with data transfer at rates of up to 5.0 Gbps per lane, per direction. PCIe is intended for use as a serial link on backplanes and printed circuit boards. The K2G GP EVM provides a PCIe x1 add-in card socket to ease evaluation of PCIe EP's prior to implementation in a custom design. The GP EVM does not provide an interface for testing the device as an EP.

4 System Description

The intent of this TI Design is to provide PCB layout considerations for the PCIe portion of the 66AK2Gx System-on-Chip (SoC). The K2G GP EVM is used as a reference to discuss some of these considerations. A more detailed explanation of concepts discussed in this document as well as further information and recommendations on high-speed layout considerations may be found in the *High-Speed Interface Layout Guidelines (SPRAAR7E)*.

注: As with all PCB designs, best performance with regard to signal integrity is contingent on performing a board-level simulation and reviewing the results prior to committing the design to PCB. Every PCB design must be evaluated independently as no two are alike.

5 K2G General Purpose EVM – All Layers

図 4 shows the entirety of the GP EVM design.

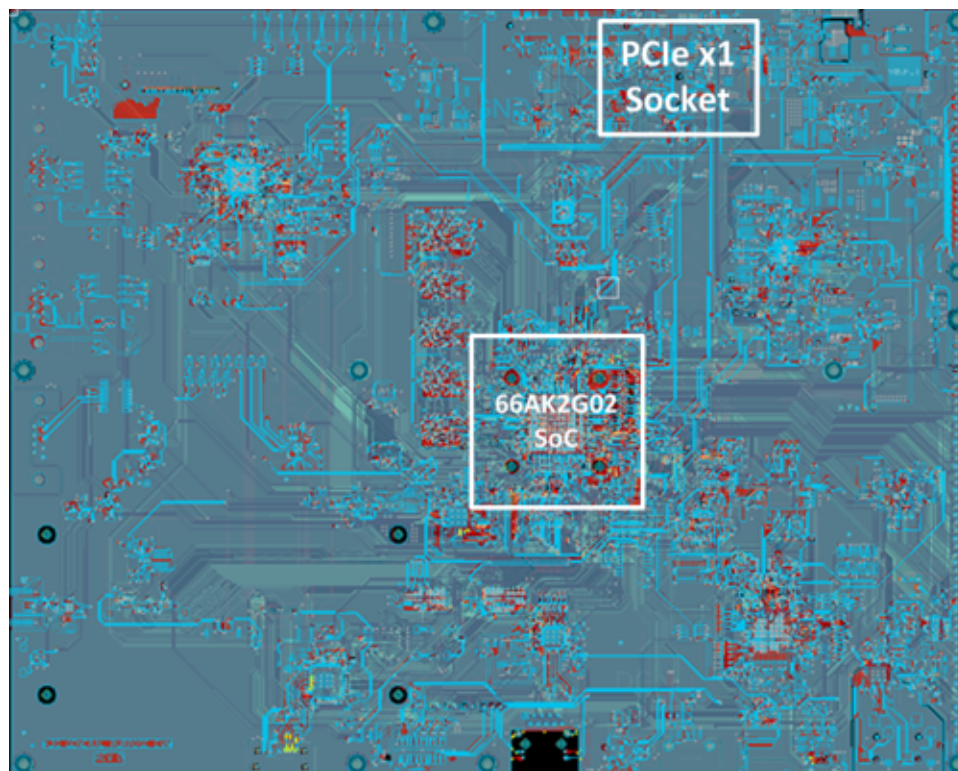
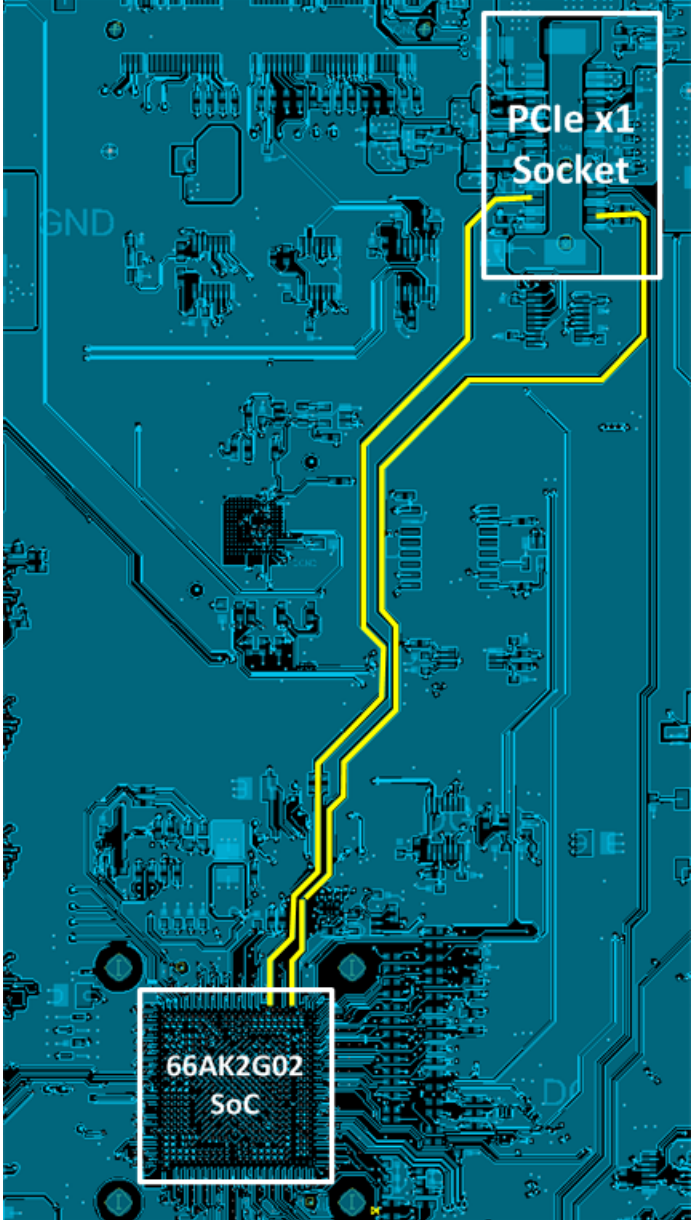


図 4. K2G GP EVM – All Layers

5.1 K2G GP EVM – Top Layer – Routing

When designing a PCB that incorporates one or more high-speed interfaces, it is critical that the high-speed signals are routed early in the board design process, preferably first. Routing early ensures that all signals are routed without obstructions or abutments that may force an inclusion of a via, or crossing (unnecessary extension) of the high-speed signals. Care must be given to the physical relationship of the devices that comprise the PCIe bus.  5 shows that the PCIe x1 socket is placed in such a way that the PCIe signals from the SoC PCIe Root Complex to the socket flow naturally; no rotating of the SoC or socket is required. Place the socket in a position that allows it to accept the signals without the need for vias to improve signal quality. For the K2G GP EVM, the PCIe interface has been routed completely on the top layer and terminates at a surface mount connector.

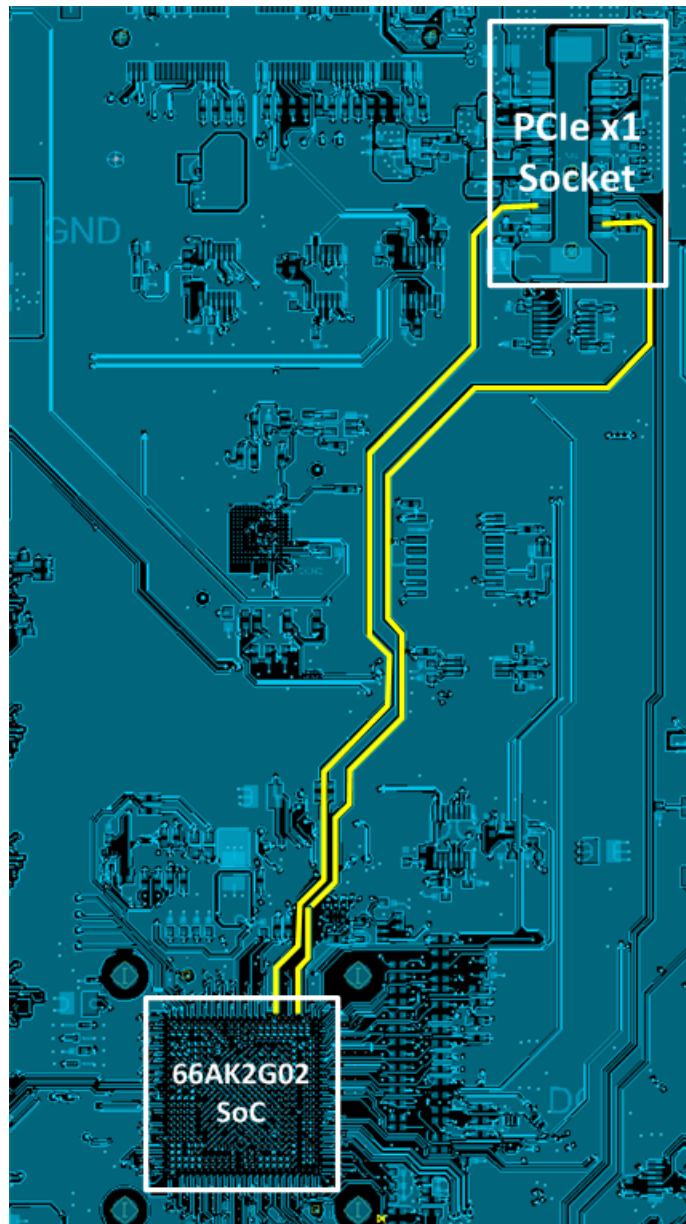

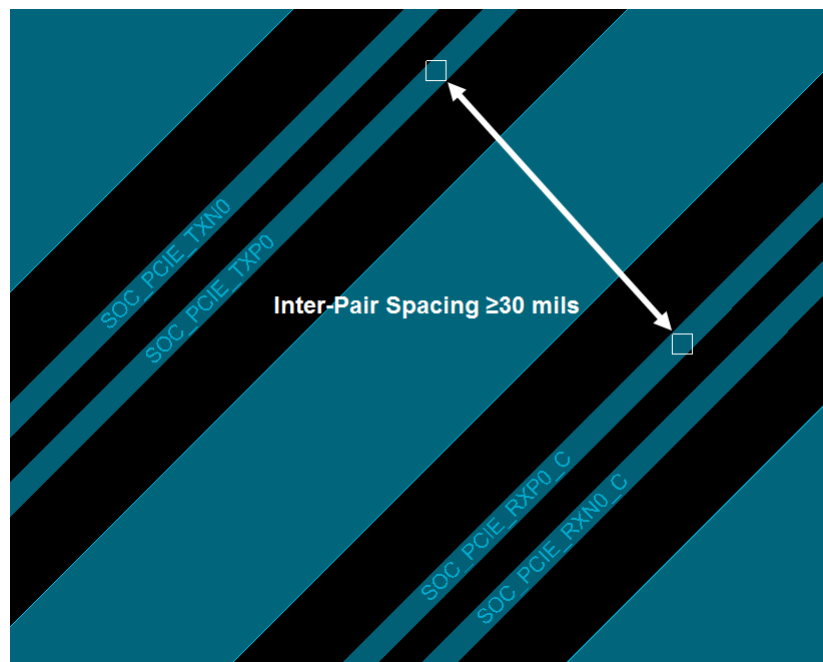


図 5. K2G GP EVM – Top Layer Only – Zoomed

5.2 K2G GP EVM – Top Layer – Differential Signal Spacing

To minimize crosstalk in high-speed interface implementations, the spacing between the signal pairs must be a minimum of 5 times the width of the trace. This spacing is referred to as the *5W rule*. A PCB design with a calculated trace width of 6 mils requires a minimum of 30 mils spacing between high-speed differential pairs. Also, maintain a minimum keep-out area of 30 mils to any other signal throughout the length of the trace. Where the high-speed differential pairs about a clock or a periodic signal, increase this keep-out to a minimum of 50 mils to ensure proper isolation. When possible, the keep-out area should be maximized to further reduce the possibility of crosstalk. In the case of the K2G GP EVM, the PCB was of sufficient size to allow spacing that exceeds 65 mils in many locations.  6 shows the K2G GP EVM inter-pair spacing.



 6. K2G GP EVM Inter-Pair Spacing

5.3 K2G GP EVM – Top Layer – Reference Plane

High-speed signals should be routed over a solid ground reference plane and should not cross or directly abut a void in the reference plane. TI does not recommend high-speed signal references to power planes. Routing across a plane split or a void in the reference plane forces return high-frequency current to flow around the split or void, which may result in the following conditions:

1. Excess radiated emissions from an unbalanced current flow
2. Delays in signal propagation delays due to increased series inductance
3. Interference with adjacent signals
4. Degraded signal integrity (that is, more jitter and reduced signal amplitude)

In keeping with the above recommendations, the K2G GP EVM routes the PCIe signals over an unbroken, ground reference plane as shown in [Figure 7](#).

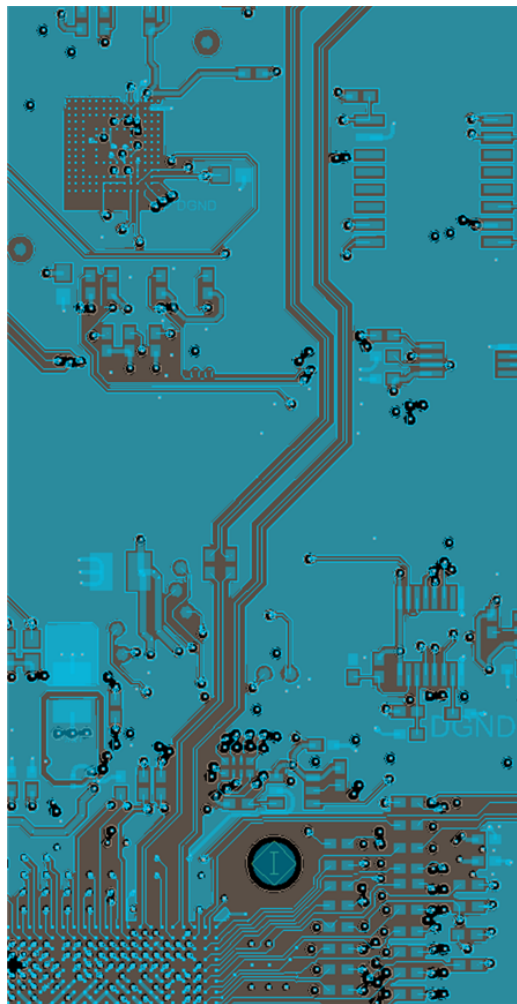
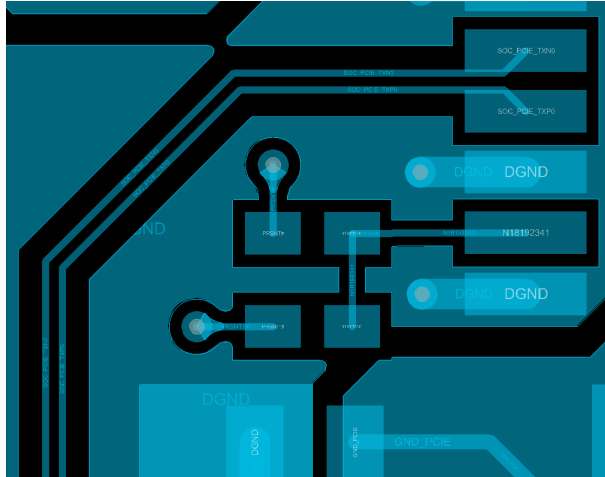
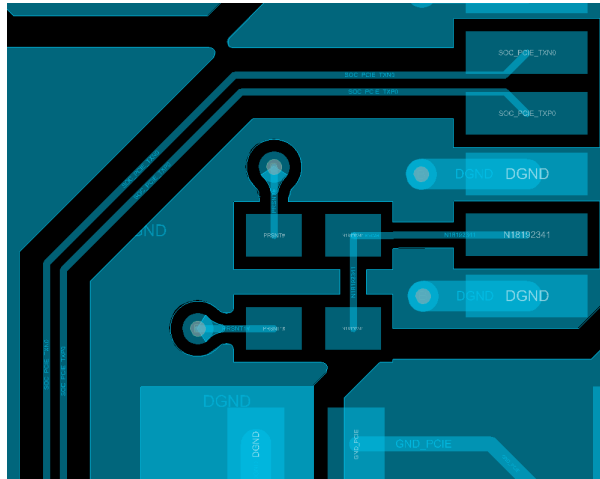


図 7. K2G GP EVM PCIe Reference Plane

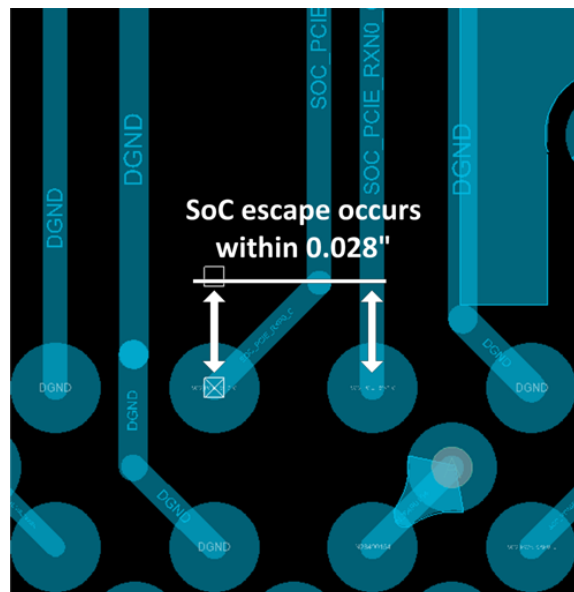
5.4 K2G GP EVM – Top Layer – Symmetrical Routing

Because PCIe is a differential interface, all routing of the member pairs must be symmetrical and maintain as much parallelism as possible as they traverse the board together. In the case of the K2G GP EVM, observe in  that the *PCIE_TXN0* and *PCIE_TXP0* signals maintain symmetry and parallelism across the board up to, and including the PCIe x1 add-in card socket pads.



 8. Symmetrical Routing and Parallelism of PCIe Signal Pair

The symmetry and requirements apply to both ends of the interface, however, it may be impossible to fully meet the requirements when routing SoC escape of the PCIe signals. In this particular case, it is permissible to deviate from both symmetry and parallelism for up to 0.25" when escaping the SoC. For K2G GP EVM, SoC escape of the PCIe signals is complete at ± 28 mils, well within the 0.25" (250 mil) limit.



 9. SoC Escape

6 Design Files

The design files for the K2G General Purpose EVM may be found at <http://www.ti.com/tool/TIDEP0068>.

7 Related Documentation

1. [High-Speed Interface Layout Guidelines](#)

7.1 商標

KeyStone, BeagleBone are trademarks of Texas Instruments.
Arm is a registered trademark of ARM Limited.
すべての商標および登録商標はそれぞれの所有者に帰属します。

8 About the Author

DAVE KING is a Senior Hardware Applications Engineer in TI's Embedded Processing organization supporting a wide array of Arm-based SoCs such as AM335x (as found on BeagleBone™ and BeagleBone Black), AM35x, AM37x, AM57xx, and AM437x. Dave brings to this role more than fifteen years of protocol, digital, and analog experience in high-speed interfaces ranging from PCI-Express to USB2.0/3.1.

改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

2016年3月発行のものから更新

Page

• タイトルを更新。.....	1
• 66AK2G12のプロダクト・フォルダを追加。.....	1
• 設計リソースのTPS659118をTPS65911に変更。.....	1
• K2G EVMツール・フォルダをEVMK2GX (1GHzバージョン)に変更。.....	1
• 66AK2G02のブロック図を66AK2G1xに変更。.....	1
• Changed Arm Cortex A15 at 600 MHz to 'up to 1000 MHz'.	2
• Changed C66x DSP up to 600 MHz to "up to 1000 MHz".	2
• Added MSMC subsystem details to Processor Cores and Memory section.....	2

TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的での、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、もしくは、TIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示的保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterms.htm>)についてのTIの標準条項が含まれますが、これらに限られません。