

Design Guide: TIDA-010262

データ・ライン経由の電力供給 (PoDL) 機能搭載、4 ポート、シングル・ペア・イーサネット (SPE) のリファレンス・デザイン



概要

このリファレンス・デザインでは、データ・ライン経由の電力供給 (PoDL) 機能を搭載した 4 つの 10BASE-T1L シングル・ペア・イーサネット (SPE) ポートと 1000BASE-T イーサネット・ポートの間のブリッジとして機能するイーサネット・ゲートウェイを示します。4 つの SPE ポートは給電側機器 (PSE) として機能し、フィールド・デバイスに 24V を供給します。このゲートウェイは AM6442 マイクロプロセッサによって制御され、Linux® オペレーティング・システムを利用しているため、柔軟でスケーラブルなオープン・ソース・ソフトウェアに対応できます。

例として、このリファレンス・デザインは、PoDL を使用して SPE 経由でエッジ処理ボード (TIDA-010261) と接続します。

リソース


TIDA-010262	デザイン・フォルダ
TIDA-010261	デザイン・フォルダ
AM6442, DP83TD510E, DP83867IR	プロダクト・フォルダ
TQ-3P-SOM-TQMA64XXL	プロダクト・フォルダ

特長

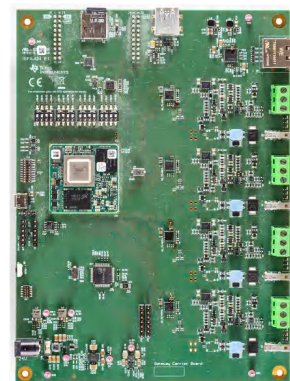
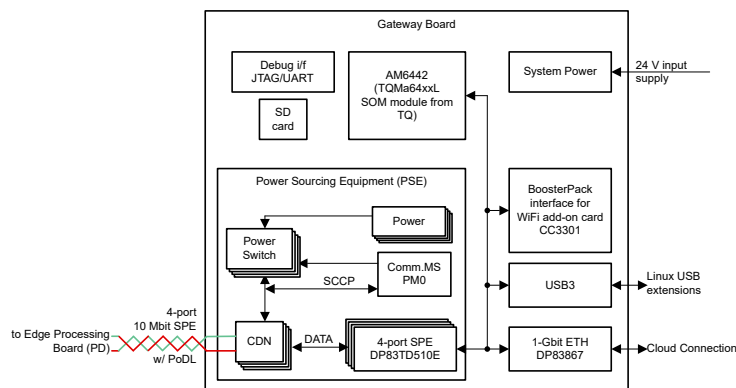
- 24V 電源入力
- デュアル・コア 64 ビット Arm® Cortex®-A53 とクワッド・コア Cortex-R5F を搭載した AM6442 マイクロプロセッサ
- 4 つの 10 Base-T1L シングル・ペア・イーサネット (SPE) ポート
- 各 SPE でデータ・ライン経由の電力供給 (PoDL) 機能 IEEE802.3cg が有効
- 1 つの MSPM0 で 4 ポートのシリアル通信分類 (SCCP) を駆動
- クラウド接続用のギガビット 1000BASE-T イーサネット・ポート
- USB 3.1 のサポートと μSD カード・インターフェイス
- Linux® オペレーティング・システム
- CC3301 Wi-Fi® 6 および Bluetooth® Low Energy BoosterPack™ に接続するためのオプションの LaunchPad™ インターフェイス

アプリケーション

- ファクトリ・オートメーションおよび制御
- 通信モジュール
- 通信スイッチ



テキサス・インスツルメンツの TI E2E™ サポート・エキスパートにお問い合わせください



1 システムの説明

この設計は、データ・ライン経由の電力供給 (PoDL) 機能を搭載した 4 ポートの 10BASE-T1L シングル・ペア・イーサネット (SPE)、1000BASE-T イーサネット・ポート、USB 3.1 ポート、および CC3301 Wi-Fi 6 および Bluetooth® Low Energy BoosterPack プラグイン・モジュールとのインターフェイスを確立するための BoosterPack プラグイン・モジュール・コネクタを備えています。この設計は、システム・オン・モジュールに搭載されている AM6442 マイクロプロセッサによって制御されます。

この設計では Linux オペレーティング・システムを使用しているため、オープン・ソース・ソフトウェアで設計をカスタマイズおよび拡張できます。

1.1 用語

- シングル・ペア・イーサネット (SPE)
- データ・ライン経由の電力供給 (PoDL)
- 給電側機器 (PSE)
- 受電側 (PD)
- マイクロプロセッサ (MPU)
- システム・オン・モジュール (SOM)
- 産業用通信サブシステム (ICSS)
- プログラマブル・リアルタイム・ユニット (PRU)
- エラー訂正コード (ECC)
- 物理層トランシーバ (PHY)
- 物理メディア依存 (PMD)
- メディア・アクセス・コントローラ (MAC)

2 システム概要

2.1 ブロック図

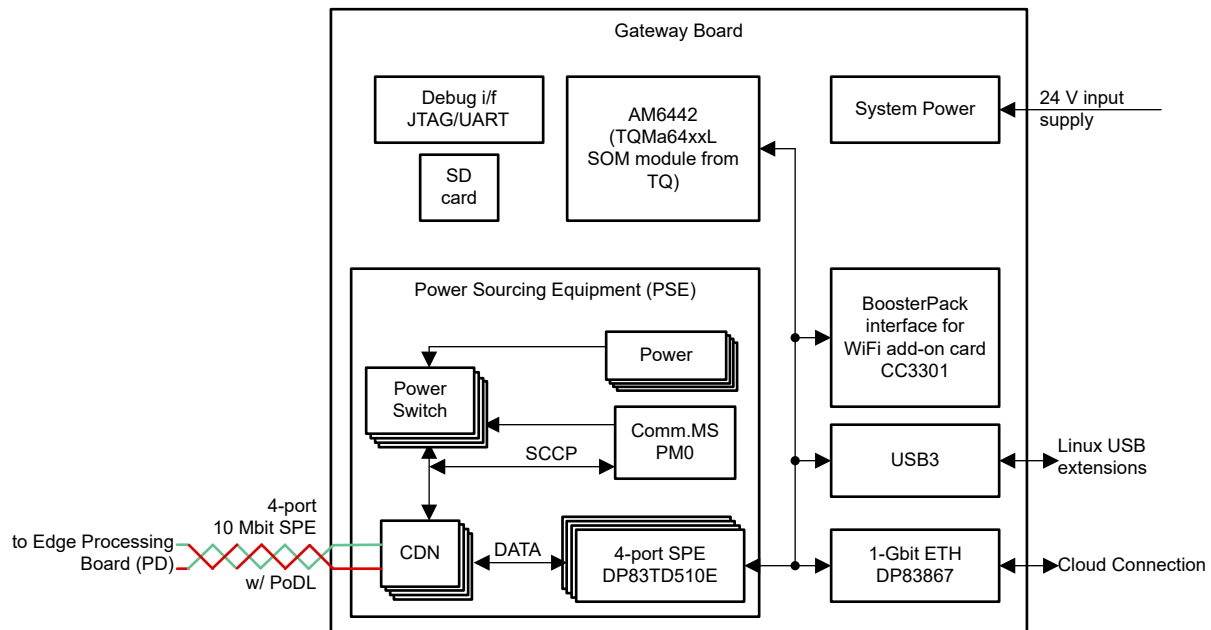


図 2-1. ゲートウェイ・ボード

2.2 設計上の考慮事項

このリファレンス・デザインでは、データ・ライン経由の電力供給 (PoDL) 機能によってリモート・センサまたはアクチュエータに電力を供給するオプションを備えた、4 つのシングル・ペア・イーサネット (SPE) 10BASE-T1L ポートのデジタル・バックの実装を示します。PoDL は IEEE802.3cg によって標準化されています。PoDL は、シリアル通信分類プロトコル (SCCP) を含めて実装されており、給電側機器 (PSE) と受電側 (PD) の間で目的の電力クラスをネゴシエートします。

PoDL と組み合わせて SPE を実装するには、データ側の設計で DP83TD510E などのイーサネット PHY が必要です。これは、メディア・アクセス・コントローラ (MAC) からシングル・ペア・イーサネット・ケーブル上のメディア依存インターフェイス (MDI) にインターフェイスを変換するためです。MAC 側では、Reduced Gigabit MII (RGMI)I) などのメディア独立インターフェイス (MII) が使用されます。

シングル・ペア・イーサネット・ケーブルに電力と SCCP 通信を追加するには、必要なものが 2 つあります。1 つは、ライン上で電力とデータを分離するカップリング・ネットワークで、もう 1 つは必要な通信プロトコルを追加するデバイスです。カップリング・ネットワークは周波数フィルタとみなされ、低周波成分 (特に DC) が電源部に送られ、高周波成分が PHY に送られるデータとして処理されます。この通信プロトコルは、Power over Ethernet (PoE) と同様に重要な役割を果たします。PSE は、電力を要求する PD のみに適切に電力を供給する必要があります。そうしないと、SPE に接続されている機器が損傷するおそれがあります。このリファレンス・デザインは、PoDL を搭載した 4 つの SPE ポートをサポートしていますが、SCCP 通信に必要なのは 1 つのマイクロコントローラ (MCU) だけです。

このリファレンス・デザインは AM6442 ベースのシステム・オン・モジュール (SOM) を使用しており、クラウド接続用のギガビット・イーサネット・ポートもサポートしています。Arm Cortex-A53 コアでは、Linux® オペレーティング・システム (OS) が動作します。

このリファレンス・デザインは、Joint Test Action Group (JTAG) アクセスと、絶縁型ユニバーサル・シリアル・バス (USB) - ユニバーサル非同期レシーバ/トランスミッタ (UART) インターフェイスを提供し、起動とデバッグを簡素化します。アプリケーションを保存するには、オンボードのマイクロ・セキュア・デジタル (SD) カード・コネクタ、NOR フラッシュ、または eMMC をモジュールに使用します。ブート・モード・スイッチを使用すると、どのペリフェラルから起動するかを選択できます。

2.3 主な使用製品

2.3.1 AM6442 マイクロプロセッサ

AM6442 マイクロプロセッサには、最大 1.0GHz で動作するデュアル 64 ビット Arm Cortex-A53 マイクロプロセッサ・サブシステムが搭載されています。また、AM6442 には 2 つのデュアル・コア Arm Cortex-R5F MCU が搭載されており、産業用イーサネット・ソフトウェア・スタック、イーサネット・パケット・スイッチング、モーター制御などのリアルタイム処理タスクを実行するために、最大 800MHz で動作できます。AM6442 は 2 つのギガビット産業用通信サブシステム (PRU-ICSSG) もサポートしており、最大 4 つの物理ギガビット・イーサネット・ポートをサポートできます。内蔵イーサネット・スイッチ (CPSW3G) は、2 つの追加ギガビット・イーサネット・ポートをサポートします。

AM6442 は、USB 3.1 デュアルロール・デバイス (DRD)、LPDDR4、DDR4 メモリなどの高速インターフェイスと、ECC、セキュリティ機能、メディアおよびデータ・ストレージ、一般的な接続機能をサポートしています。

このリファレンス・デザインでは、メーカーの TQ のシステム・オン・モジュール (SOM) TQMa64xxL を使用しています。これには、AM6442 MPU、パワー・マネージメント、LPDDR4 メモリ、eMMC NAND フラッシュ、クロック生成、EEPROM などの必要な部品がすべて搭載されています。詳細な技術情報については、SOM データシートを参照してください。

2.3.2 DP83867 ギガビット・イーサネット物理トランシーバ

DP83867 は堅牢で低消費電力の、必要な機能がすべて揃った物理層トランシーバ (PHY) で、物理メディア依存 (PMD) サブレイヤを内蔵しており、10BASE-Te、100BASE-TX、1000BASE-T の各イーサネット・プロトコルをサポートしています。このデバイスは、10/100/1000Mbps のイーサネット LAN を簡単に実装できるよう設計されています。外部の変圧器を通して、ツイスト・ペアのメディアへ直接接続が可能です。このデバイスは、IEEE 802.3 標準 Media Independent Interface (MII)、IEEE 802.3 Gigabit Media Independent Interface (GMII)、または Reduced GMII (RGMII) により、メディア・アクセス・コントローラ (MAC) 層へ直接接続されます。このリファレンス・デザインでは、MAC と PHY の間の接続に RGMII インターフェイスを使用しています。

2.3.3 DP83TD510E シングル・ペア・イーサネット物理トランシーバ

DP83TD510E は、IEEE 802.3cg 10Base-T1L 仕様に準拠した超低消費電力イーサネット物理層トランシーバです。PHY は非常に低ノイズのカップリング・レシーバ・アーキテクチャを採用しており、長いケーブルの到達距離と非常に低い消費電力を実現します。この PHY は、2000m を超える長いケーブルの到達距離をサポートしています。DP83TD510E は、本質安全要件をサポートするために、外部 MDI 終端を備えています。このデバイスは、MII、Reduced MII (RMII)、RGMII、RMII Low Power 5MHz マスタ・モードを介して、MAC レイヤと接続します。このリファレンス・デザインでは、MAC と PHY の間の接続に RGMII インターフェイスを使用しています。

2.3.4 MSPM0G1107 マイクロコントローラ

MSPM0G1107 マイクロコントローラ (MCU) は、最大 80MHz の周波数で動作する拡張 Arm Cortex-M0+ 32 ビット・コア・プラットフォームに基づく高集積超低消費電力 32 ビット MSP MCU ファミリの一部です。コスト最適化されたこれらの MCU は高性能アナログ・ペリフェラルを統合しており、-40°C~105°C の拡張温度範囲をサポートしており、1.62V~3.6V の電源電圧で動作します。MSPM0G110x デバイスは、エラー訂正コード (ECC) を備えた最大 128KB の組み込みフラッシュ・プログラム・メモリと、ECC およびハードウェア・パリティ・オプションを備えた最大 32KB の SRAM を内蔵していません。

このリファレンス・デザインでは、MSPM0G1107 を使用してシリアル通信分類プロトコル (SCCP) を処理します。これは、給電側機器 (PSE) の役割を果たすデータ・ライン経由の電力供給 (PoDL) 通信の一部です。

2.3.5 LMK1C1106 6 チャネル出力、LVCMOS 1.8V バッファ

LMK1C110x は、高性能、低スキューのモジュール式汎用クロック・バッファ・ファミリです。ファミリのすべての製品は、小さい付加ジッタ、小さいスキュー、広い動作温度範囲などの高い性能を共有しています。LMK1C110x は、1G が LOW になると出力を LOW 状態に切り換える同期出力イネーブル制御 (1G) をサポートしています。

このリファレンス・デザインでは、このクロック・バッファは 5 つのイーサネット PHY に 5 つの 25MHz 周波数を供給します。

2.3.6 LMK6C 低ジッタ、高性能のバルク弾性波 (BAW) 固定周波数 LVCMOS 発振器

LMK6C は、低ジッタ、高性能のバルク弾性波 (BAW) 固定周波数 LVCMOS 発振器です。このデバイスの高性能クロック供給、機械的安定性、フレキシビリティ、小型パッケージの選択肢は、産業用アプリケーションのリファレンスおよびコア・クロック向けに設計されています。

このリファレンス・デザインでは、25MHz の BAW 発振器を使用してクロック・バッファにクロック源を供給し、5 つのイーサネット PHY にクロックを供給します。

2.3.7 TLVM13630 高密度、3V~36V 入力、1V~6V 出力、3A 降圧パワー・モジュール

TLVM13630 同期整流降圧パワー・モジュールは、パワー MOSFET、シールド付きインダクタ、受動部品を Enhanced HotRod™ QFN パッケージに実装した、高集積 36V、3A DC/DC 設計です。このモジュールは、 V_{IN} と V_{OUT} のピンをパッケージの角に配置し、入力および出力コンデンサのレイアウト配置を最適化しています。モジュールの下面には大きな 4 つのサーマル・パッドがあるため、単純なレイアウトが可能で、製造時の扱いも容易です。

このリファレンス・デザインでは、LLVM13630 パワー・モジュールは 5V のシステム電源を生成します。

2.3.8 LM74700-Q1 逆極性保護の理想ダイオード

LM74700-Q1 は、外部の N チャネル MOSFET と組み合わせることで理想ダイオード整流器として動作し、20mV の順方向電圧降下で低損失逆極性保護を実現する理想ダイオード・コントローラです。入力電源電圧範囲が 3.2V~65V と広いので、24V の産業用システムなど多くの一般的な DC バス電圧を制御できます。

このリファレンス・デザインでは、LM74700-Q1 は 24V システム入力電圧の逆極性保護として機能します。

2.3.9 TPS62825A 同期整流降圧 DC/DC コンバータ

TPS6282x は使いやすい同期整流降圧型 DC/DC コンバータ・ファミリであり、静止電流が 4 μ A と非常に小さいのが特長です。このデバイスは DCSCControl トポロジを基礎としており、過渡応答が高速です。内部基準電圧により、最低 0.6V まで出力電圧をレギュレートでき、接合部温度が -40°C~125°C の範囲で 1% の高い帰還電圧精度を維持します。このファミリのデバイスはピン互換および BOM 互換です。設計全体で、小さな 470nH のインダクタ、単一の 4.7 μ F 入力コンデンサ、2 つの 10 μ F 出力コンデンサまたは 1 つの 22 μ F 出力コンデンサしか必要としません。

このリファレンス・デザインでは、2 つの TPS62825A を使用して、3.3V および 1.8V のシステム電源を生成します。

2.3.10 LMR36006 超小型同期整流降圧コンバータ

LMR36006 レギュレータは、使いやすい同期整流降圧 DC/DC コンバータです。ハイサイドとローサイドのパワー MOSFET が内蔵されており、4.2V~60V の広い入力電圧範囲にわたって最大 0.6A の出力電流を供給できます。

このリファレンス・デザインでは、LMR36006 デバイスを使用して、PoDL サブシステム用に 6.5V を生成します。

2.3.11 TLV62568A 強制 PWM 搭載、高効率降圧型コンバータ

TLV62568A デバイスは、同期整流降圧型 DC/DC コンバータで、高効率と小型の設計向けに最適化されています。このデバイスには、最大 2A の出力電流を供給できるスイッチが内蔵されています。負荷範囲の全体にわたって、スイッチング周波数 1.5MHz のパルス幅変調 (PWM) モードで動作します。シャットダウン時には、消費電流が 2 μ A 未満に減少します。

このリファレンス・デザインでは、2 つの TLV62568A デバイスが DP83867 イーサネット PHY 電源用に 2.5V と 1.0V を生成します。

3 システム設計理論

このセクションでは、リファレンス・デザインのさまざまな機能セクションについて詳しく説明します。図 3-1 に、サブセクションで説明するブロックを示します。

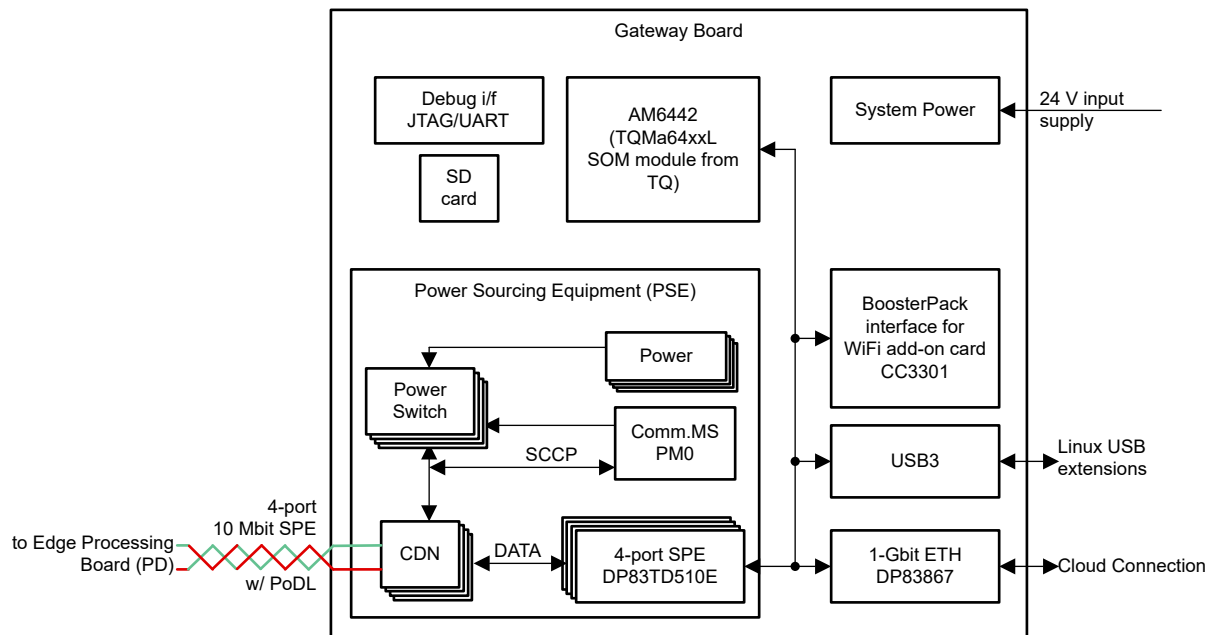


図 3-1. システム・ブロック図

3.1 電源サブシステム

このセクションでは、リファレンス・デザインの電源サブシステムについて詳しく説明します。電源ツリーを、[図 3-2](#) に示します。

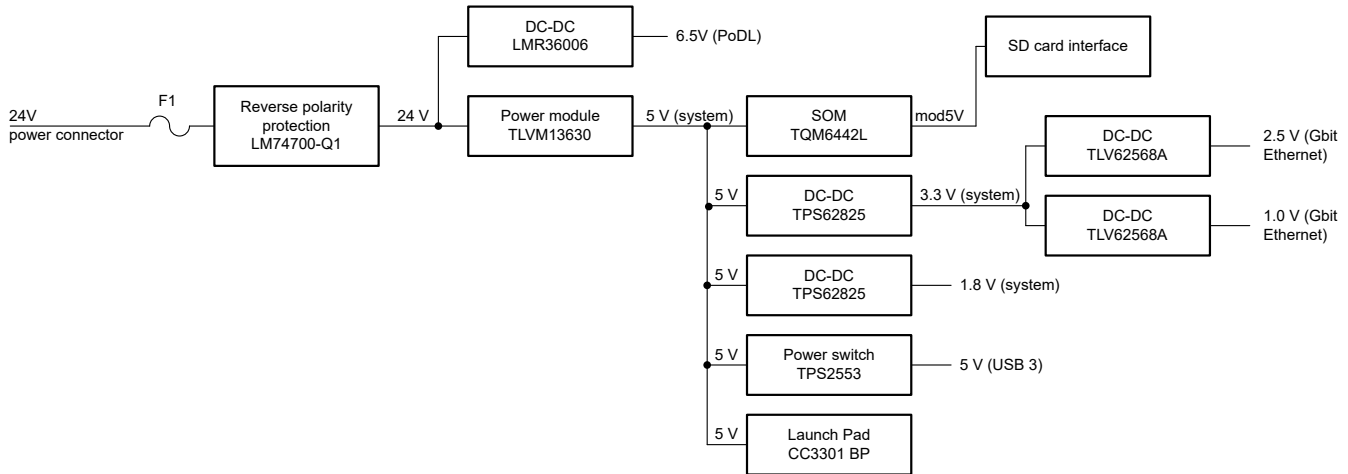


図 3-2. ゲートウェイ・ボードの電源ツリー

このリファレンス・デザインの公称入力電圧は 24V で、ボードの主電源コネクタから供給されます。ヒューズ F1 は、2A を超える過電流から設計を保護します。その後、LM74700-Q1 は適切な印加電圧極性を提供し、逆極性保護を確保します。次の 24V は DC/DC コントローラに供給され、必要な電源電圧が生成されます。

6.5V 電圧電源レールは、超小型同期整流 DC/DC コントローラ LMR36006 によって 24V 電源から生成されます。6.5V レールは、データ・ライン経由の電力供給 (PoDL) サブシステムで使用されます。

5V 電圧電源レールは、24V 電源の高密度 TLVM13630 内蔵パワー・モジュールによって生成されます。5V を使用して、AM6442 プロセッサ、PMIC、DDR LP メモリを含む TQMa6442L システム・オン・モジュール (SOM) に電力を供給します。さらに、このリファレンス・デザインでは 5V から追加の DC/DC コンバータに電力を供給します。また、このレールは、CC3301 Wi-Fi BoosterPack 用の LaunchPad コネクタと、USB 3 コネクタ・インターフェイスに 5V を供給する TPS2553 電源スイッチに 5V 電源を供給します。

3.3V 電圧電源レールは、5V 電源の高精度 TPS62825 DC/DC 降圧コンバータによって生成されます。このリファレンス・デザインでは、3.3V を使用して、DP83TD510E SPE PHY、PoDL サブシステム、UART 通信インターフェイスなどの各種サブシステムに電力を供給します。さらに、3.3V を DC/DC の入力として使用し、ギガビット・イーサネット・サブシステムで追加の電圧を生成します。

1.8V 電圧電源レールは、5V 電源の 2 つ目の高精度 TPS62825 DC/DC 降圧コンバータによって生成されます。このリファレンス・デザインでは、1.8V を使用して各種サブシステムに電力を供給します。

DP83867 イーサネット PHY を搭載したギガビット・イーサネット・サブシステムには、2.5V と 1.0V の正確な電圧が追加が必要です。これら 2 つの電圧は、3.3V 電源レールの高効率 TLV62568A 降圧コンバータによって生成されます。

3.2 AM6442 システム・オン・モジュール・サブシステム

このセクションでは、リファレンス・デザインの AM6442 システム・オン・モジュールについて詳しく説明します。図 3-3 に、システム・オン・モジュール (SOM) のブロック図を示します。

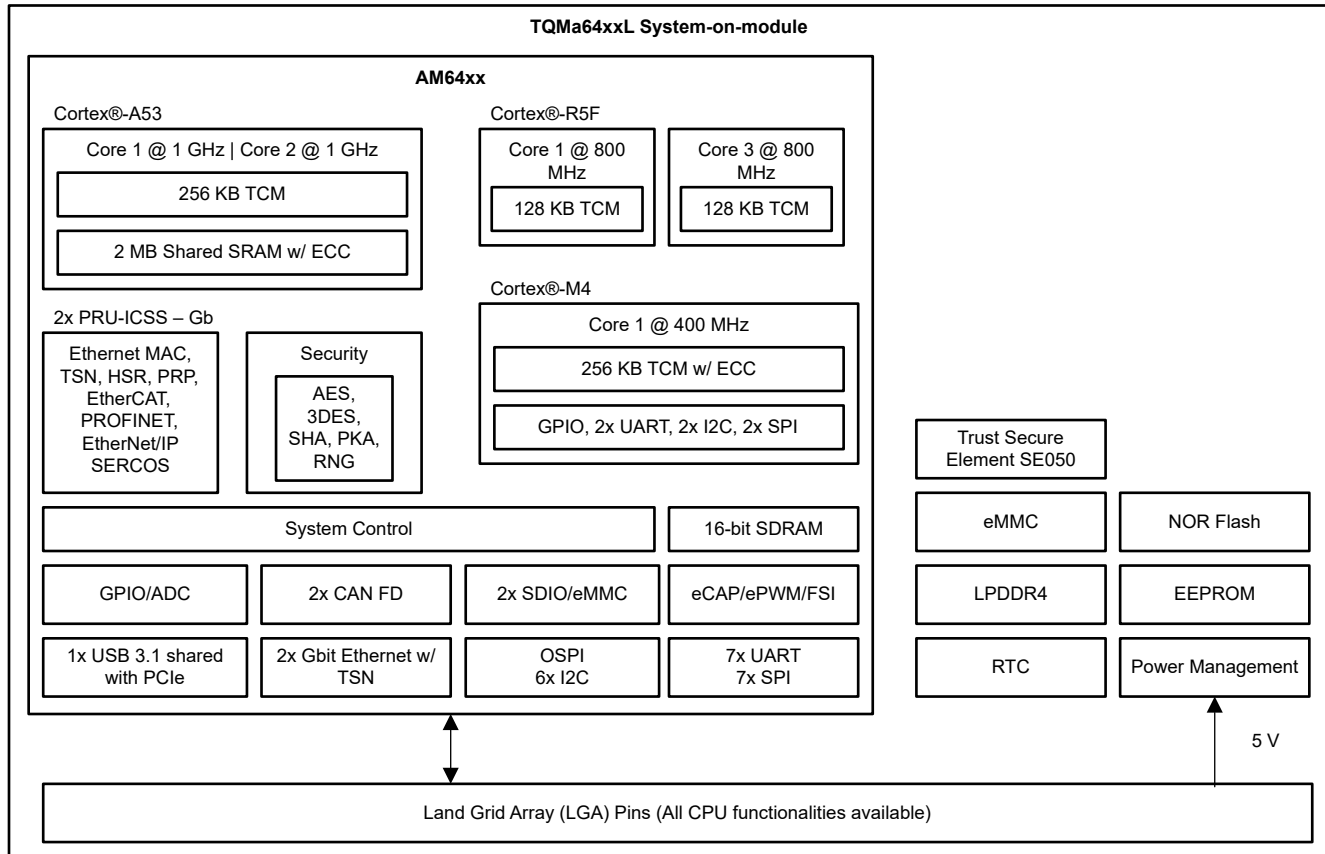


図 3-3. TQMa64xxL システム・オン・モジュールのブロック図

TQMa64xxL 組み込みモジュールは AM64x プロセッサ・ファミリーをベースにしています。このランド・グリッド・アレイ (LGA) モジュールは、1 つのモジュール設計でピン互換プロセッサを使用するように設計されています。このモジュールは、長時間のリアルタイム要件を持つヘッドレス・アプリケーション向けに設計されています。CPU は、リアルタイム・アプリケーションを実現するために、内蔵プログラマブル・リアルタイム・ユニット (PRU) に TSN をサポートする最大 4 つのギガビット・イーサネット・インターフェイスを提供します。さらに、プロセッサには USB 2.0、CAN-FD、UART、SerDes などのさまざまなインターフェイスが搭載されています。

DDR メモリ・インターフェイスやパワー・マネージメントなどのすべての感知可能信号が SOM 内にカプセル化されているため、SOM を使用すると PCB の開発が容易になります。SOM は、キャリア・ボードに直接半田付けされたランド・グリッド・アレイ (LGA) をサポートしています。AM6442 の信号のほとんどは SOM のボールに露出しており、このリファレンス・デザインからアクセスできます (5 つの RGMII インターフェイス、USB 3 インターフェイス、SPI、UART、GPIO など)。

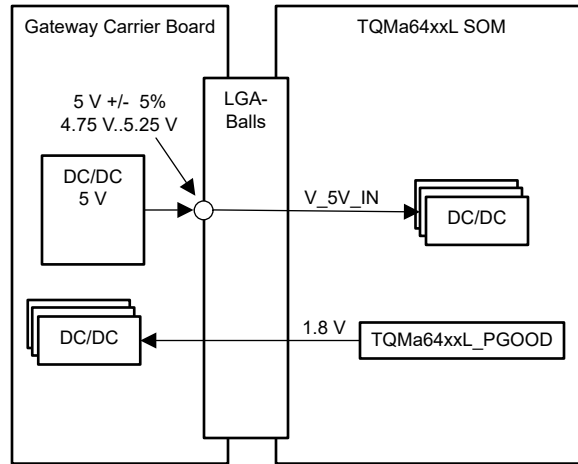


図 3-4. TQMa64xxL 電源ブロック図

SOM の電源には、LGA ボール経由で 5V が必要です。5V 電源は、このリファレンス・デザインの電源サブシステムによって生成されます。SOM をキャリア・ボードに組み込む方法の詳細については、TQ の設計チェックリストを参照してください。

3.3 イーサネット・サブシステム

このリファレンス・デザインには 2 つのイーサネット・サブシステムがあります。一方のサブシステムは 4 つの DP83TD510E イーサネット PHY で構成され、シングル・ペア・イーサネットをサポートします。2 目目のサブシステムは 1 つの DP83867 デバイスを搭載しており、クラウド接続用のギガビット・イーサネットをサポートします。図 3-5 を参照してください。

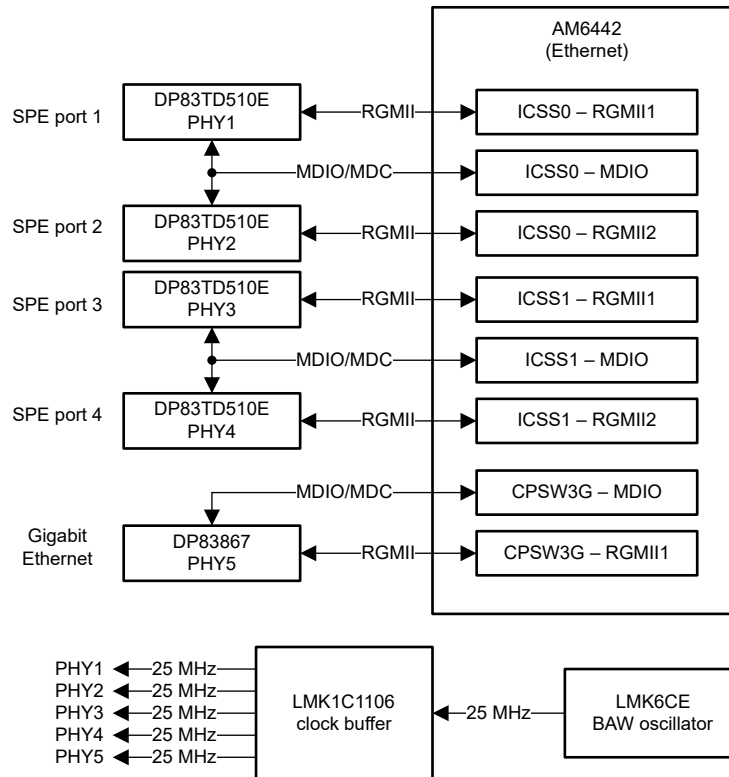


図 3-5. ゲートウェイ・ボードのイーサネット・サブシステムとクロック供給

5 つすべての PHY において、MAC からイーサネット PHY への接続は RGMII です。RGMII は 1000Mbps の速度と 10Mbps の速度に使用できます。MAC により、RGMII クロック・ライン上でイーサネット PHY への適切な速度が実現します。

5 つの MAC は AM6442 マイクロプロセッサに内蔵されています。5 つの MAC のうち 4 つは、産業用通信サブシステム (ICSS) ペリフェラル内にあります。5 つ目の MAC ポートは CPSW ペリフェラル内にあります。どの MAC にも、Linux オペレーティング・システムのネットワーク・インターフェイスとしてアクセスできます。

DP83867 ギガビット・イーサネット PHY は、MDIO アドレス 1 用に構成されています。RGMII インターフェイスは、AM6442 プロセッサの CPSW ペリフェラルに接続されています。DP83867 は、CPSW の MDIO、MDC インターフェイスにも接続されています。ギガビット・イーサネット・ポートは、標準の RJ45 イーサネット・コネクタを使用します。RJ45 コネクタの内部にある 2 つの LED は、PHY のリンクアップおよび送受信アクティビティの状態を示します。

DP83TD510E PHY は MDIO アドレス 0 と 1 を使用するよう構成されています。4 つのイーサネット PHY のうち 2 つが ICSS0 に接続され、他の 2 つのデバイスが ICSS1 に接続されます。2 つの PHY それぞれの MDIO、MDC ラインは、適切な ICSS0 または ICSS1 ペリフェラルに接続されます。SPE ポートには、並行して使用できる 2 つのコネクタ・オプションがあります。Phoenix Contact SPE-T1 コネクタと、Würth Electronics の標準ねじ端子です。各 SPE ポートには 3 つの LED があり、PHY 状態のリンク (短距離および長距離) と、送受信アクティビティを示します。

PHY の MDI パス内で、PoDL が MDI パスに結合されます。

25MHz の BAW 発振器 LMK6CE により、25MHz のクロック源が生成されます。この 25MHz のクロックは、最大 6 出力の LMK1C1106 LCMOS クロック・バッファに供給されます。25MHz の出力は、5 つのイーサネット PHY に接続されています。

3.4 データ・ライン経由の電力供給 (PoDL) サブシステム

このリファレンス・デザインは、『[IEEE 802.3cg](#) または [802.3bu](#) 準拠の PoDL PSE を実装する方法』アプリケーション・ノートに記載されているアプローチに従っています。

3.5 追加のサブシステム

このセクションでは、リファレンス・デザインでサポートされている追加のサブシステムについて詳しく説明します。

3.5.1 USB 3.1 インターフェイス

このリファレンス・デザインは、USB 3.1 Gen1 準拠のインターフェイスをサポートしています。USB ホストとして、このインターフェイスは SuperSpeed (5Gbps)、High Speed (480Mbps)、Full Speed (12Mbps)、Low Speed (1.5Mbps) をサポートしています。デバイスとして、このインターフェイスは High Speed (480Mbps) と Full Speed (12Mbps) をサポートしています。このリファレンス・デザインは、USB 2.0 On-the-Go サポートに限定されています。このリファレンス・デザインでは、VBUS 電源を制御するために、高精度で調整可能な電流制限電力分配スイッチである TPS2553 デバイスを使用しています。イネーブル・ピンは、GPIO 経由で AM64xx USB ドライバによって制御されます。

このリファレンス・デザインでは、USB ポートの ESD およびサージ保護のために、SuperSpeed USB 3.0 インターフェイス用の 4 チャンネル ESD 保護機能である TPD4EUSB30 を使用しています。

3.5.2 Micro SD カード・インターフェイス

このプロセッサ・ボードは、AM6442 プロセッサの MMC1 ポートに接続されたマイクロ・セキュア・デジタル (μSD) カード・インターフェイスを提供します。μSD カード・インターフェイスは、3.3V の IO レベルでの動作を含め、UHS1 の動作をサポートしています。

μSD カードの ESD およびサージ保護には、TPD4S009 デバイスを使用します。これは、高速インターフェイス向けの 4 チャンネル ESD 設計です。

このリファレンス・デザインでは、μSD カードを使用して、外付けのメモリから Linux OS をブートできます。

3.5.3 SimpleLink™ CC3301 Wi-Fi® 6 および Bluetooth® Low Energy BoosterPack™ インターフェイス

このリファレンス・デザインは、外部の CC3301 BoosterPack (BP-CC3301) を接続するための BoosterPack インターフェイスをサポートしています。

3.5.4 AM6442 UART インターフェイス

AM6442 SoC UART0 インターフェイスは、PC と Linux シリアル端末コンソールのインターフェイスを確立するために使用されます。AM6442 UART0 ポートは、UART/USB 機能のために FT232RQ とインターフェイスし、マイクロ B コネクタ (J12) で終端します。付属の USB ケーブルを使用して EVM を PC ホストに接続すると、PC ホストは仮想 COM ポートを確立できます。このポートは、任意の端末エミュレーション・アプリケーションで使用できます。FT332RQ はバス電源供給方式です。FT232RQ 用の仮想 COM ポート・ドライバは、メーカーの Web サイトから入手できます(ftdichip.com/products/ft232rq/)。

4 ハードウェア、ソフトウェア、テスト要件、テスト結果

4.1 ハードウェア要件

4.1.1 ボード・インターフェイス

図 4-1 に、リファレンス・デザインとのインターフェイスに使用する各種コネクタ、スイッチ、ジャンパを示します。

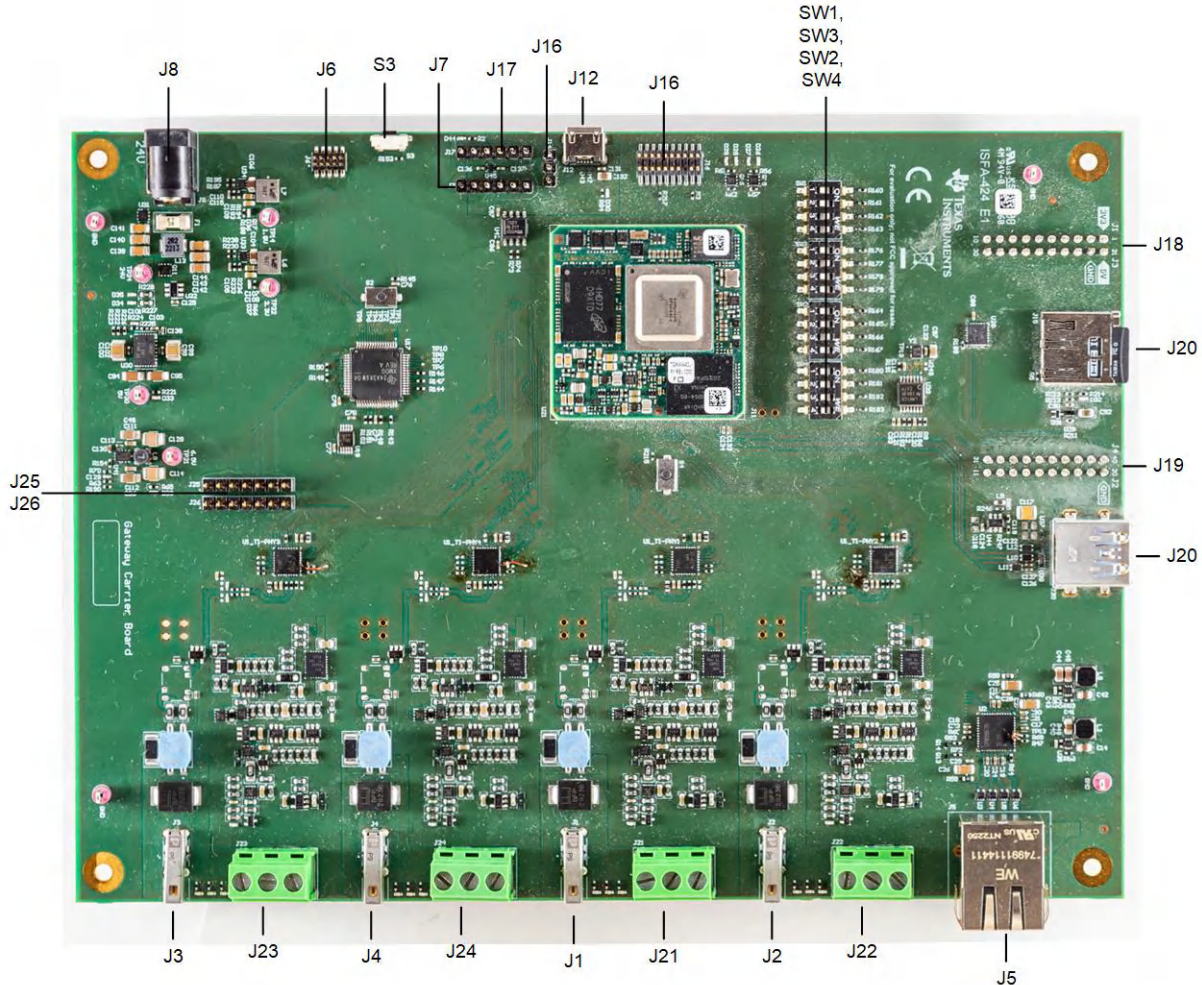


図 4-1. ゲートウェイ・ボード上のインターフェイス

表 4-1. ボード・コネクタ、スイッチ、およびヘッダー

コネクタ	説明
J8	外部 24V 電源
J6	JTAG インターフェイス MSPM0
S3	リセット・ボタン MSPM0
J17	AM6442 の UART0 TXD, RXD インターフェイス
J7	MSPM0 の UART TXD, RXD インターフェイス
J14	ISO7021 の電源セレクタ。FTDI デバイスからの電力を選択するためにジャンパを 1-2 に設定します。回路図を参照してください。
J12	AM6442 の UART0 シリアル・コンソール端末へのマイクロ USB インターフェイス
SW1, SW2, SW3, SW4	AM6442 ブート・モード・スイッチ

表 4-1. ボード・コネクタ、スイッチ、およびヘッダー (continued)

コネクタ	説明
J18, J19	CC3301 Wi-Fi および Bluetooth® BoosterPack プラグイン・モジュール (BP-CC3301) へのインターフェイス
J20	USB 3 Type A コネクタ
J15	μSD カード・スロット
J5	ギガビット RJ45 コネクタ
J16	JTAG インターフェイス AM6442
S4	リセット・ボタン AM6442
J1, J21	シングル・ペア・イーサネット・コネクタ・ポート 1
J2, J22	シングル・ペア・イーサネット・コネクタ・ポート 2
J3, J23	シングル・ペア・イーサネット・コネクタ・ポート 3
J4, J24	シングル・ペア・イーサネット・コネクタ・ポート 4
J25, J26	シングル・ペア・イーサネット・ポート 3 用の PoDL デバッグ・インターフェイス

4.1.1.1 ブート・スイッチの構成

ブート・スイッチ・セレクタ (SW1, SW2, SW3, SW4) を選択したブート・モードに設定します。SD カードからのブートについては、図 4-2 を参照してください。ブート・モードの説明とブート・モードの構成については、AM6442 テクニカル・リファレンス・マニュアルを参照してください。

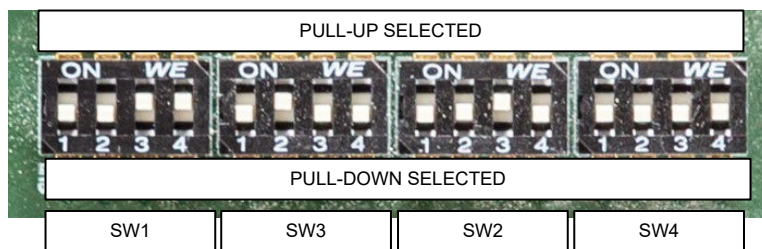


図 4-2. SD カードからブートするための AM6442 ブート・スイッチ構成

4.1.1.2 リファレンス・デザインの起動

リファレンス・デザインを起動するには、次の手順を実行します。

- PC とマイクロ USB コネクタ (J12) を USB ケーブルで接続します。
- シリアル端末 (TeraTerm など) を開き、リファレンス・デザインの USB シリアル・ポートに接続します。シリアル・ポートを 11500baud、8N1 に設定します。
- μSD カード・スロット (J15) に Linux イメージを含む μSD カードを挿入します。
- ベンチ電源を使用して、電源コネクタ (J8) に 24V を供給します。
- 電源が印加されると、リファレンス・ボードは外部の μSD カードから起動します。

24V の電源が印加されると、リファレンス・ボードは外部の μSD カードから起動します。シリアル端末コンソールを使用して、リファレンス・デザインのインターフェイスと制御を行います。

4.2 ソフトウェア要件

4.2.1 PoDL PSE プロトコル・プログラミング

エッジ処理ボードなどの受電側 (PD) とのデータ・ライン経由の電力供給通信を有効にするため、MSPM0 (U17) は PoDL 給電側機器 (PSE) ソフトウェアでプログラムする必要があります。MSPM0 プログラミング・ツールを使用して、PoDL-PDE アプリケーション・バイナリを MSPM0 にフラッシュします。PoDL 通信を有効にするには、プログラミングを 1 回適用する必要があります。

4.2.2 U-Boot と Linux を含む SD カード・イメージの作成

U-Boot は Linux イメージをロードするブートローダです。Linux SD カード・イメージは通常、両方のイメージを 1 枚のカードに保持します。

μSD カード用のゲートウェイ Linux イメージを取得します。SD カード・イメージの作成方法については、[SDK ユーザーガイド](#)に従ってください。

4.3 テスト構成と手順

リファレンス・デザインを起動するには、次の手順を実行します。

- PC とマイクロ USB コネクタ (J12) を USB ケーブルで接続します。
- シリアル端末 (TeraTerm など) を開き、リファレンス・デザインの USB シリアル・ポートに接続します。シリアル・ポートを 11500baud、8N1 に設定します。
- μSD カード・スロット (J15) に Linux イメージを含む μSD カードを挿入します。
- RJ45 コネクタ (J5) とネットワーク・イーサネット・スイッチをイーサネット・ケーブルで接続します (オプションの手順)。
- ベンチ電源を使用して、電源コネクタ (J8) に 24V を供給します。
- 電源が印加されると、リファレンス・ボードは外部の μSD カードから起動します。

J8 に 24V の電源が印加されると、リファレンス・ボードは外部の μSD カードから起動します。シリアル端末コンソールを使用して、リファレンス・デザインのインターフェイスと制御を行います。

図 4-3 に、Linux コンソールのブート・プロンプトを示します。

```

sion=32)
[ OK ] Finished Remove Stale Onliàext4 Metadata Check Snapshots.
[ OK ] Finished Load/Save Random Seed.
[ OK ] Started User Login Management.
[ 9.338198 ] icssg-prueth icssg1-eth: port 1: using random MAC addr: 56:e9:0d:
76:85:d4
[ 9.375181 ] icssg-prueth icssg1-eth: port 2: using random MAC addr: 8a:68:ff:
ec:8e:b8
[ 9.457859 ] TI DP83TD510E 300b2400.mdio:00: attached PHY driver [TI DP83TD510
E] (mii_bus:phy_addr=300b2400.mdio:00, irq=POLL)
[ 9.559941 ] TI DP83TD510E 300b2400.mdio:01: attached PHY driver [TI DP83TD510
E] (mii_bus:phy_addr=300b2400.mdio:01, irq=POLL)
[ 9.648320 ] icssg-prueth icssg1-eth: TI PRU ethernet driver initialized: dual
EMAC mode
[ OK ] Found device /sys/subsystem/net/devices/eth0.
[ 9.674569 ] icssg-prueth icssg0-eth: port 1: using random MAC addr: ce:1c:dd:
7a:57:58
[ OK ] Started ifup for eth0.
[ 9.728402 ] icssg-prueth icssg0-eth: port 2: using random MAC addr: 0a:32:3c:
2f:51:9d
[ 9.765383 ] TI DP83TD510E 30032400.mdio:00: attached PHY driver [TI DP83TD510
E] (mii_bus:phy_addr=30032400.mdio:00, irq=POLL)
[ 9.793779 ] TI DP83TD510E 30032400.mdio:01: attached PHY driver [TI DP83TD510
E] (mii_bus:phy_addr=30032400.mdio:01, irq=POLL)
[ 9.805933 ] icssg-prueth icssg0-eth: TI PRU ethernet driver initialized: dual
EMAC mode
[ 10.216847 ] am65-cpsw-nuss 8000000.ethernet eth0: PHY [8000f00.mdio:00] drive
r [TI DP83867] (irq=POLL)
[ 10.231196 ] am65-cpsw-nuss 8000000.ethernet eth0: configuring for phy/rgmii-r
xid link mode
[ OK ] Finished Helper to synchronize boot up for ifupdown.
[ 12.282932 ] am65-cpsw-nuss 8000000.ethernet eth0: Link is Up - 100Mbps/Full -
flow control rx/tx
[ 12.291780 ] IPo6: ADDRCONF(NETDEV_CHANGE): eth0: link becomes ready
[ OK ] Finished Raise network interfaces.
[ OK ] Reached target Network.
[ OK ] Reached target Network is Online.
Starting containerd container runtime...
Starting OpenBSD Secure Shell server...
Starting Permit User Sessions...
[ OK ] Finished Permit User Sessions.
[ OK ] Started Getty on tty1.
[ OK ] Started Serial Getty on ttyS2.
[ OK ] Reached target Login Prompts.
[ OK ] Started OpenBSD Secure Shell server.
[ OK ] Started containerd container runtime.
Starting Docker Application Container Engine...

Debian GNU/Linux 11 am64-gateway-sd ttyS2
am64-gateway-sd login:

```

図 4-3. ブート後の Linux コンソール

5 設計とドキュメントのサポート

5.1 設計ファイル

5.1.1 回路図

回路図をダウンロードするには、[TIDA-010262](#) の設計ファイルを参照してください。

5.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-010262](#) の設計ファイルを参照してください。

5.2 ドキュメントのサポート

1. テキサス・インスツルメンツ、『[AM64x Sitara™ プロセッサ](#)』データシート
2. テキサス・インスツルメンツ、『[DP83TD510E 超低消費電力 802.3cg 10Base-T1L 10M シングルペア・イーサネット PHY](#)』データシート
3. テキサス・インスツルメンツ、『[DP83867E/IS/CS 堅牢で耐性の高い小型 10/100/1000 イーサネット物理層トランシーバ](#)』データシート
4. テキサス・インスツルメンツ、『[MSPM0G110x ミックスド・シグナル・マイクロコントローラ](#)』データシート

5.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

5.4 商標

TI E2E™, BoosterPack™, LaunchPad™, and HotRod™ SimpleLink™ are trademarks of Texas Instruments.

Linux® is a registered trademark of Linus Torvalds.

Arm® and Cortex® are registered trademarks of Arm Limited.

Wi-Fi® is a registered trademark of Wi-Fi Alliance.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

すべての商標は、それぞれの所有者に帰属します。

6 著者について

THOMAS MAUER: Thomas Mauer はテキサス・インスツルメンツ (フライジング) のファクトリ・オートメーションおよび制御チームのシステム・エンジニアです。産業分野向けのリファレンス・デザイン・ソリューションの開発を担当しています。Thomas は、産業用イーサネットやフィールドバスなどの産業用通信と産業用アプリケーションにおける豊富な経験をこの役職に活かしています。Thomas は、ドイツのヴィースバーデンにある応用科学大学で電気工学の学位 (Dipl.Ing.(FH)) を取得しました。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated