

Design Guide: TIDA-060043

56G リタイマ QSFP-DD MCB のリファレンス・デザイン



概要

このリファレンス・デザインでは、56G PAM-4 リタイマ DS560DF410 を使用して、アクティブな電気ケーブル・アプリケーションで高速信号をイコライズする方法を示します。このデザインはモジュール・コンプライアンス・ボード (MCB) であり、信号を QSFP-DD コネクタからリタイマを介して入力と出力の両方の方向で SMA と MXP のコネクタにルーティングします。

リソース

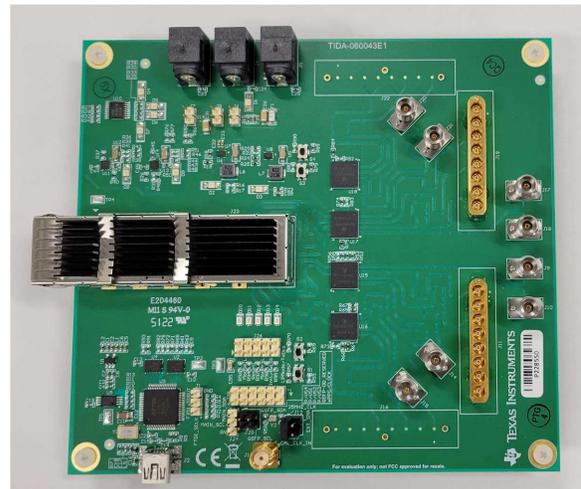
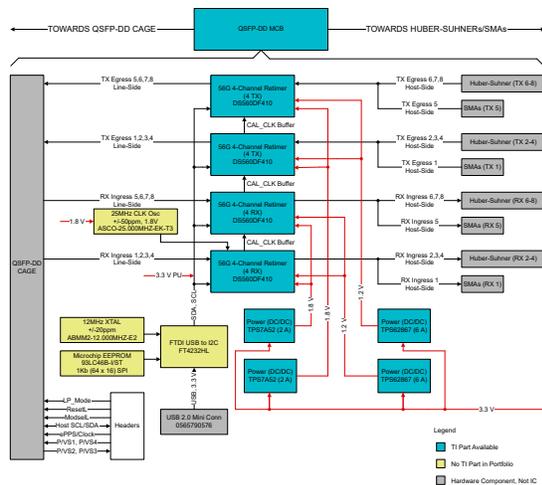
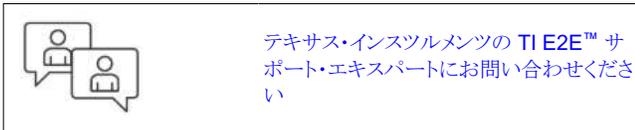
TIDA-060043	デザイン・フォルダ
DS560DF410	プロダクト・フォルダ
TPS62867	プロダクト・フォルダ
TPS7A52	プロダクト・フォルダ
TLV702	プロダクト・フォルダ
TXB0108	プロダクト・フォルダ

特長

- 各方向に 8 つの独立したチャンネル
- QSFP-DD ケーブルの互換性、入力と出力の両方に対応
- ホスト側の Huber-Suhner と SMA の互換性、入力と出力の両方に対応
- EEPROM (電氣的に消去可能なプログラマブル読み取り専用メモリ) または USB-to-I2C 通信により構成可能
- 関連するすべてのデバッグ用および構成ピンの制御および割り込み用のヘッダー
- 3.3V → {1.8V、1.2V} ドメイン用のオンボードの電力レギュレーション

アプリケーション

- データ・センター向けスイッチ
- キャンパス / 分岐スイッチ
- エッジ・ルータ
- コア・ルーター



1 システムの説明

TIDA-060043 リファレンス・デザインは、56G リタイマのフロント・ポート・アプリケーションを説明します。このデザインは、DS560DF410 をフロント・ポート・アプリケーションに実装する方法に関するリファレンスを提供し、フロント・ポート・アプリケーションで DS560DF410 をテストすることもできます。

このリファレンス・デザインは、以下の IEEE 802.3 仕様をテストするために使用できます。

- 第 136 項: 物理メディア依存 (PMD) サブレイヤおよびベースバンド・メディア、タイプ 50GBASE-CR、100GBASE-CR2、200GBASE-CR4
- 第 92 項: 物理メディア依存 (PMD) サブレイヤおよびベースバンド・メディア、タイプ 100GBASE-CR4
- 付属書 136A: 50GBASE-CR、100GBASE-CR2、200GBASE-CR4 の TP0 および TP5 テストのポイント・パラメータとチャネル特性
- 付属書 120E: チップ・ツー・モジュール 200Gbps 4 レーン・アタッチメント・ユニット・インターフェイス (200GAUI-4 C2M) および 400Gbps 8 レーン・アタッチメント・ユニット・インターフェイス (400GAUI-8 C2M)

2 システム概要

2.1 ブロック図

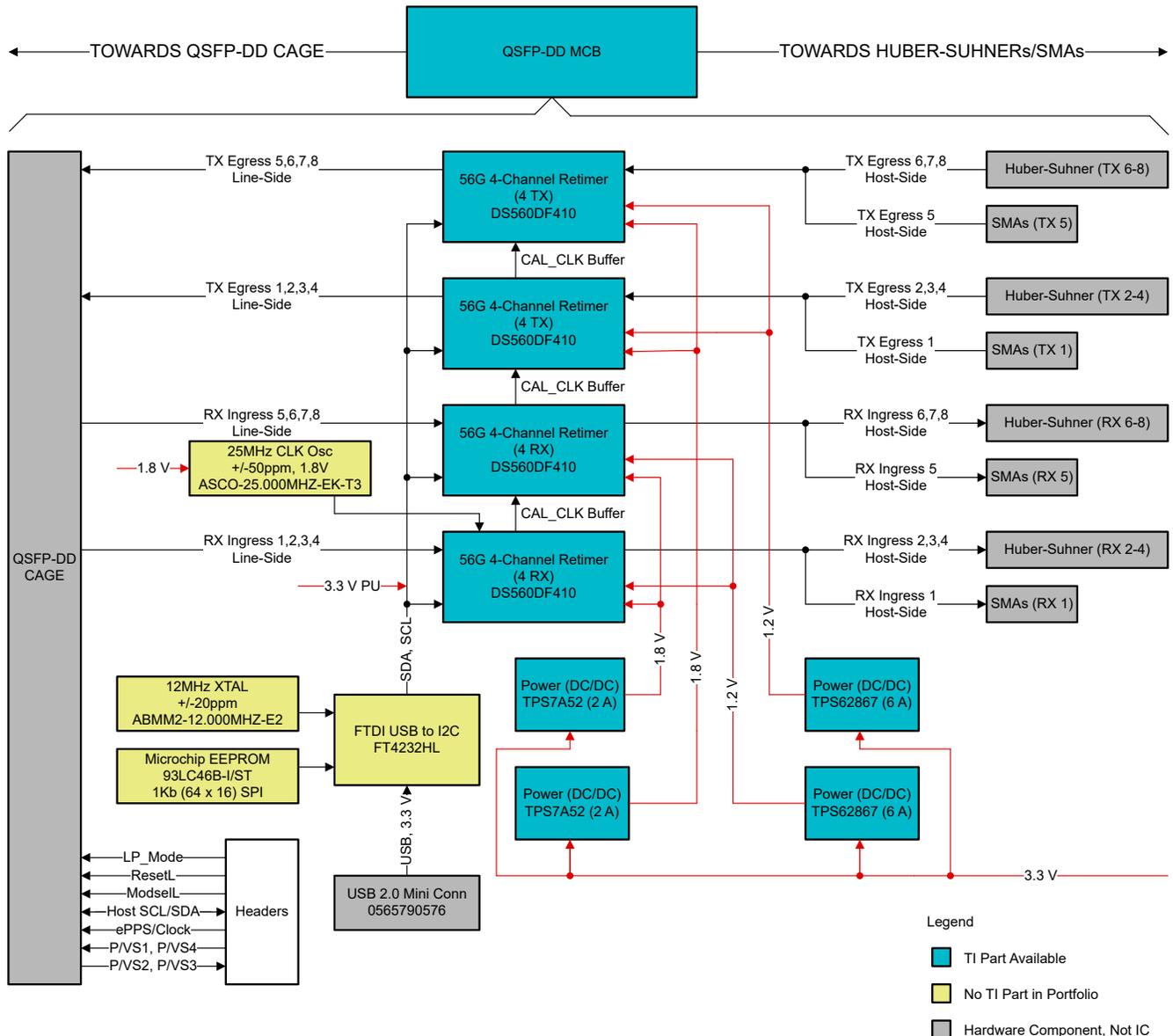


図 2-1. TIDA-060043 のブロック図

2.2 設計上の考慮事項

2.2.1 コネクタ

MXP コネクタは、高速テストおよび評価装置で一般的に使用されています。テキサス・インスツルメンツは、25G/28G および 56G イーサネットのシグナル・コンディショニング・デバイス EVM で MXP コネクタを使用しています。このため、MCB とのインターフェイスとして MXP コネクタも選ばれました。各 MCB には 4 つの DS560DF410 デバイスがあります。2 つのデバイスが入力を処理し、2 つのデバイスが出力を処理します。各デバイスについて、3 つのチャンネルが MXP コネクタに、1 つのチャンネルが SMA コネクタにルーティングされます。SMA コネクタは、MXP ケーブル・アセンブリの入手に問題がある場合に柔軟性を提供するために追加されました。

2.2.2 高速トレース

高速トレース・レイアウトは、高速設計において重要な要素です。MCB の設計時には、『[DS560DF410 56Gbps マルチレート 4 チャンネル・リタイマ、クロスポイント付き](#)』データシートのレイアウトに関する推奨事項に従いました。これにより、優れた高速性能が得られます。さらに、製造前にレイアウトの性能に対する信頼性を高めるために、高速トレースのボード・レベルのシミュレーションが実行されました。

2.2.3 パワー・レール

ボードには 3.3V が供給されますが、DS560DF410 リタイマは 1.8V および 1.2V のドメインで動作します。DS560DF410EVM の設計と同様に、3.3V から 1.8V への変換は TPS7A52 で行われ、3.3V から 1.2V への変換は TPS62867 で行われます。どちらの DC/DC 変換も、各レギュレータの設計ガイドラインに従って実行されます。

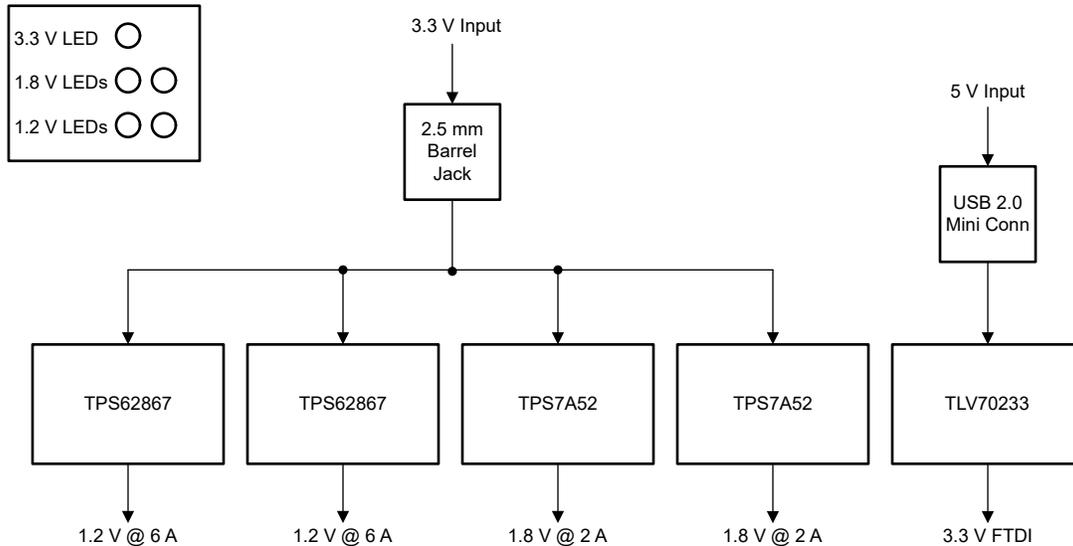


図 2-2. TIDA-060043 パワー・ツリー

2.3 主な使用製品

TIDA-060043	デザイン・フォルダ
DS560DF410	プロダクト・フォルダ
TPS62867	プロダクト・フォルダ
TPS7A52	プロダクト・フォルダ
TLV702	プロダクト・フォルダ
TXB0108	プロダクト・フォルダ

2.3.1 DS560DF410

DS560DF410 は、信号コンディショニング機能を備えた 4 チャンネル、マルチレート・リタイマです。本デバイスは、長く、損失が大きく、クロストークの影響を受ける高速シリアル・リンクの到達距離を伸ばし堅牢性を高めます。DS560DF410 の各チャンネルは無関係に、19.6~28.9GBd の連続した範囲のシンボル・レート (PAM4 および NRZ) またはサポートされている任意のサブレートにロックします。内蔵の CDR 機能は、フロントポート光学モジュール・アプリケーション向けに設計されており、ジッタ・バジェットをリセットし、高速シリアル・データをリタイムします。これらの機能により、個別のレーンの前方誤り訂正 (FEC) パススルーが可能です。また、DS560DF410 は CDR ロックのための自動レーン・レート・スイッチングをサポートしており、ホストの介入なしに、最大 5 種類のボーレートと変調タイプの組み合わせを使用できます。DS560DF410 の先進のイコライゼーション機能には、連続的に適応できる連続時間リニア・イコライザ (CTLE)、RX フィードフォワード・イコライザ (FFE)、判定帰還型イコライザ (DFE)、プログラム可能な低ジッタの 4 タップ TX フィードフォワード・イコライザ (FFE) フィルタがあります。これらの機能により、直接接続銅 (DAC) ケーブルや、複数のコネクタとクロストークを持つバックプレーンなど、損失の多い相互接続の到達範囲を延長できます。

2.3.2 TPS62867

TPS62865 および TPS62867 は、高効率で柔軟性が高く高電力密度の設計を実現する高周波数同期整流降圧コンバータです。中負荷から重負荷では PWM モードで動作し、軽負荷時には自動的にパワーセーブ・モードへ移行するので、負荷電流の全範囲にわたって高効率が維持されます。このデバイスは、強制的に PWM モードで動作させ、出力電圧リップルを最小化することもできます。DCS-Control アーキテクチャと相まって、優れた負荷過渡性能と厳格な出力電圧精度を実現します。このデバイスは、パワー・グッド信号と、内部のソフトスタート回路を備えています。100% モードで動作可能です。フォルト保護としては、ヒックアップ短絡保護機能と、サーマル・シャットダウンが内蔵されています。

2.3.3 TPS7A52

TPS7A52 は低ノイズ ($4.4\mu\text{V}_{\text{RMS}}$)、超低ドロップアウトのリニア・レギュレータ (LDO) で、2A を供給でき、ドロップアウトは最大でわずか 65mV です。デバイスの出力電圧は、外付けの分圧抵抗によって 0.8V~5.2V の範囲で調整可能です。

ASIC (Application-Specific Integrated Circuit)、FPGA (Field-Programmable Gate Array)、DSP (Digital Signal Processor) などのデジタル負荷で低入力電圧、低出力電圧 (LILO) の動作を必要とする場合、TPS7A52 の非常に優れた精度 (負荷および温度範囲にわたって誤差 0.5%)、リモート・センシング、優れた過渡性能、ソフトスタート機能を活用することで優れたシステム性能を実現できます。

2.3.4 TLV702

TLV702 シリーズの低ドロップアウト (LDO) リニア・レギュレータは、静止電流が小さく、ラインおよび負荷過渡性能が非常に優れています。これらの LDO は、低消費電力が求められる用途向けに設計されています。高精度のバンドギャップとエラー・アンプにより、全体で 2% の精度を実現しています。低出力ノイズ、非常に高い電源電圧変動除去比 (PSRR)、低いドロップアウト電圧を特長とする本シリーズのデバイスは、多種多様なバッテリー駆動式の携帯機器に対して優れた選択肢になります。どのバージョンのデバイスも、安全のためにサーマル・シャットダウン機能と電流制限機能を搭載しています。

2.3.5 TXB0108

この 8 ビット非反転トランスレータは、設定可能な 2 本の独立した電源レールを使用します。A ポートは V_{CCA} に追従するように設計されています。 V_{CCA} には 1.2V~3.6V の電源電圧を供給できます。B ポートは V_{CCB} に追従するように設計されています。 V_{CCB} には 1.65V~5.5V の電源電圧を供給できます。このため 1.2V、1.5V、1.8V、2.5V、3.3V、5V の任意の電圧ノード間で、低電圧の双方向変換を自在に行うことが可能になります。 V_{CCA} が V_{CCB} を上回ることはできません。

3 ハードウェア、ソフトウェア、テスト要件、テスト結果

3.1 ハードウェア要件

3.1.1 TX 出力アイ・テスト

TX 出力アイ・テストを実行するには、以下のハードウェアが必要です。

- TIDA-060043 MCB ボード (数量 1)
- ML4020-MXP または代替の QSFP-to-SMA ブレークアウト HCB ボード (数量 1)
- BERT または代替の PRBS ジェネレータ (数量 1)
- DCA-X サンプリング・オシロスコープ (数量 1)
- Latte ソフトウェアを搭載した PC (数量 1)
- 3.3V 対応電源 (数量 1)
- MXP40 1 × 8 コネクタ (数量 2)
- 高速 SMA ケーブル (数量 4)
- USB2.0 ミニ高速ケーブル (数量 1)
- バナナジャックから 2.5mm バレルジャックへの電源リード線 (数量 1)

3.1.2 RX リンク・テスト

RX リンク・テストを実行するには、以下のハードウェアが必要です。

- TIDA-060043 MCB ボード (数量 2)
- BERT または代替の PRBS ジェネレータ (数量 1)
- Latte ソフトウェアを搭載した PC (数量 1)
- 3.3V 対応電源 (数量 2)
- MXP40 1 × 8 コネクタ (数量 1)
- 1 メートル 28 AWG QSFP Molex パッシブ・ケーブルまたは代替の QSFP パッシブ・ケーブル (数量 1)
- 高速 SMA ケーブル (数量 2)
- USB2.0 ミニ高速ケーブル (数量 1)
- バナナジャックから 2.5mm バレルジャックへの電源リード線 (数量 2)

3.2 ソフトウェア要件

このリファレンス・デザインが対象としている一般的なデバイス構成の多くは、テキサス・インスツルメンツが開発した **Latte** と呼ばれる GUI を使用して構成を行う必要があります。このソフトウェアは、TX 出力アイ・テストと RX リンク・テストを実行するために必要です。Latte の最新バージョンは、テキサス・インスツルメンツの **Web** サイトからリクエストすることでダウンロードできます。ユーザーがダウンロードして実行する必要があるインストール・ファイルは、**Latte** フレームワーク・インストーラ・ファイルと **Latte** ライブラリ・アップデートの 2 つです。これが書かれている時点で、最新の **Latte** インストール・ファイルは次のとおりです。

- メイン・インストーラ: TI-DS560-Latte_vXpX.exe
- ライブラリ・アップデート: TI-DS560Lib_vXpX.exe

Latte のソフトウェアのインストール手順、機能の概要、初期化手順の詳細については、『**DS560DF810 EVM ユーザー・ガイド**』のソフトウェアの説明セクションを参照してください。このリファレンス・デザインは、DS560EVM と同様の初期化手順に従いますが、次のような重要な違いがあります。

- devinit.py ファイルで、デバイス・アドレスを MCB 上のターゲット・デバイスに対応するように変更します。

3.3 テスト設定

3.3.1 TX 出力アイ・テスト

この手順では、TIDA-060043 MCB ボード上のリタイマ U15 チャンネル 2 を通過する 26.5625Gb/s PAM-4 PRBS13Q データの TX 出力アイを測定する方法を具体的に説明します。

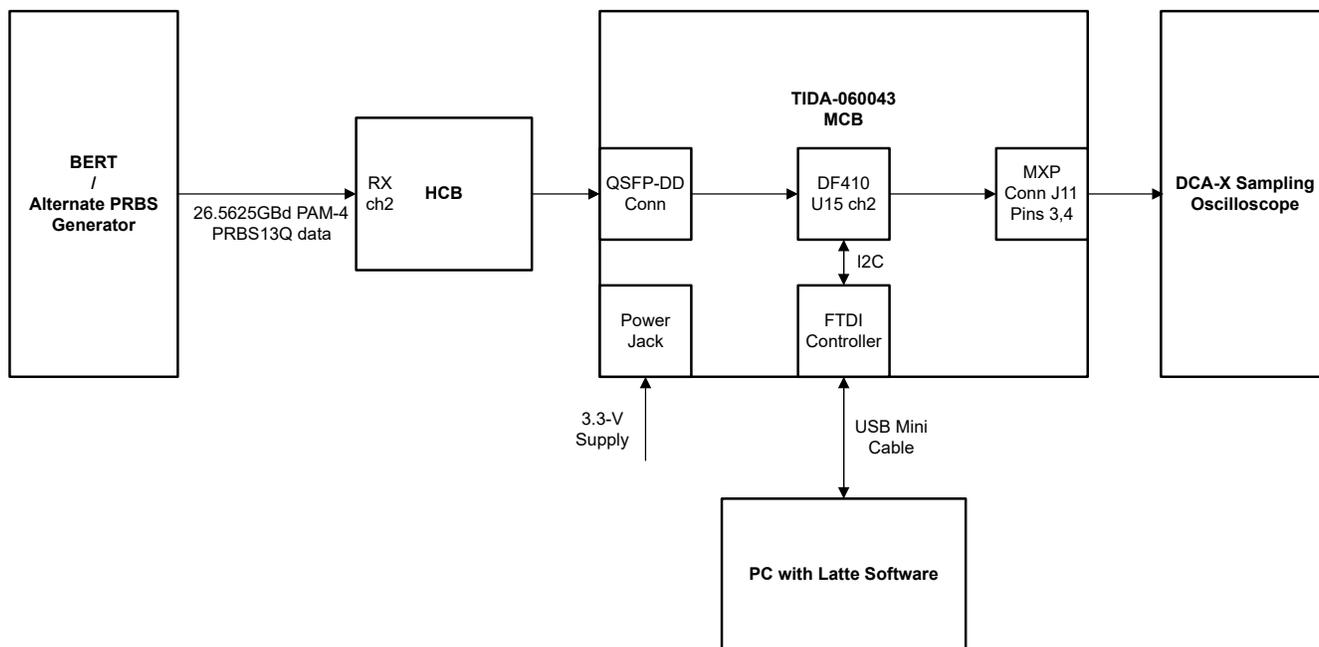


図 3-1. TX 出力アイ・テストの設定

- HCB ブレークアウト・ボードを TIDA-060043 の QSFP-DD ポート (J27) に接続します。MXP40 コネクタを TIDA-060043 の J11 と RX 信号用のラベルが付いた HCB のポートに接続します。
- SMA ケーブルを使用して、HCB の RX チャンネル 2 を BERT 出力に接続し、TIDA-060043 の J11 ピン 3、4 を DCA-X サンプルング・オシロスコープの入力に接続します。
- USB 2.0 ミニ・ケーブルを使用して、PC を TIDA-060043 の USB ポート (J2) に接続します。
- 電源リード線を使用して、電源を TIDA-060043 の +3.3V バレル・ジャック (J3) に接続します。ボードに 3.3V を供給します。
- 26.5625Gb/s PAM-4 PRBS13Q データを出力するように BERT を構成します。
- PC で Latte を開き、`setup.py` を実行します。「`setupInfo = 0`」および「`devIdentifier = 1`」であることを確認します。
- `devinit.py` を実行します。79 行目で「`device.slaveAddr = 0x18`」であることを確認します。このアドレスは TIDA-060043 のリタイマ U15 に対応しています。
- Q0CH2 で 26.5625Gb/s PAM-4 データをイネーブルにするように `1_bringupParams.py` を構成します。`1_bringupParams.py` を実行します。
- `2_bringupLib.py` を実行します。`usefulFunctions.py` の「READBACK CHANNEL INIT STATUS / LOCK STATUS」コード・ブロックを実行し、チャンネル 2 に CDR ロックがあることを確認します。
- 26.5625Gb/s PAM-4 PRBS13Q データにロックし、出力アイを表示するように DCA-X を構成します。
- `usefulFunctions.py` の「CHANGE TX-FFE」コード・ブロックを使用して、出力アイを目視で検査しながら FFE タップを調整し、性能を最適化します。図 3-3 に示す結果では、「`pre=2`」および「`post=4`」の設定が使用されました。
- DCA-X でアイ・ダイアグラムとジッタの結果をキャプチャします。

3.3.2 RX リンク・テスト

この手順では、最初の TIDA-060043 ボードのリタイマ U17 チャンネル 2、パッシブ QSFP ケーブル、および 2 番目の TIDA-060043 ボードのリタイマ U15 チャンネル 2 を通過する 26.5625Gbd PAM-4 PRBS31Q データの BER を測定する方法を具体的に説明します。

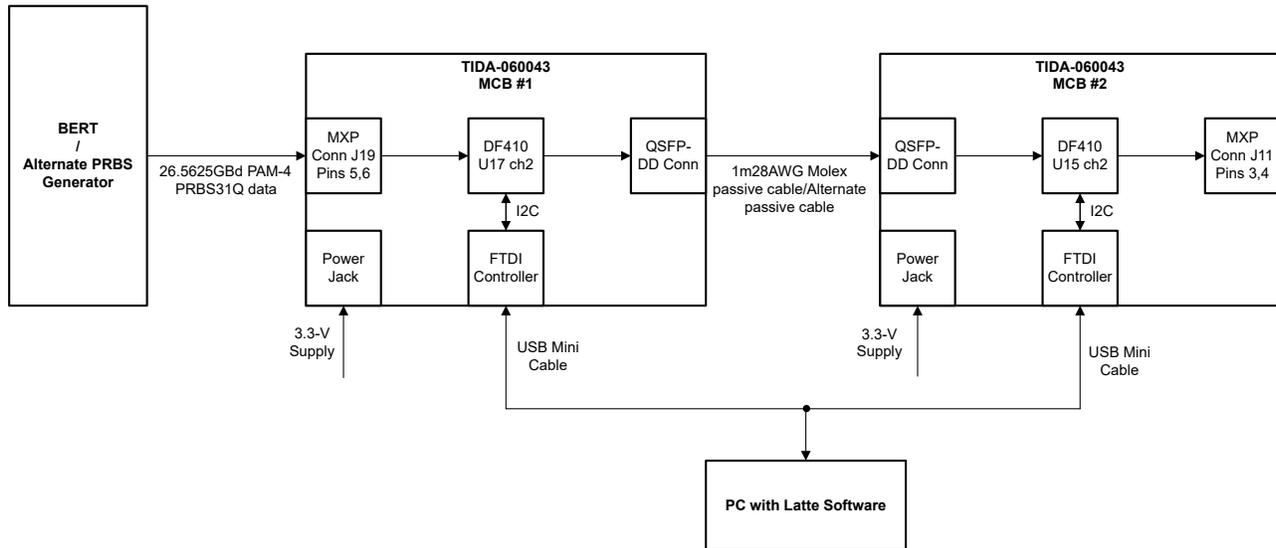


図 3-2. RX リンク・テストの設定

1. パッシブ QSFP ケーブルを両方の TIDA-060043 ボードの QSFP-DD ポート (J27) に差し込みます。MXP40 コネクタを最初の TIDA-060043 ボードの J19 に接続します。
2. SMA ケーブルを使用して、最初の TIDA-060043 ボードの J19 ピン 5、6 を BERT 出力に接続します。
3. USB 2.0 ミニ・ケーブルを使用して、PC を最初の TIDA-060043 ボードの USB ポート (J2) に接続します。
4. 電源リード線を使用して、両方の TIDA-060043 ボードの +3.3V バレル・ジャック (J3) に電源を接続します。両方のボードに 3.3V を供給します。
5. 26.5625Gbd PAM-4 PRBS31Q データを出力するように BERT を構成します。
6. PC で Latte を開き、`setup.py` を実行します。「`setupInfo = 0`」および「`devIdentifier = 1`」であることを確認します。
7. `devinit.py` を実行します。79 行目で「`device.slaveAddr = 0x19`」であることを確認します。このアドレスは TIDA-060043 のリタイマ U17 に対応しています。
8. `Q0CH2` で 26.5625Gbd PAM-4 データをイネーブルにするように `1_bringupParams.py` を構成します。`1_bringupParams.py` を実行します。
9. `2_bringupLib.py` を実行します。`usefulFunctions.py` の「READBACK CHANNEL INIT STATUS / LOCK STATUS」コード・ブロックを実行し、チャンネル 2 に CDR ロックがあることを確認します。
10. 最初の TIDA-060043 ボードから USB ケーブルを外し、2 番目の TIDA-060043 ボードの USB ポート (J2) に差し込みます。
11. `setup.py` を実行します。「`setupInfo = 0`」および「`devIdentifier = 1`」であることを確認します。
12. `devinit.py` を実行します。79 行目で「`device.slaveAddr = 0x18`」であることを確認します。このアドレスは TIDA-060043 のリタイマ U15 に対応しています。
13. `Q0CH2` で 26.5625Gbd PAM-4 データをイネーブルにするように `1_bringupParams.py` を構成します。「`sysParams.rxPrbsSel = [x,x,5,x,...]`」であることを確認し、デバイスがチャンネル 2 で PRBS31Q データを受信していることを認識します。`1_bringupParams.py` を実行します。
14. `2_bringupLib.py` を実行します。`usefulFunctions.py` の「READBACK CHANNEL INIT STATUS / LOCK STATUS」コード・ブロックを実行し、チャンネル 2 に CDR ロックがあることを確認します。
15. `usefulFunction.py` の「READBACK BER」コードブロックを実行します。BER を最適化するために、BERT の FFE タップを調整します。表 3-1 に示す結果では、「`pre1 = -8`」および「`post1 = -5`」の BERT FFE 設定が使用されました。
16. 「READBACK BER」を少なくとも 3 回実行し、結果の BER を記録します。

3.4 テスト結果

3.4.1 TX 出カアイ・テスト

TX 出カアイ・テストは、[セクション 3.3](#) に概要を示した手順に従って、TIDA-060043 ボードで実行されました。出カアイとジッタの測定結果を [図 3-3](#) に示します。

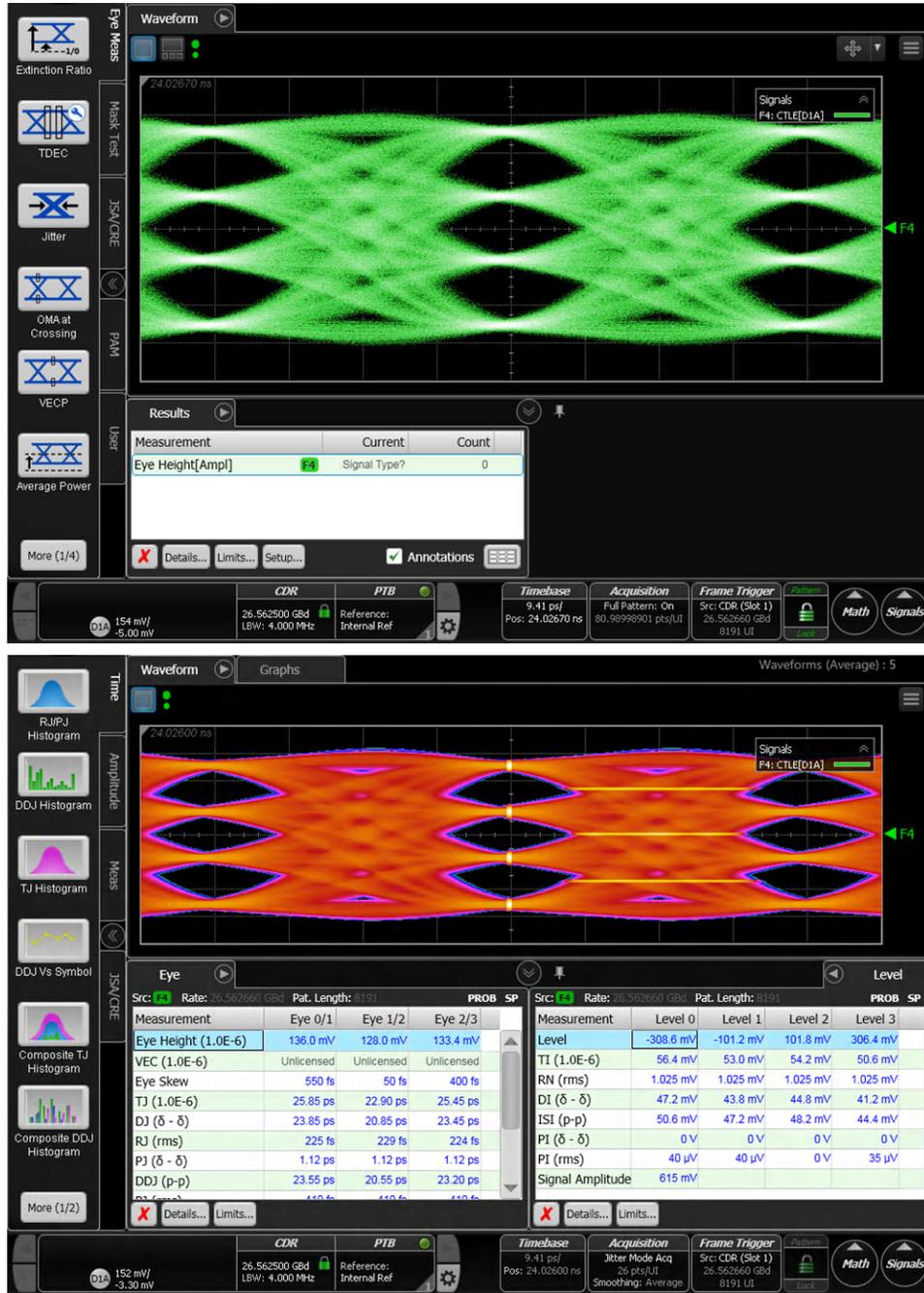


図 3-3. TX 出カアイ・ダイアグラムとジッタ測定

3.4.2 RX リンク・テスト

RX リンク・テストは、[セクション 3.3](#) に概要を示した手順に従って、TIDA-060043 ボードで実行されました。その結果得られた BER 測定値を [表 3-1](#) に示します。

表 3-1. RX リンク・テストの BER 測定値

トライアル	ビット・エラー・レート (BER)
1	6.39×10^{-9}
2	3.42×10^{-8}
3	5.75×10^{-9}

4 設計とドキュメントのサポート

4.1 設計ファイル

4.1.1 回路図

回路図をダウンロードするには、[TIDA-060043](#) の設計ファイルを参照してください。

4.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-060043](#) の設計ファイルを参照してください。

4.1.3 Altium プロジェクト

Altium プロジェクトをダウンロードするには、[TIDA-060043](#) の設計ファイルを参照してください。

4.2 ツールとソフトウェア

ツール

[DS560DF410EVM](#)

DS560DF410 評価基板

ソフトウェア

[Latte](#)

Latte ソフトウェア・リクエスト・ポータル

4.3 ドキュメントのサポート

1. テキサス・インスツルメンツ、[『DS560DF410 クロスポイント付き 56Gbps マルチレート 4 チャンネル・リタイマ』](#)データシート
2. テキサス・インスツルメンツ、[『TPS62865/TPS62867 2.4V~5.5V 入力、4A および 6A 同期整流降圧コンバータ、1.5mm × 2.5mm QFN パッケージ』](#)データシート
3. テキサス・インスツルメンツ、[『TPS7A52 2A、高精度 \(0.5%\)、低ノイズ \(4.4μV_{RMS}\) の LDO 電圧レギュレータ』](#)データシート
4. テキサス・インスツルメンツ、[『TLV702 300mA、低 I_Q、低ドロップアウト・レギュレータ』](#)データシート
5. テキサス・インスツルメンツ、[『TXB0108 自動方向センシングおよび ±15kV ESD 保護機能搭載、8 ビット双方向電圧レベル・トランスレータ』](#)データシート

4.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

4.5 商標

TI E2E™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated