

Design Guide: TIDA-020069

車載、高電圧インターロックループ (HVIL) の リファレンス デザイン



概要

ハイブリッド自動車 / 電気自動車 (HEV、EV) のバッテリー管理システム、トラクション インバータ、DC/DC コンバータ、オンボード チャージャ、高電圧で動作するその他のサブシステムは、高電圧インターロックループ (HVIL) を使用する必要があります。HVIL は、コネクタの物理的な状態を監視する低電圧、低電流ループです。HVIL は、コネクタとワイヤの接続が閉じているか、オープンか、バッテリー短絡フォルトか、グラウンド短絡フォルトかを判定します。この HVIL フォルト信号は、高電圧回路を安全な状態に移行させるため、車両の安全ロジックに通知されます。このリファレンス デザインでは、HVIL システムの生成および監視機構について説明します。

参照情報

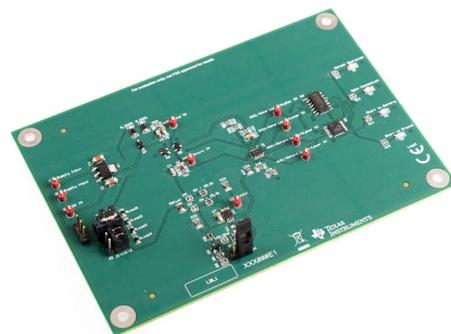
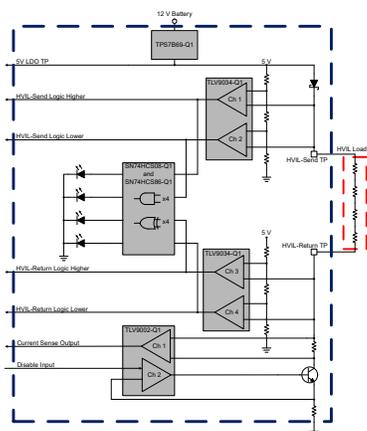
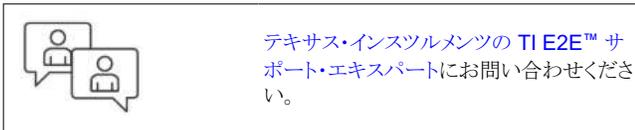
TIDA-020069	デザインフォルダ
TLV9002-Q1、TLV9034-Q1	プロダクトフォルダ
TPS7B69-Q1、SN74HCS08-Q1	プロダクトフォルダ
SN74HCS86-Q1	プロダクトフォルダ

特長

- LED 表示を使用し、広範囲にわたるインターロックループの障害診断を把握：
 - 閉じた接続 (通常動作)
 - オープン接続
 - バッテリーへの短絡
 - グラウンドへの短絡
- 構成可能な定電流生成
- アナログ出力信号またはデジタル出力信号の各種オプション
- 障害状態監視のスレッシュホールドは調整可能
- 単方向インターロックシステム

アプリケーション

- HEV/EV のバッテリー管理システム (BMS)
- HEV/EV の OBC (オンボード チャージャ) と DC/DC コンバータ
- HEV/EV のインバータおよびモーター制御



1 システムの説明

高電圧インターロック ループ (HVIL) は、通常動作、メンテナンス、修理時に、高電圧バッテリーに接続されたコネクタに接触した人を保護するハイブリッドまたは電気自動車 (HEV、EV) 内の安全機能です。HVIL システムは、高電圧バッテリーと車両内の各種サブシステムとの間のケーブルの物理的接続の完全性を監視します。高電圧コネクタが、閉じた接続 (通常動作)、オープン接続 (メンテナンス中の意図的なバッテリー切り離しまたは接続不良による意図しない切り離し)、バッテリーへの短絡、グラウンドへの短絡のいずれの状態にあるかを HVIL システムは示します。

HVIL コネクタは、HVIL 信号回路が高電圧電力供給回路の影響を受けないように設計されています。コネクタが抜かれると、高電圧電力供給回路がオープンになる前に、HVIL 信号回路がオープンになります。HVIL 回路は、オープン接続をバッテリー管理システム (BMS) に警告し、BMS が高電圧電源を直ちに切り離し、遮断時のアーク放電を防止できるようにします。これは、配線が緩んだ際の高電圧のフローティングも防止します。

HVIL システムのこの動作原理は、高電圧バッテリーとサブシステムとの間のケーブルを通して独立して伝達される低電圧定電流信号で構成されています。この HVIL 設計は、定電流ジェネレータ、電流検出ブロック、負荷コネクタおよびクランプ、ウィンドウ コンパレータ、デジタル ロジック ゲートで構成されます。このリファレンス デザインでは、これらの各ブロックの設計と実装について詳しく説明します。

HVIL は、車載システムに加えて、重機工場の設備、高電圧スマート グリッド、重電設備および装置が存在する関連アプリケーションなど、高電圧で動作する各種産業用アプリケーションにも実装されています。HVIL は、システムの使用時に人や機器に対する被害を防止するために使用されます。

図 1-1 に示すように、HVIL 回路に複数のサブシステムを直列に接続できます。この例では、トラクション インバータ、DC/DC コンバータ、オンボード チャージャはすべて高電圧で動作し、1 つのインターロック ループを共有する必要があります。その代わりに、これらのサブシステムごとに、同時に 1 つのサブシステムにのみ接続する独自の HVIL 回路を備えることもできます。

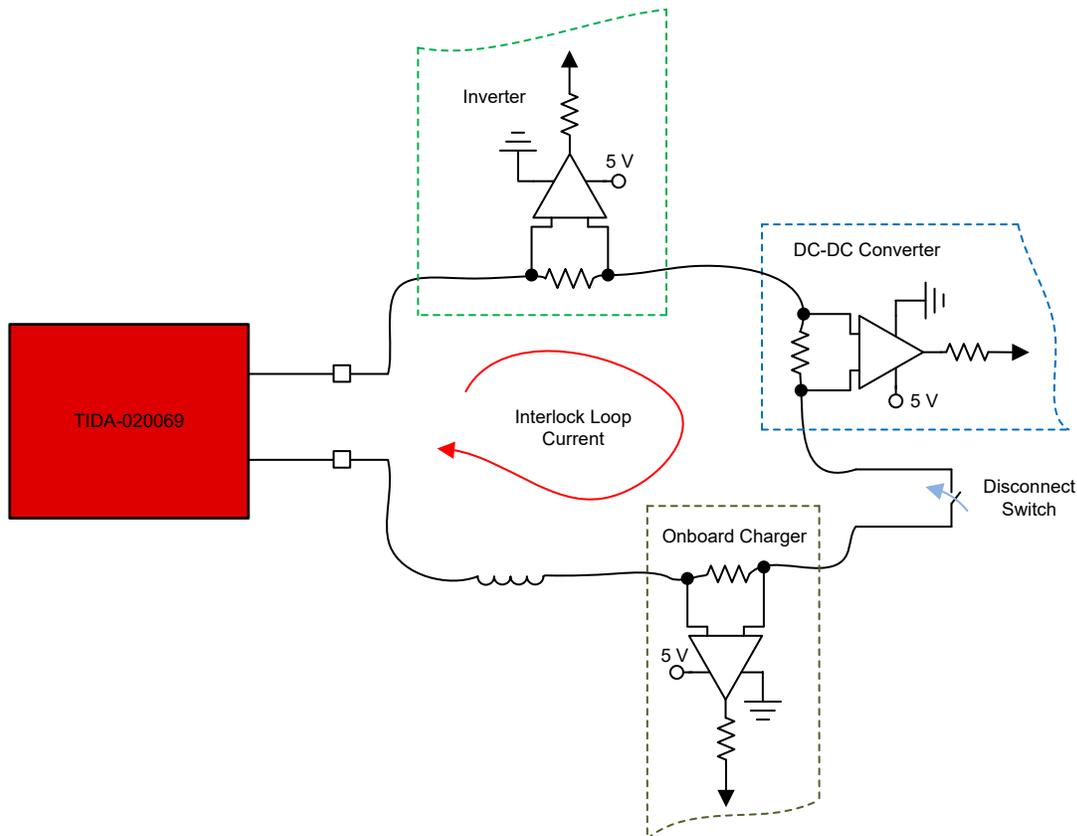


図 1-1. 代表的なインターロック システム

1.1 主なシステム仕様

表 1-1. 主なシステム仕様

パラメータ	条件	標準値	単位
入力電圧	DC バッテリ電圧	12	V
インターロック電圧	ループ用 LDO 電圧出力	5	V
インターロック ループ電流	HVIL によって生成される定電流 (設定可能)	10	mA
負荷抵抗	4 つの高電圧コネクタの負荷抵抗の期待値	200	Ω
グラウンド短絡電流	グラウンドへの短絡時の電流の期待値	15~45	mA
バッテリー短絡電流	バッテリーへの短絡時の電流の期待値	15~25	mA
ディセーブル電流	ディセーブル モード時の電流の期待値	< 1	mA

2 システム概要

2.1 ブロック図

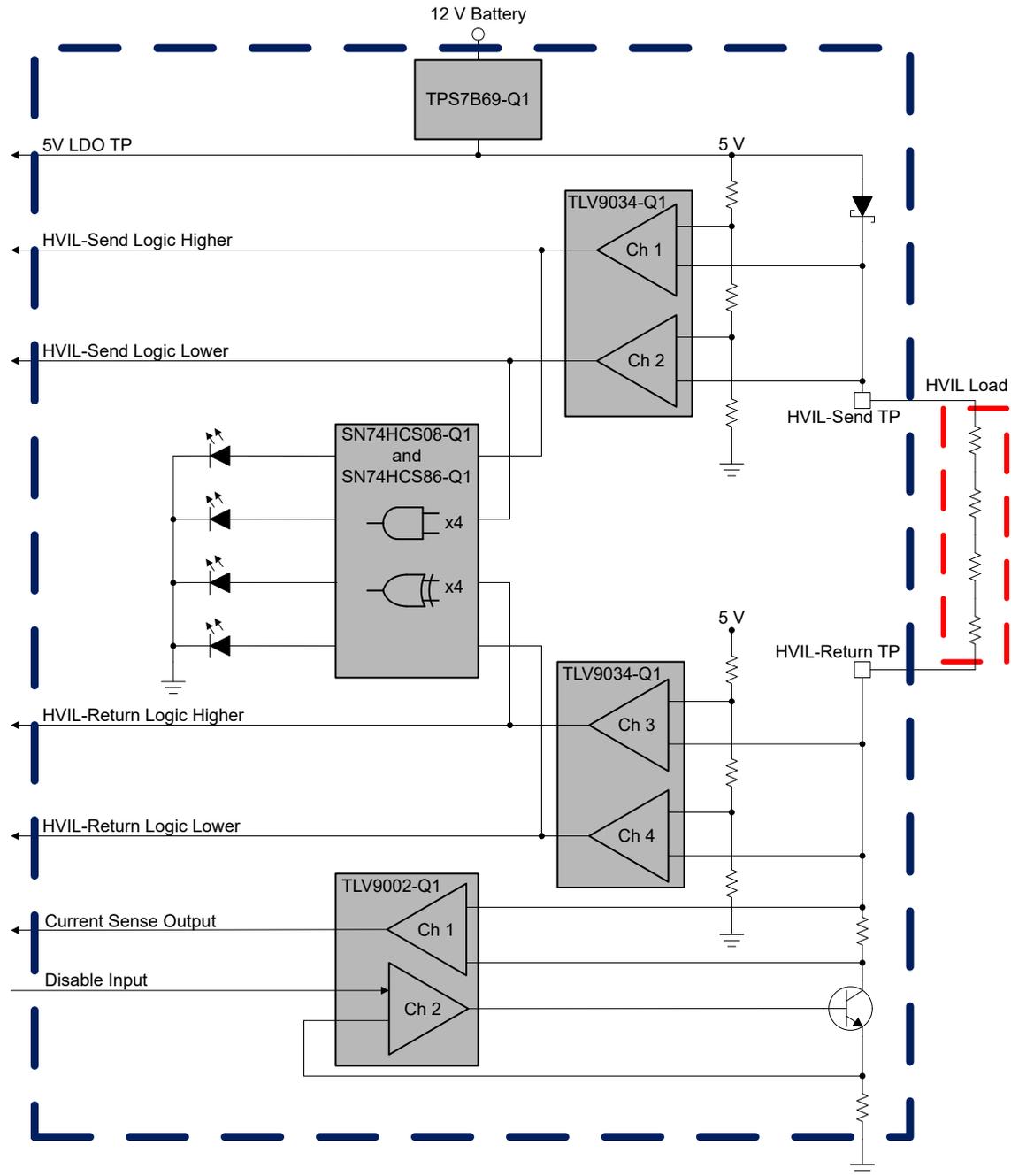


図 2-1. TIDA-01445 のブロック図

2.2 主な使用製品

2.2.1 TLV9002-Q1

TLV900x-Q1 ファミリーには、低電圧 (1.8V~5.5V) でレール ツー レール入出力スイング能力を備えた、シングル (TLV9001-Q1)、デュアル (TLV9002-Q1) およびクワッド (TLV9004-Q1) チャンネルのオペアンプがあります。これらのオペアンプは、低電圧動作と大容量負荷駆動が必要なインフォテインメントおよび照明などのスペース制約が厳しい車載アプリケーション向けに、コスト効率の優れた解決策を提供します。TLV900x-Q1 ファミリーの容量性負荷の駆動能力は 500pF であり、オープン ループ出力インピーダンスが抵抗性なので、はるかに大きな容量性負荷についても容易に安定化できます。これらのオペアンプは低電圧 (1.8V~5.5V) で動作し、TLV600x-Q1 デバイスと同様の性能仕様を満たすよう、特別に設計されています。

TLV900x-Q1 ファミリーは堅牢に設計されているため、回路設計を簡素化できます。これらのオペアンプは、ユニティ ゲイン安定性、RFI および EMI 除去フィルタ内蔵、およびオーバードライブ状態で位相反転がない、といった特長があります。

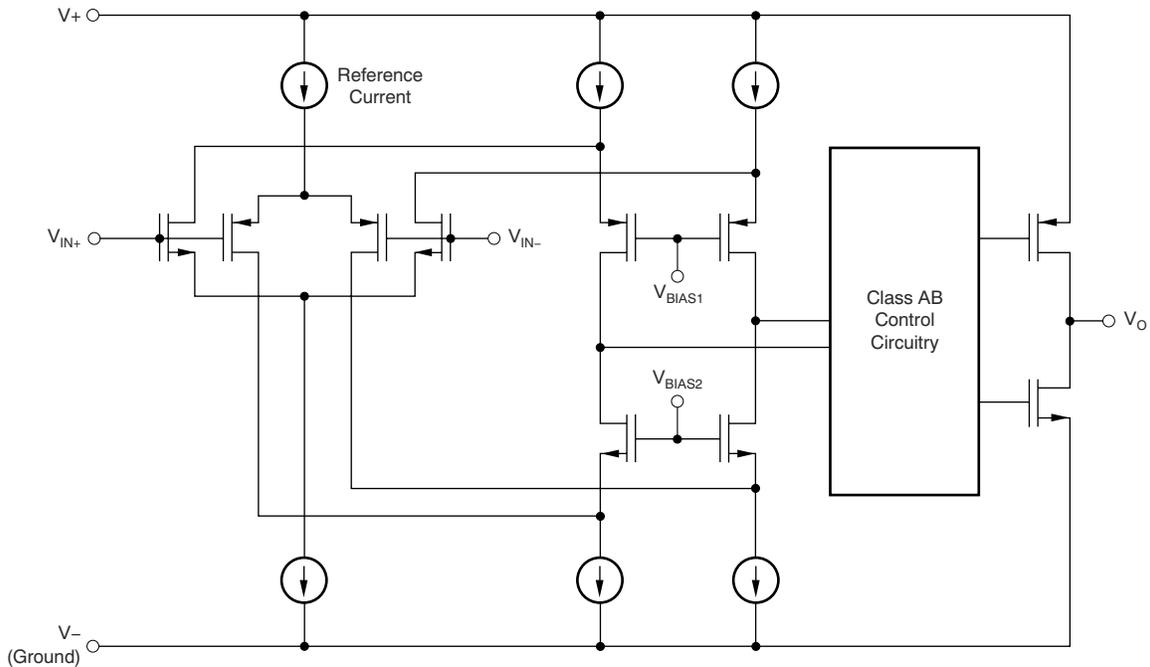


図 2-2. TLV9002-Q1 のブロック図

TLV9002-Q1 の主な特長:

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C~125°C, T_A
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C6
- 低コスト アプリケーション向けのスケーラブルな CMOS アンプ
- レール ツー レール入出力
- 低い入力オフセット電圧: ±0.4mV
- ユニティ ゲイン帯域幅: 1MHz
- 低い広帯域ノイズ: 27nV/√Hz
- 低い入力バイアス電流: 5pA
- 低い静止電流: 60μA/Ch
- ユニティゲイン安定
- 内部 RFI および EMI フィルタ
- 最低 1.8V の電源電圧で動作
- 抵抗性の開ループ出力インピーダンスにより、大きな容量性負荷でも簡単に安定
- **機能安全対応**

2.2.3 TPS7B69-Q1

TPS7B69xx-Q1 デバイスは、最大 40V の V_I で動作するように設計された低ドロップアウトリニアレギュレータです。軽負荷時の待機時消費電流がわずか 15 μ A (標準値) である本デバイスは、特に車載アプリケーションのスタンバイ制御マイコンシステム向けに設計されています。

デバイスには、短絡および過電流保護機能が内蔵されています。TPS7B69xx-Q1 デバイスは、-40 $^{\circ}$ C \sim 125 $^{\circ}$ C の温度範囲で動作します。これらの特長から、TPS7B6925-Q1、TPS7B6933-Q1、TPS7B6950-Q1 デバイスは各種車載アプリケーション用の電源に最適です。

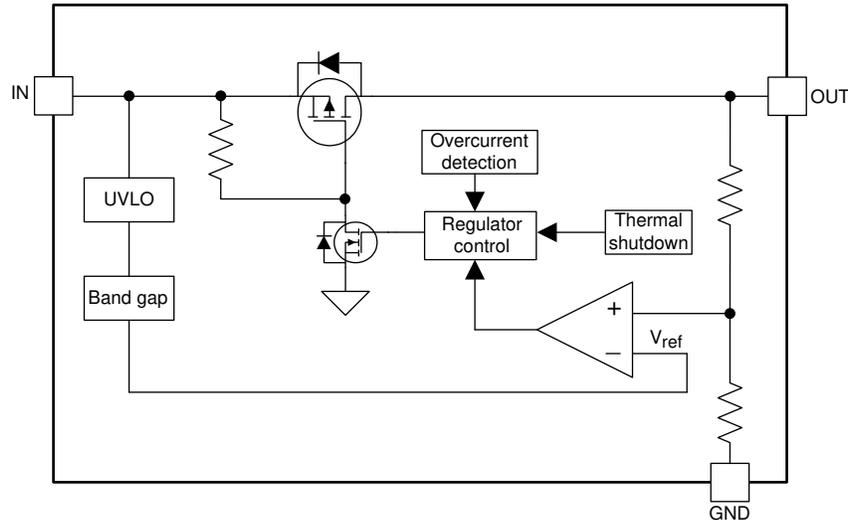


図 2-4. TPS7B69-Q1 のブロック図

TPS7B69-Q1 の主な特長:

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: 動作時周囲温度範囲 -40 $^{\circ}$ C \sim 125 $^{\circ}$ C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 4V \sim 40V の広い V_I 入力電圧範囲、最大 45V の過渡電圧に対応
- 最大出力電流: 150mA
- 低い静止電流 (I_Q):
 - 軽負荷時: 15 μ A (標準値)
 - 全温度範囲: 25 μ A (最大値)
- 100mA の負荷電流において 450mV (標準値) の低いドロップアウト電圧
- 低 ESR のセラミック出力コンデンサで安定動作:
 - 2.2 μ F \sim 100 μ F
- 2.5V、3.3V、5V の固定出力電圧オプション
- フォルト保護機能を搭載:
 - サーマル シャットダウン
 - 短絡保護
- パッケージ
 - 4 ピン SOT-223 パッケージ
 - 5 ピン SOT-23 パッケージ

2.2.4 SN74HCS08-Q1

SN74HCS08-Q1 には、シュミットトリガ入力を搭載した 4 つの独立した 2 入力 AND ゲートが内蔵されています。各ゲートはブール関数 $Y = A \times B$ を正論理で実行します。

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。さらに、このデバイスの出力は、デバイスを損傷することなく維持できるレベルより大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。未使用のプッシュプル CMOS 出力は未接続のままにします。

このデバイスには、シュミットトリガアーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスです。シュミットトリガ入力アーキテクチャのヒステリシスのおかげで、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。

このデバイスの入力と出力には正と負の両方のクランプ ダイオードが備わっています。

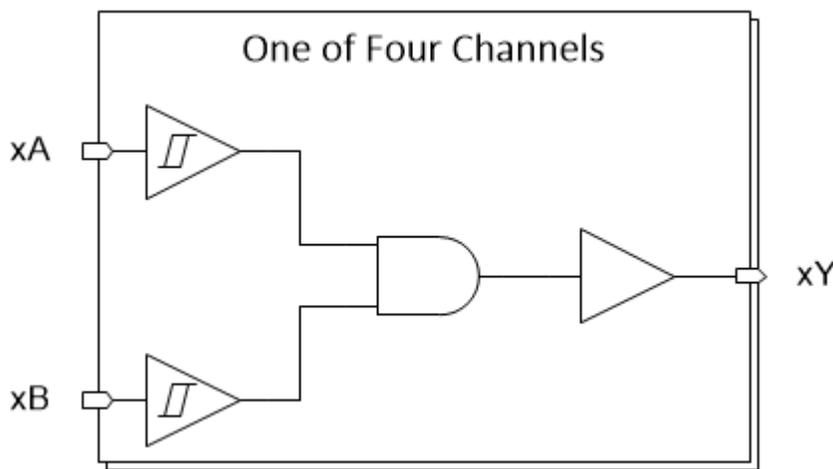


図 2-5. SN74HCS08-Q1 のブロック図

SN74HCS08-Q1 の主な特長:

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 T_A
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C6
- 広い動作電圧範囲: 2V~6V
- シュミットトリガ入力により低速またはノイズの多い入力信号に対応
- 低消費電力
 - I_{CC} : 100nA (標準値)
 - 入力リーク電流: $\pm 100\text{nA}$ (標準値)
- 6V で $\pm 7.8\text{mA}$ の出力駆動能力

2.2.5 SN74HCS86-Q1

SN74HCS86-Q1 には、シュミットトリガ入力を搭載した 4 つの独立した 2 入力 XOR ゲートが内蔵されています。各ゲートはブール関数 $Y = A \times B$ を正論理で実行します。

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。さらに、このデバイスの出力は、デバイスを損傷することなく維持できるレベルより大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。未使用のプッシュプル CMOS 出力は未接続のままにします。

このデバイスには、シュミットトリガアーキテクチャによる入力が搭載されています。これらの入力は高インピーダンスです。シュミットトリガ入力アーキテクチャのヒステリシスのおかげで、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。

このデバイスの入力と出力には正と負の両方のクランプ ダイオードが備わっています。

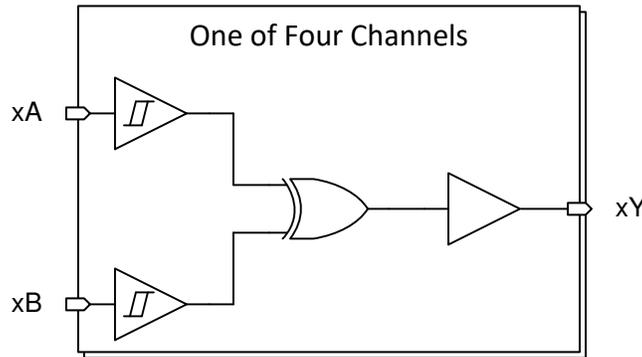


図 2-6. SN74HCS86-Q1 のブロック図

SN74HCS86-Q1 の主な特長:

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ 125°C, T_A
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C6
- 広い動作電圧範囲: 2V ~ 6V
- シュミットトリガ入力により低速またはノイズの多い入力信号に対応
- 低消費電力
 - I_{CC}: 100nA (標準値)
 - 入力リーク電流: ±100nA (標準値)
- 6V で ±7.8mA の出力駆動能力

2.3 システム設計理論

インターロックシステムの設計は OEM の要件に基づいています。このリファレンス デザインは、既定のトポロジおよび診断要件を使って、ほとんどのユーザー要件に対応できます。このリファレンス デザインのトポロジは、インターロックシステムに必要な性能を得るために簡単に微調整できます。図 1-1 に示すように、インターロックはすべての高電圧部品と接続されます。バッテリーは高電圧電力接触器を迅速にターンオフできるため、インターロック信号のほとんどはバッテリーによって生成され、詳細に監視されます。

2.3.1 TIDA-0020069 の動作

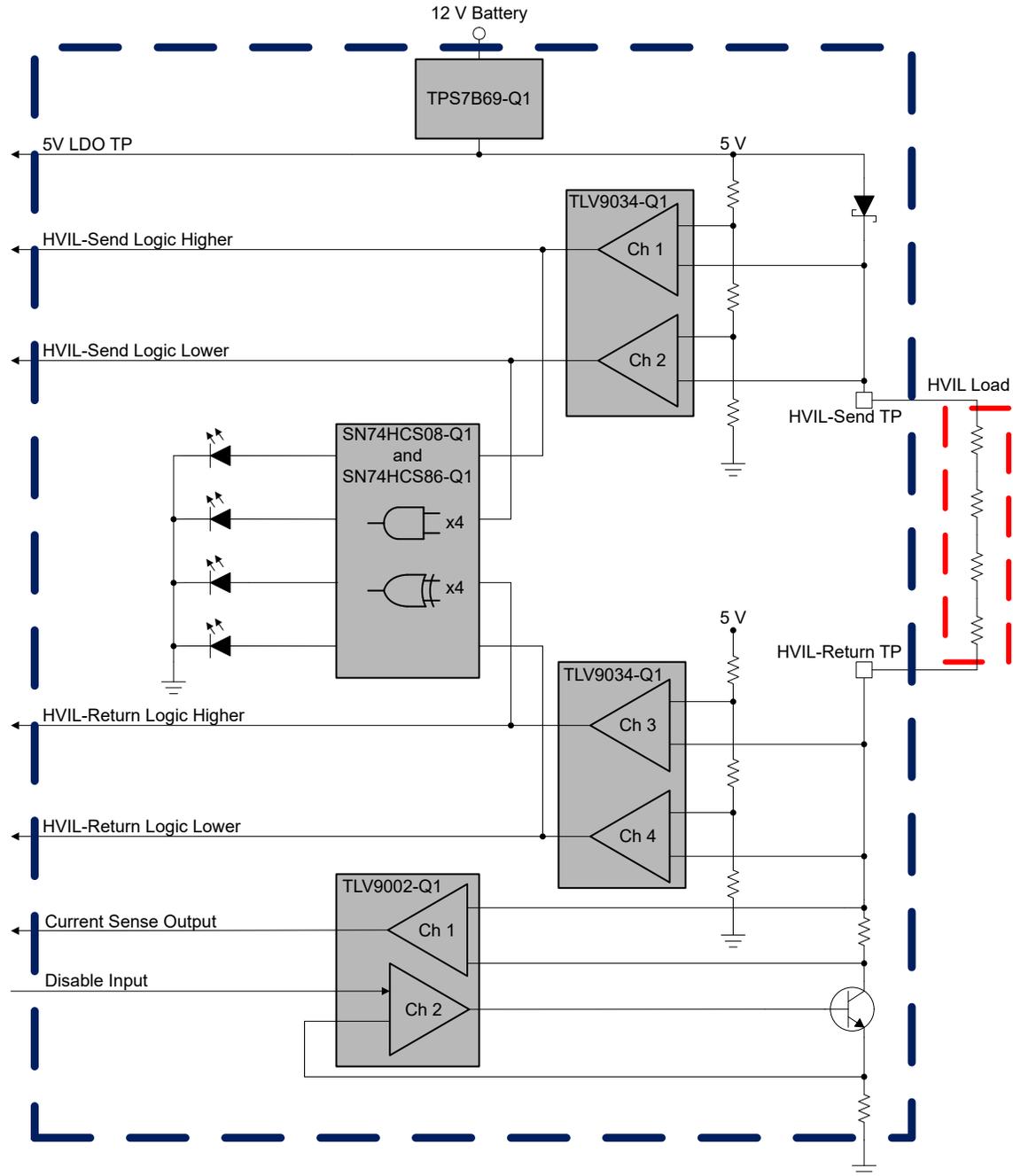


図 2-7. 機能ブロック図

図 2-7 に示すように、TPS7B69-Q1 低ドロップアウト (LDO) 電圧レギュレータを使って、12V バッテリからの電源電圧を 5V に降圧しています。HVIL 信号を含む信号チェーンのあらゆる場所に存在するその他のすべての部品は、この 5V レールで動作します。

TLV9002-Q1 オペアンプを使って、HVIL 信号チェーン用の定電流出力を生成しています。これは、図 2-7 の Ch 2 の出力として示されています。この定電流の値は、受動部品を変更することで設定できます (セクション 2.3.1.1 を参照)。この定電流は高電圧コネクタ内の HVIL 信号ケーブルを通して流れます。高電圧コネクタと HVIL ケーブルの抵抗を使って、HVIL-Send TP テストポイントと HVIL-Return TP テストポイントの間の電圧降下の期待値を計算します。

このアンプの定電流出力は、Disable Input 論理信号を使用して無効化することもできます。無効化した場合、アンプの出力電流は 100 分の 1 に減少します。これにより、HVIL-Send TP と HVIL-Return TP の電圧差が最小限になるバッテリー短絡フォルトと同様のフォルト条件が作られます。この無効化機能は、電力の節約と、その他のすべてのシステムが HVIL 測定の準備を整えるまでの、強制的な出力エラーの読み出しのために使えます。TLV9061-Q1、OPA310-Q1 などのその他のアンプは、ロジック入力で制御される追加ピンによるシャットダウン機能を内蔵しており、TLV9002-Q1 の代わりに使うこともできます。

TLV9002-Q1 オペアンプのもう 1 つのチャンネルは電流検出のために使われています。このチャンネルは、負荷抵抗と直列に配置されたシャント抵抗の両端に接続された差動アンプとして構成されています。通常動作 (すべての高電圧コネクタを閉じた接続) では、このアンプの出力は中間電圧に設定されます。オープン接続 (高電圧ケーブルの切り離し) 中、シャント抵抗を流れる電流はゼロであり、アンプは 0V を出力します。また、バッテリーへの短絡とグランドへの短絡という 2 つのフォルト状態の間、このアンプはより低い電圧を出力することもあります。この電流検出はフィードバックと冗長性を提供します。

HVIL-Send TP と HVIL-Return TP のアナログ値を、A/D コンバータ (ADC) を内蔵したマイクロプロセッサに出力して、HVIL の状態を判定することもできます。しかし、このリファレンス デザインでは、これらの 2 つのアナログ値を 4 つの 2 進値に変換することで計算を簡素化できます。TLV9034-Q1 は、2 つのアナログ値 (HVIL-Send TP、HVIL-Return TP) を 2 つの 2 ビット 2 進値に変換するために使われるクワッド チャンネル コンパレータです。修正したウィンドウ コンパレータ回路 (詳細はセクション 2.3.1.4 を参照) は、HVIL-Send TP と HVIL-Return TP を上側スレッショルドと下側スレッショルドと比較して、2 ビット 2 進出力を生成します。修正したウィンドウ コンパレータからの 4 つの 2 進出力は HVIL-Send Logic-Higher、HVIL-Send Logic-Lower、HVIL-Return Logic-Higher、HVIL-Return Logic-Lower と呼ばれます。修正したウィンドウ コンパレータの電圧スレッショルドは抵抗分圧器を使って設定され、設計要件に応じて構成できます。

各修正したウィンドウ コンパレータの 2 ビット 2 進出力は、表 2-1 と表 2-2 のロジックを使用して決定されます。

表 2-1. HVIL-Send 2 進出力ロジック

パラメータ	HVIL-SEND LOGIC-LOWER TP	HVIL-SEND LOGIC-HIGHER TP
HVIL-Send TP < 下側スレッショルド	0V	0V
下側スレッショルド < HVIL-Send TP < 上側スレッショルド	5V	0V
HVIL-Send TP > 上側スレッショルド	5V	5V

表 2-2. HVIL-Return 2 進出力ロジック

パラメータ	HVIL-RETURN LOGIC-LOWER TP	HVIL-RETURN LOGIC-HIGHER TP
HVIL-Return TP < 下側スレッショルド	0V	0V
下側スレッショルド < HVIL-Return TP < Upper Threshold	5V	0V
HVIL-Return TP > 上側スレッショルド	5V	5V

図 2-8 に、4 つの状態のそれぞれの上側スレッシュホールドと下側スレッシュホールドに関して、HVIL-Send と HVIL-Return の期待値を示します。各状態には、HVIL-Send と HVIL-Return の固有の配置があります。

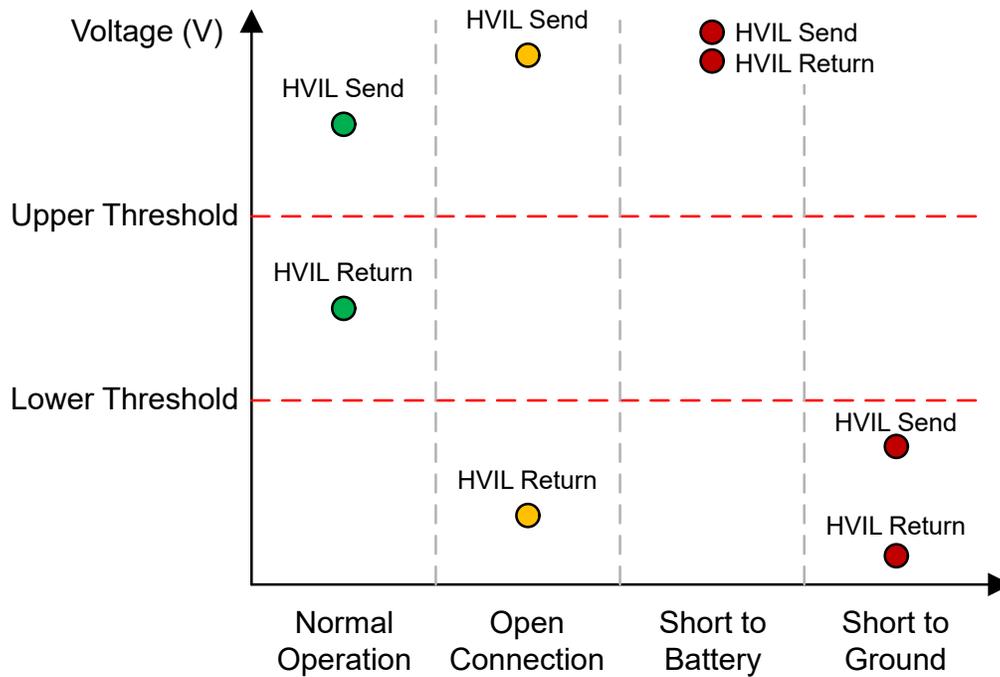


図 2-8. TIDA-020069 の状態ロジックのスレッシュホールド

SN74HCS08-Q1 AND ゲートと SN74HCS86-Q1 XOR ゲートは、修正したウィンドウ コンパレータの 2 進出力 (HVIL-Send Logic-Higher、HVIL-Send Logic-Lower、HVIL-Return Logic-Higher、HVIL-Return Logic-Lower) に基づいて、ボード上の LED ステータス インジケータを制御するために使われています。セクション 2.3.1.5 に、ロジック ツリーの詳細を示します。一度に 1 つのステータス LED インジケータのみが点灯し、図 2-8 に従います。

2.3.1.1 定電流ソース (供給)

車載 HVIL 設計の重要な 1 つの要素は定電流の生成です。この電流は HVIL 回路によって生成され、インターロック信号ケーブルを通り、すべての高電圧コネクタを通り、HVIL 回路に戻ります。多くの車載 OEM は HVIL 定電流 (通常、5mA~30mA の定電流) に対してさまざまな要件を持っています。このリファレンス デザインの利点は、ディスクリート部品を使って出力電流を調整できることです。

図 2-9 の回路図は、1 つのチャンネルを使って HVIL 定電流を生成する TLV9002-Q1 を特長としています。この回路設計は、アナログ エンジニア向け回路:BJT を利用した電圧 / 電流 (V-I) 変換回路に基づいています。ダウンロード可能なシミュレーション モデルを含む本回路の詳細については、このアナログ回路設計を参照してください。

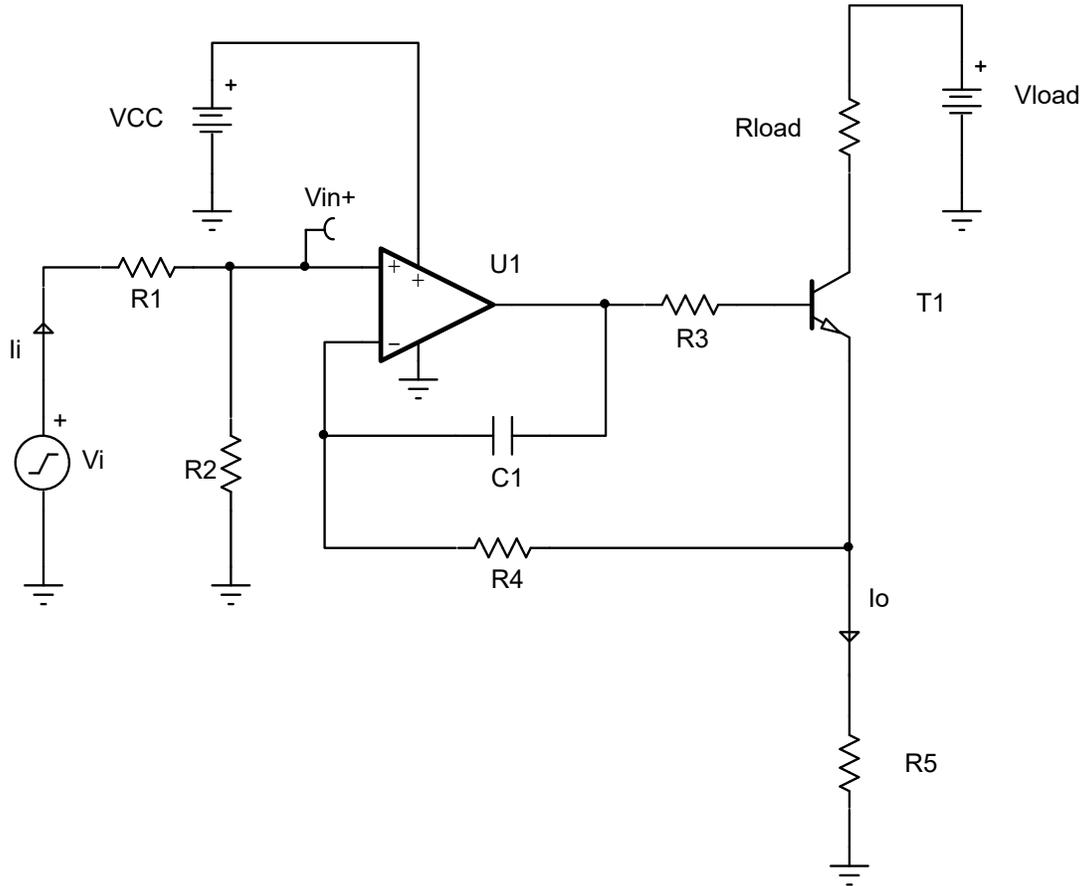


図 2-9. 定電流源回路

2.3.1.1.1 設計目標

入力	出力	電源		
V_i	I_o	V_{cc}	V_{ee}	V_{load}
5V	10mA	5V	0V	5V

2.3.1.1.2 設計の説明

電圧から電流への (V-I) 変換を行うこのローサイド コンバータは、適切なレギュレーション済み電流を HVIL 負荷に供給します。この回路は、TPA7B69-Q1 によって生成された 5V 電源電圧を抵抗分圧器を使って降圧し、この電圧を 10mA の電流に変換します。その電流は、ローサイド電流検出抵抗 (R_5) の両端での電圧降下をオペアンプに帰還することで、正確に安定化されています。この電流は負荷抵抗とも負荷電源電圧とも無関係であり、設計手順に従うことで、必要な別の電流レベルに変更できます。

2.3.1.1.3 デザインノート

1. 抵抗分圧器 (R_1 および R_2) は、非反転入力 (V_{in+}) と検出抵抗 (R_5) のフルスケール時の最大電圧を制限するために実装されています。
2. レールツーレール入力 (RRI) ではないオペアンプの場合、入力電圧がオペアンプの同相電圧の範囲内に入るように、入力電圧を下げるために分圧器が必要です。
3. 負荷コンプライアンス電圧を最大化し、フルスケール時の消費電力を低減するため、 R_5 に小さい抵抗値を使います。
4. 高ゲイン BJT を使うと、オペアンプの出力電流要件を低減できます。
5. 帰還部品 R_3 、 R_4 、 C_1 は、安定性を向上させるための補償を行います。 R_3 はバイポーラジャンクショントランジスタ (BJT) の入力容量を分離し、 R_4 は電流設定抵抗 (R_5) に直接 DC 帰還パスを提供し、 C_1 は、BJT をバイパスする高周波帰還パスを提供します。
6. オペアンプは線形動作領域で使用します。線形出力スイングは通常、デバイス データシートの A_{OL} テスト条件に規定されています。

2.3.1.1.4 設計手順

本回路の伝達関数を次に示します。

$$I_0 = \frac{R_2}{R_5 \times (R_1 + R_2)} \times V_i \quad (1)$$

1. 入力の分圧器の抵抗 R_1 および R_2 を選択します。アンプの非反転入力端子 V_i の同相入力電圧が、[セクション 2.3.1.4](#) セクションで設定した下側スレッショルド電圧よりも低くなるように、これらの抵抗の値を設定します。このリファレンス デザインの場合、下側スレッショルドは **1.33V** に設定されているため、 V_i の値を **1V** に設定します。

$$V_{in+} = V_i \times \left(\frac{R_2}{R_1 + R_2} \right) \quad (2)$$

$$\text{Let } R_1 = 10\text{k}\Omega \text{ (Standard value)}, \frac{R_2}{10\text{k}\Omega + R_2} = \frac{1\text{V}}{5\text{V}} \quad (3)$$

$$R_2 = 4 \times R_1 = 40\text{k}\Omega \quad (4)$$

2. 検出抵抗 R_5 を計算します。検出抵抗の値をできるだけ小さくすることで、負荷コンプライアンス電圧を最大化し、消費電力を低減します。検出抵抗の両端の電圧を **1V** に設定します。電圧降下を **1V** に制限することで、検出抵抗で消費される電力は、フルスケール出力時で **100mW** に制限されます。

$$\text{Let } V_{in+} = 1\text{V and } I_0 = 10\text{mA } R_5 = \frac{V_{in+}}{I_0} = \frac{1\text{V}}{10\text{mA}} = 100\Omega \quad (5)$$

3. 設計の際に補償部品 R_3 、 R_4 、 C_1 を適切な値に設定する方法については、[TI プレジジョン ラボ](#)を参照してください。

2.3.1.2 電流検出

電流検出は車載 HVIL 設計の重要な要素です。従来、電流検出は、HVIL ループ内の閉じた接続とオープン接続を検出する主要なモードでした。シャント抵抗を流れる電流が測定されることは、電流が流れている閉じた接続を示します。逆に、電流が流れていないことは、バッテリーが切り離された状態のオープン接続を示します。しかし、電流検出のみに頼る設計では、負荷を通して短絡が発生した際のフォルト条件は検出されません。たとえば、HVIL-Send ピンと HVIL-Return ピンが互いに短絡した場合、負荷が閉じている (通常動作) か、オープン (バッテリー切り離し) かに関係なく、電流は電流検出シャント抵抗を流れます。これが、HVIL-Send と HVIL-Return の電圧値を測定し、あらかじめ決められたスレッショルドと比較することで、これらの電圧値を評価することが重要である理由です。このリファレンス デザインの場合、電流検出回路は、システムの総合的な安全性を向上させるための冗長性を備えています。正確でレギュレートされた HVIL 電流を必要とする高精度設計の場合、電流検出回路の出力電圧は、定電流生成回路への帰還信号としても使えます。

このリファレンス デザインは、定電流シンク生成回路を基準としたハイサイド電流検出回路を備えています。シャント抵抗は、HVIL-Return 信号と、定電流生成回路の BJT のコレクタとの間に配置されます。TLV9002-Q1 の 1 つのチャンネルは、シャント抵抗の両端に接続された差動アンプとして構成されています。

この回路図 (図 2-10) では、1 つのチャンネルを使って HVIL 電流を測定する TLV9002-Q1 が使われています。この回路設計は、[アナログ エンジニア向け回路: ハイサイド電流検出回路の設計](#)に基づいています。ダウンロード可能なシミュレーション モデルを含むこの回路の詳細については、このアナログ回路設計を参照してください。

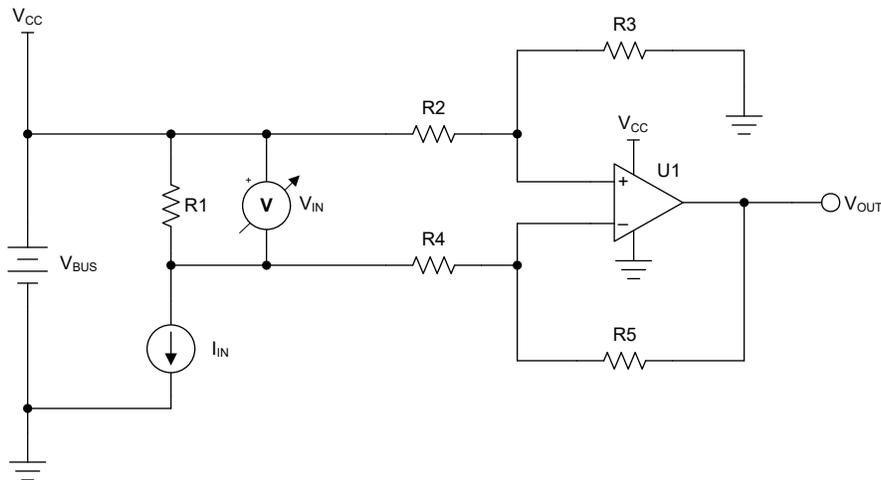


図 2-10. ハイサイド電流検出回路

2.3.1.2.1 設計目標

入力	出力	電源	
I_{IN}	V_{OUT}	V_{CC}	V_{EE}
10mA	2.5V	5V	0V

2.3.1.2.2 設計の説明

この単一電源ハイサイド電流検出回路は、10mA の負荷電流を検出し、その電流を 2.5V の出力電圧に変換します。ハイサイドのセンシングにより、システムはグラウンドへの短絡を識別でき、負荷のグラウンドを動揺させません。

2.3.1.2.3 設計手順

1. この回路の完全な伝達関数は次のとおりです。

$$V_o = I_{in} \times R_1 \times \frac{R_5}{R_4}$$

Given $R_2 = R_4$ and $R_3 = R_5$

2. シャント抵抗を計算します。シャントの両端の電圧を 100mV に設定します。

$$R_1 = \frac{V_{IN}}{I_{IN}} = \frac{100\text{mV}}{10\text{mA}} = 10\Omega \quad (6)$$

3. 出力電圧を 2.5V (電源中央値) に設定するためのゲインを計算します。

$$\text{Gain} = \frac{V_{OUT}}{I_{IN} \times R_1} = \frac{2.5\text{V}}{10\text{mA} \times 10\Omega} = 25\frac{\text{V}}{\text{V}} \quad (7)$$

4. 手順 3 で計算したゲインを設定するため、ゲイン設定抵抗の値を計算します。

$$\text{Choose } R_2 = R_4 = 1\text{k}\Omega \text{ (Standard value)} \quad R_3 = R_5 = R_2 \times \text{Gain} = 1\text{k}\Omega \times 25\frac{\text{V}}{\text{V}} = 25\text{k}\Omega \quad (8)$$

2.3.1.3 負荷の接続とクランプ

TIDA-020069 は、過電圧および低電圧状態を防止するため、クランプ ダイオードを利用しています (図 2-11 を参照)。D2、D3、D4、D5 とラベル表示されたダイオードは、HVIL-Send および HVIL-Return 電圧をグランドと V_{CC} のどちらかにクランプします。このシナリオでは、 V_{CC} は、TPS7B69-Q1 によって生成される 5V 信号であり、12V 電源入力電圧ではありません。バッテリー短絡またはグランド短絡フォルト条件が発生した場合、これらのダイオードは、インターロック電流ループがグランド～5V の範囲を逸脱するのを防止します。これらのクランプ ダイオードは、HVIL-Send および HVIL-Return ピンに直接接続される ADC またはマイクロコントローラなどのすべての下流デバイスも保護します。

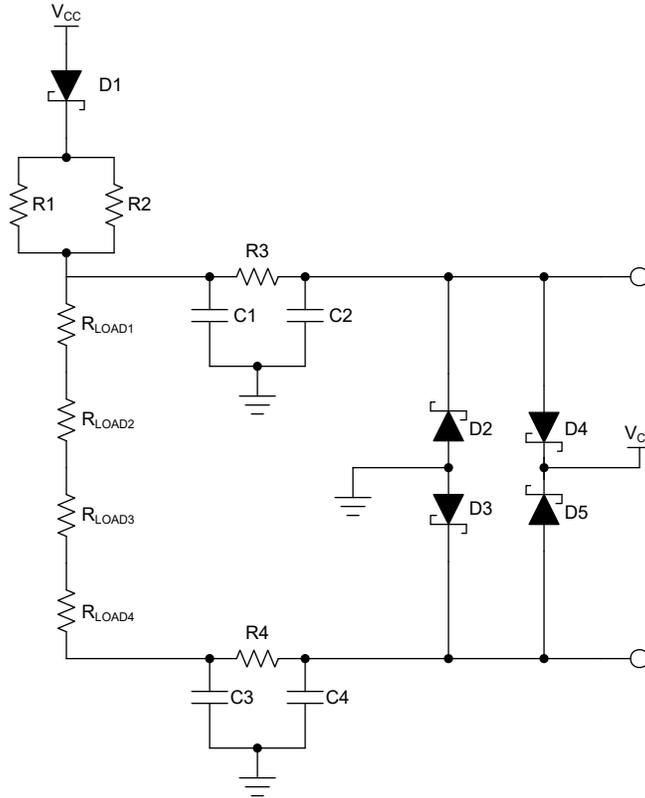


図 2-11. クランプと負荷回路

ダイオード D1 は、TPS7B69-Q1 の LDO からのインターロック電流を HVIL-Send 端子に流し、負荷抵抗を経由して、HVIL-Return ピンに向かわせます。これにより、TPS7B69-Q1 の LDO を保護する単方向の電流が生成されます。コネクタの各種状態 (通常動作、オープン接続、バッテリーへの短絡、グランドへの短絡) のすべてのロジックは、単方向の電流の流れに基づいています。

抵抗 R1 および R2 は、過電流状態を防止するために使用される、より大きなサイズの 1206 シヤント抵抗です。 R_{LOAD1} 、 R_{LOAD2} 、 R_{LOAD3} 、 R_{LOAD4} とラベル付けされた抵抗は、HVIL 信号が存在する車両内の各高電圧コネクタの抵抗に相当します。

2.3.1.4 修正したウィンドウ コンパレータ

TIDA-020069 は、修正したウィンドウ コンパレータ回路を使って、HVIL-Send と HVIL-Return のアナログ出力電圧を 2 進デジタル値に変換します。そのため、マイクロコントローラの内蔵 ADC を使わずに、アナログ値をハードウェアでデジタルに変換することで、システム全体の設計を簡素化できます。TIDA-020069 のすべての出力ピン (HVIL-Send Logic-Higher TP、HVIL-Send Logic-Lower TP、HVIL-Return Logic-Higher TP、HVIL-Return Logic-Lower TP) は本リファレンス デザインの 2 進デジタル出力として機能します。4 つの 2 進出力は、HVIL-Send と HVIL-Return という 2 つのアナログ信号の 2 ビット デジタル表現として使用されます。

図 2-12 の回路図では、修正したウィンドウ コンパレータ回路として構成された TLV9034-Q1 が使われています。TIDA-020069 ではこれらの回路が 2 つ使われており、それぞれに 2 つのコンパレータが必要なため、クワッド チャネルの TLV9034-Q1 が選択されました。この回路には、TLV9034-Q1 などのプッシュプル出力コンパレータが必要です。これにより、各チャネルの出力プルアップまたはプルダウン抵抗が不要になります。

この回路設計は、[アナログ エンジニア向け回路:ウィンドウ コンパレータ回路](#)に基づいています。ダウンロード可能なシミュレーション モデルを含む本回路の詳細については、このアナログ回路設計を参照してください。

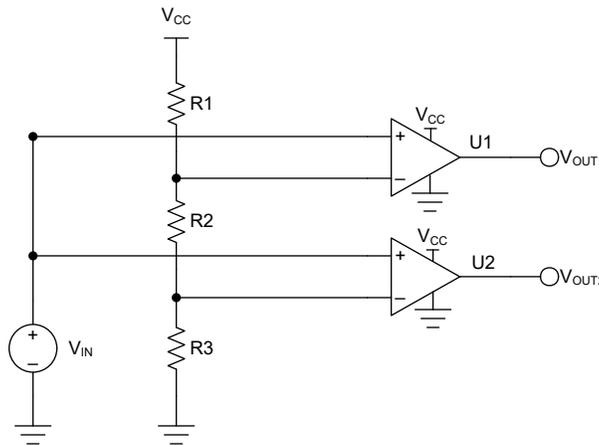


図 2-12. 修正したウィンドウ コンパレータ回路

出力電圧の期待値 (V_{OUT1} 、 V_{OUT2}) を以下の表 2-3 と表 2-4 に示します。

表 2-3. HVIL-Send 2 進出力ロジック

パラメータ	HVIL-SEND LOGIC-LOWER TP	HVIL-SEND LOGIC-HIGHER TP
HVIL-Send TP < 下側スレッショルド	0V	0V
下側スレッショルド < HVIL-Send TP < 上側スレッショルド	5V	0V
HVIL-Send TP > 上側スレッショルド	5V	5V

表 2-4. HVIL-Return 2 進出力ロジック

パラメータ	HVIL-RETURN LOGIC-LOWER TP	HVIL-RETURN LOGIC-HIGHER TP
HVIL-Return TP < 下側スレッショルド	0V	0V
下側スレッショルド < HVIL-Return TP < 上側スレッショルド	5V	0V
HVIL-Return TP > 上側スレッショルド	5V	5V

この設計では、抵抗 R1、R2、R3 はすべて同じ値 (10kΩ) に設定されています。そのため、5V 電源電圧 V_{CC} が 3 分の 1 に分割されます。これにより、コンパレータ U2 の基準電圧が 1.67V、コンパレータ U1 の基準電圧が 3.33V に設定されます。これらの基準電圧は、図 2-13 のデータのそれぞれ下側スレッショルドと上側スレッショルドに対応します。より類似した部品を使用することで、部品表 (BOM) が簡単になるように、これらの抵抗値が選択されました。TIDA-020069 の状態ロジック スレッショルドを満たすため、通常動作モードでは HVIL-Send よりも低くなるように、上側スレッショルドを設定します。状態ロジックは、HVIL-Return (オープン接続) < 下側スレッショルド < HVIL-Return (通常動作) であることも必要です。

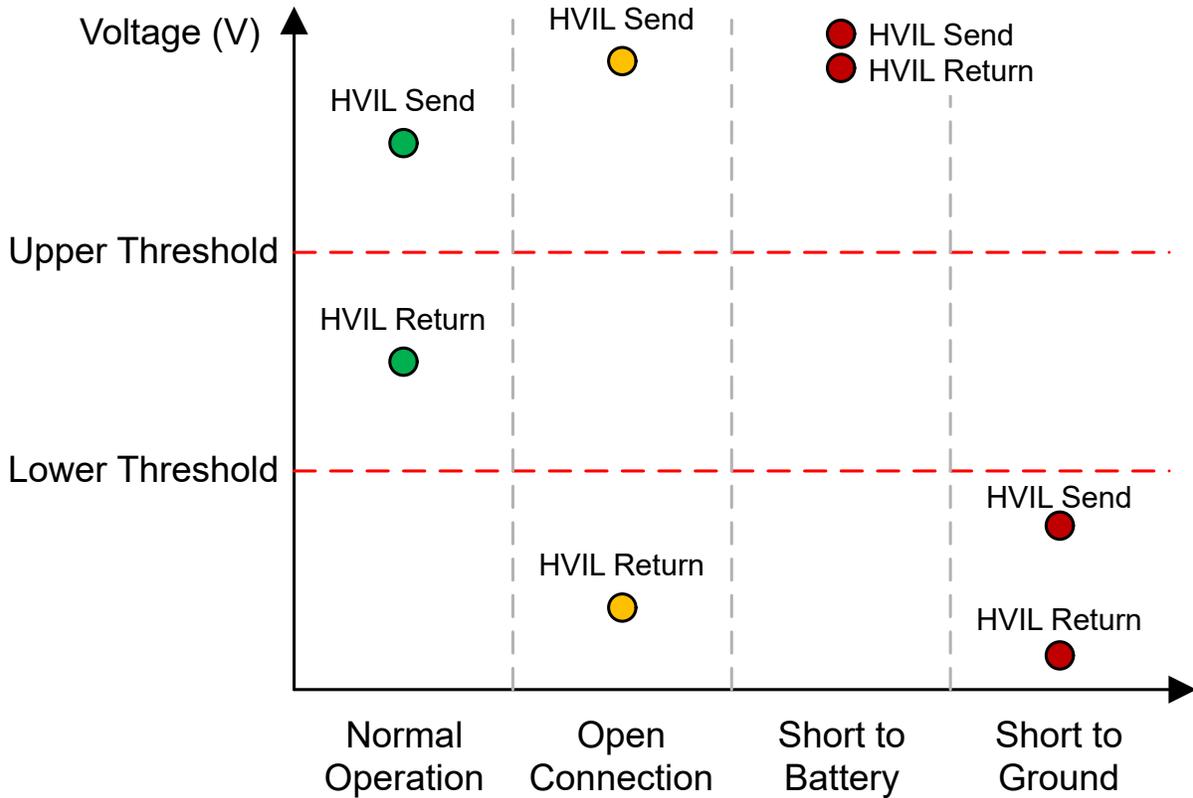


図 2-13. TIDA-020069 の状態ロジック スレッショルド

2.3.1.5 デジタル ロジック ゲート

TIDA-020069 は、[セクション 2.3.1.4](#) の回路によって生成された 2 進デジタル信号出力を使って HVIL システムの 4 つの状態 (通常動作、オープン、バッテリーへの短絡、グラウンドへの短絡) を表示します。SN74HCS08-Q1 クワッド チャンネル AND ゲートと SN74HCS86-Q1 クワッド チャンネル XOR ゲートは 2 つの 2 ビット 2 進デジタル値を出力状態に変換します。また、これらのロジック ゲートは、外部測定ハードウェアを必要とせず、オンボード LED を制御して、リアルタイムでボードの各状態を視覚的に表示します。システム統合をさらに最適化するため、これら 4 つの状態値を 2 ビットの 2 進値に変換できます。ここで、それぞれの組み合わせは 4 つの状態の 1 つを表しています。このように、HVIL-Send および HVIL-Return アナログ信号から 2 進値、さらに状態値に変換することで、ソフトウェアではなくハードウェアで状態識別を処理できるため、システムレベル設計が簡素化されます。

以下の回路は、TIDA-020069 で使用されている論理ゲート構成を示しています。

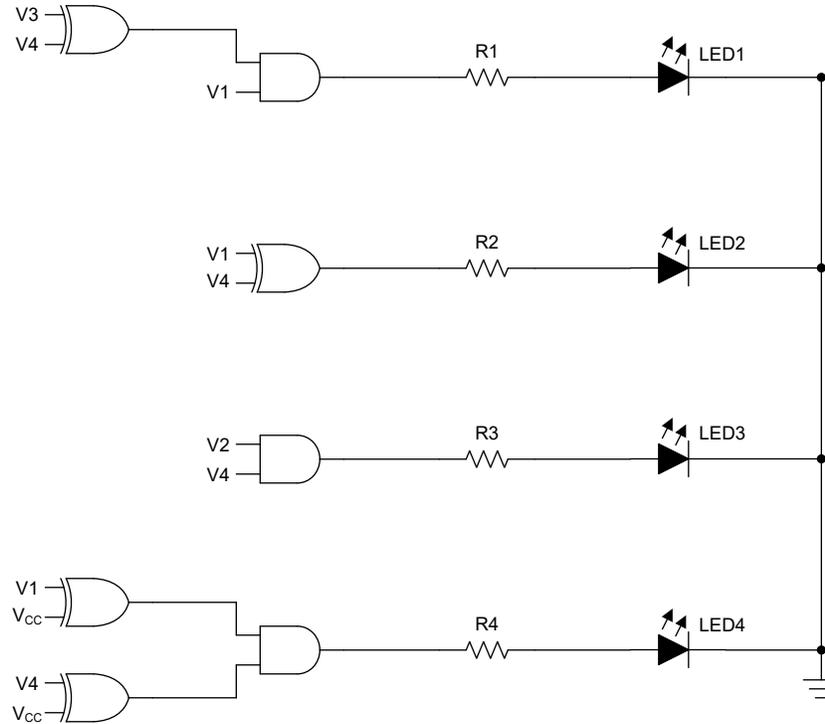


図 2-14. デジタル ロジック ゲート

この回路図では、V1 は HVIL-Send Logic-Higher、V2 は HVIL-Send Logic-Lower、V3 は HVIL-Return Logic-Higher、V4 は HVIL-Return Logic-Lower を表しています。LED1 は通常動作 LED、LED2 はオープン LED、LED3 は バッテリ短絡 LED、LED4 は グランド短絡 LED を表しています。

この回路のロジックはテスト済みであり、その結果をセクション 3.3 に示します。表 2-5 に、このリファレンス デザインの全 真理値表を示します。これはこのデジタル ロジック回路のすべての理論的可能性を示す包括的な真理値表ですが、TIDA-020069 において入力のすべての組み合わせが可能であるとは限りません。たとえば、V2 が 1 に等しいと同時に、V1 が 0 に等しくなることはありません。その理由は、HVIL-Send Logic-Higher (V1) が 1 である場合、HVIL-Send Logic-Lower (V2) は 1 である必要があるためです。V3 と V4 についても同様です。バッテリへの短絡または負荷への短絡が発生する場所を変えたとしても、4 種類の状態によっては生成されないその他の可能性が、この表には表示されています。点灯するステータス LED インジケータは常に 1 つのみです。

表 2-5. デジタル論理ゲートの真理値表

V1	V2	V3	V4	LED1	LED2	LED3	LED4
0	0	0	0	0	0	0	1
0	0	0	1	0	1	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	1	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	1	1	0
0	1	1	0	0	0	0	0
0	1	1	1	0	1	1	0
1	0	0	0	0	1	0	0
1	0	0	1	1	0	0	0
1	0	1	0	1	1	0	0
1	0	1	1	0	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	1	0	1	0
1	1	1	0	1	1	0	0
1	1	1	1	0	0	1	0

2.3.2 状況の指標

2.3.2.1 通常動作 (閉じた接続) の状態

すべての負荷抵抗が直列に接続されている場合、TIDA-020069 は通常動作 (閉じた接続) の状態にあります。この状態では、[図 3-7](#) のテスト結果画像に示すように、「Normal Operation」(通常動作) と表示されたオンボード LED が点灯します。この状態は、HVIL システム内のすべての高電圧コネクタが閉じた安全な接続を表しています。HEV/EV では、車両の電源がオンである限り、これは通常動作と見なされます。TIDA-020069 はすべての高電圧コネクタが安全に接続されていることを示しているため、この状態では、高電圧バッテリーは有効化されます。

[図 2-15](#) に、通常動作中の HVIL-Send と HVIL-Return に期待される動作を示します。高電圧コネクタは、TIDA-020069 と直列に接続された抵抗としてモデル化されています。この状態では、電流は、インターロック ループと各高電圧コネクタを通して流れ、TIDA-020069 に戻ります。

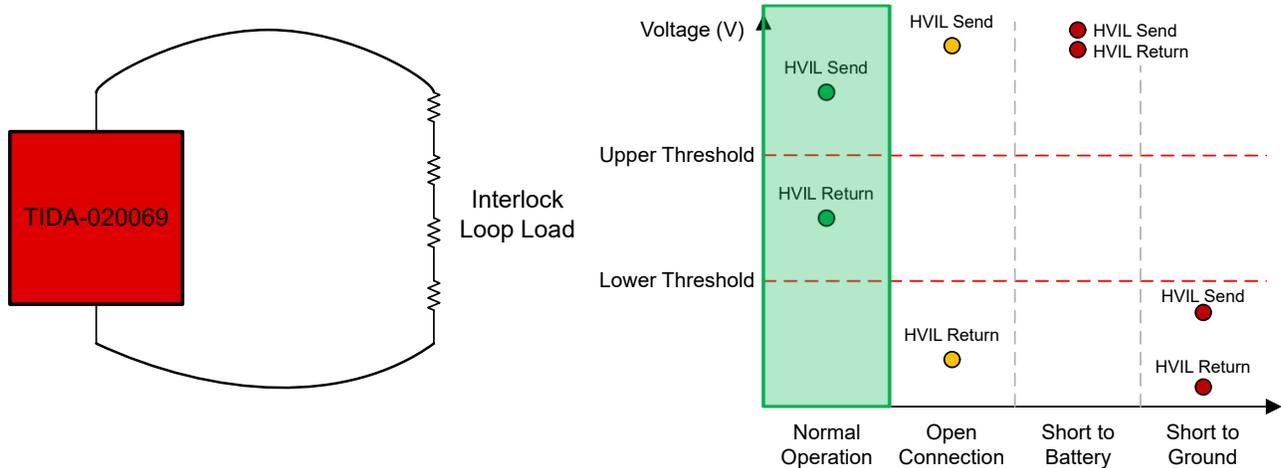


図 2-15. 通常動作 (閉じた接続) の状態

通常動作では、HVIL-Send の期待値は上側スレッショルド電圧レベルより高く、HVIL-Return の期待値は下側スレッショルド電圧レベルと上側スレッショルド電圧レベルの間にあります。HVIL-Send と HVIL-Return の間の差動電圧は次のように表されます。

$$V_{DIF} = V_{HVIL - SEND} - V_{HVIL - RETURN} = I_{LOAD} \times R_{LOAD} \quad (9)$$

この差動電圧 (V_{DIF}) と電流検出アンプの高精度測定値 ($V_{CS-output}$) から、TIDA-020069 が通常動作中であることが確認できます。

TIDA-020069 は、HVIL システムの多様な OEM 要件に柔軟に対応できるように設計されています。各システムの要件を満たすように、ループ電流 (I_{LOAD})、ループ抵抗 (R_{LOAD})、電源電圧を含む多くの変数を調整できます。これらの変数を変えると、TIDA-020069 が通常動作状態を正しく解釈するには、閉じた接続中、下側スレッショルド電圧レベルが HVIL-Return より低く、同時に上側スレッショルド電圧レベルが HVIL-Return より低くかつ下側スレッショルドより高い必要があります。[セクション 2.3.1.4](#) で選択する抵抗分圧比は、これらの要件を満たすように選択する必要があります。

2.3.2.2 オープン接続状態

高電圧コネクタのいずれかが切り離された場合、またはインターロック ループ内にオープン接続が存在する場合、TIDA-020069 はオープン接続状態になります。この状態では、**テスト結果画像**に示すように、「Open Connection」(オープン接続)と表示されたオンボード LED が点灯します。開放負荷状態は、サービス接続解除スイッチ、高電圧コネクタの切り離し、ワイヤハーネスの接続の緩みが原因で発生する可能性があります。合わないコネクタまたは不良コネクタによって生じる可能性がある意図しない開放負荷は、ループ内のどこでオープンが発生してもその挙動は同じであるため、位置を特定することが難しい場合があります。TIDA-020069 は、高電圧コネクタの接続が不適切であることを示しているため、この状態の間、HEV/EV の高電圧バッテリーは無効化されます。

図 2-16 に、開放負荷状態中の HVIL-Send と HVIL-Return に期待される動作を示します。高電圧コネクタは、間にオープンが存在する抵抗としてモデル化されています。このオープンは、インターロック ループ内の任意の場所 (負荷の前、負荷抵抗の間、負荷の後) で発生する可能性があります。この状態では、CS-Output 電流検出テスト ポイントの変化によって示されるように、インターロック ループに電流は流れません。

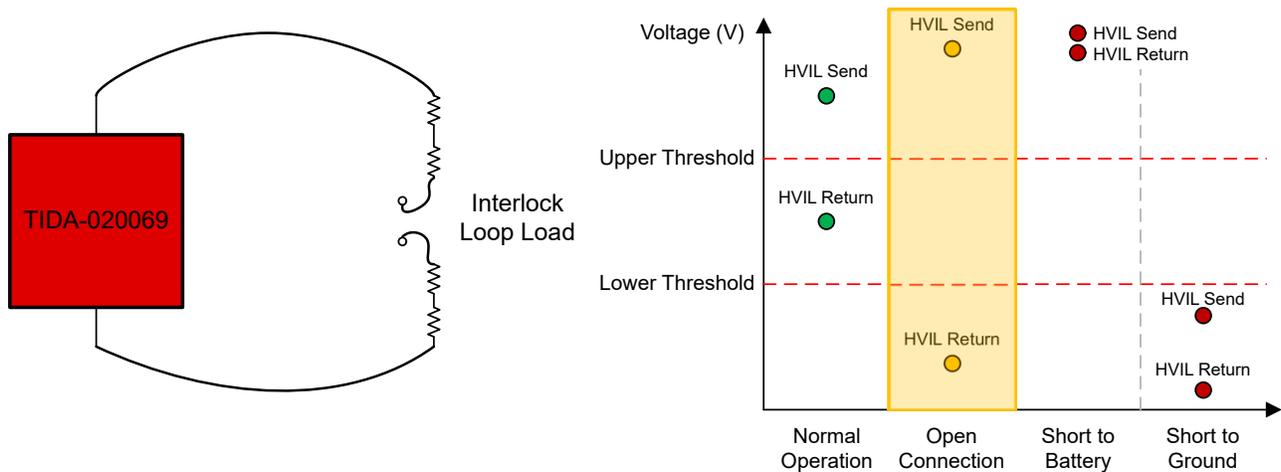


図 2-16. インターロックラインの開放負荷

オープン接続状態では、HVIL-Send の期待値は、**セクション 2.3.1.4** の回路段で設定された上側スレッショルド電圧レベルより高く、HVIL-Return の期待値は下側スレッショルド電圧レベルより低くなります。この状態では、TPS7B69-Q1 から供給される 5V の V_{CC} 電源電圧のより近くに HVIL-Send がプルされ、グラウンドのより近くに HVIL-Return がプルされるのに従って、HVIL-Send と HVIL-Return の間の差動電圧は増加します。HVIL-Return は**セクション 2.3.1.1** の回路内の BJT トランジスタのコレクタを介してグラウンドに接続されているため、この場合、HVIL-Return はグラウンドまで完全にプルされるわけではありません。**セクション 2.3.1.1** の回路で使われている TLV9002-Q1 の非反転入力端子への入力電圧 V_{IN} は 1V に設定されました。この電圧は、閉帰還システムにおける仮想的短絡の概念によって反転端子の入力に反映され、BJT のエミッタに接続されています。したがって、BJT のコレクタに接続されている HVIL-Return の値は次のように表されます。

$$V_{\text{HVIL-Return}} = V_{\text{IN-}} + V_{\text{CE-SAT}} = V_{\text{IN+}} + V_{\text{CE-SAT}} = \left(V_i \times \left(\frac{R_2}{R_1 + R_2} \right) \right) + V_{\text{CE-SAT}} \quad (10)$$

TIDA-020069 は、HVIL システムの多様な OEM 要件に柔軟に対応できるように設計されています。各システムの要件を満たすように、ループ電流 (I_{LOAD})、ループ抵抗 (R_{LOAD})、電源電圧を含む多くの変数を調整できます。ただし、TIDA-020069 では、**修正したウィンドウ コンパレータ**段で設定された下側スレッショルド電圧が、開放条件で計算されたこの HVIL-Return 電圧よりも高い必要があります。下側スレッショルドを設定する抵抗分圧器は、TLV9002-Q1 に $V_{\text{IN+}}$ を設定する抵抗分圧器よりも高い電圧を生成する必要があります。

2.3.2.3 バッテリ短絡状態

インターロック ループ内の任意の場所に 12V バッテリ電圧への短絡を挿入した場合、TIDA-020069 はバッテリ短絡状態になります。この短絡は、HVIL-Send と負荷の間、任意の負荷抵抗 (HV コネクタ) の間、負荷と HVIL-Return の間に挿入できます。この状態では、[テスト結果画像](#)に示すように、「Short to Battery」(バッテリへの短絡) と表示されたオンボード LED が点灯します。このバッテリ短絡状態の原因として、不適切な配線接続、コネクタの劣化、サービス中の誤操作によるインターロックピンとバッテリの短絡が考えられます。この状態は故障モードを表しており、HEV/EV の高電圧バッテリが直ちに無効化される必要があることを TIDA-020069 は示しています。

図 2-17 に、バッテリ短絡障害中の HVIL-Send と HVIL-Return に期待される動作を示します。高電圧コネクタは、TIDA-020069 と直列に接続された抵抗としてモデル化されていますが、インターロック ループには 12V バッテリへの短絡が挿入されています。

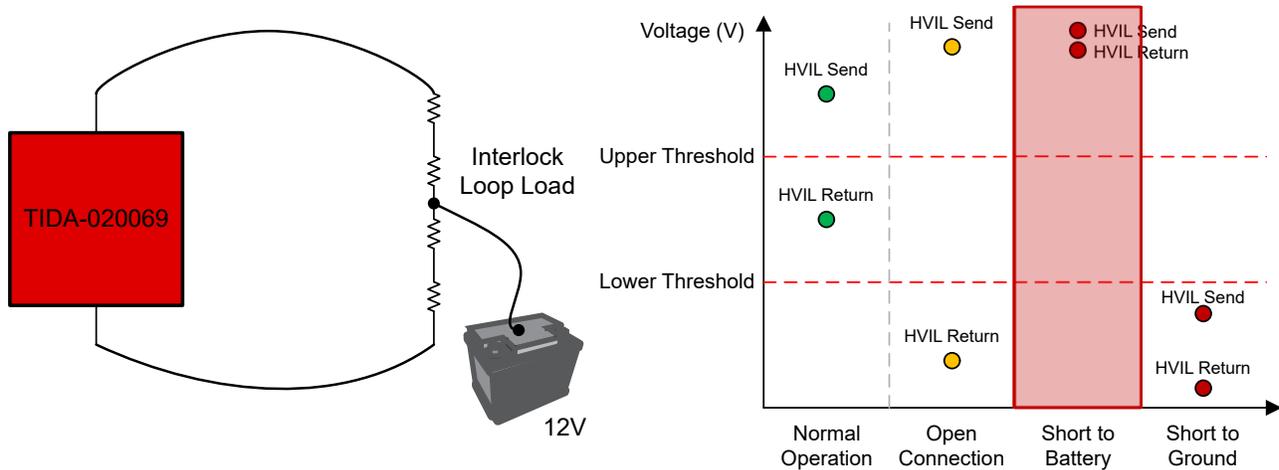


図 2-17. インターロックラインの 12V バッテリへの短絡

この障害状態では、HVIL-Send と HVIL-Return の両方の電圧が High にプルされます。リファレンス デザインの[セクション 2.3.1.3](#) の部分のクランプ ダイオードは、HVIL-Send と HVIL-Return を 5V (TPS7B69-Q1 によって安定化された電源電圧) にクランプします。これにより、過電圧効果を防止し、HVIL-Send と HVIL-Receive に接続される MCU などの下流デバイスを保護します。

この故障モードでは、インターロック ループ内で短絡が挿入されている場所に関係なく、HVIL-Send と HVIL-Return の間の差動電圧 V_{DIF} は非常に小さくなります。TIDA-20069 の状態ロジックが正常に動作するには、HVIL-Send と HVIL-Return の両方の電圧が上側スレッショルド電圧よりも高い必要があります。ただし、この状態では HVIL-Send と HVIL-Return の両方の電圧が、 $V_{HVIL-Send, Normal Operation}$ と $V_{HVIL-Send, Open Connection}$ よりも高くなります。そのため、[セクション 2.3.2.1](#) と [セクション 2.3.2.2](#) の設計ガイドラインがこの状態のために満たす必要がある追加の設計要件はありません。

この状態の結果は、「[テスト結果](#)」セクションで確認できます。

2.3.2.4 グランド短絡状態

インターロック ループ内の任意の場所にグランドへの短絡が挿入された場合、TIDA-020069 はグランド短絡状態になります。この短絡は、HVIL-Send と負荷の間、任意の負荷抵抗 (HV コネクタ) の間、負荷と HVIL-Return の間に挿入される可能性があります。この状態では、**テスト結果画像**に示すように、「Short to Ground」(グランドへの短絡) と表示されたオンボード LED が点灯します。このグランド短絡状態の原因として、不適切な配線接続、コネクタの劣化、サービス中の誤操作によるインターロック ピンとグランドの短絡が考えられます。この状態は故障モードを表しており、HEV/EV の高電圧バッテリーが直ちに無効化される必要があることを TIDA-020069 は示しています。

図 2-18 に、グランド短絡障害中の HVIL-Send と HVIL-Return に期待される動作を示します。高電圧コネクタは、TIDA-020069 と直列に接続された抵抗としてモデル化されています。しかし、グランドへの短絡がインターロック ループに挿入されています。

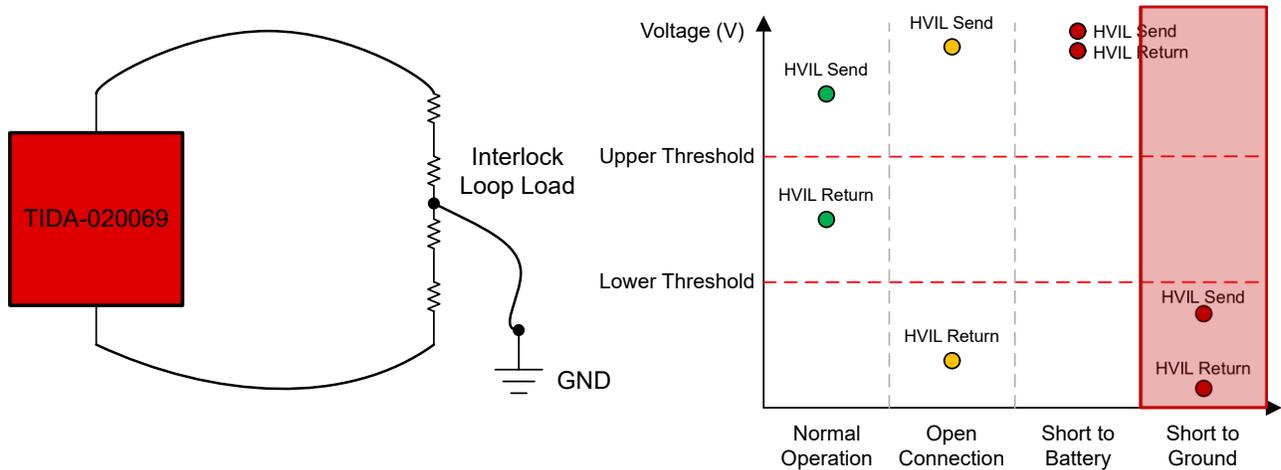


図 2-18. インターロックラインのグランドへの短絡

この障害状態では、HVIL-Send と HVIL-Return の両方の電圧が Low にプルされます。リファレンス デザインの **セクション 2.3.1.3** のクランプ ダイオードは、HVIL-Send と HVIL-Return をグランドにクランプし、これらのピンがグランドより低い電位にプルされないようにしています。これにより、低電圧効果を防止し、HVIL-Send と HVIL-Receive に接続される MCU などの下流デバイスを保護します。

バッテリー短絡モードとは異なり、HVIL-Send と HVIL-Return の間の差動電圧 V_{DIF} には、インターロック ループ内に短絡が挿入される場所に応じて、顕著な差があります。図 2-18 において、この状態での HVIL-Send と HVIL-Return の電圧はどちらも下側スレッショルド電圧より低くなっています。ただし、障害状態における HVIL-Send の電圧は、グランド短絡の位置によって変わる可能性があります。HVIL-Send ノードと最初の負荷抵抗との間にグランド短絡が存在する場合、HVIL-Send はグランドにプルされます。HVIL-Return ノードの近くにグランド短絡が挿入された場合、HVIL-Send の電圧は上がります。この HVIL-Send 電圧は下側スレッショルド電圧レベルを超えることがあります。TIDA-020069 が正常に動作するには、HVIL-Send が上側スレッショルド電圧レベルより低く、かつ HVIL-Return が下側スレッショルド電圧レベルより低い必要があります。

この状態の結果は、「**テスト結果**」セクションで確認できます。

3 ハードウェア、テスト要件、およびテスト結果

3.1 ハードウェア要件

TIDA-020069 は、アプリケーションの観点からリファレンス デザインを説明するため、次の 4 つの部分に分類されます。

- シグナル チェーン
- デジタル ロジック
- 電源
- ヘッダー コネクタ

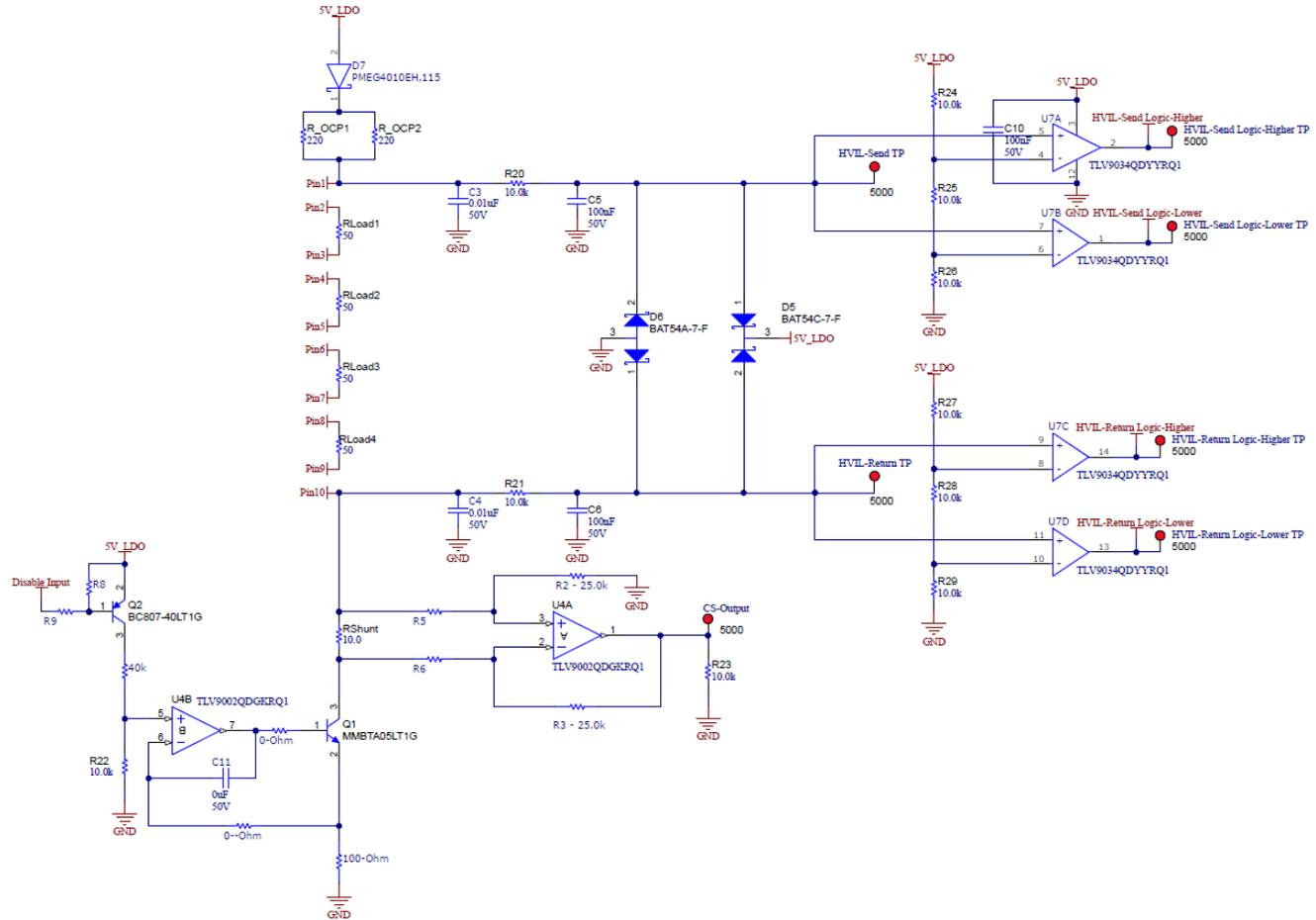


図 3-1. TIDA-020069 の回路図:シグナル チェーン

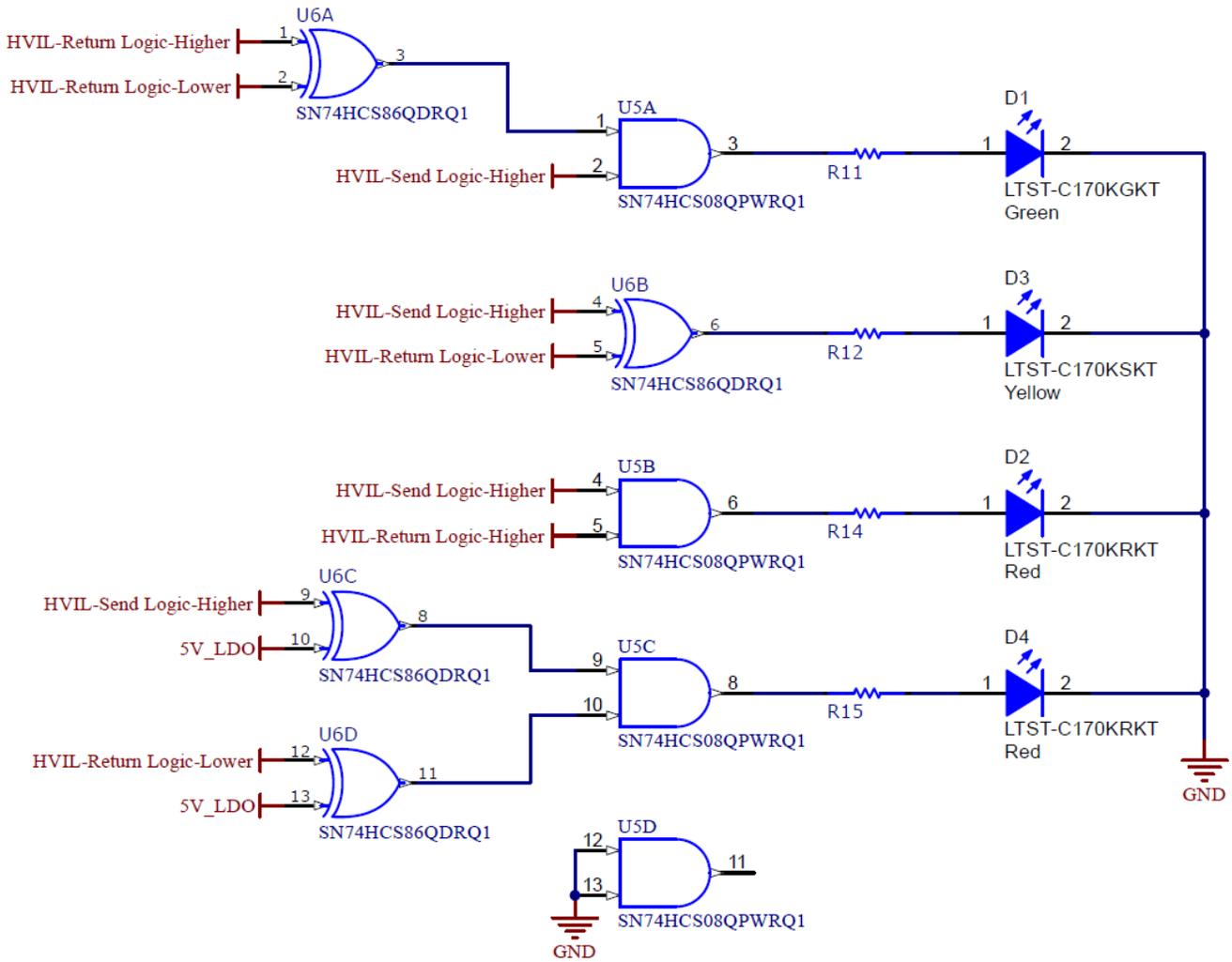


図 3-2. TIDA-020069 の回路図: デジタル ロジック

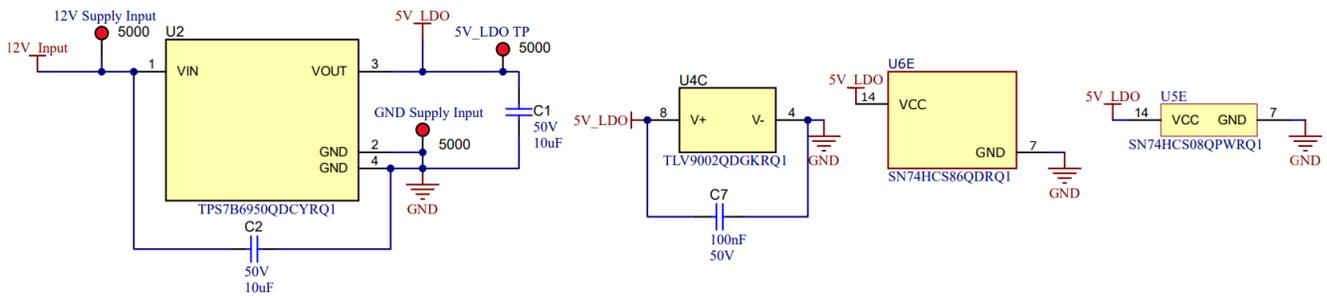


図 3-3. TIDA-020069 の回路図: 電源

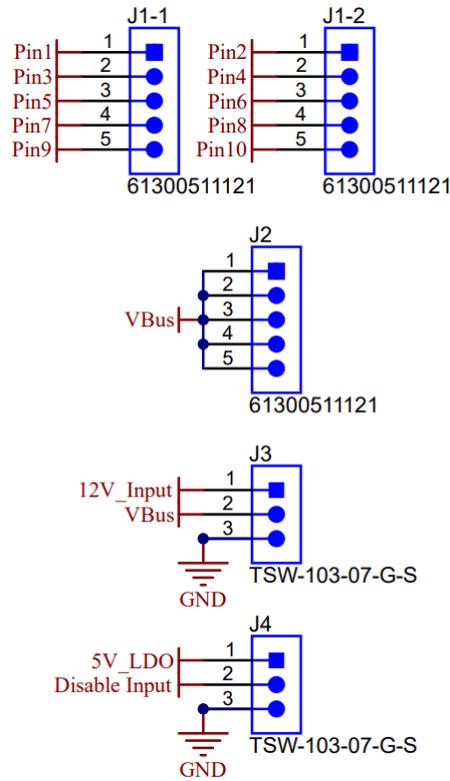


図 3-4. TIDA-020069 の回路図:ヘッダー コネクタ

3.2 テスト構成

このリファレンス デザインは、1 つの 12V 電源のみで動作とテストを行うことができます。インターロックの状態を視覚的に表示するため、このリファレンス デザインにはオンボード LED インジケータが備わっています。これらの LED は「Normal Operation」(通常動作)、「Open Connection」(オープン接続)、「Short to Battery」(バッテリーへの短絡)、「Short to Ground」(グラウンドへの短絡)と表示されており、点灯することで、HVIL 信号負荷の対応する状態を示します。

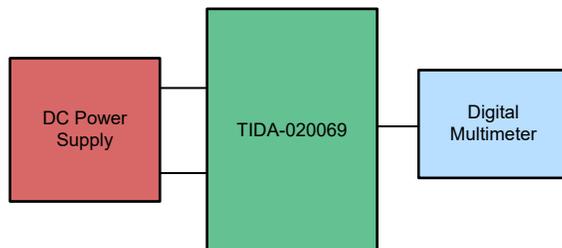


図 3-5. TIDA-020069 のテストの構成

このリファレンス デザインを使って複数の状態を再現およびテストし、通常動作と各種インターロック状態を診断する機能の両方を検証します。このリファレンス デザインは、HVIL コネクタのインピーダンスに相当する 4 つの 50Ω 抵抗を備えています。これらの負荷抵抗は、直列に接続する、オープン接続のままにする、それらの抵抗の間に短絡を挿入する、のいずれかにできます。PCB ジャンパ短絡は、PCB のヘッダー ピンと組み合わせることで、各種動作モードを構成できます。

図 3-6 に、PCB 上の各種ピン ヘッダー位置を示します。J1-1、J1-2 とラベル付けされた 1 × 5 ピン ヘッダー列は、負荷抵抗の各端子 (RLoad1、RLoad2、RLoad3、RLoad4) に接続されます。J1-1 ~ J1-2 の 5 行すべてを 2 ピンの PCB シャントコネクタと接続すると、4 つの負荷抵抗がすべて直列に接続されます。これは、通常動作条件に使われる接続です。J1-1 と J1-2 の間の任意の 2 ピン PCB シャントコネクタを切り離すと、オープン接続 (切り離し) 状態となり、これはオープン接続条件に使われます。

J2 とラベル付けされた 1 × 5 ピン ヘッダー列は、すべてのピンの間が短絡しているため、J2 は 電源電圧バスレールのように振る舞います。J3 とラベル付けされた 1 × 3 ピン ヘッダー列は、行 1 が 12V 電源入力に、行 2 が J2 に、行 3 がグラウンドに接続されています。J3 の行 1 と行 2 の間に 1 つの 2 ピン PCB シャントコネクタを接続すると、J2 は、12V 電源電圧に接続されたバスレールになります。J3 の行 2 と行 3 の間に 1 つの 2 ピン PCB シャントコネクタを接続すると、J2 は、グラウンド電源電圧に接続されたバスレールになります。列 J2、J1-1、J1-2 の間に 3 ピン PCB シャントコネクタを接続すると、対応する行に 12V 電源電圧とグラウンド電源のどちらかへの短絡が挿入されます。この短絡は、4 つの負荷抵抗の前、任意の抵抗の間、負荷の後のいずれかに挿入できます。

ボードのシャットダウン機能を制御するため、J4 とラベル付けされた 3 × 1 ピン ヘッダー行を使います。列 1 は、プルアップ抵抗 R8 を介して 5V 電圧に接続されています。列 2 は、スイッチとして動作しているトランジスタ Q2 のベースに接続されています。列 3 はグラウンド電源電圧に接続されています。列 1 と列 2 の間に 2 ピン PCB シャントコネクタを挿入すると、シャットダウン機能は有効化され (アクティブ High)、電流源はシャットダウン モードに遷移します。列 2 と列 3 の間に 2 ピン PCB シャントコネクタを挿入すると、シャットダウン機能は無効化され (アクティブ Low)、システムは期待どおりに動作します。

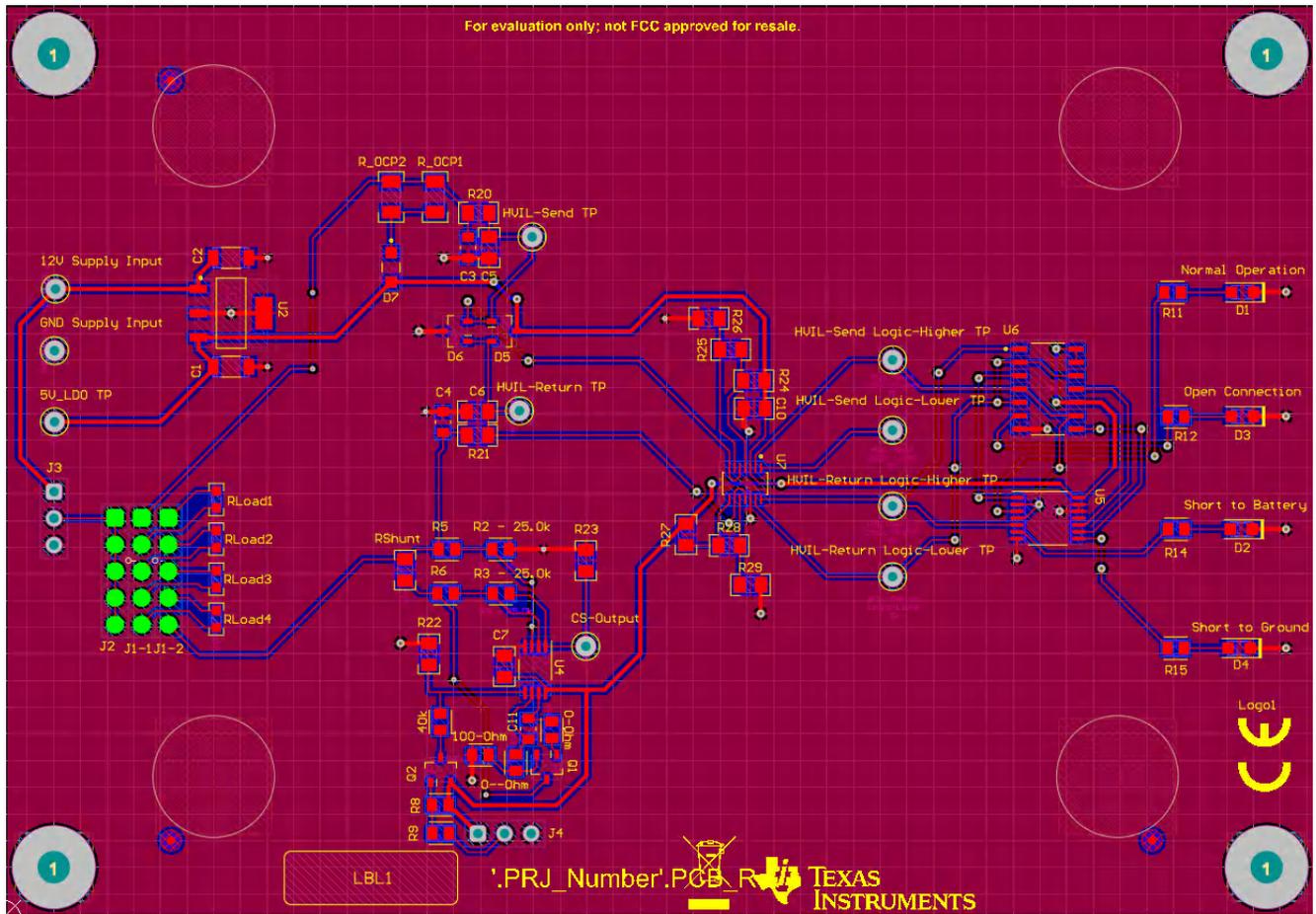


図 3-6. TIDA-020069 の PCB ヘッダーの接続

DC 電圧および電流の測定は、デジタル マルチメータを使って、ボード上の多数の地点で行われました。以下のテストポイントは、複数の動作モードで測定されました。5V_LDO TP、HVIL-Send TP、HVIL-Return TP、HVIL-Send Logic-Higher TP、HVIL-Send Logic-Lower TP、HVIL-Return Logic-Higher TP、HVIL-Higher Logic-Lower TP、CS-Output。以下の「[テスト結果](#)」セクションにテスト結果を示します。

3.3 テスト結果

デジタル マルチメータを使用して、TIDA-020069 の複数のテスト ポイントの電圧と電流を測定します。これらの結果を、回路の TINA-TI シミュレーションで得られたシミュレーション値と比較します。ボードは、PCB ヘッダー シャントコネクタを使用して、16 種類の状態に構成されました。

表 3-1. テストの測定結果

条件	5V_LDO TP (V)	HVIL-SEND (V)	HVIL-RETURN (V)	HVIL-SEND LOGIC-HIGHER (V)	HVIL-SEND LOGIC-LOWER (V)	HVIL-RETURN LOGIC-HIGHER (V)	HVIL-RETURN LOGIC-LOWER (V)	CS-OUTPUT (V)	ループ電流 (mA)	電源電流 (mA)
通常動作	5.00	3.68	1.69	5.00	5.00	0.00	5.00	2.47	9.97	18
開ループ	5.00	4.98	1.00	5.00	4.99	0.00	0.00	1.77	0.00	18
バッテリーへの短絡 (行 #1)	5.00	5.26	5.24	5.00	5.00	5.00	5.00	0.33	15.98	20
バッテリーへの短絡 (行 #2)	5.00	5.26	5.25	5.00	5.00	5.00	5.00	0.01	17.23	21
バッテリーへの短絡 (行 #3)	5.00	5.26	5.25	5.00	5.00	5.00	5.00	0.01	18.70	21
バッテリーへの短絡 (行 #4)	5.00	5.26	5.25	5.00	5.00	5.00	5.00	0.01	20.43	22
バッテリーへの短絡 (行 #5)	5.17	5.44	5.44	5.18	5.18	5.18	5.18	0.01	22.53	23
グラウンドへの短絡 (行 #1)	5.28	0.01	1.01	0.00	0.00	0.00	0.00	0.00	44.00	70
グラウンドへの短絡 (行 #2)	5.19	1.55	0.98	0.00	0.00	0.00	0.00	0.00	29.81	56
グラウンドへの短絡 (行 #3)	5.16	2.34	0.94	0.00	5.15	0.00	0.00	0.00	22.77	51
グラウンドへの短絡 (行 #4)	5.18	2.84	0.86	0.00	5.16	0.00	0.00	0.00	18.57	54
グラウンドへの短絡 (行 #5)	5.27	3.23	0.01	0.00	5.23	0.00	0.00	0.00	15.86	62
シャットダウン (通常動作)	5.00	4.82	4.75	5.00	5.00	5.00	5.00	0.02	0.37	4
シャットダウン (開ループ)	5.00	4.99	0.01	5.00	5.00	0.00	0.00	0.00	0.00	3
シャットダウン (バッテリーへの短絡)	6.49	6.75	6.74	6.49	6.49	6.49	6.49	0.01	-0.53	9
シャットダウン (グラウンドへの短絡)	5.01	2.27	0.00	0.00	5.01	0.00	0.00	0.00	22.13	26

3.3.1 通常動作 (閉じた接続) のテスト結果

図 3-7 に、通常動作 (閉じた接続) 状態に構成された TIDA-020069 ボードを示します。この状態では、すべての HVIL 負荷抵抗が直列に接続されており、電流は負荷を通して流れます。これは、すべての高電圧コネクタが確実に接続され、HVIL ループが閉じている HEV/EV 内の通常動作を再現しています。

この状態に対応して、図 3-7 の「Normal Operation」(通常動作) LED インジケータが点灯します。これにより、この状態での HVIL-Send および HVIL-Return 電圧の論理的解釈を確認できます。

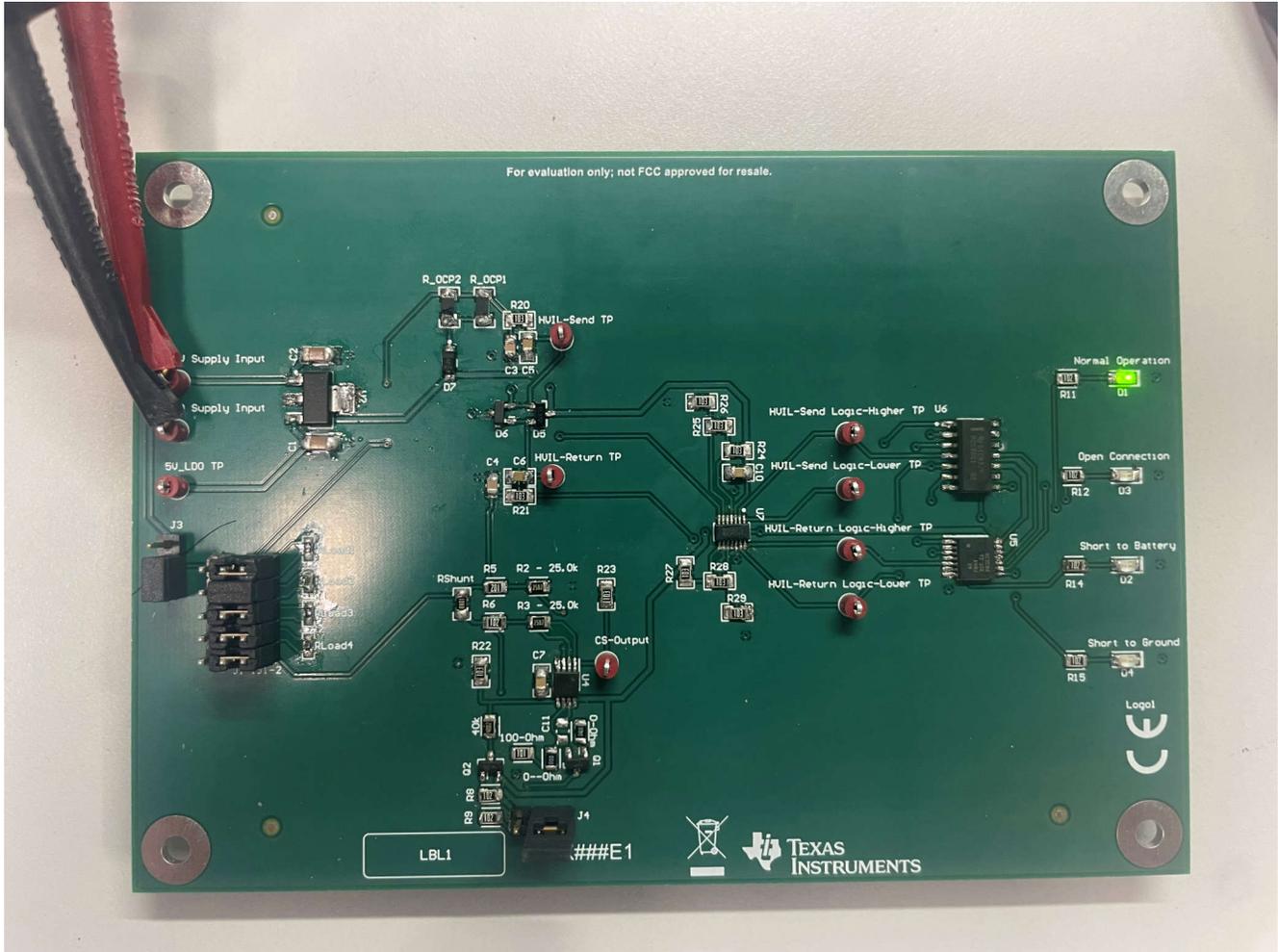


図 3-7. 通常動作 (閉じた接続) のテスト結果

3.3.2 オープン接続のテスト結果

図 3-8 に、オープン接続状態に構成された TIDA-020069 ボードを示します。この状態では、HVIL ループ内のある場所で、HVIL 負荷抵抗が切り離されており、負荷に電流は流れていません。これは、高電圧コネクタが切り離された HEV/EV 内の状態を再現しています。オープン接続は、車両のメンテナンス中、または衝突の結果として発生する可能性があります。この状態では、高電圧コネクタは接続されておらず、HVIL ループはオープン接続として見えます。

この状態に対応して、図 3-8 の「Open Connection」(オープン接続) LED インジケータが点灯します。これにより、この状態での HVIL-Send および HVIL-Return 電圧の論理的解釈を確認できます。

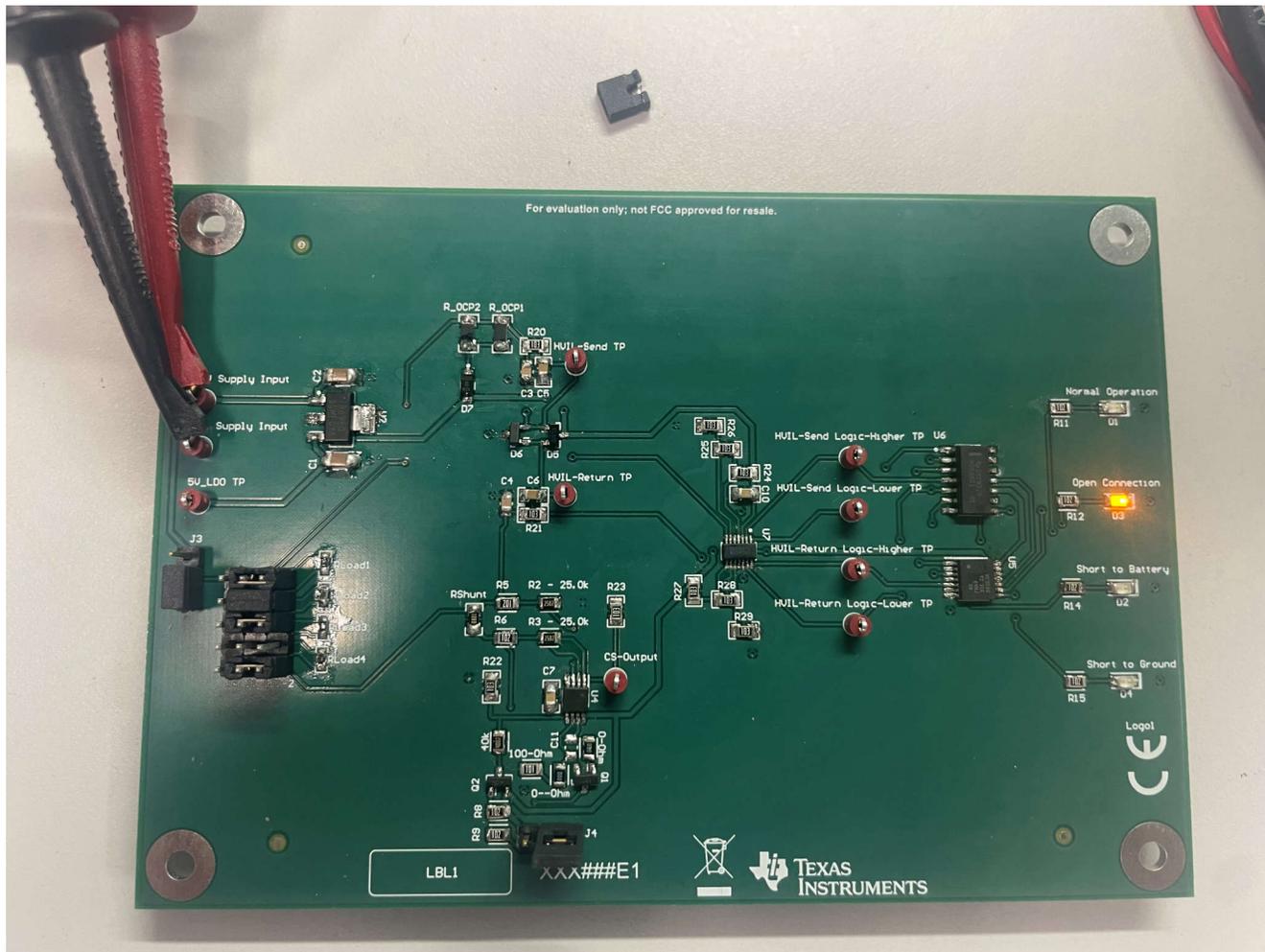


図 3-8. オープン接続のテスト結果

3.3.3 バッテリ短絡テスト結果

図 3-9 に、バッテリ短絡障害状態に構成された TIDA-020069 ボードを示します。この状態では、ループ内のある場所で、HVIL 負荷が 12V バッテリ電圧に短絡しています。この短絡は、負荷抵抗の前、後、間に存在する可能性があります。これは、HEV/EV 内の故障モードを再現しており、この短絡障害の間、コネクタが閉じた構成であるかオープン構成であるかを HVIL システムは判断できません。HVIL-Send ピンと HVIL-Return ピンが互いに短絡している場合にも、この障害は発生する可能性があります。この場合、シャント抵抗の両端で電流が依然として測定されますが、HVIL 負荷抵抗には電流は流れていません。このリファレンス デザインはこの障害状態を検出します。

この状態に対応して、図 3-9 の「Short to Battery」(バッテリへの短絡) LED インジケータが点灯します。これにより、この状態での HVIL-Send および HVIL-Return 電圧の論理的解釈を確認できます。

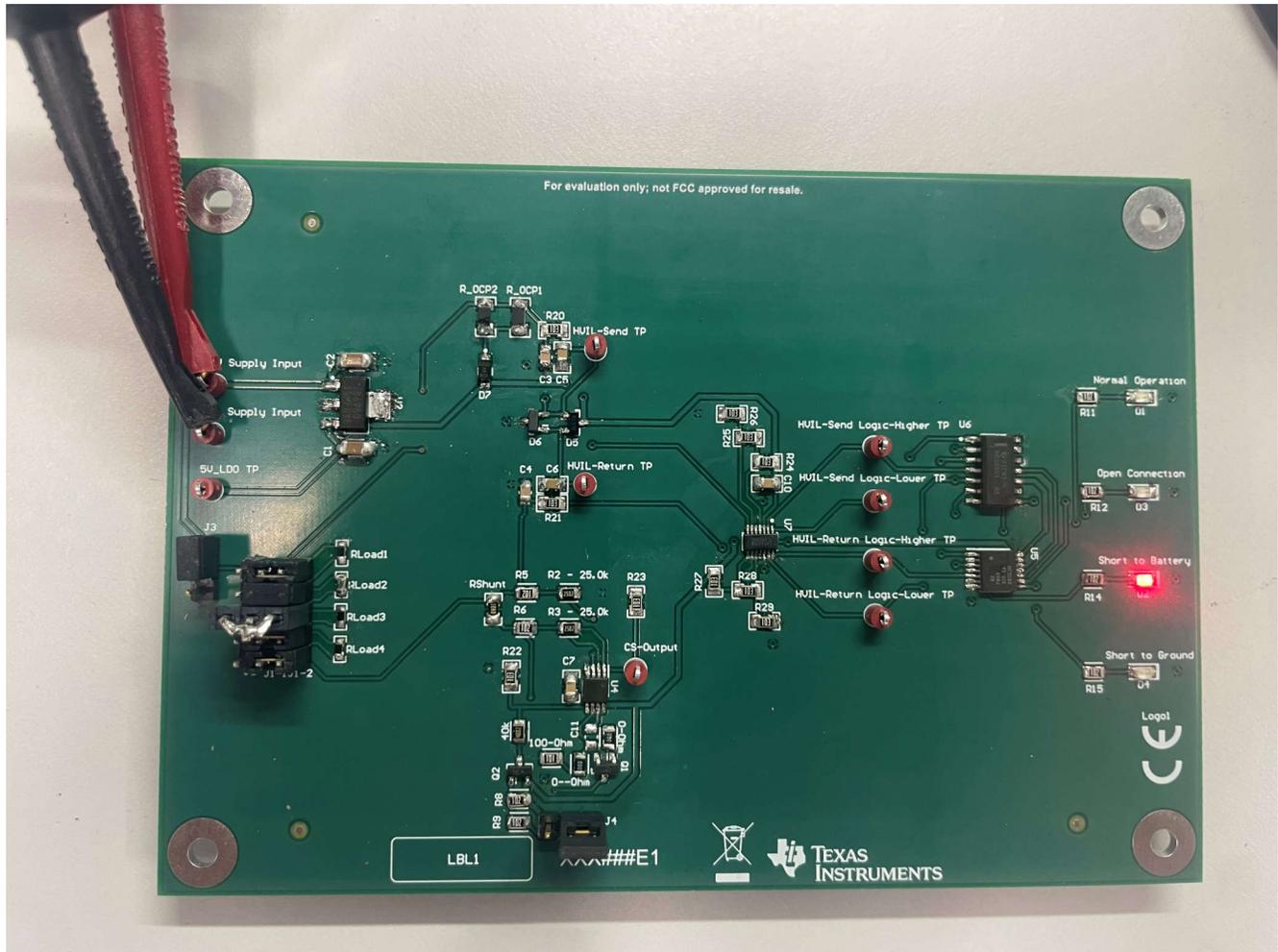


図 3-9. バッテリ短絡テスト結果

3.3.4 グランド短絡テストの結果

図 3-10 に、グランド短絡障害状態に構成された TIDA-020069 ボードを示します。この状態では、ループ内のある場所で、HVIL 負荷がグランドに短絡しています。この短絡は、負荷抵抗の前、後、間に存在する可能性があります。これは、HEV/EV 内の故障モードを再現しており、この短絡障害の間、コネクタが閉じた構成であるかオープン構成であるかを HVIL システムは判断できません。

この状態に対応して、図 3-10 の「Short to Ground」(グランドへの短絡) LED インジケータが点灯します。これにより、この状態での HVIL-Send および HVIL-Return 電圧の論理的解釈を確認できます。

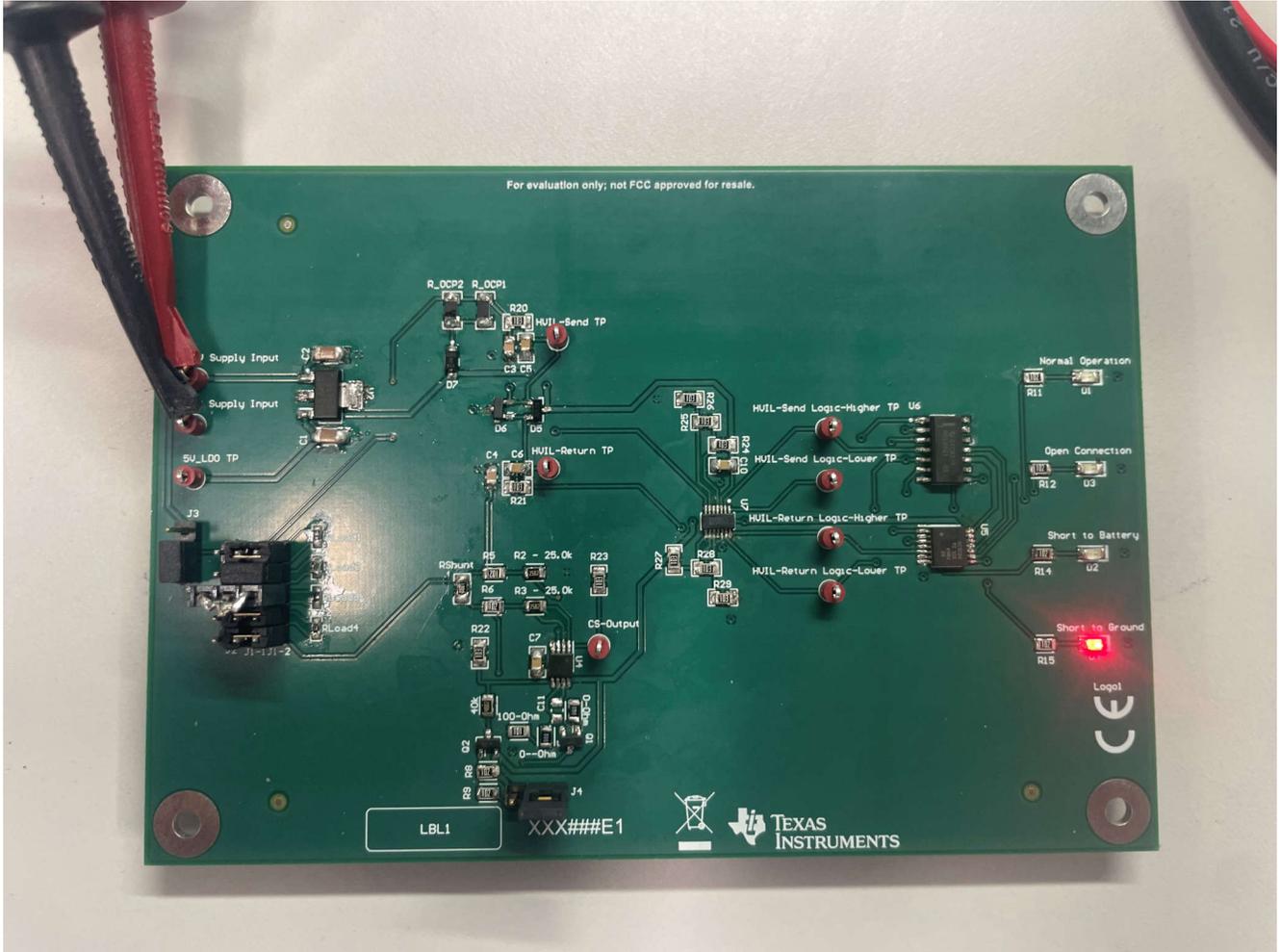


図 3-10. グランド短絡テストの結果

3.3.5 ディセーブル (シャットダウン) のテスト結果

図 3-11 に、ディセーブル (シャットダウン) モードに構成された TIDA-020069 ボードを示します。この状態では、コネクタ J4 のディセーブル電圧は論理レベル High にプルされています。この信号がアクティブ High になると、アンプは無効化されます。定電流源の出力電流は 100 分の 1 に減少します。また、ディセーブル モードでは、HVIL 負荷の両端の電圧降下も 100 分の 1 に低減され、HVIL-Send と HVIL-Return の電圧範囲はバッテリー短絡障害モードと同じように見えます。この入力信号を使うと、全体システムが HVIL 読み取りを続ける準備が整うまで HVIL 設計を強制的に故障状態にする手動オーバーライドも可能です。

この状態に対応して、図 3-11 の「Short to Battery」(バッテリーへの短絡) LED インジケータが点灯します。これにより、この状態での HVIL-Send および HVIL-Return 電圧の論理的解釈を確認できます。

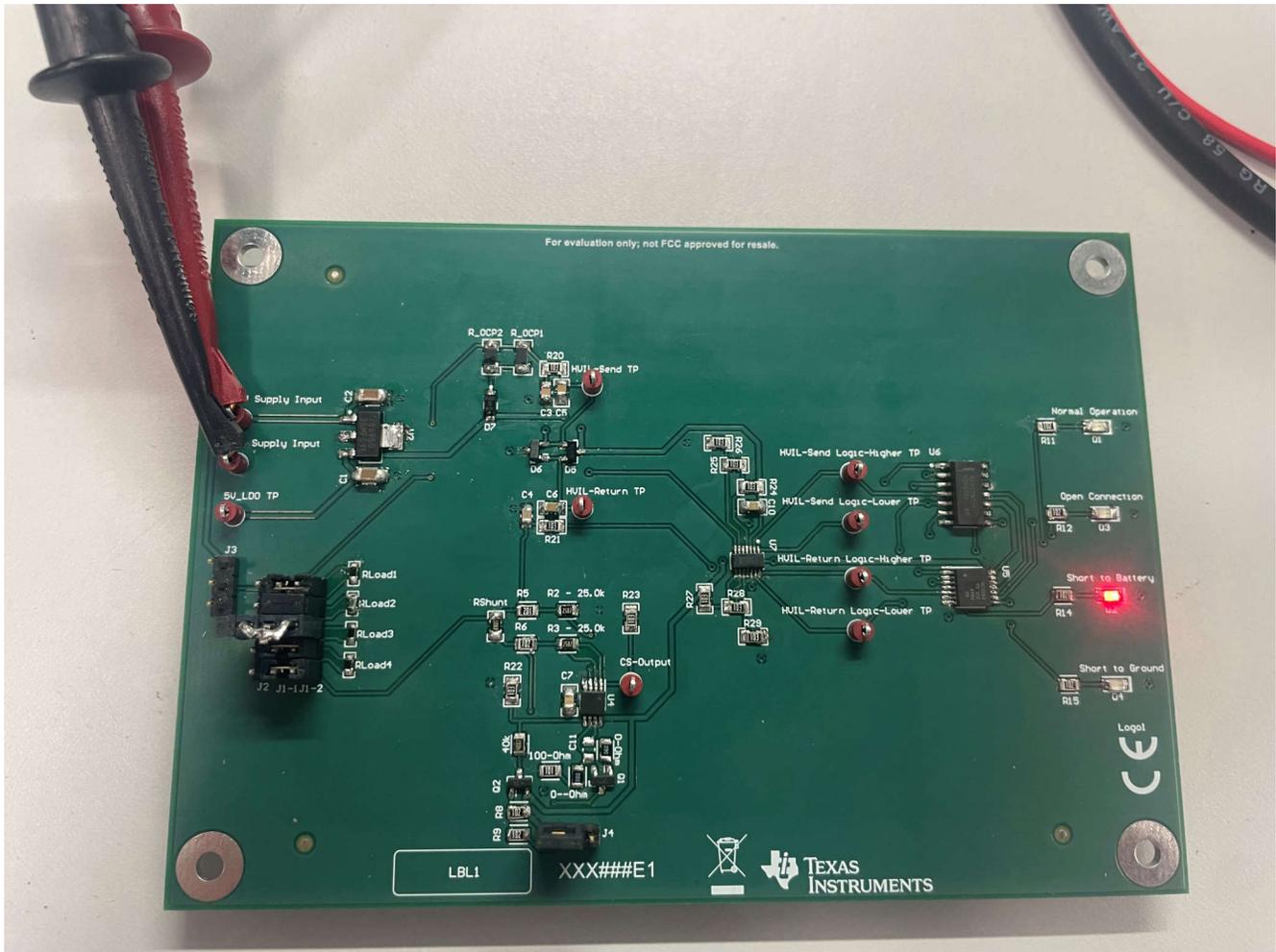


図 3-11. ディセーブル (シャットダウン) のテスト結果

4 デザイン ファイル

4.1 回路図

回路図をダウンロードするには、[TIDA-020069](#) のデザイン ファイルを参照してください。

4.2 部品表 (BOM)

部品表 (BOM) をダウンロードするには、[TIDA-020069](#) のデザイン ファイルを参照してください。

4.3 PCB レイアウトに関する推奨事項

インターロック モジュールの PCB レイアウトは、PCB 全体の配置とフロア プランに基づいて行う必要があります。

- バイパス コンデンサ C1、C2、C7、C8、C9、C10 は、対応する部品にできるだけ近付けて配置します。
- 部品 C11 は未実装のままにします。
 - 必要に応じて、安定性デバッグの目的でコンデンサをここに実装することもできます。
- 抵抗部品 (0Ω および 0Ω) には 0Ω のジャンパを使用します。
 - 必要に応じて、安定性デバッグの目的で抵抗をここに実装することもできます。

以下に記載された部品については、データシートのレイアウト ガイドに従います。

- [TLV9002-Q1](#)
- [TLV9034-Q1](#)
- [TPS7B69-Q1](#)
- [SN74HCS08-Q1](#)
- [SN74HCS86-Q1](#)

4.3.1 レイアウト プリント

レイヤ プロットをダウンロードするには、[TIDA-020069](#) のデザイン ファイルを参照してください。

4.4 Altium プロジェクト

Altium プロジェクト ファイルをダウンロードするには、[TIDA-020069](#) のデザイン ファイルを参照してください。

4.5 ガーバー ファイル

ガーバー ファイルをダウンロードするには、[TIDA-020069](#) のデザイン ファイルを参照してください。

4.6 アセンブリの図面

アセンブリの図面をダウンロードするには、[TIDA-020069](#) のデザイン ファイルを参照してください。

5 ツールとソフトウェア

ツール

[アナログ エンジニア向け回路クックブック:アンプ](#) アンプ回路の包括的なコレクションと、ステップバイステップの説明と式

[TI プレジジョン ラボ \(TIPL\) トレーニング シリーズ](#) アナログ信号チェーン設計者向けのオンデマンド コースおよびチュートリアルで構成されたテキサス・インスツルメンツの包括的なオンライントレーニング

ソフトウェア

[TINA-TI](#) SPICE ベースのアナログ シミュレーション プログラム

[PSPICE-FOR-TI](#) PSpice for TI™ 設計およびシミュレーション ツール

6 ドキュメントのサポート

1. テキサス・インスツルメンツ、[TI プレシジョン ラボ - オペアンプ TI トレーニング](#)
2. テキサス・インスツルメンツ、[アナログ エンジニア向け回路クックブック: アンプ](#)
3. テキサス・インスツルメンツ、[バイポーラ ジャンクショントランジスタ \(BJT\) を利用したハイサイド V-I 回路](#)の回路設計
4. テキサス・インスツルメンツ、[ディスクリート差動アンプ](#)を利用したハイサイド電流検出回路の回路設計

7 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8 商標

TI E2E™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9 著者について

KIERNAN FARMER は、テキサス州ダラスで勤務するテキサス・インスツルメンツのアンプ事業部のシステム エンジニア兼製品決定担当者です。Kiernan は、アナログ信号チェーン (特にアンプに関連する回路) の経験を車載分野で生かしています。Kiernan はフロリダ州立大学で電気工学の学士号を取得しました。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated