

Design Guide: TIDA-020071

Jacinto 7 プロセッサ向け、4 × 車載イーサネット PHY、100/1000Base-T1 用拡張のリファレンス デザイン



概要

このリファレンス デザインは、RGMII イーサネット拡張コネクタ経由で、Jacinto™ 7 プロセッサの評価基板に接続します。4 つの車載イーサネット接続を追加するために、テキサス・インスツルメンツの車載イーサネット物理層 (PHY) を使用します。このデザインは、テキサス・インスツルメンツの DP83TC818S-Q1 100Mbps および DP83TG721S-Q1 1000Mbps シングルペア イーサネット (SPE) PHY を使用した実装を示しています。12V をデータラインにカップリングするには、カップリング ネットワークを使用します。

リソース

TIDA-020071	デザイン フォルダ
DP83TC817S-Q1, DP83TC818S-Q1	プロダクト フォルダ
DP83TG720R-Q1, DP83TG721S-Q1	プロダクト フォルダ
TPS74701-Q1, TPS7B82-Q1	プロダクト フォルダ
TPS4H160-Q1	プロダクト フォルダ

特長

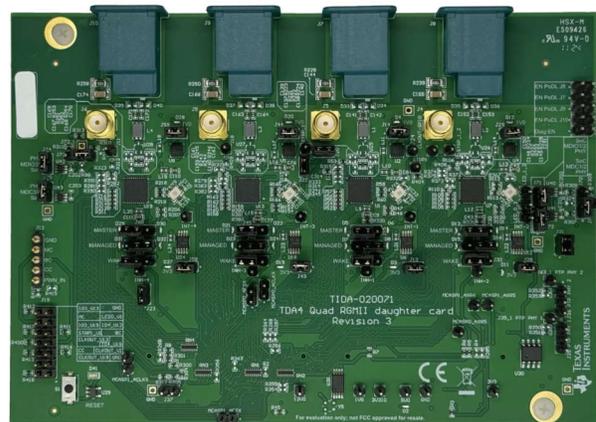
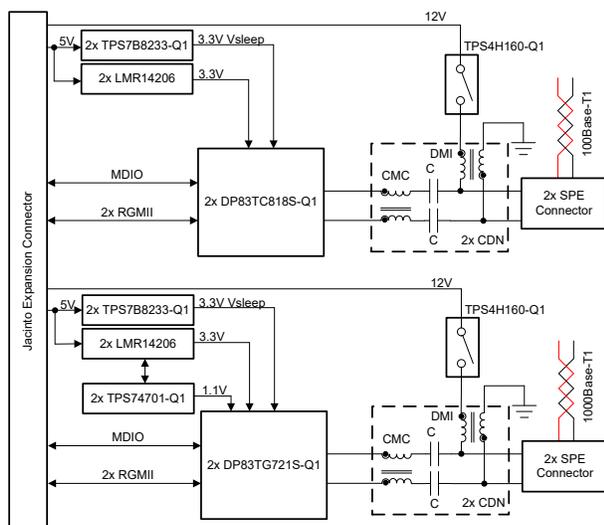
- RGMII を介して Jacinto™ 7 プロセッサに接続された 100Base-T1 および 1000Base-T1 車載イーサネット
- 4 つのイーサネット PHY すべてに同じクロックを供給するオプション
- テキサス・インスツルメンツの BAW 発振器を実装するオプション
- 12V 電源カップリングに対応できる、車載認定取得済みのフィルタ ネットワーク
- 識別用のボード ID EEPROM

アプリケーション

- 先進運転支援システム (ADAS)
- ボディ エレクトロニクスおよび照明
- インフォテインメントおよびクラスター
- ソフトウェア定義自動車



テキサス・インスツルメンツの E2E™ サポート エキスパートにお問い合わせください。



1 システムの説明

Jacinto™ 7 評価基板は、開発および評価用のプラットフォームであり、Jacinto™ 7 プロセッサ ファミリーを利用したソフトウェア記述とハードウェア開発を可能にします。システムの主要要素は評価基板に搭載されています。これにより、Jacinto™ 7 プロセッサを含むほとんどの汎用型プロジェクトに必要な基本リソースを利用できます。基本リソース以外に、拡張カードを使用して機能を追加できます。

このリファレンス デザインは、テキサス・インスツルメンツの車載イーサネット PHY を使用して、4 つの車載イーサネット接続を追加します。DP83TC818S-Q1 車載イーサネット PHY は、100Mbps のリンク速度をサポートし、IEEE 802.3bw および OA 100BASE-T1 に準拠しています。IEEE 1588v2、802.1AS 時間同期をサポートし、IEEE 1722 CRF パケットデコーディングおよびオーディオ ビデオブリッジ (AVB) メディア クロック生成をサポートしており、IEEE 802.1AE MACsec をサポートしています。DP83TG721 車載イーサネット PHY は、1000Mbps のリンク速度をサポートし、IEEE 802.3bp に準拠しています。IEEE 1588v2、802.1AS 時間同期機能を搭載しているほか、AVB IEEE 1722 メディア クロック生成機能を備えています。

1.1 主なシステム仕様

TIDA-020071 デザインの主な特長は以下のとおりです。

- 100Base-T1 および 1000Base-T1 車載イーサネット
- 12V を車載イーサネット ケーブルに接続可能
- DP83TC818S-Q1 の 1.0V を PHY の内部 LDO から供給
- テキサス・インスツルメンツの BAW 発振器から、クロック バッファを介して 4 つのイーサネット PHY すべてに同じクロックを供給するオプション
- テキサス・インスツルメンツの BAW 発振器を実装するオプション
- 識別用のボード ID EEPROM

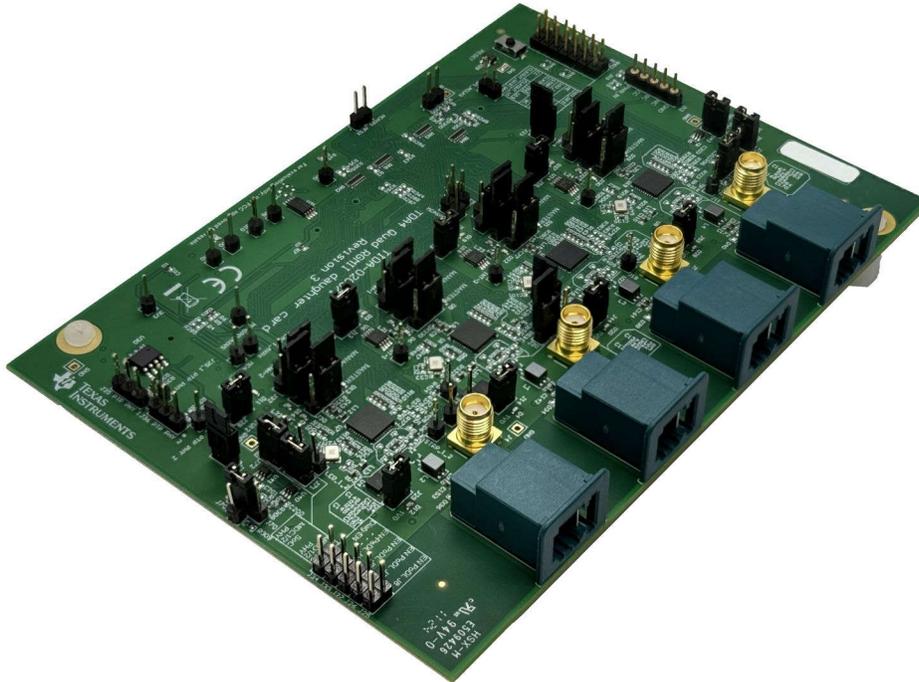


図 1-1. TIDA-020071 ボード

2 システム概要

図 2-1 に示すように、このシステムは 1 枚の基板で構成されており、一方の側は拡張コネクタ経由で Jacinto™ 7 プロセッサ評価基板に接続され、もう一方の側はツイストペア ケーブル経由で 4 つのリンク パートナーに接続されています。

Jacinto™ 7 評価基板は、拡張コネクタを介して 5V の電力を降圧コンバータおよび 3.3V VSleep 用の LDO に供給します。また、この評価基板は、差動モード インダクタに 12V を供給して、車載イーサネット ケーブルに電力をカップリングします。

2.1 ブロック図

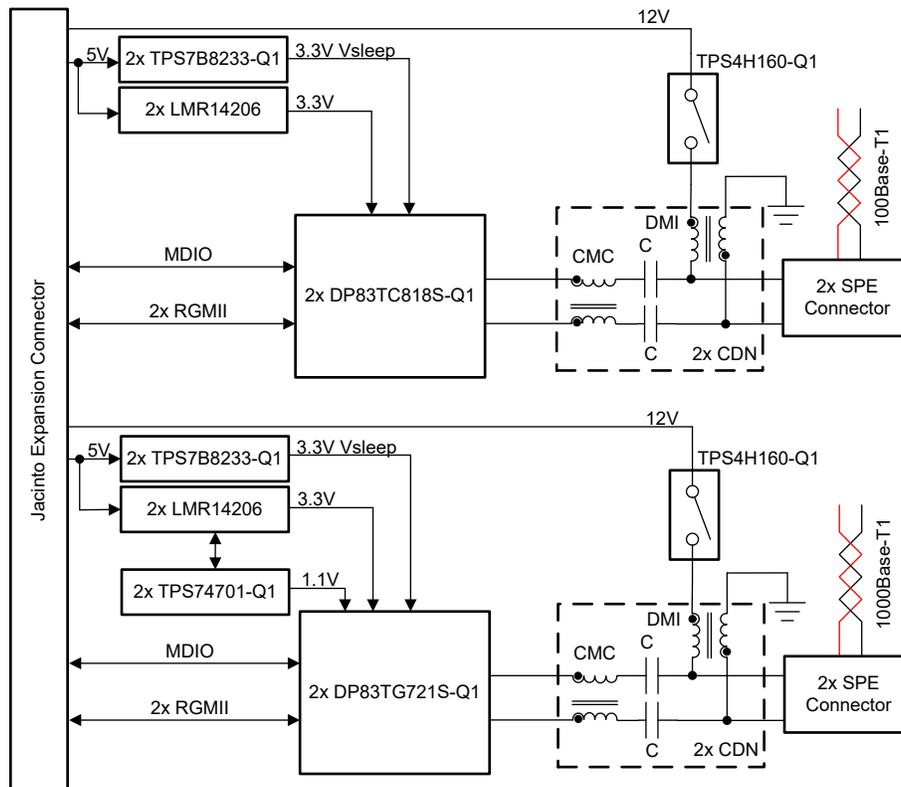


図 2-1. TIDA-020071 のブロック図

2.2 設計上の考慮事項

このリファレンス デザインでは、シングルペア イーサネット (SPE) PHY で構成されるイーサネット インターフェイスを実装する例と、同じケーブルでリンク パートナーに電力を供給するオプションを示します。これは、PoDL (データライン経由の電力供給) の一部です。PoDL は IEEE802.3bu で 100/1000Base-T1 用に標準化されていますが、このリファレンス デザインは、車載要件を満たすため IEEE802.3bu には準拠していません。車載分野では、自動車 OEM がシステムで使用される ECU とセンサ モジュールを定義するため、検出や分類は不要です。この想定は、車両の耐用年数を通じてネットワークが変化しないという事実に基づいています。これらのボードは、コスト効率と重量効率の高い実装に関する車載要件を満たすように設計されています。

電力をデータと同じケーブルで転送する場合、従来型のヒューズは使用できません。そのため、リンク パートナーの損傷を防ぐためにハイサイド スイッチ (HSS) を内蔵することを強くお勧めします。データラインに電力をカップリングするための 12V 電源は、Jacinto™ 7 評価基板上で LM5175 昇降圧コンバータを使用して生成されます。このデバイスは、サイクル単位の電流制限、出力過電圧保護 (OVP)、サーマル シャットダウンなどの保護機能をすでにサポートしています。このリファレンス デザインには TPS4H160-Q1 (ハイサイド スイッチ) が含まれており、調整可能な電流制限、GND への短絡保護、サーマル シャットダウン、誘導性負荷の負電圧クランプを備えています。

2.3 主な使用製品

このセクションでは、本リファレンス デザインの主要なデバイスを紹介します。詳細については、各デバイスの製品ページとデータシートをご覧ください。

2.3.1 DP83TC818S-Q1 (車載用 SPE PHY)

DP83TC818S-Q1 デバイスは、IEEE 802.3bw 車載用イーサネット物理層トランシーバです。データを送受信するために必要なすべての物理層機能と柔軟な xMII インターフェイスを備えています。DP83TC818S-Q1 は Open Alliance EMC および相互運用性仕様 (シールドなしシングル ツイストペア ケーブル) に準拠しています。DP83TC818S-Q1 は、通信が不要なときにシステムの消費電力を低減するためのウェークアップ転送機能を備えた OA TC-10 低消費電力スリープ機能をサポートしています。

ネットワーク上の通信を保護するため、DP83TC818S-Q1 は IEEE 802.1AE ライン レート セキュリティ機能 (認証と暗号化 (任意) をサポート) を備えています。DP83TC818S-Q1 は、最大 16 のセキュア アソシエーション (SA) チャネル (自動 SAK ロールオーバー対応) と拡張パケット ナンバリングをサポートしています。DP83TC818S-Q1 は、不要なパケットをフィルタするための Ingress 分類機能を備えており、エンドツーエンドのセキュリティのための WAN MACsec サポートしています。

DP83TC818S-Q1 は、IEEE 1588v2、802.1AS ハードウェア タイム スタンプおよびフラクショナル PLL を内蔵しており、高精度の時間同期を実現できます。このフラクショナル PLL は、ウォール クロックの周波数と位相の同期 (外部 VCXO が不要) と、オーディオとその他の ADAS アプリケーションで必要とされる広範な時間同期周波数の生成を可能にします。この PHY は、AVB その他のオーディオ アプリケーションのためのメディア クロックおよびビット クロックを生成するために、IEEE 1722 CRF デコード機能も内蔵しています。

2.3.2 TPS7B8233-Q1 (3.3V Vsleep 超低 IQ 低ドロップアウト レギュレータ)

車載用のバッテリー接続アプリケーションでは、消費電力を削減し、バッテリー駆動時間を延長するため、静止電流 (I_Q) が低いことが重要です。常時オンのシステムには超低静止電流 I_Q が不可欠です。

TPS7B82-Q1 は低ドロップアウトのリニア レギュレータであり、3V~40V の広い入力電圧範囲 (45V の負荷ダンプ保護) で動作するように設計されています。TPS7B82-Q1 は最低 3V で動作するため、コールド クランクおよび始動 - 停止状態の間も動作を継続できます。軽負荷時の標準静止電流がわずか 2.7 μ A なので、スタンバイ システムのマイクロコントローラ (MCU) や CAN または LIN トランシーバの電源として最適です。

このデバイスには、短絡および過電流保護機能が内蔵されています。このデバイスは -40°C ~ $+125^{\circ}\text{C}$ の周囲温度、 -40°C ~ $+150^{\circ}\text{C}$ の接合部温度で動作します。また、このデバイスは高放熱パッケージを採用しているため、デバイスの電力消費が大きくても持続的に動作できます。これらの特長から、このデバイスは各種の車載アプリケーションの電源として設計されていると言えます。

2.3.3 TPS74701-Q1 (1.0V レール低ドロップアウト レギュレータ)

TPS74701-Q1 低ドロップアウト (LDO) リニア レギュレータは、広範なアプリケーション向けの使いやすく堅牢な電力管理 デザインです。ソフトスタートをユーザーがプログラム可能なため、容量性突入電流を低減して入力電源のストレスを最小限に抑えることができ、単調なスタートアップ機能はさまざまな種類のプロセッサおよび特定用途向け IC (ASIC) に電力を供給するように設計されています。イネーブル入力とパワー グッド出力により、外部レギュレータとのシーケンシングが簡単になり、特殊なスタートアップ要件を持つ広範なアプリケーションのシーケンシング要件を満たす設計を構成できます。

高精度の基準電圧およびエラー アンプは、負荷、ライン、温度、プロセスの全体にわたって 0.95% の精度を維持します。このデバイスは 2.2 μ F 以上のあらゆる種類のコンデンサで安定動作し、AEC-Q100 に準拠して完全に規定されています。

2.3.4 CDC6CE025000-Q1 (BAW 発振器)

テキサス・インスツルメンツのバルク弾性波 (BAW) は、超低ジッタ クロック回路を使用して高精度 BAW 共振器をパッケージに直接統合できるマイクロ共振器テクノロジーです。BAW は、シリコン ベースのその他の製造プロセスと同様に TI の工場で全面的に設計および製造されています。

CDC6x デバイスは、共振器源として BAW を採用した超低ジッタ固定周波数発振器です。本デバイスは、特定の動作モードごとに、周波数、電圧、出力タイプ、機能ピンを含めて工場出荷時にプログラムされています。高性能フラクショナル分周器を備えた CDC6x は、規定された範囲内の任意の周波数を生成することが可能です。1 つのデバイス ファミリで、あらゆる周波数のニーズに対応することが可能となります。

このデバイスの高性能クロック供給、機械的安定性、フレキシビリティ、小型パッケージの選択肢は、通信、データおよびエンタープライズ ネットワーク、産業用アプリケーションで使用される高速 SERDES のリファレンスおよびコア クロック向けに設計されています。

2.3.5 TPS4H160-Q1 (ハイサイド スイッチ)

TPS4H160-Q1 デバイスは、完全に保護されたクワッド チャネルのスマート ハイサイド電源スイッチであり、160mΩ NMOS パワー FET を 4 個内蔵しています。

このデバイスは、包括的な診断機能と高精度の電流検出を備えており、インテリジェントな負荷制御が可能です。電流制限を外部で変更可能なため、突入電流や過負荷電流を制限し、システム全体の信頼性を向上できます。

3 システム設計理論

このセクションでは、本リファレンス デザインの各種ブロックの詳細について説明します。

3.1 イーサネット PHY

このボードは、テキサス・インスツルメンツの幅広い車載用 SPE PHY をサポートしています。このボードは、100Base-T1 と 1000Base-T1 の両方をサポートしています。デフォルトでは、このボードは DP83TC818S-Q1 および 2 つの DP83TG721S-Q1 SPE PHY による 2 つの 100Base-T1 システムを使用しています (表 3-1 を参照)。車載用イーサネット PHY DP83TC818S-Q1、DP83TG721S-Q1、およびその他のテキサス・インスツルメンツ SPE PHY はピン互換なので、BOM のわずかな変更で取り換え可能です。

表 3-1. イーサネット PHY アドレス

イーサネット PHY	記号	IEEE 規格	PHY アドレス
DP83TC818S-Q1	U13	100Base-T1	0x5
DP83TC818S-Q1	U19	100Base-T1	0x8
DP83TG721S-Q1	U1	1000Base-T1	0x0
DP83TG721S-Q1	U7	1000Base-T1	0x4

3.1.1 イーサネット PHY 電源

DP83TC818S-Q1 は、広い I/O 電源電圧範囲 (3.3V、2.5V、1.8V) で動作できます。このボードは 3.3V の I/O 電源電圧を供給して、3.3V の I/O 電圧に対応できる各種ベースボードとのインターフェイスを提供します。DP83TC818S-Q1 には、1.0V のレールも必要です。図 3-1 に示す実装回路図では、DP83TC818S-Q1 内蔵 LDO を使用して、必要な 1.0V を生成します。電源シーケンス制御は不要です。最新の電源デバイスに関する推奨事項については、『DP83TC818S-Q1 高精度セキュア 100BASE-T1 車載イーサネット、TC10、IEEE802.1AS、IEEE802.1AE MACsec、AVB クロック生成対応』データシートを参照してください。SNLS771

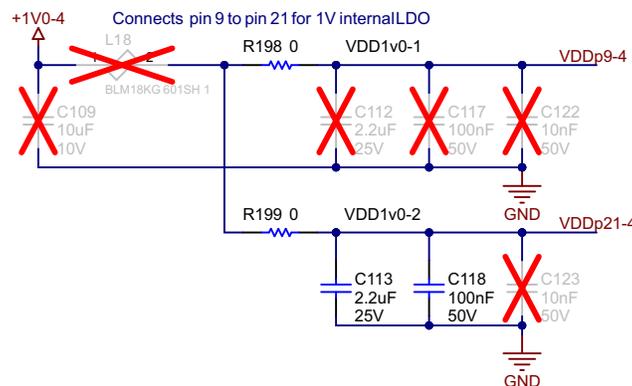


図 3-1. イーサネット PHY 1.0V レールの回路図

3.1.2 イーサネット PHY クロック ソース

図 3-2 に示す回路図は、このリファレンス デザインの 4 つのイーサネット PHY すべてに対して同じクロック ソースを供給できるように、テキサス・インスツルメンツの BAW 発振器をクロック バッファとともに使用しています。この実装は、リンク パートナーがイーサネット PHY の回復クロック機能を使用して時間同期システムのジッタを低減するのに役立ちます。

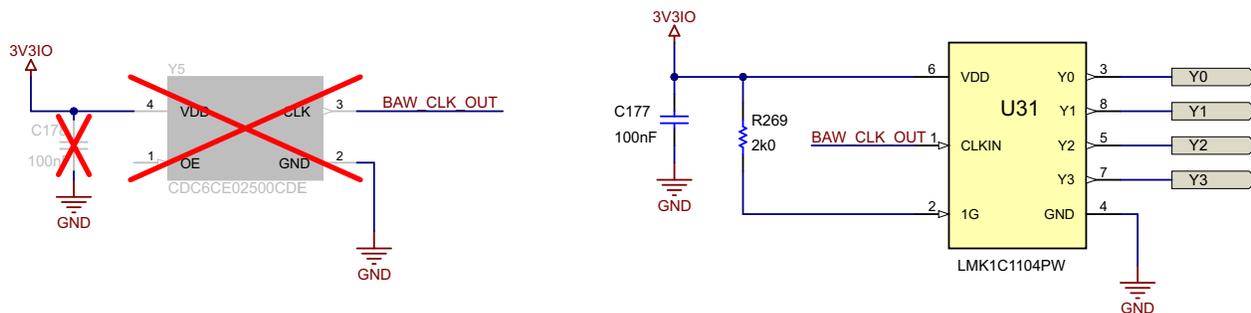


図 3-2. イーサネット PHY クロック供給の回路図

3.2 電源カップリング ネットワーク

カップリング ネットワークを選択する際に考慮する必要がある 2 つの主要要素は、リンク パートナーのイーサネット データ レートと消費電力です。表 3-2 に、各イーサネット PHY と、対応するイーサネット規格およびデータ周波数を示します。

表 3-2. イーサネット信号周波数

イーサネット PHY	IEEE 規格	データレート	シンボル レート
—	10Base-T1S	10Mbps	12.5 MHz
DP83TC812-Q1	100Base-T1	100Mbps	66.6 MHz
DP83TC813-Q1			
DP83TC814-Q1			
DP83TC817-Q1			
DP83TC818-Q1			
DP83TG720-Q1	1000Base-T1	1000Mbps	750 MHz
DP83TG721-Q1			

各カップリング ネットワークには、部品の飽和特性に基づいて必要なインピーダンスを維持しながらサポートできる最大電流があります。インダクタは理想的に動作するわけではなく、熱を放散し、非常に高い周波数を通過させ、過大な電流が流れると飽和します。回路全体にわたり、すべての部品とケーブルには、寄生容量と寄生インダクタンスがあります。リンク パートナーが消費する最大電力を把握すること、そして特定の電圧に対してその電力を供給できる部品デザインを選択することが重要です。リンク パートナー側の消費電力に関するワーストケース シナリオにおける最大電力を計算します。

表 3-3 に、カップリング ネットワークの設計例を示します。テキサス・インスツルメンツでは、目的の周波数範囲、電流定格、および温度に基づいて、いずれかのネットワークを選択することを推奨しています。

表 3-3. PoDL 用の CDN フィルタ設計

メーカー	イーサネット 速度	部品	電流 定格	温度 定格
TDK	1000Base-T1	CMC: ACT1210G-800 DMI: ADL32VHR-3R9M	540mA	150°C
Murata (村田 製作所)	1000Base-T1	CMC: DLW32MH101XK2	—	—
TDK	100Base-T1	CMC: ACT1210L-201 DMI: ADL32VHR-180M	370mA	150°C
Murata (村田 製作所)	100Base-T1	CMC: DLW32MH201XK2	—	—

3.2.1 ハイサイド スイッチ

TPS4H160-Q1 4 チャンネル ハイサイド スイッチは、ジャンパ J25、J26、J27、J33 との組み合わせにより、データラインへの 12V のカップリングをイネーブルまたはディセーブルにできます。これらのジャンパを実装すると、出力がイネーブルになります。このスイッチは、GND への短絡に対する保護およびサーマル シャットダウン機能も備えています。

4 ハードウェア、ソフトウェア、テスト要件、テスト結果

このセクションでは、最小限のセットアップで車載イーサネットを実証するための、ハードウェアとソフトウェアの基本的な要件について説明します。このセットアップでは、IP ネットワーク上で達成可能な最大帯域幅を測定できます。

4.1 ハードウェア要件

表 4-1 に、必要なハードウェアを示します。

表 4-1. 最小限のセットアップに必要なハードウェア

数量	デバイスの説明	部品番号
1 ×	4 × 車載イーサネット PHY のリファレンス デザイン	TIDA-020071
1 ×	Jacinto 7 SoM ボード	J721EXSOMXEVM
1 ×	Jacinto 7 プロセッサ向け共通プロセッサ ボード	J721EXCPXEVM
1 ×	100Mbps 向け、車載イーサネットから標準イーサネットへのメディア コンバータ	DP83TC812EVM-MC
1 ×	1000Mbps 向け、車載イーサネットから標準イーサネットへのメディア コンバータ	DP83TG721EVM-MC
1 ×	TE 接続 MATEnet SPE ケーブル	—
1 ×	RJ45 ケーブル	—
1 ×	12V、5A 電源	—

4.2 ソフトウェア要件

このセクションでは、最小限のセットアップのソフトウェア要件について説明します。Jacinto 7 プロセッサ向けのソフトウェア開発キット (SDK) を使用すると、テスト中にこのリファレンス デザインのイーサネット PHY を制御および監視できます (図 4-1 参照)。

Jacinto 7 プロセッサでイーサネット PHY を識別できるようにするためには、Linux SDK に車載イーサネット PHY ドライバを追加する必要があります。『Linux ドライバをシステムに統合する方法』アプリケーション ノートを参照してください。

以下に示すコードブロックは Jacinto 7 SDK v10 用で、PHY アドレス 0x0、0x4、0x5、0x8 用に構成されたこのボードの Linux デバイス ツリー オーバーレイを示しています。他の SDK バージョンについては、SDK の資料を参照してください。

```

/dts-v1/;
/plugin/;

#include <dt-bindings/gpio/gpio.h>
#include <dt-bindings/net/ti-dp83867.h>
#include "k3-pinctrl.h"

&{/} {
    aliases {
        ethernet1 = "/bus@100000/ethernet@c000000/ethernet-ports/port@1";
        ethernet2 = "/bus@100000/ethernet@c000000/ethernet-ports/port@2";
        ethernet3 = "/bus@100000/ethernet@c000000/ethernet-ports/port@3";
        ethernet4 = "/bus@100000/ethernet@c000000/ethernet-ports/port@4";
    };
};

&cpsw0 {
    status = "okay";
    pinctrl-names = "default";
    pinctrl-0 = <&rgmii1_pins_default
        &rgmii2_pins_default
        &rgmii3_pins_default
        &rgmii4_pins_default>;
};

&cpsw0_port1 {
    status = "okay";
    phy-handle = <&cpsw9g_phy0>;
    phy-mode = "rgmii-rxid";
};
  
```

```

    mac-address = [00 00 00 00 00 00];
    phys = <&cpsw0_phy_gmii_sel 1>;
};

&cpsw0_port2 {
    status = "okay";
    phy-handle = <&cpsw9g_phy4>;
    phy-mode = "rgmii-rxid";
    mac-address = [00 00 00 00 00 00];
    phys = <&cpsw0_phy_gmii_sel 2>;
};

&cpsw0_port3 {
    status = "okay";
    phy-handle = <&cpsw9g_phy5>;
    phy-mode = "rgmii-rxid";
    mac-address = [00 00 00 00 00 00];
    phys = <&cpsw0_phy_gmii_sel 3>;
};

&cpsw0_port4 {
    status = "okay";
    phy-handle = <&cpsw9g_phy8>;
    phy-mode = "rgmii-rxid";
    mac-address = [00 00 00 00 00 00];
    phys = <&cpsw0_phy_gmii_sel 4>;
};

&cpsw9g_mdio {
    status = "okay";
    pinctrl-names = "default";
    pinctrl-0 = <&mdio0_pins_default>;
    bus_freq = <1000000>;
    #address-cells = <1>;
    #size-cells = <0>;

    cpsw9g_phy0: ethernet-phy@0 {
        reg = <0>;
    };
    cpsw9g_phy4: ethernet-phy@4 {
        reg = <4>;
    };
    cpsw9g_phy5: ethernet-phy@5 {
        reg = <5>;
    };
    cpsw9g_phy8: ethernet-phy@8 {
        reg = <8>;
    };
};

&main_pmx0 {
    mdio0_pins_default: mdio0-pins-default {
        pinctrl-single,pins = <
            J721E_IOPAD(0x1bc, PIN_OUTPUT, 0) /* (V24) MDIO0_MDC */
            J721E_IOPAD(0x1b8, PIN_INPUT, 0) /* (V26) MDIO0_MDIO */
        >;
    };

    rgmii1_pins_default: rgmii1-pins-default {
        pinctrl-single,pins = <
            J721E_IOPAD(0x4, PIN_INPUT, 4) /* (AC23) PRG1_PRU0_GPO0.RGMII1_RD0 */
            J721E_IOPAD(0x8, PIN_INPUT, 4) /* (AG22) PRG1_PRU0_GPO1.RGMII1_RD1 */
            J721E_IOPAD(0xc, PIN_INPUT, 4) /* (AF22) PRG1_PRU0_GPO2.RGMII1_RD2 */
            J721E_IOPAD(0x10, PIN_INPUT, 4) /* (AJ23) PRG1_PRU0_GPO3.RGMII1_RD3 */
            J721E_IOPAD(0x1c, PIN_INPUT, 4) /* (AD22) PRG1_PRU0_GPO6.RGMII1_RXC */
            J721E_IOPAD(0x14, PIN_INPUT, 4) /* (AH23) PRG1_PRU0_GPO4.RGMII1_RX_CTL */
            J721E_IOPAD(0x30, PIN_OUTPUT, 4) /* (AF24) PRG1_PRU0_GPO11.RGMII1_TD0 */
            J721E_IOPAD(0x34, PIN_OUTPUT, 4) /* (AJ24) PRG1_PRU0_GPO12.RGMII1_TD1 */
            J721E_IOPAD(0x38, PIN_OUTPUT, 4) /* (AG24) PRG1_PRU0_GPO13.RGMII1_TD2 */
            J721E_IOPAD(0x3c, PIN_OUTPUT, 4) /* (AD24) PRG1_PRU0_GPO14.RGMII1_TD3 */
            J721E_IOPAD(0x44, PIN_OUTPUT, 4) /* (AE24) PRG1_PRU0_GPO16.RGMII1_TXC */
            J721E_IOPAD(0x40, PIN_OUTPUT, 4) /* (AC24) PRG1_PRU0_GPO15.RGMII1_TX_CTL */
        >;
    };

    rgmii2_pins_default: rgmii2-pins-default {
        pinctrl-single,pins = <

```

```

J721E_IOPAD(0x58, PIN_INPUT, 4) /* (AE22) PRG1_PRU1_GPO0.RGMII2_RD0 */
J721E_IOPAD(0x5c, PIN_INPUT, 4) /* (AG23) PRG1_PRU1_GPO1.RGMII2_RD1 */
J721E_IOPAD(0x60, PIN_INPUT, 4) /* (AF23) PRG1_PRU1_GPO2.RGMII2_RD2 */
J721E_IOPAD(0x64, PIN_INPUT, 4) /* (AD23) PRG1_PRU1_GPO3.RGMII2_RD3 */
J721E_IOPAD(0x70, PIN_INPUT, 4) /* (AE23) PRG1_PRU1_GPO6.RGMII2_RXC */
J721E_IOPAD(0x68, PIN_INPUT, 4) /* (AH24) PRG1_PRU1_GPO4.RGMII2_RX_CTL */
J721E_IOPAD(0x84, PIN_OUTPUT, 4) /* (AJ25) PRG1_PRU1_GPO11.RGMII2_TD0 */
J721E_IOPAD(0x88, PIN_OUTPUT, 4) /* (AH25) PRG1_PRU1_GPO12.RGMII2_TD1 */
J721E_IOPAD(0x8c, PIN_OUTPUT, 4) /* (AG25) PRG1_PRU1_GPO13.RGMII2_TD2 */
J721E_IOPAD(0x90, PIN_OUTPUT, 4) /* (AH26) PRG1_PRU1_GPO14.RGMII2_TD3 */
J721E_IOPAD(0x98, PIN_OUTPUT, 4) /* (AJ26) PRG1_PRU1_GPO16.RGMII2_TXC */
J721E_IOPAD(0x94, PIN_OUTPUT, 4) /* (AJ27) PRG1_PRU1_GPO15.RGMII2_TX_CTL */
>;
};

rgmii3_pins_default: rgmii3-pins-default {
    pinctrl-single,pins = <
        J721E_IOPAD(0xb0, PIN_INPUT, 4) /* (AF28) PRG0_PRU0_GPO0.RGMII3_RD0 */
        J721E_IOPAD(0xb4, PIN_INPUT, 4) /* (AE28) PRG0_PRU0_GPO1.RGMII3_RD1 */
        J721E_IOPAD(0xb8, PIN_INPUT, 4) /* (AE27) PRG0_PRU0_GPO2.RGMII3_RD2 */
        J721E_IOPAD(0xbc, PIN_INPUT, 4) /* (AD26) PRG0_PRU0_GPO3.RGMII3_RD3 */
        J721E_IOPAD(0xc8, PIN_INPUT, 4) /* (AE26) PRG0_PRU0_GPO6.RGMII3_RXC */
        J721E_IOPAD(0xc0, PIN_INPUT, 4) /* (AD25) PRG0_PRU0_GPO4.RGMII3_RX_CTL */
        J721E_IOPAD(0xdc, PIN_OUTPUT, 4) /* (AJ28) PRG0_PRU0_GPO11.RGMII3_TD0 */
        J721E_IOPAD(0xe0, PIN_OUTPUT, 4) /* (AH27) PRG0_PRU0_GPO12.RGMII3_TD1 */
        J721E_IOPAD(0xe4, PIN_OUTPUT, 4) /* (AH29) PRG0_PRU0_GPO13.RGMII3_TD2 */
        J721E_IOPAD(0xe8, PIN_OUTPUT, 4) /* (AG28) PRG0_PRU0_GPO14.RGMII3_TD3 */
        J721E_IOPAD(0xf0, PIN_OUTPUT, 4) /* (AH28) PRG0_PRU0_GPO16.RGMII3_TXC */
        J721E_IOPAD(0xec, PIN_OUTPUT, 4) /* (AG27) PRG0_PRU0_GPO15.RGMII3_TX_CTL */
    >;
};

rgmii4_pins_default: rgmii4-pins-default {
    pinctrl-single,pins = <
        J721E_IOPAD(0x100, PIN_INPUT, 4) /* (AE29) PRG0_PRU1_GPO0.RGMII4_RD0 */
        J721E_IOPAD(0x104, PIN_INPUT, 4) /* (AD28) PRG0_PRU1_GPO1.RGMII4_RD1 */
        J721E_IOPAD(0x108, PIN_INPUT, 4) /* (AD27) PRG0_PRU1_GPO2.RGMII4_RD2 */
        J721E_IOPAD(0x10c, PIN_INPUT, 4) /* (AC25) PRG0_PRU1_GPO3.RGMII4_RD3 */
        J721E_IOPAD(0x118, PIN_INPUT, 4) /* (AC26) PRG0_PRU1_GPO6.RGMII4_RXC */
        J721E_IOPAD(0x110, PIN_INPUT, 4) /* (AD29) PRG0_PRU1_GPO4.RGMII4_RX_CTL */
        J721E_IOPAD(0x12c, PIN_OUTPUT, 4) /* (AG26) PRG0_PRU1_GPO11.RGMII4_TD0 */
        J721E_IOPAD(0x130, PIN_OUTPUT, 4) /* (AF27) PRG0_PRU1_GPO12.RGMII4_TD1 */
        J721E_IOPAD(0x134, PIN_OUTPUT, 4) /* (AF26) PRG0_PRU1_GPO13.RGMII4_TD2 */
        J721E_IOPAD(0x138, PIN_OUTPUT, 4) /* (AE25) PRG0_PRU1_GPO14.RGMII4_TD3 */
        J721E_IOPAD(0x140, PIN_OUTPUT, 4) /* (AG29) PRG0_PRU1_GPO16.RGMII4_TXC */
        J721E_IOPAD(0x13c, PIN_OUTPUT, 4) /* (AF29) PRG0_PRU1_GPO15.RGMII4_TX_CTL */
    >;
};
};

```

PHY ドライバの追加に加えて、以下のようにデバイス ツリーを調整して、イーサネット インターフェイスをイネーブルにします。

次のコマンドを使用して、リンクされたファームウェア (`r5f0_0-fw`) を変更します。

```
ln -sf /usr/lib/firmware/ti-ipc/j721e/ipc_echo_test_mcu2_0_release_strip.xer5f /lib/firmware/j7-main-r5f0_0-fw
```

ボードの電源を入れた状態で、次のターミナル コマンドを使用して PHY アドレス (`phy[x]`) と eth ポート (`eth[y]`) を確認します。

```
dmesg | grep mdio
```

```

davinci_mdio c000f00.mdio: phy[0]: device c000f00.mdio:00, driver TI DP83TG721CS1.0
davinci_mdio c000f00.mdio: phy[4]: device c000f00.mdio:04, driver TI DP83TG721CS1.0
davinci_mdio c000f00.mdio: phy[5]: device c000f00.mdio:05, driver TI DP83TC818CS2.0
davinci_mdio c000f00.mdio: phy[8]: device c000f00.mdio:08, driver TI DP83TC818CS2.0
am65-cpsw-nuss c000000.ethernet eth1: PHY [c000f00.mdio:00] driver [TI DP83TG721CS1.0] (irq=POLL)
am65-cpsw-nuss c000000.ethernet eth2: PHY [c000f00.mdio:04] driver [TI DP83TG721CS1.0] (irq=POLL)
am65-cpsw-nuss c000000.ethernet eth3: PHY [c000f00.mdio:05] driver [TI DP83TC818CS2.0] (irq=POLL)
am65-cpsw-nuss c000000.ethernet eth4: PHY [c000f00.mdio:08] driver [TI DP83TC818CS2.0] (irq=POLL)

```

4.3 テスト構成

図 4-1 に、テスト構成のブロック図を示します。このセットアップは、Jacinto 7 プロセッサ評価基板、TIDA-020071、DP83TC812EVM-MC、DP83TG721EVM-MC、イーサネットスイッチ、標準的な PC、ケーブル アセンブリで構成されています。

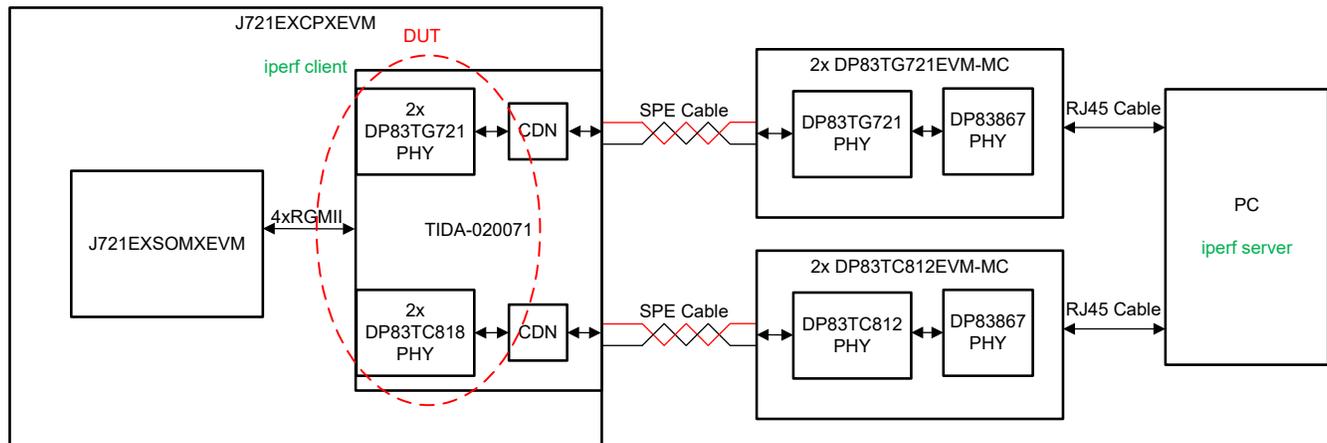


図 4-1. IP ネットワーク帯域幅のテスト構成

iPerf3 は、ネットワークの性能と帯域幅を測定するために使用するオープンソースのツールであり、すでにテキサス・インスツルメンツの SDK に統合されています。IP アドレスがイーサネット ポートに割り当てられた後、iPerf3 を以下に示すコマンドとともに使用します。iPerf3 を使って各インターフェイスを個別にテストできます。あるいは、異なるポートに複数のサーバ インスタンスを作成する場合には、複数のクライアント接続を確立して複数のインターフェイスを同時にテストすることもできます。

PC (サーバー) 上で次のコマンドを実行します。

```
iperf3 -s
```

さらに、Jacinto 7 (クライアント) 上で次のコマンドを実行します。

```
iperf3 -c 192.168.1.1 (the IP address of the server)
```

4.4 テスト結果

以下に示すコードブロックは、Jacinto 7 評価基板でキャプチャされたものです。100Mbit/sec 接続では、114MB (112MB) のデータが正常に転送され、帯域幅がネットワーク ポートの公表速度 (100Mbit/sec) に非常に近いことを確認できます。1000Mbit/sec 接続では、1.10GB のデータが正常に転送され、帯域幅がネットワーク ポートの公表速度 (1000Mbit/sec) に非常に近いことを確認できます。

以下に示すコード ブロックは、100Mbit/sec 接続を示しています。

```
root@j721e-evm:~# iperf3 -c 192.168.1.1
Connecting to host 192.168.1.1, port 5201
[ 5] local 192.168.1.237 port 32836 connected to 192.168.1.1 port 5201
[ ID] Interval          Transfer          Bitrate          Retr  Cwnd
[ 5] 0.00-1.00 sec      12.6 MBytes      106 Mbits/sec    0     249 KBytes
[ 5] 1.00-2.00 sec      10.9 MBytes      91.7 Mbits/sec   0     249 KBytes
[ 5] 2.00-3.00 sec      11.4 MBytes      95.9 Mbits/sec   0     249 KBytes
[ 5] 3.00-4.00 sec      10.9 MBytes      91.7 Mbits/sec   0     249 KBytes
[ 5] 4.00-5.00 sec      11.4 MBytes      95.9 Mbits/sec   0     249 KBytes
[ 5] 5.00-6.00 sec      11.4 MBytes      95.9 Mbits/sec   0     249 KBytes
[ 5] 6.00-7.00 sec      10.9 MBytes      91.7 Mbits/sec   0     249 KBytes
[ 5] 7.00-8.00 sec      11.4 MBytes      95.9 Mbits/sec   0     249 KBytes
[ 5] 8.00-9.00 sec      10.9 MBytes      91.7 Mbits/sec   0     249 KBytes
[ 5] 9.00-10.00 sec     11.4 MBytes      95.9 Mbits/sec   0     249 KBytes
-----
[ ID] Interval          Transfer          Bitrate          Retr
```

```
[ 5] 0.00-10.00 sec 114 MBytes 95.2 Mbits/sec 0 sender
[ 5] 0.00-10.05 sec 112 MBytes 93.8 Mbits/sec receiver
iperf Done.
```

以下に示すコードブロックは、1000Mbit/sec 接続を示しています。

```
root@j721e-evm:~# iperf3 -c 192.168.1.1
Connecting to host 192.168.1.1, port 5201
[ 5] local 192.168.1.81 port 52240 connected to 192.168.1.1 port 5201
[ ID] Interval      Transfer      Bitrate      Retr  Cwnd
[ 5] 0.00-1.00 sec 114 MBytes 957 Mbits/sec 0 362 KBytes
[ 5] 1.00-2.00 sec 112 MBytes 936 Mbits/sec 10 365 KBytes
[ 5] 2.00-3.00 sec 112 MBytes 944 Mbits/sec 10 369 KBytes
[ 5] 3.00-4.00 sec 112 MBytes 942 Mbits/sec 20 342 KBytes
[ 5] 4.00-5.00 sec 112 MBytes 943 Mbits/sec 10 366 KBytes
[ 5] 5.00-6.00 sec 113 MBytes 945 Mbits/sec 20 315 KBytes
[ 5] 6.00-7.00 sec 112 MBytes 940 Mbits/sec 10 363 KBytes
[ 5] 7.00-8.00 sec 112 MBytes 938 Mbits/sec 20 264 KBytes
[ 5] 8.00-9.00 sec 113 MBytes 947 Mbits/sec 10 346 KBytes
[ 5] 9.00-10.00 sec 112 MBytes 936 Mbits/sec 10 368 KBytes
-----
[ ID] Interval      Transfer      Bitrate      Retr
[ 5] 0.00-10.00 sec 1.10 GBytes 943 Mbits/sec 120 sender
[ 5] 0.00-10.04 sec 1.10 GBytes 938 Mbits/sec receiver
iperf Done.
```

5 設計とドキュメントのサポート

5.1 デザイン ファイル

5.1.1 回路図

回路図をダウンロードするには、[TIDA-020071](#) のデザイン ファイルを参照してください。

5.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-020071](#) のデザイン ファイルを参照してください。

5.2 ツールとソフトウェア

ツール

ETHERNET-SW (イーサネット - SW)	イーサネット PHY Linux ドライバおよびツール
J721EXCPXEV	Jacinto™ 7 プロセッサ向け共通プロセッサ ボード
J721EXSOMXEV	TDA4VM および DRA829V システム オン モジュール (SoM)

ソフトウェア

[PROCESSOR-SDK-J721E](#) DRA829 と TDA4VM の各 Jacinto™ プロセッサ向けソフトウェア開発キット (SDK)

5.3 ドキュメントのサポート

1. テキサス・インスツルメンツ、[『Linux ドライバをシステムに統合する方法』アプリケーション ノート](#)
2. テキサス・インスツルメンツ、[『DP83TC818S-Q1 高精度セキュア 100BASE-T1 車載イーサネット、TC10、IEEE802.1AS、IEEE802.1AE MACsec、AVB クロック生成対応』データシート](#)
3. テキサス・インスツルメンツ、[『DP83TG721x-Q1 Advanced TSN および AVB 対応 100BASE-T1 車載イーサネット PHY』データシート](#)
4. テキサス・インスツルメンツ、[『DP83TC811、DP83TC812、DP83TC814、DP83TG720 ハードウェア ロールオーバー ドキュメント』アプリケーション ノート](#)
5. テキサス・インスツルメンツ、[『TDA4: カスタム ボード立ち上げガイド』アプリケーション ノート](#)
6. テキサス・インスツルメンツ、[『高速インターフェイスのレイアウト ガイドライン』アプリケーション ノート](#)

5.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

5.5 商標

Jacinto™, E2E™, テキサス・インスツルメンツ E2E™, and FPD-Link™ are trademarks of Texas Instruments. すべての商標は、それぞれの所有者に帰属します。

6 著者について

YANNIK MUENDLER は、テキサス・インスツルメンツのシステム エンジニアで、車載 ADAS システム エンジニアリング チームに所属しており、車載分野のリファレンス デザインの開発において中心的な役割を果たしています。テキサス・インスツルメンツ Jacinto™ 7 プロセッサを使用した高性能コンピューティング、シングルペア イーサネットや FPD-Link™ テクノロジーといった通信インターフェイスなどの分野において豊富な専門知識を有しており、その職務に深い知識と経験を活かしています。

Yannik は、ドイツのランツフート応用科学大学で電気工学の修士号を取得しています。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated