

Design Guide: TIDEP-01033

60GHz 集積レーダー、コスト最適化小型フォームファクタのリファレンスデザイン

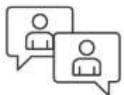


概要

IWRL6432 を使用したこのリファレンス デザインは、低コストと小型フォームファクタを実現した、部品表 (BOM) 最適化済みのミリ波 (mmWave) アプリケーションをターゲットにしています。この 60GHz ミリ波のデザインは 16mm x 33mm のフォームファクタを採用し、120 度の視野角と最大 15m 離れた歩行者の検出、19 度の角度分解能を可能にします。レーダー センサは、4 層の積層 PCB を使用し、FR4 材料を使用して開発された製品です。この設計ガイドでは、設計アーキテクチャの開発やコスト最適化の手順を取り扱っています。本書では、3 次元と 2 次元の各検出機能を持つ 2 種類のアンテナ構成について説明しています。

リソース

| | |
|---------------------------------|-----------|
| TIDEP-01033 | デザインフォルダ |
| IWRL6432 | プロダクトフォルダ |
| TPS6285020MDRLR | プロダクトフォルダ |
| TLV75533PDRVR | プロダクトフォルダ |



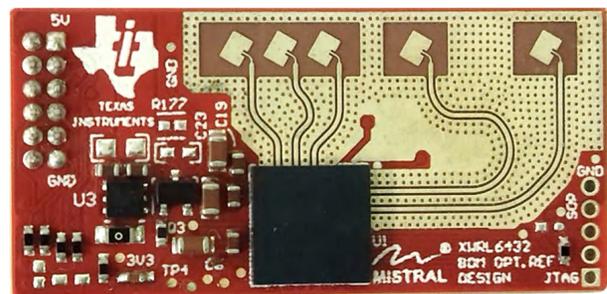
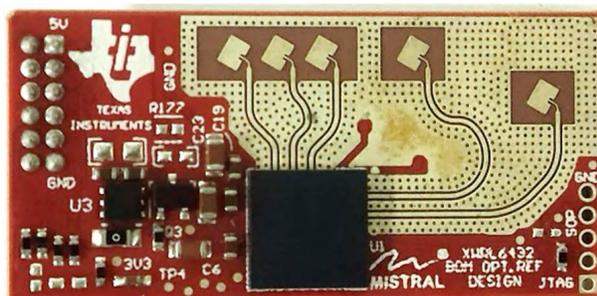
テキサス・インスツルメンツの E2E™ サポートエキスパートにお問い合わせください。

特長

- IWRL6432 を使用した、低消費電力、低コストの 57GHz~64GHz ミリ波センサ
- デザインのサイズ: 16mm x 33mm
- オンボード電源分配ネットワークを備えた 5V 単一電源
- 通信インターフェイス: UART、SPI、I2C (2 つの GPIO とオプションのデバッグ インターフェイス JTAG)
- アンテナの特長:
 - 単一素子パッチ アンテナ
 - 120 度の視野角
 - 方位角面で 19 度、仰角面で 58 度 (2D アンテナバリエーションのみ) の角度分解能
 - 最大距離 15m での人の存在検出
- FR4 ベースの 4 層 PCB はスルーホールビアのみを使用して積層され、コストの最適化が可能
- シンプルで統合が容易な 1 ページの回路図

アプリケーション

- パーソナル エレクトロニクス
- PC とノート PC
- TV
- ビルオートメーション
- 照明器具



1 システムの説明

産業用ビル オートメーション、駐車場オートメーション、パーソナル エレクトロニクス、照明器具、その他の最終製品にレーダーが搭載された産業用アプリケーションは、日常生活における生活の質と安全性の向上に役立っています。

周波数変調連続波 (FMCW) レーダーを使用すると、距離、角度分解能、相対速度を正確に測定することができます。そのため、レーダーは、存在検出、モーション検出、追跡など、広く使用されています。カメラや光検出と距離測定 (LIDAR) ベースのシステムと比較した際のレーダーの重要な利点は、レーダーが環境条件 (ほこりや煙の影響など) に比較的影響を受けないことです。FMCW レーダーは、完全な暗闇でも機能し、またレーダーがグレアの影響を受けないため明るい光環境でも機能します。

このリファレンス デザインは、単一チップの、部品表 (BOM) 最適化小型 60GHz ミリ波設計であり、回路図が簡素化され、レイアウトも 4 層のみで統合が容易になっています。アンテナは、人の存在検出やモーション検出の距離として約 15m を実現しています。また、このアンテナは方位角面と仰角面で ± 60 度の視野角を提供します。全体的な寸法が小型化された単一素子パッチ アンテナ設計により、このリファレンス デザインはパーソナル エレクトロニクス デバイスや他の機器のベゼルに収まるようになっています。これは、テキサス・インスツルメンツの 60GHz 低消費電力ミリ波デバイス ファミリの IWRL6432 を使用することで実現されます。

1.1 用語

FCCSP FCCSP は、フリップ チップ スケール パッケージ (Flip Chip-Scale Package) の略です。「フリップ チップ」という用語は、ダイをパッケージのサブストレートに電気的に接続する方法を表します。フリップ チップ マイクロエレクトロニクス アセンブリとは、チップのボンディング パッド上の導電性バンプを使用して、フェイス ダウン (または反転) した集積回路 (IC) チップをサブストレート、基板、またはキャリアに直接電気的に接続する手法です。このリファレンス デザインで使用されている IWRL6432 デバイスのパッケージは FCCSP です。

仮想アンテナアレイ マルチトランシーバ システムは、MIMO (Multiple-Input-Multiplet-Output) と呼ばれることも多く、トランスミッタとレシーバのアンテナ ペアがそれぞれ仮想アンテナ素子を形成します。各仮想素子が集まって、仮想アンテナアレイを形成します。システムが N 個のトランスミッタと M 個のレシーバで構成されている場合、仮想アンテナアレイには $M \times N$ 個の素子が含まれます。これらの素子はそれぞれ、単一のトランスミッタ システムにおけるレシーバ アンテナの数と考えることができます。このアレイは数学的な便宜上の存在であり、物理的な実体ではないため、仮想アンテナアレイと呼ばれます。このリファレンス デザインでは、2 個のトランスミッタと 3 個のレシーバで構成されたシステムを使用しています。したがって、このデザインの仮想アレイには 6 個の素子が含まれています。

BOM 部品表 (BOM)

1.2 主なシステム仕様

このリファレンス デザインは、ミリ波センサ用オンボード単一素子パッチ アンテナ設計を採用しています。トランスミッタ アンテナの空間位置に応じて、2 つの異なるアンテナ設計があります。2 次元の検出機能を持つ設計 (1D アンテナ バリエーション) と 3 次元の検出機能を持つ設計 (2D アンテナ バリエーション) です。

表 1-1. 主な仕様

| パラメータ | 2D アンテナ バリエーション | 1D アンテナ バリエーション | 概要 |
|---------|-----------------|-----------------|--|
| 最大距離 | 15m | 15m | 最大距離は、RADAR が対象物を検出できる最大距離のことです。 |
| 方位角 FoV | ± 60 度 | ± 60 度 | これは、方位角方向に RADAR がカバーする視野角を表します。 |
| 仰角 FoV | ± 60 度 | ± 60 度 | これは、仰角方向に RADAR がカバーする視野角を表します。 |
| 方位角分解能 | 19 度 | 19 度 | 角度分解能とは、レーダー システムが距離と速度が同じで角度が異なる複数のターゲットを識別する能力のことです。 |
| 仰角分解能 | 58 度 | 該当なし | 仰角分解能は、2D アンテナ バリエーションでのみ使用できます。 |

2 システム概要

2.1 ブロック図

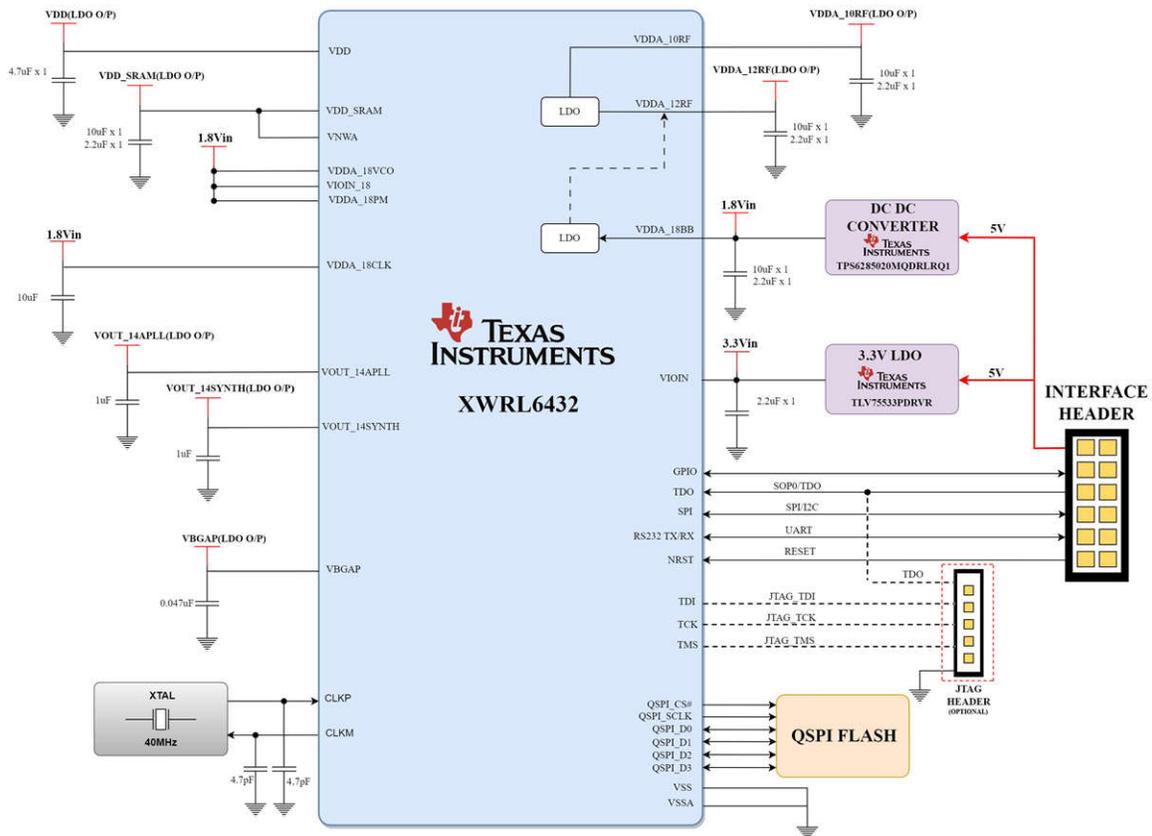


図 2-1. 機能ブロック図

2.2 主な使用製品

2.2.1 IWRL6432

IWRL6432 は、業界をリードする RF 性能を備えたテキサス・インスツルメンツの低消費電力低コストレーダーです。
IWRL6432 は、57GHz~64GHz の周波数帯域で動作可能な、統合型シングルチップの低消費電力周波数変調連続波 (FMCW) レーダー センサーです。テキサス・インスツルメンツの低消費電力 45nm RF CMOS プロセスで製造されており、超小型のフォームファクタで前例のないレベルの集積化を実現することができます。このデバイスには 3 つのレーザと 2 つのトランスミッタが搭載されており、MIMO レーダー、TX ビームフォーミング アプリケーション、プログラマブル バック オフ サポートのためにバイナリ位相変調機能を備えています。

シングル チップ レーダー トランシーバには、160MHz の ARM Cortex M4F、80MHz の ARM Cortex M3F、レーダー 処理用の 80MHz のレーダー ハードウェア アクセラレータ (HWA) が搭載されています。このデバイスは、最大 5MHz の IF 帯域幅をサポートしています。

IWRL6432 は、ビル / ファクトリ オートメーション、商用 / 住宅用セキュリティ、パーソナル エレクトロニクス、存在 / モーション検出、ヒューマン マシン インターフェイス向けジェスチャ検出 / 認識などのアプリケーションのために、産業用 (および パーソナル エレクトロニクス) 分野の低消費電力、自己監視機能付き、超高精度レーダー システム向けに設計されています。

2.3 設計上の考慮事項

このリファレンス デザインは、低消費電力、BOM コストの低減、センサ サイズの小型化を必要とするアプリケーションを対象として開発されました。主な設計上の考慮事項は以下のとおりです。

- **低消費電力**
この設計では、モーション検出や存在検出、ジェスチャ認識などのアプリケーションで消費される電力が低く抑えられています。
- **低コスト**
この設計では、BOM (部品表) コストが削減されています。
- **全体の小型化**
このリファレンス デザインは、TV、モニタ、デジタル ピクチャ フレームなど、スペースに制約のある環境にも設置できるよう、小型のフォーム ファクタを採用しています。これらの製品や同様の最終製品では、レーダーをベゼル領域に配置する必要があります。そのため、アンテナ領域は、最近では幅が 2cm 未満になることも多い領域に収まるように最適化する必要があります。
- **アンテナ FoV と角度分解能**
このアンテナ設計は、広い FoV と良好な角度分解能を備えており、広い範囲をカバーすることができます。

これらの設計上の考慮事項により、リファレンス デザインは UART、SPI、I2C の通信インターフェイスを使用して設計されています。このセクションでは、この設計で使用されているさまざまな部品が要件をどのようにサポートしているかについて説明します。

2.3.1 リファレンス デザインの特長

このリファレンス デザインでは、IO 電圧を切り替えるオンボード オプションを備えた IWRL6432 の BOM 最適化トポロジを採用しています。設計には、5V 外部電源からの 3.3V と 1.8V の 2 つのオンボード電源、アプリケーション プログラムを格納する QSPI フラッシュ、クロック ソースとして 40MHz XTAL、レーダー デバイスに加えて 2 つのトランスミッタと 3 つのレシーバのアンテナ アレイが含まれています。表 2-1 に、リファレンス デザインの基板の特長と基本的な部品について概要を示します。

表 2-1. 特長

| 機能 | 概要 |
|------------------------|---|
| IWRL6432 | LO 内蔵、3 つの RX と 2 つの TX、低消費電力、低コストのシングル チップ レーダー トランシーバ |
| 2-TX アンテナおよび 3-RX アンテナ | FoV 120 度の単一素子パッチ アンテナ |
| 方位角アレイ | このアンテナ設計は 6 素子の仮想方位角アレイを形成し、角度分解能 19 度を実現します。 |
| 仰角アレイ (2D) | 2 素子の仮想アレイで、角度分解能 58 度を実現します。 |
| 仰角アレイ (1D) | 1 素子の仮想アレイ |
| クロック ソース | 40MHz 水晶発振器 |
| QSPI フラッシュ | 超低消費電力、80MHz、16M ビット フラッシュ メモリ |
| シリアル パリフェラル | SPI、I2C、UART、GPIO |

2.4 IWRL6432 リファレンス デザインのアーキテクチャ

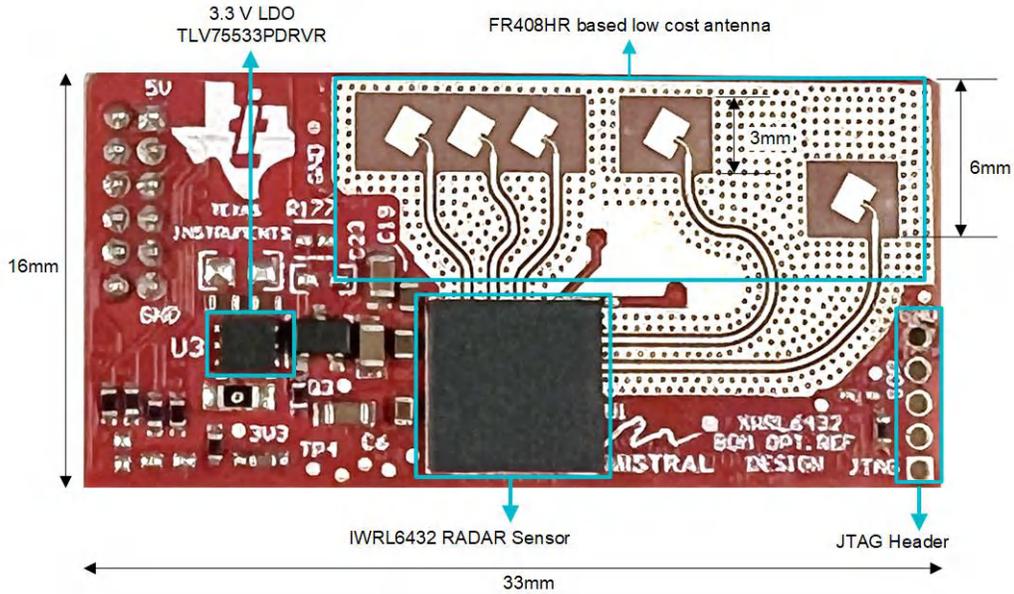


図 2-2. 基板のラベリング、表面:2D アンテナ

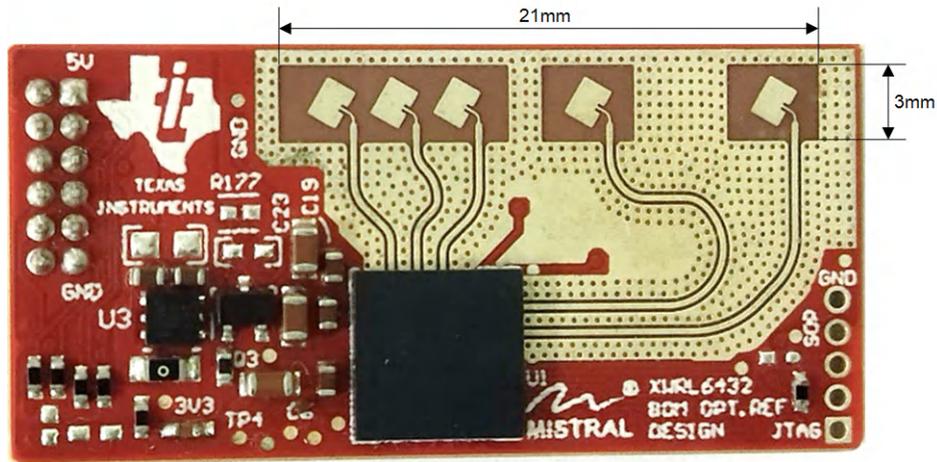


図 2-3. 基板のラベリング、表面:1D アンテナ

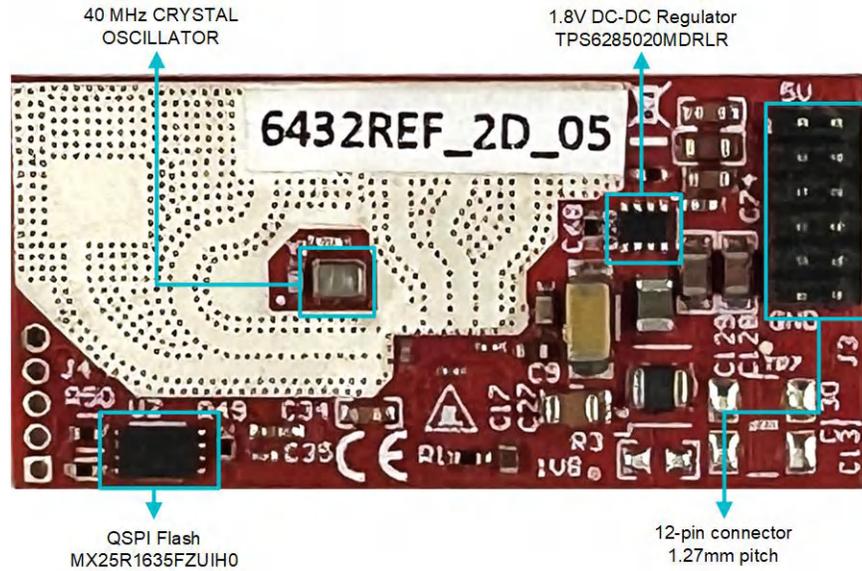


図 2-4. 基板のラベリング、裏面

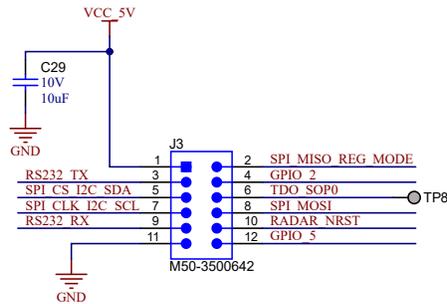


図 2-5. 12 ピン コネクタの詳細

プライマリ レーダー **SOC: IWRL6432**

追加フラッシュ メモリ: MX25R1635F

電源分配ネットワーク: TPS6285020M (1.8V 電源)、TLV75533P (3.3V 電源)

コネクタ: 1.27mm ピッチ、12 ピン オスヘッダ 図 2-5 に、コネクタの詳細を示します。

インターフェイス オプション: UART (RS232)、SPI、I2C に加えて、2 つの GPIO と 1 つのオプションの JTAG インターフェイスを搭載。

注

JTAG を使用する必要がある場合、SOP0 を電源ライン (VIO または GND) に直接接続することは推奨されません。この場合、プルアップ プルダウン ネットワークを使用できます。SOP 回路の詳細については、[IWRL6432BOOST EVM](#) の設計ファイルを参照してください。

このセクションでは、オンボードおよびオンチップの電源分配ネットワークと部品選定について設計アーキテクチャを説明します。この説明では、このリファレンス デザインの BOM を最適化するために実施されたコスト削減手法をいくつか取り上げています。

2.4.1 IWRL6432: BOM 最適化デザイン

このサブセクションでは、オンチップのパワー ディストリビューション (異なる電源トポロジ) の側面からレーダー デバイス動作の概要を示し、このリファレンス デザインにおいて選択されたデバイスの電源トポロジについて説明しています。

2.4.1.1 デバイス電源トポロジ

IWRL6432 は、消費電力と BOM (コスト) のトレードオフを考慮し、デバイスへの電源供給の有無に基づいて、4 つの異なる電源トポロジで動作できます。

IWRL6432 には、消費電力最適化トポロジと BOM 最適化トポロジの 2 つのトポロジがあります。IWRL6432 には、最大 3 つの異なる電源電圧(3.3V、1.8V、1.2V) を供給できます。トポロジは、1.2V が外部からデバイスに供給されるかどうかに応じて決定されます。

消費電力最適化トポロジでは、1.2V 電源が外部から供給されます。1.2V レールによって高電流が供給されることで、全体的な消費電力が削減されます。このトポロジが消費電力最適化と呼ばれる理由はここにあります。BOM 最適化トポロジでは、デバイスに 1.2V は外部から供給されません。オンチップ LDO が 1.2V 電源を生成するため、外部の 1.2V レールは不要になります。このトポロジが BOM (部品表) 最適化トポロジと呼ばれる理由はここにあります。

このデバイスは、2 つの IO 電圧(3.3V と 1.8V) をサポートしています。したがって、各電源トポロジは、IO 電圧に応じてさらに 2 つの構成に細分化することができます。起動時にデバイスは供給される外部電圧の数を検知し、IO を調整し、内部 1.2V 電源を起動する必要があるかどうかを決定します。これにより、電源トポロジと IO 構成の側面で、アプリケーションに応じた柔軟性が大幅に向上します。

以下の表は、異なるトポロジにおける異なる IO 電圧動作での内部サブシステムへの電源供給をまとめたものです。

表 2-2. 電源レールの特性:消費電力が最適化された 3.3V I/O トポロジ

| 電源 | 電源供給によるデバイスのブロック |
|-------|--------------------------------------|
| 3.3 V | デジタル I/O |
| 1.8 V | シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC |
| 1.2 V | コア デジタルおよび SRAM、RF、VNWA |

表 2-3. 電源レールの特性:消費電力が最適化された 1.8V I/O トポロジ

| 電源 | 電源供給によるデバイスのブロック |
|-------|--|
| 1.8 V | デジタル IO、シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC |
| 1.2 V | コア デジタルおよび SRAM、RF、VNWA |

表 2-4. 電源レールの特性:BOM が最適化された 3.3V I/O トポロジ

| 電源 | 電源供給によるデバイスのブロック |
|-------|--------------------------------------|
| 3.3 V | デジタル I/O |
| 1.8 V | シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC |

表 2-5. 電源レールの特性:BOM が最適化された 1.8V I/O トポロジ

| 電源 | 電源供給によるデバイスのブロック |
|-------|--|
| 1.8 V | デジタル IO、シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC |

注

BOM 最適化トポロジでは、デジタル コア、SRAM、RF、VNWA はすべて、内部で生成された 1.2V レールから電源が供給されます。

BOM 最適化モードでは、デバイスは 1.8V IO または 3.3V IO に応じて、単一レール (1.8V) または 2 レール (3.3V、1.8V) を使用して動作させることができます。

消費電力最適化モードでは、デバイスは 2 レール (1.8V、1.2V) または 3 レール (3.3V、1.8V、1.2V) を使用して電源を供給できます。初期起動時に、デバイスは外部 1.2V 電源の有無を検知し、それに基づいて内部で生成される 1.2V LDO が必要かどうかを決定します。1.2V レール が外部から供給されている場合、この事例ではオンチップ LDO は有効になりません。

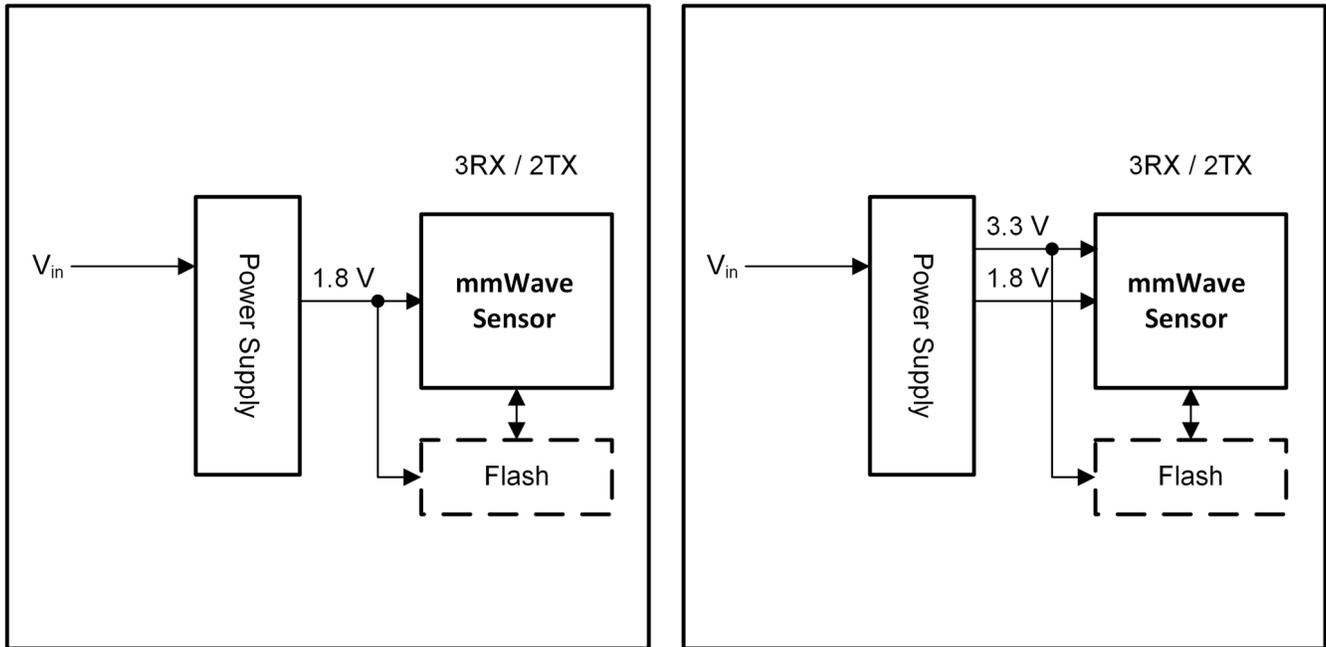


図 2-6. BOM 最適化モードの電源管理 (左: 単一レール 1.8V I/O トポロジ、右: 2 レール 3.3V I/O トポロジ)

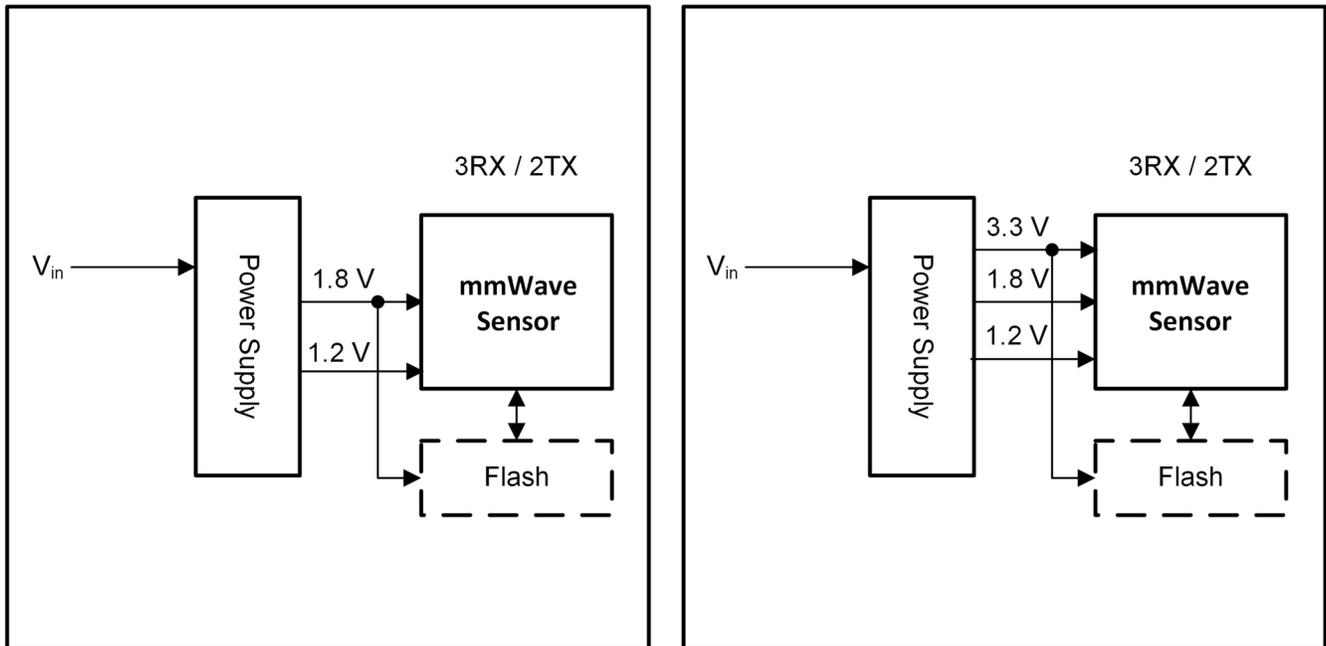


図 2-7. 消費電力最適化モードの電源管理 (左: 2 レール 1.8V I/O トポロジ、右: 3 レール 3.3V I/O トポロジ)

このリファレンス デザインでは、3.3V と 1.8V の IO 電圧動作を切り替えることができる BOM 最適化トポロジ (図 2-6) を使用しています。

BOM 最適化トポロジは、消費電力最適化トポロジに比べて消費電力がわずかに増加しますが、設計コストを大幅に最適化します。そのため、消費電力とコストの両方を最適化するには、BOM 最適化トポロジが使用されます。異なるトポロジ間の消費電力の比較については、『IWRL6432 シングルチップ 57~64GHz 産業用レーダー センサ』データシートの「標準消費電力の値」セクションを参照してください。

2.4.2 電源分配ネットワーク

このリファレンス デザインは、外部ソースから 5V 電源を必要とします。オンボードの低ドロップアウト (LDO) レギュレータと DC/DC レギュレータは、単一の 5V 外部電源からそれぞれ 3.3V と 1.8V を生成します。デフォルトの IO 電圧は 3.3V です。使用事例の要件に基づき、IO 電圧は 1.8V に変更できます。その場合、3.3V LDO 出力はデバイスから切り離されます。

図 2-8 と 図 2-9 に、3.3V IO と 1.8V IO の電源分配ネットワークを示します。

注

図 2-8 と 図 2-9 は、BOM 最適化トポロジを採用した場合におけるデバイスへのオンボード電源分配とデバイス内部の電源分配のみを示したものです。機能ブロック図については、[セクション 2.1](#) を参照してください。

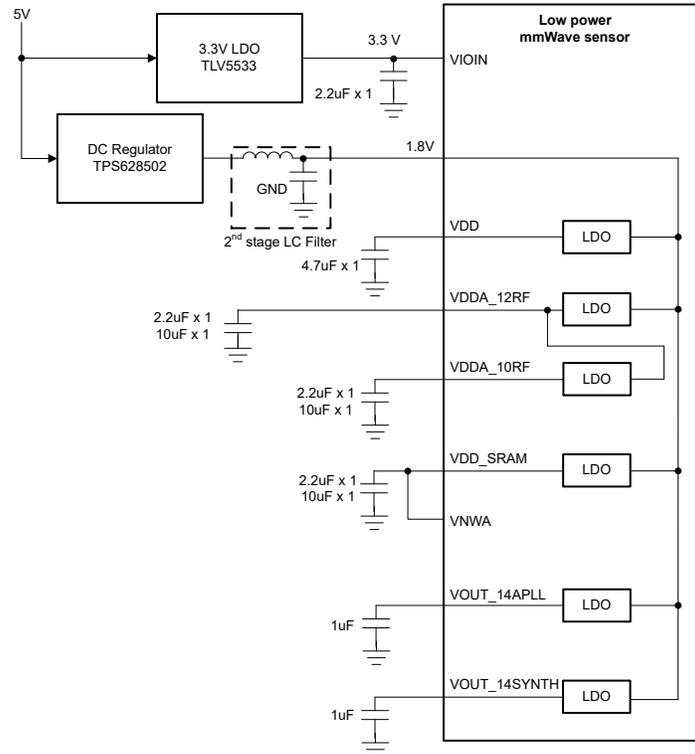


図 2-8. 3.3V IO の電源分配ネットワーク

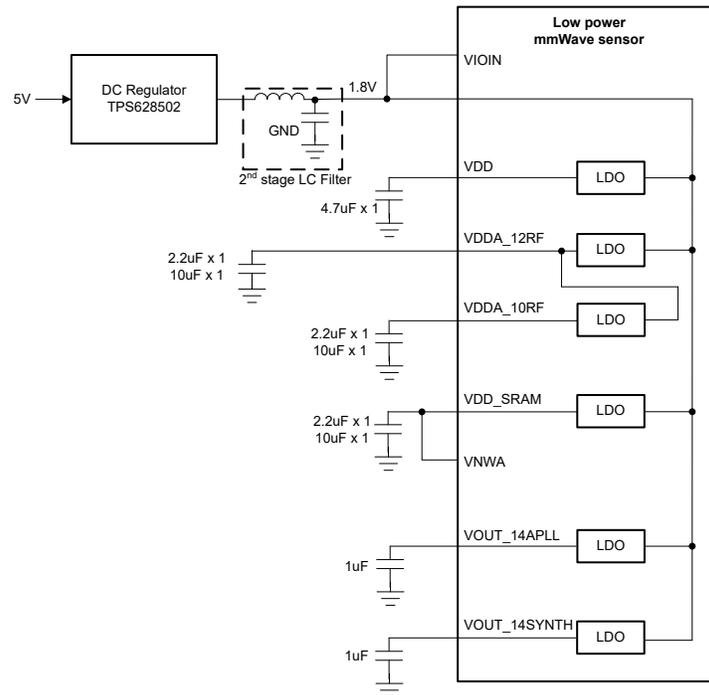


図 2-9. 1.8V IO の電源分配ネットワーク

図 2-10 に、3.3V と 1.8V で IO 電圧を切り替えるためのオンボード回路を示します。

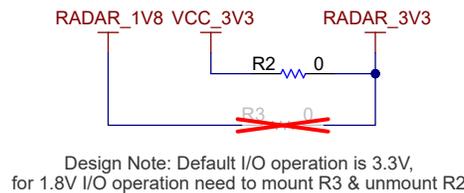


図 2-10. IO 電圧切り替え用オンボード回路

2.4.3 内部 LDO

このセクションでは、内部で生成される電源の動作について説明します。IWRL6432 は、複数のオンチップ LDO (セクション 2.4.2 を参照) を使用して、さまざまな内部デジタル ブロックと RF ブロックの電源を生成します。

表 2-6 に、内部で生成された各電源出力用の外付けコンデンサの仕様を示します。

表 2-6. 内部 LDO 用の外付けデカップリング コンデンサの推奨値

| LDO 出力 | 信号名 | 外付けコンデンサ | コンデンサの種類 |
|------------------|--------------|--------------|----------|
| 1.2V デジタル電源 | VDD | 4.7uF | X7R |
| 1.2V SRAM 電源 | VDD_SRAM | 2.2uF + 10uF | X7T、X7S |
| 1.2V RF 電源 | VDDA_12RF | 2.2uF + 10uF | X7T、X7S |
| 1.0V RF 電源 | VDDA_10RF | 2.2uF + 10uF | X7T、X7S |
| 1.4V APLL 電源 | VOUT_14APLL | 1uF | X5R |
| 1.4V SYNTHESIZER | VOUT_14SYNTH | 1uF | X5R |
| Band gap | VBGAP | 0.047uF | X5R |

IWRL6432 は、デバイス構成によって制御可能な低消費電力モードの動作をサポートしています。低消費電力モードがオンの場合、デバイスの消費電力はさらに小さくなります。

2.4.3.1 低消費電力モードの有効化および無効化

IWRL6432 はプログラムと構成のいずれも可能です。コアにアプリケーション固有のバイナリがプログラムされた後、特定のコマンドを含む構成ファイルを送信することでフロント エンドを構成する必要があります。デバイスの低消費電力モードは、構成ファイル内の特定のコマンド (lowPowerCfg) によって制御可能です。IWRL6432 デバイスの構成の詳細については、[MMWAVE-L-SDK](#) を参照してください。

低消費電力モードを有効にするには lowPowerCfg 値を 1 にし、低消費電力モードを無効にするには lowPowerCfg 値を 0 にする必要があります。

2.4.3.2 1.4V 電源:APLL およびシンセサイザ

IWRL6432 には、APLL と SYNTHESIZER に電源を供給するための 2 つのオンチップ 1.4V LDO が備わっています。これら 2 つの LDO は、入力に 1.8V 電源を使用します。以下に、APLL 1.4V 電源と RF SYNTHESIZER 1.4V 電源の特性を示します。

波形をキャプチャするために、以下のチャープ構成が使用されています。

- リフレッシュレート:2Hz
- フレームあたりのチャープ数:32
- バースト周期:10ms
- アクティブ チャープ時間:4ms

2.4.3.2.1 APLL 1.4V

低消費電力モードが無効のとき (lowPowerCfg 0)、APLL 電源は常に 1.4V のままです。

低消費電力モード (lowPowerCfg 1) の APLL 電源は、デバイスのパワーアップ後、構成が送信される前まで、初期状態で 1.4V のままです。構成が送信されるとデバイスはチャープを開始します。各フレームのアクティブ バースト時間中、APLL 電源は急激に上昇し、アクティブ バースト時間の終了まで 1.4V のまま維持されます。アクティブ バースト時間が終了すると、電源は次のフレームが始まるまで 0V に下がります。図 2-11 と 図 2-12 に、低消費電力モードが無効のときの 1.4V APLL 電源の動作を示します。

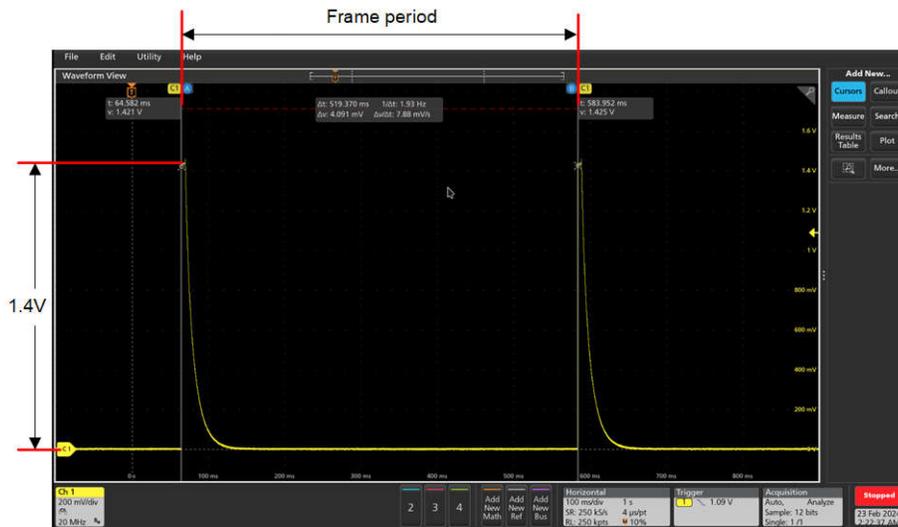


図 2-11. 1.4V APLL - ワイド ウィンドウ

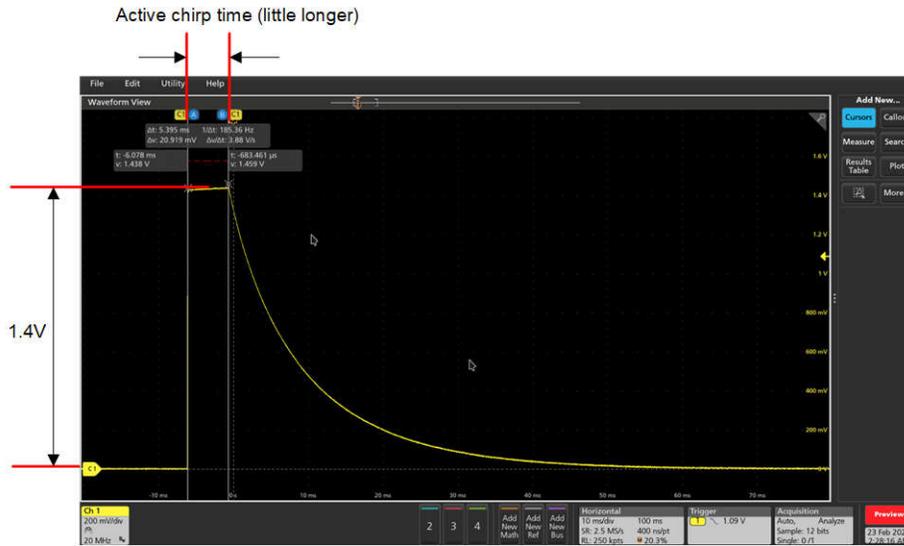


図 2-12. 1.4V APLL - クローズ ウィンドウ

低消費電力動作では、1.4V APLL 電源はアクティブ チャープの持続時間よりも少し長い間、この場合は 5.4ms の間は 1.4V のままです。これは、アクティブ チャープ時間の終了時に SYNTHESIZER がオフになった後、APLL をオフにする必要があるためです。その後、次のフレームが始まるまで電源は 0V に下がります。

2.4.3.2.2 SYNTHESIZER 1.4V 電源

1.4V SYNTH 電源は、デバイスの電源を投入してからデバイスがチャープを開始するまで、0V のままです。チャープが始まると電源は急激に 1.4V まで上昇し、チャープが各フレームで終了するまで同じ電圧レベルを維持します。その後、次のフレームが始まるまで電源は 0V に下がります。図 2-13 と 図 2-14 に、1.4V SYNTH 電源の動作を示します。

低消費電力モードであるかどうかに関わらず、シンセサイザ電源は同じ動作を示します。

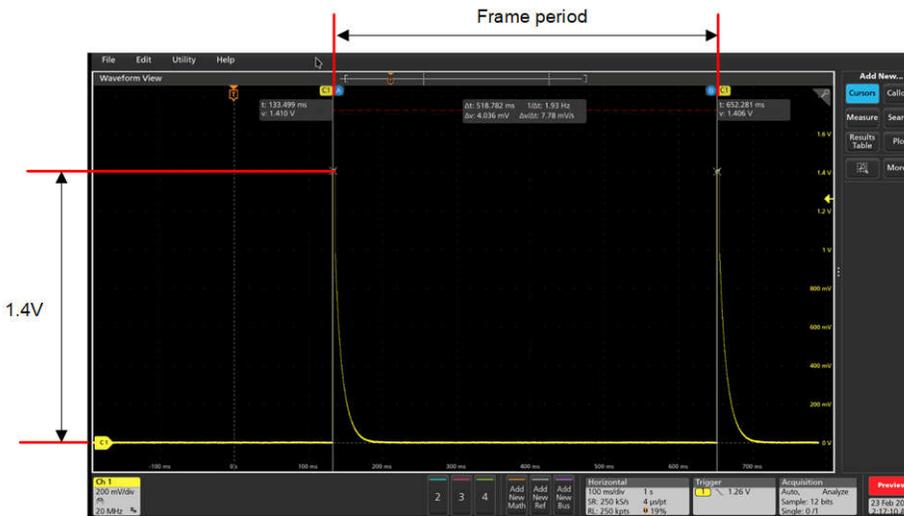


図 2-13. 1.4V SYNTH - ワイド ウィンドウ



図 2-14. 1.4V SYNTH - クローズ ウィンドウ

低消費電力動作時の 1.4V SYNTH 電源はアクティブ チャープの持続時間、この場合は 4ms の間は 1.4V のままです。その後、次のフレームが始まるまで電源は 0V に下がります。

2.4.3.3 1.2V 電源

IWRL6432 は、BOM 最適化トポロジを採用した 3 つのオンチップ 1.2V LDO を使用して、デジタル ブロック、SRAM、RF セクションに電源を供給します。1.2V LDO は、入力に外部 1.8V を使用します。これらの LDO は高帯域幅 LDO であり、各システムの安定性を確保するため、出力パスの寄生素子を制御するために特に注意が必要です。詳細については、[セクション 3.5](#) を参照してください。

波形をキャプチャするために、以下のチャープ構成が使用されています。

- リフレッシュ レート: 2Hz
- フレームあたりのチャープ数: 32
- バースト周期: 10ms
- アクティブ チャープ時間: 4ms

2.4.3.3.1 RF 1.2V 電源

IWRL6432 の RF サブシステムは、BOM 最適化モードでは、内部 1.2V LDO によって電源が供給されます。低消費電力モードが無効の場合、電源電圧は常に 1.2V のままです。

低消費電力モードが有効の場合、RF 電源ラインはアクティブ チャープ時間の間は 1.2V のままで、その後ゆっくりと低下します。ディープ スリープ モードでは、アナログ サブシステムと RF サブシステムはパワーダウンします。接続された外付けデカップリング コンデンサによって、最終的に電源ラインは放電されます。[図 2-15](#) に、1.2V RF 電源のこの動作を示します。

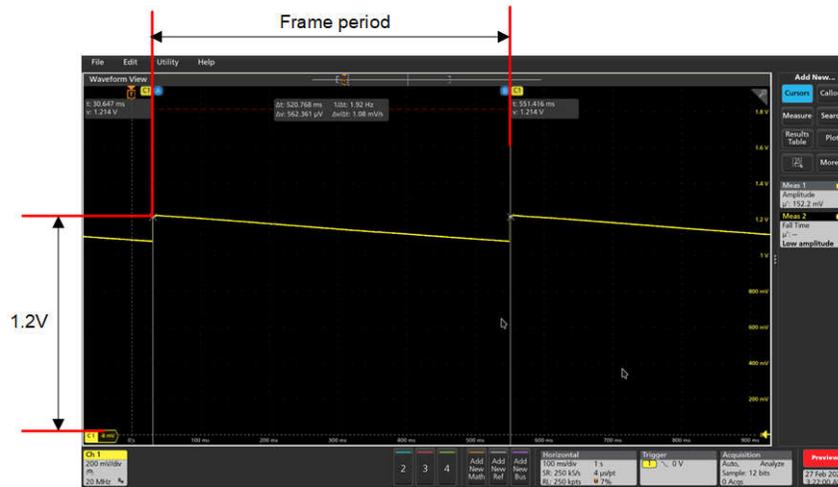


図 2-15. 1.2V RF 電源

リフレッシュレートやデューティサイクルに応じて、1.2V RF の電圧レベルは 0V まで下がる可能性があります。この信号には緩やかな放電波形が予想されます。

2.4.3.4 RF 1.0V 電源

IWRL6432 は、特定の RF およびアナログ動作に 1.0V の電源ラインを使用します。この電源ラインはアクティブ チャージの間は 1.0V のままであり、次のフレームが始まるまで 0V に低下します。他の内部 LDO 出力と同様に、1.0V 電源にも必要なデカップリング コンデンサを外部に配置する必要があります。この電源は、デバイスの低消費電力モードのステータスに関係なく同じ動作をします。

図 2-16 と 図 2-17 に、1.0V RF 電源の特性を示します。

波形をキャプチャするために、以下のチャージ構成が使用されています。

- リフレッシュレート: 2Hz
- フレームあたりのチャージ数: 32
- バースト周期: 10ms
- アクティブ チャージ時間: 4ms

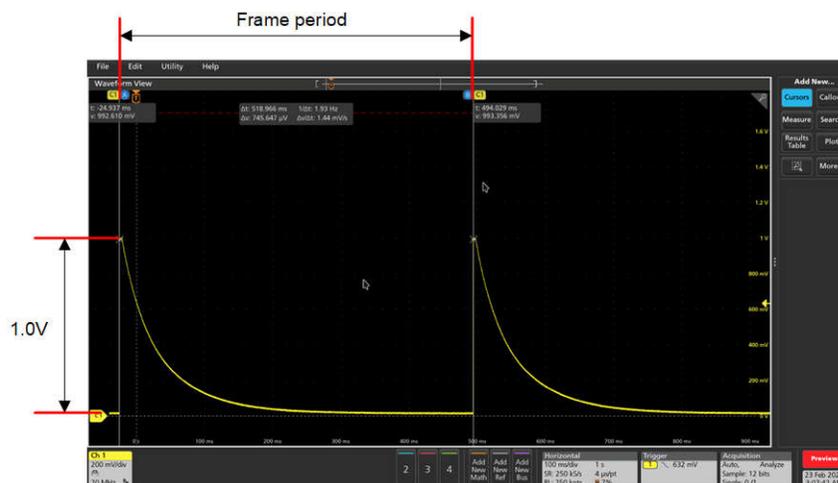


図 2-16. 1.0V RF 電源 - ワイド ウィンドウ

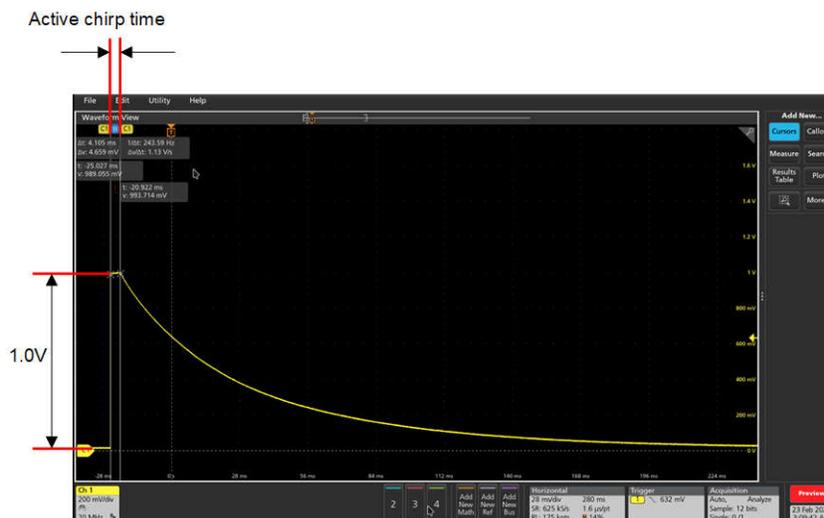


図 2-17. 1.0V RF 電源 - クローズ ウィンドウ

この場合、1.0V RF 電源は アクティブ チャープ持続時間 4ms の間、1V のままです。その後、次のフレームが始まるまで電圧は 0V に低下します。

2.4.4 部品選定

このリファレンス デザインは、1.8V DC/DC レギュレータ、3.3V LDO、QSPI フラッシュ、40MHz 水晶振動子、最適な数の抵抗、コンデンサ、インダクタなど、非常に限られた部品でレーダー デバイスをサポートしています。以下のセクションでは、デバイスの要件に基づいて各部品がどのように選択されているかを示します。

2.4.4.1 1.8V DC/DC レギュレータ

1.8V 電源は、どのような電源トポロジを採用した場合でも、レーダー デバイスにとって重要な電源です。デジタル サブシステムと RF サブシステム、SRAM、アナログ フロント エンドは、すべて 1.8V 電源で動作します。1.8V IO 電圧を選択した場合、これがデバイスの単一電源となります。詳細については、セクション 2.4.2 で説明しています。

TPS6285020M は、テキサス・インスツルメンツの 2A (連続)、高効率、同期整流降圧 DC/DC コンバータで、このリファレンス デザインでは 1.8V 電源の生成に使用されています。

デバイスの 1.8V レールからのピーク電流要件を満たす必要があります。詳細については、IWRL6432 のデータシートの「電圧レールごとのピーク電流要件」セクションを参照してください。電流要件に加えて、DC/DC レギュレータは、強制 PWM モード (または自動スイッチング モード) とスペクトラム拡散クロック (SSC) 機能を備えている必要があります。

2.4.4.1.1 強制 PWM モードスイッチングの必要性

DC/DC スwitching コンバータはパルス幅変調 (PWM) モードまたはパルス周波数変調 (PFM) モードのスイッチングを使用します。軽負荷条件では、PFM スwitching 方式は効率が高くなりますが、出力にリップルとして幅広い周波数成分を注入します。より高い負荷電流要件の場合、PWM スwitching が必要です。表 2-7 は、レーダー デバイスのリップル仕様を示しています。これは、レーダー デバイスで許容できる非常に低いリップル電圧に関連しています。

表 2-7. ノイズおよびリップルの仕様

| 周波数 (kHz) | ノイズ仕様 | | リップル仕様 | |
|-----------|---|--|-------------|--------------------------|
| | 1.8V ($\mu\text{V}/\sqrt{\text{Hz}}$) | 1.2V ($\mu\text{V}/\sqrt{\text{Hz}}$) ¹ | 1.8V (mVpp) | 1.2V (mVpp) ¹ |
| 10 | 6.057 | 44.987 | 0.035 | 1.996 |
| 100 | 2.677 | 26.801 | 0.760 | 2.233 |
| 200 | 2.388 | 28.393 | 0.955 | 3.116 |
| 500 | 0.757 | 9.559 | 0.504 | 1.152 |
| 1000 | 0.419 | 1.182 | 0.379 | 0.532 |
| 2000 | 0.179 | 1.256 | 0.153 | 0.561 |
| 5000 | 0.0798 | 0.667 | 0.079 | 0.297 |

表 2-7. ノイズおよびリップルの仕様 (続き)

| 周波数 (kHz) | ノイズ仕様 | | リップル仕様 | |
|-----------|---|--|-------------|--------------------------|
| | 1.8V ($\mu\text{V}/\sqrt{\text{Hz}}$) | 1.2V ($\mu\text{V}/\sqrt{\text{Hz}}$) ¹ | 1.8V (mVpp) | 1.2V (mVpp) ¹ |
| 10000 | 0.0178 | 0.104 | 0.017 | 0.046 |

(1) 1.2V のノイズ/リップル仕様は、電力に関して最適化された電源構成のみに適用されます。BOM 最適化トポロジでは、1.2V のノイズ/リップル仕様は適用されません。

注

- BOM 最適化トポロジの 1.8V 電源には、同じ 1.8V ノイズ/リップル仕様は適用されます。
- ノイズ/リップル仕様の最新情報については、IWRL6432 のデータシートを参照してください。

スイッチングによって生じるリップルを仕様以下に抑えるため、この設計では DC/DC レギュレータの出力に第 2 段の LC フィルタが配置されています。ただし、PFM モードのスイッチングが使用される場合、低周波数 (kHz 単位) のリップルがフィルタを通過してシステムに入り、上記の仕様を逸脱する可能性があります。そのため、動作時間全体にわたってパルス幅が固定されている強制 PWM スwitching モードが推奨されます。これにより、スイッチング周波数が固定され、第 2 段のフィルタで高調波を容易にフィルタリングできます。

通常、軽負荷状態が続くデバイスのディープスリープ状態において、システム全体の消費電力を最適化する必要がある場合、スイッチングの自動モードを有効にできます。このモードでは、軽負荷状態に応じて、PFM モードのスイッチングが有効になり、DC レギュレータの消費電力が削減されます。スイッチングの自動モードと強制 PWM モードは、DC レギュレータの MODE ピンを使用して変更できます。DC/DC レギュレータの MODE ピンは、デバイスの GPIO を介して制御可能で、デバイスのディープスリープの開始と終了に合わせて、DC/DC レギュレータが自動モードと強制 PWM モード間で切り換わります。詳細については、『DC/DC コンバータの PFM モードの有効化』を参照してください。

2.4.4.1.2 スペクトラム拡散クロックの重要性

スイッチング信号の周期性により、エネルギーは特定の周波数および奇数次高調波に集中します。このエネルギーは放射されるため、EMI の問題が発生する可能性があります。放射エミッションは、エミッション障害を引き起こす可能性があります。伝導スイッチング周波数がリップルやノイズの仕様の達成に問題を引き起こし、ゴーストオブジェクト (虚像) を生じさせる可能性があります。スペクトラム拡散クロック (SSC) は、放射エミッションと伝導エミッションの両方を低減する手法です。

SSC は、制御された方法でクロック信号の周波数を変化させるものです。周波数ドメインでは、SSC は周波数をシフトさせることで、クロック信号のピーク振幅を低減します。つまり、クロックのエネルギーはスイッチング周波数内の狭い帯域幅に拡散されます。

これとは別に、また別の理由で SSC が必要とされています。IWRL6432 の IF 帯域幅は 5MHz です。DC/DC レギュレータの最大スイッチング周波数は 4MHz です。つまり、スイッチング周波数の高調波のうち少なくとも 1 つが IF 帯域幅に入り込むことになります。このため、スイッチング周波数をできるだけ高くして、高調波が複数 IF 帯域幅に入り込むを防ぐ必要があります。また、SSC は、IF 帯域幅に入り込んだ 1 つの高調波のエネルギーを拡散し、その影響を低減するために必要です。

表 2-8 では、デバイスの 1.8V レールの要件と TPS6285020M の特長を比較しています。

表 2-8. IWRL6432 1.8V レールの要件と TPS6285020M の特長

| IWRL6432 1.8V レールの要件 | TPS6285020M の特長 |
|---------------------------|---------------------------------|
| ピーク電流要件: 1.4A | 出力電流: 2A (連続) |
| 低い静止電流 | 静止電流: 15 μ A |
| 強制 PWM モード | MODE を使用した強制 PWM または PFM/PWM 動作 |
| スペクトラム拡散クロック | スペクトラム拡散クロック (SSC) 機能の有効化 / 無効化 |
| 高いスイッチング周波数 (3.5MHz~4MHz) | 可変スイッチング周波数: 1.8MHz~4MHz |
| PGOOD の特長 | ウィンドウコンパレータによるパワーグッド出力 |
| 高効率 | >90% の効率 |

また、TPS6285020M は、SSC がオンの 3.3MHz スイッチングで、5V 入力、1.2V 出力における最小 T_{ON} 要件に対応しています。

このデバイスには、デバイスの動作モードを決定する 2 つの制御ピンがあります。以下に、それぞれのピンの機能とオンボード構成を示します。

MODE または **SYNC**: MODE または SYNC が Low に設定されている場合、デバイスは出力電流に応じて PWM モードまたは PFM モードで動作します。High に設定されると、デバイスは強制 PWM モードで動作します。

オンボード構成: VCC にプルアップして強制 PWM モードを有効にします。

COMP または **FSET**: このピンにより、3 つの異なるパラメータを設定できます。

1. 制御ループの内部補償設定 (2 つの設定が利用可能)
2. PWM モードにおけるスイッチング周波数 (1.8MHz~4MHz)
3. スペクトラム拡散クロック (SSC) の有効化 / 無効化

COMP または FSET から GND への抵抗によって、補償、スイッチング周波数、SSC 制御が変化します。

オンボード構成: 18kΩ の抵抗が COMP または FSET から GND に接続されています。この抵抗値により、デバイスは次の構成で設定されます。

1. スイッチング周波数は 3.3MHz に設定
2. スペクトラム拡散クロック (SSC) は有効
3. 補償設定 2 により最良の過渡応答を実現

注

1. ノイズとリップルの仕様を満たし、導通スイッチング周波数に関連する問題を回避するために、DC/DC 出力に第 2 段の LC フィルタが必要です。
2. DC レギュレータのスイッチング周波数が IF 帯域幅 (5MHz) よりも高い場合は、フィルタは不要です。

2.4.4.2 3.3V 低ドロップアウトレギュレータ

本デバイスの IO 電圧供給には、3.3V 電源が必要です。IO 電圧は 1.8V でも構成可能です。この場合、このソースは必要ありません。

TLV75533P は、テキサス・インスツルメンツの超小型、低静止電流の低ドロップアウトレギュレータ (LDO) で、500mA の電流を供給し、ラインと負荷の過渡性能に優れています。この低ドロップアウト (LDO) は、このリファレンス デザインの 3.3V 電源供給に使用されています。

3.3V はデバイスの IO に電源を供給するために使用されます。3.3V レールからの電流要件は、最大 90mA に達する可能性があります。このレールには低電流が要求されるため、DC/DC レギュレータの代わりに LDO が使用されています。これにより、BOM コストも大幅に削減できます。以下は、TLV75533PDRVR の主な特長です。

- 低静止電流 (IQ): 25μA (標準値)
- 低いドロップアウト: 500mA で 238mV (最大値) (3.3V OUTPUT)
- 出力精度: 1%
- PSRR: 100kHz 時に 46dB
- アクティブ出力放電
- パッケージ サイズ 2mm × 2mm

2.4.4.3 FLASH メモリ

デバイスのアプリケーション イメージを保存するため、QSPI フラッシュ メモリが使用されます。

このリファレンス デザインでは、1.65V~3.6V の幅広い入力電圧に対応する低コストで低消費電力の 16-MBIT フラッシュ メモリである MX25R1635FZUIH0 を使用することで、リファレンス デザインの 3.3V と 1.8V の両方の IO 電圧をサポートしています。

表 2-9 では、IWRL6432 デバイスのフラッシュメモリの要件と MX25R1635F の特長を比較しています。

表 2-9. IWRL6432 デバイスのフラッシュメモリの要件と MX25R1635FZUIH0 の特長

| IWRL6432 デバイスのフラッシュメモリの要件 | MX25R1635F の特長 |
|---|---|
| 80MHz 以上のクロック周波数 | クロック周波数 80MHz |
| QSPI データラインを有効にするためのクワッド イネーブル (QE) ビット | ステータスレジスタのビット 6 は QE ビットであり、1 に設定する必要がある。 |
| SFDP コマンド対応 | シリアルフラッシュ検出可能パラメータ (SFDP) モード対応 |
| 広い入力電圧範囲 | 1.65V~3.6V の動作電圧 |
| 低消費電力 | 超低消費電力 |

このリファレンス デザインは、3.3V と 1.8V の 2 つの異なる IO 電源電圧をサポートしています。MX25U1632FZUI02 は幅広い入力電圧をサポートしており、フラッシュメモリを交換する必要なく、3.3V と 1.8V の両方の電力モードで動作する柔軟性をリファレンス デザインに提供します。

幅広い入力電圧範囲が不要で、デバイスを 1.8V IO のみで動作させる必要がある特定の使用事例では、1.65V~2.0V で動作する MX25U1632FZUI02 を使用できます。

システムを 4 つの I/O モードで機能させるには、ステータスレジスタのクワッド イネーブル (QE) ビット (ビット 6) をロジック 1 に設定する必要があります。ステータスレジスタの QE ビットの値は、ステータスレジスタ書き込み (WRSR) 命令を使用して書き込むことができます。

注

- フラッシュバリエーションの互換性については、『[ミリ波センサがサポートしているフラッシュバリエーション](#)』を参照してください。
- D2 ライン、D3 ライン、CS ラインには適切なプルアップが必要です。
- データラインの長さが 4000mil を超える場合は、それに応じてソース終端抵抗を配置する必要があります。

2.4.4.4 水晶振動子

このリファレンス デザインは、クロックソースとして、村田製作所の XRCGE シリーズ 40MHz 低コスト小型水晶振動子を使用しています。水晶振動子の型番は XRCGE40M000FBAABR0 です。水晶振動子の特長は以下のとおりです。

- 周波数: 40.0000MHz
- 周波数許容誤差: ±15ppm
- 負荷容量: 8pF
- ESR 50Ohms
- サイズ: 2.0mm x 1.6mm

IWRL6432 デバイスの水晶振動子の要件は以下のとおりです。

表 2-10. 水晶振動子の電気的特性 (発振器モード)

| 名称 | 説明 | 最小値 | 標準値 | 最大値 | 単位 |
|----------|--------------------------------|------|-----|-----|--------------------|
| f_p | 並列共振水晶振動子周波数 | | 40 | | MHz |
| C_L | 水晶振動子の負荷容量 | 5 | 8 | 12 | pF |
| ESR | 水晶振動子の ESR | | | 50 | Ω |
| 温度範囲 | 想定される動作温度範囲 | -40 | | 105 | $^{\circ}\text{C}$ |
| 周波数の許容誤差 | 水晶振動子周波数の許容誤差 ^{1 2 3} | -200 | | 200 | ppm |
| 励振レベル | | | 50 | 200 | μW |

- 水晶振動子メーカーの仕様はこの要件を満たす必要があります。
- 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。
- 水晶振動子の許容誤差はレーダーセンサの精度に影響します。

3 システム設計理論

3.1 アンテナの仕様

3.1.1 アンテナの要件

このリファレンス デザインでは、単一素子のパッチ アンテナを使用しています。1D アンテナ バリエーションでは最大アンテナ領域幅は 3mm 未満です (図 2-3)、2D アンテナ バリエーションでは最大アンテナ領域幅は 5.5mm 未満です (図 2-2)。

小さいアンテナ幅は、リファレンス デザインのアンテナ サイズ要件を満たしています。

3.1.2 アンテナの向き

アンテナ パッチは、垂直軸に対して 60 度の角度に向けられています。この方向は、隣接するアンテナ間のアイソレーションと方位角放射を考慮して最適化されています。垂直軸から回転角度を大きくすると、方位角放射が改善されますが、アンテナ結合が増加します。60 度回転させることにより、アンテナ結合と方位角放射の最適なバランスが得られます。

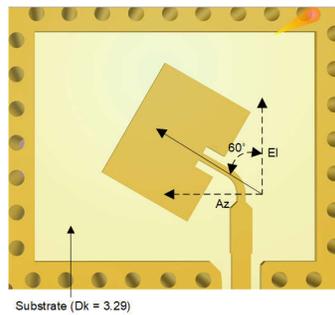


図 3-1. アンテナの向き

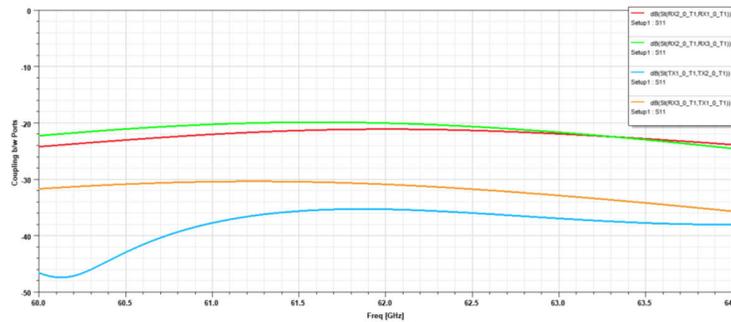


図 3-2. アンテナ間アイソレーション - 2D アンテナ

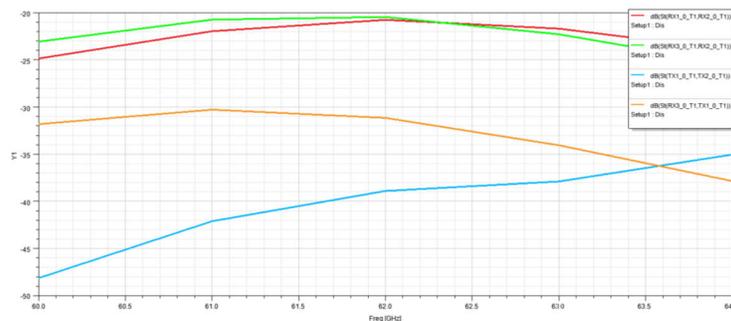


図 3-3. アンテナ間アイソレーション - 1D アンテナ

図 3-1 に、アンテナ パッチの向きを示します。1D アンテナ バリエーションと 2D アンテナ バリエーションのすべての RX アンテナと TX アンテナについて、同じアンテナの向きが考慮されています。方位角面に沿って放射される電力の成分が大きいため、アンテナは方位角面でより優れた性能を発揮します。対象アプリケーション プロファイルには、存在検出、モーション検出、バイタル サイン監視などが含まれるため、方位角面での優れた性能が期待されます。

図 3-2 に、隣接するアンテナ間 (RX1 と RX2、RX2 と RX3、RX3 と TX1、TX1 と TX2 など) のアイソレーションを示します。60 度回転させた場合、隣接するアンテナ間の最小アイソレーションは -20dB です。

3.1.3 帯域幅および反射損失

両方のリファレンス デザイン アンテナも、-8dB の帯域幅が 3.5GHz、-10dB の帯域幅が 3GHz です。図 3-4 と 図 3-5 に、周波数 (GHz) における反射損失プロット (dB) を示します。

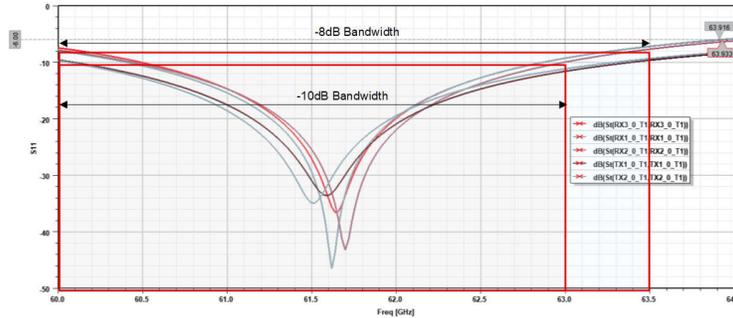


図 3-4. 2D アンテナ バリエーションにおける S11 プロット

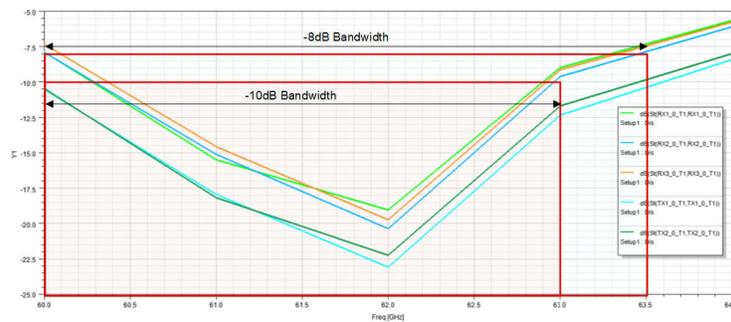
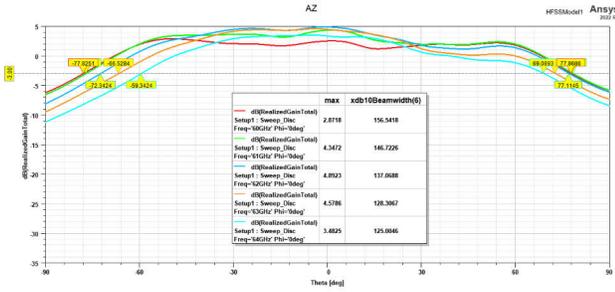


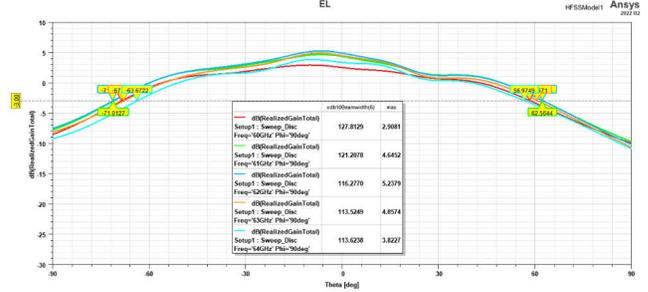
図 3-5. 1D アンテナ バリエーションにおける S11 プロット

3.1.4 アンテナのゲインプロット

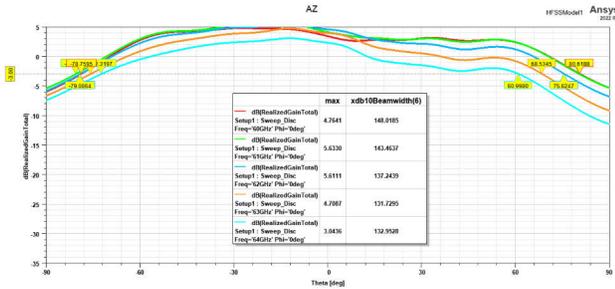
このセクションでは、1D アンテナ バリエーションと 2D アンテナ バリエーションについて、3 つの RX と 2 つの TX のゲインプロットの概要を示します。



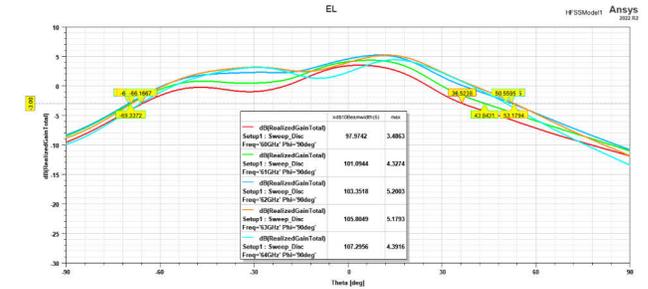
Realized Gain: RX1 (Azimuth plane)



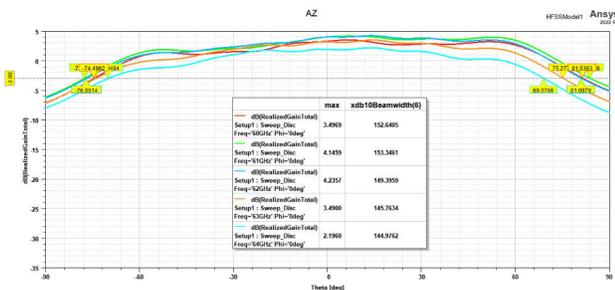
Realized Gain: RX1 (Elevation plane)



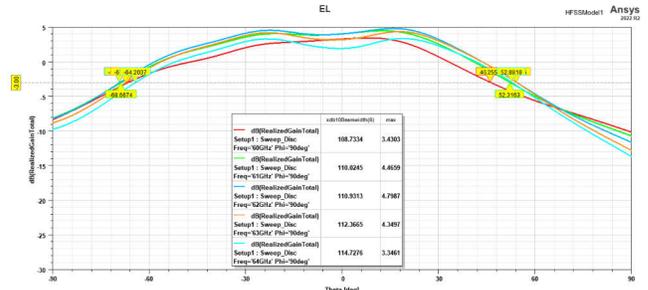
Realized Gain: RX2 (Azimuth plane)



Realized Gain: RX2 (Elevation plane)

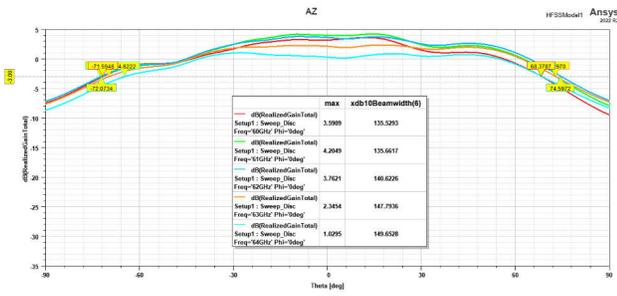


Realized Gain: RX3 (Azimuth plane)

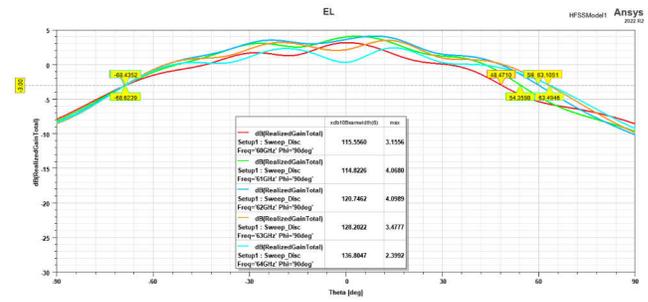


Realized Gain: RX3 (Elevation plane)

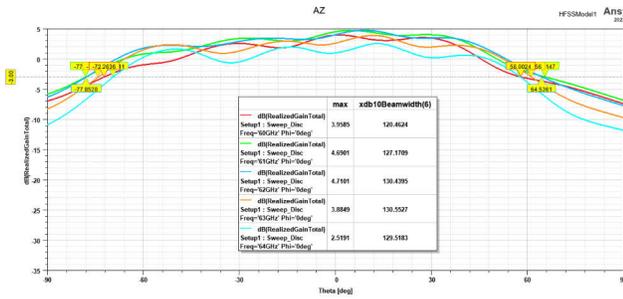
図 3-6. RX アンテナの実測ゲインプロット - 2D アンテナ バリエーション



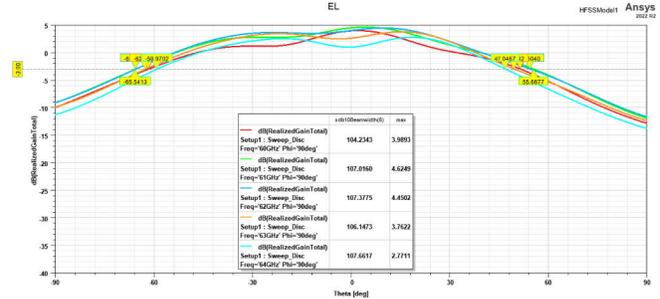
Realized Gain: TX1 (Azimuth plane)



Realized Gain: TX1 (Elevation plane)



Realized Gain: TX2 (Azimuth plane)



Realized Gain: TX2 (Elevation plane)

図 3-7. TX アンテナの実測ゲインプロット - 2D アンテナ バリエーション

RX アンテナの実測ゲインプロット - 1D アンテナ バリエーション

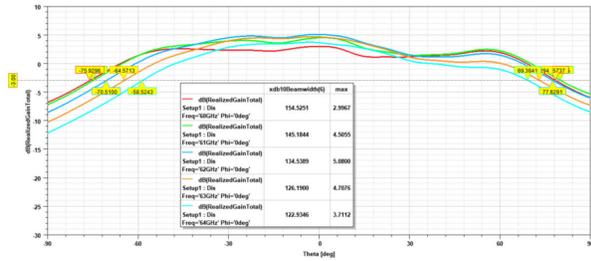


図 3-8. 実測ゲイン: Rx1 (方位角面)

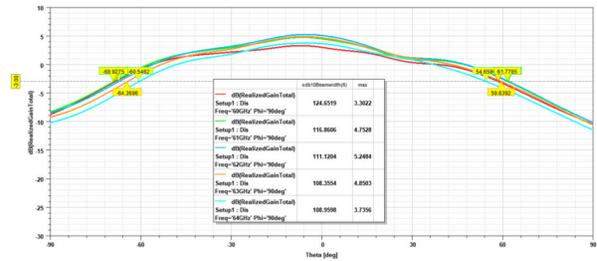


図 3-9. 実測ゲイン: Rx1 (仰角面)

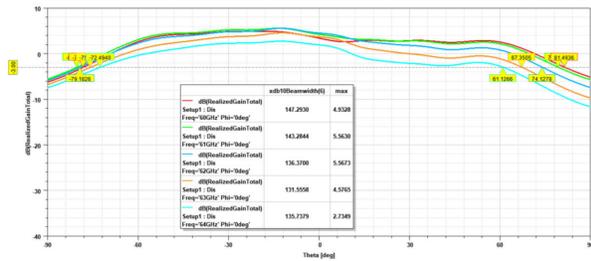


図 3-10. 実測ゲイン: Rx2 (方位角面)

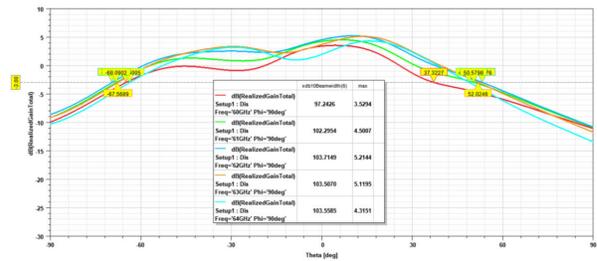


図 3-11. 実測ゲイン: Rx2 (仰角面)

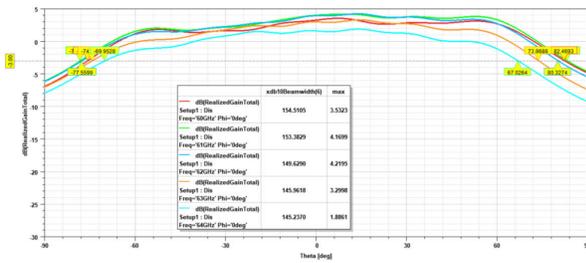


図 3-12. 実測ゲイン:Rx3 (方位角面)

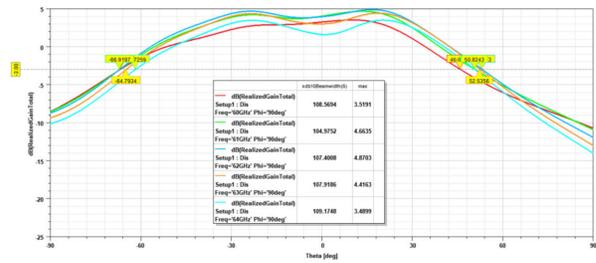


図 3-13. 実測ゲイン:Rx3 (仰角面)

TX アンテナの実測ゲインプロット - 1D アンテナ バリエーション

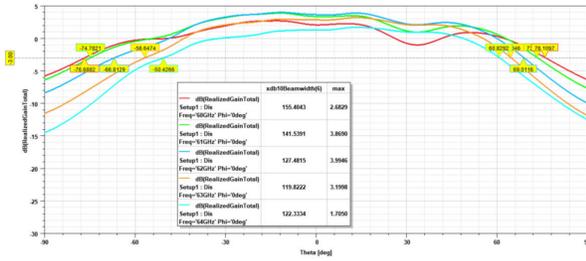


図 3-14. 実測ゲイン:Tx1 (方位角面)

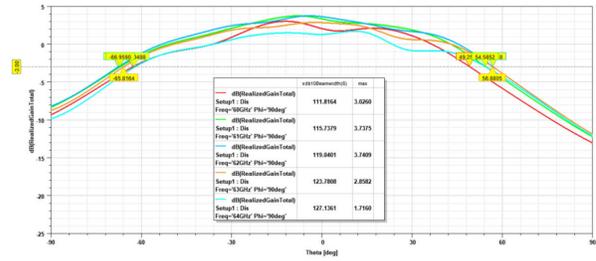


図 3-15. 実測ゲイン:Tx1 (仰角面)

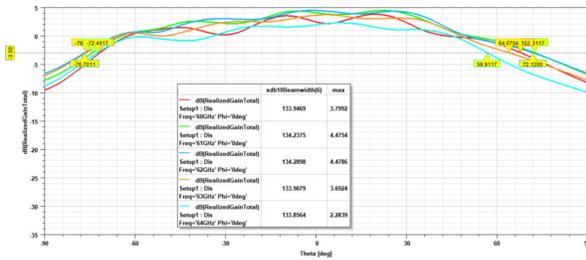


図 3-16. 実測ゲイン:Tx2 (方位角面)

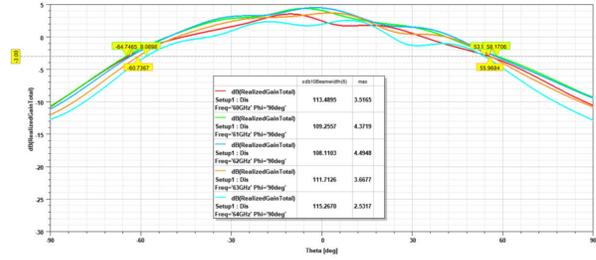


図 3-17. 実測ゲイン:Tx2 (仰角面)

3.2 アンテナ アレイ

このリファレンス デザインでは、3 つのレシーバ アンテナと 2 つのトランスミッタ アンテナ用に単一素子のパッチ アンテナを使用しています。アンテナ アレイは、方位角面での角度分解能が最大化されるように定義されています。前述のように、このリファレンス デザインには 1D と 2D の 2 種類のセンシング バリエーションがあります。これは、一方の TX アンテナの位置を他方のアンテナに対して相対的に変更することで実現されます。

3.2.1 3D 検出機能を備えた 2D アンテナ アレイ

最初のバリエーションでは、図 3-18 に示すように、1 つの Tx アンテナが仰角面のもう 1 つの Tx アンテナより $N/2$ 下に配置されています。このアンテナ形状は、図 3-19 に示すように、方位角方向に 2 素子、仰角方向に 2 素子の 2 ライン 6 素子の仮想アンテナ アレイを持っています。このアンテナ バリエーションは、方位角、仰角、距離の 3 次元検出が可能です。

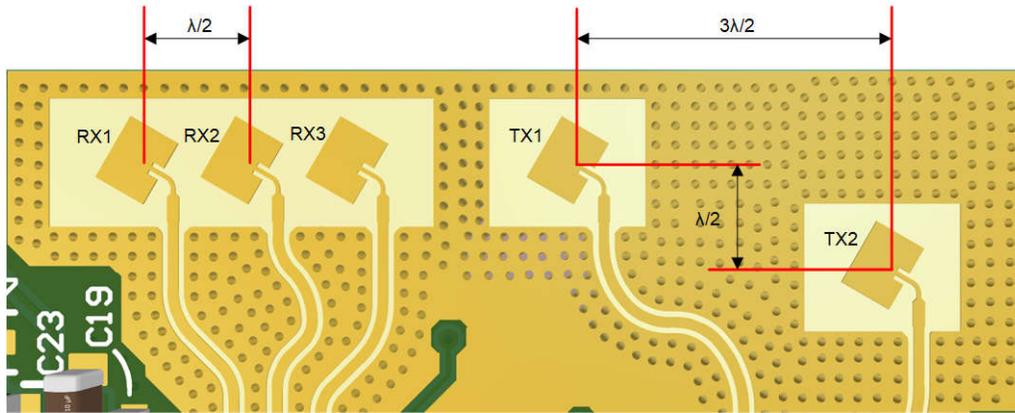


図 3-18. 2D アンテナ パッチ アレイの形状

図 3-19 に、各インデックスが乗算係数 $\lambda/2$ を示す仮想アンテナ アレイの形状を示します。位置 0、1、2 は、3 つの Rx (Rx1、Rx2、Rx3) と Tx1 の組み合わせから成る仮想アンテナの配置を表します。位置 3、4、5 は、3 つの Rx (Rx1、Rx2、Rx3) と Tx2 の組み合わせから成る仮想アンテナの配置を表します。

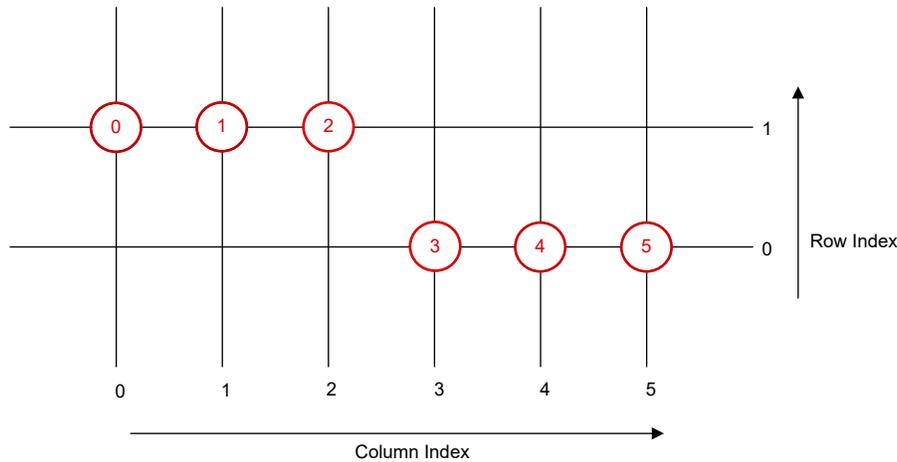


図 3-19. 2D アンテナ - 仮想アレイ

仮想アンテナは、方位角方向に 6 素子および仰角方向に 2 素子で 2 次元アレイを形成します。方位角方向の 6 素子により、1D アンテナ バリエーションと同様に、方位角方向で角度分解能 19 度が得られます。ただし、1D アンテナ バリエーションとは異なり、仰角方向に 2 素子を持つ 2D アンテナ バリエーションでは、仰角方向で角度分解能 58 度が得られます。これにより、リファレンス デザインの 2D アンテナ バリエーションが有効になります。

3.2.2 2D 検出機能を備えた 1D アンテナ アレイ

1D アンテナ バリエーションでは、Tx アンテナと Rx アンテナがすべて単一ラインに配置されています。図 3-20 に示すように、2 つの Tx アンテナは $3\lambda/2$ の間隔で、3 つの Rx アンテナは $\lambda/2$ の間隔で配置されています。この形状により、単一ラインの 6 素子仮想アレイが生成されています。図 3-21 に示すように、方位角方向では仮想アレイが 6 つの素子を持つ一方で、仰角方向ではアレイが 1 つの素子しか持たないため、アンテナ バリエーションは方位角面のみで 2 次元検出が可能になります。つまり、ターゲットは仰角方向でローカライズできず、解像することもできないということです。FOV 内にまだある対象物はすべて 2D 空間に投影することができます。

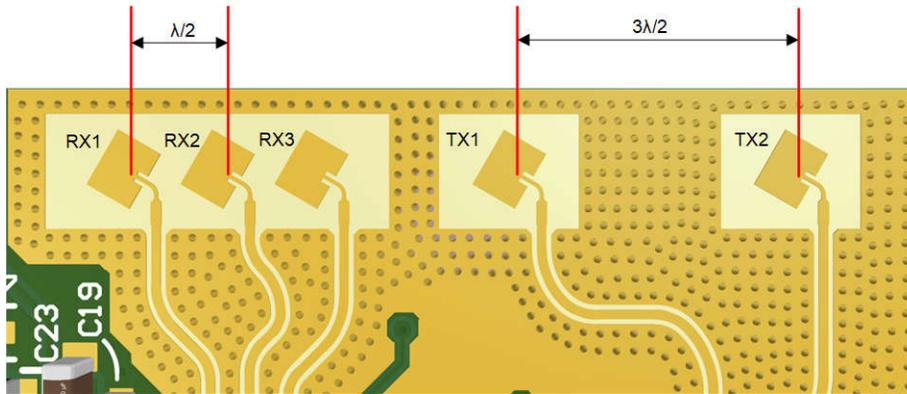


図 3-20. 1D アンテナ パッチ アレイの形状

図 3-21 に、各インデックスが空間間隔係数 $\lambda/2$ を示す仮想アンテナ アレイの形状を示します。位置 0、1、2 は、3 つの Rx (Rx1、Rx2、Rx3) と Tx1 の組み合わせから成る仮想アンテナの配置を表します。位置 3、4、5 は、3 つの Rx (Rx1、Rx2、Rx3) と Tx2 の組み合わせから成る仮想アンテナの配置を表します。

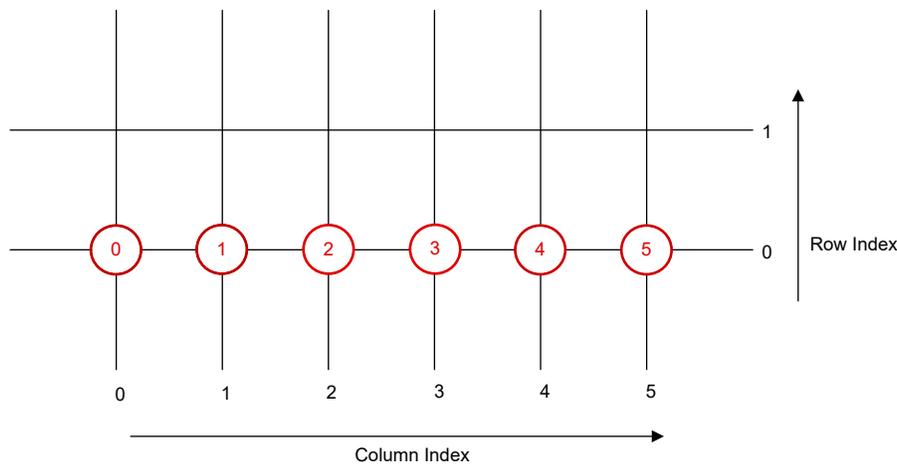


図 3-21. 1D アンテナ - 仮想アレイ

仮想アンテナは 6 素子で単一ライン形成します。方位角方向の 6 素子により、角度分解能 19 度が得られます。1D アンテナでは仰角方向の角度分解能が不十分ですが、それは方位角方向のみで 2D 検出機能を持っているためです。

3.3 PCB

このリファレンス デザインでは、PCB に 4 層の積層を使用しています。積層は、アンテナの性能にとって非常に重要です。このセクションでは、既存の積層と、レイアウトに関連したコスト削減手法のいくつかを詳しく説明します。

図 3-22 に、PCB 積層の詳細を示します。

| Lyr | Lyr Type | Image | Foil Wt | Thk (mm) | Cu Thk (mm) | Er | Generic Name | Construction | Material Family | TG |
|-----------------------------|----------|-------|---------|----------|-------------|------|-------------------------|--------------|-----------------|-----|
| tcmp | | | | 0.020 | | 3.9 | | | | |
| 1 | Sig | | 0.5 | 0.127 | 0.040 | 3.26 | 0.5OZ +plating | | | |
| 2 | Mix | | 1 | 0.258 | 0.031 | 4.25 | Core 5mil 1/0.5 oz RTF | 2X1067 | FR408HR | 185 |
| | | | | | | 4.25 | Prepreg | 2116 | 370HR | 170 |
| | | | | | | 4.25 | Prepreg | 2116 | 370HR | 170 |
| 3 | Mix | | 1 | 1.016 | 0.031 | 4.4 | Core 40mil 1/0.5 oz RTF | | 370HR | 170 |
| 4 | Sig | | 0.5 | 0.127 | 0.040 | | 0.5OZ +plating | 5x7628 | | |
| bsmp | | | | 0.020 | | 3.9 | | | | |
| Over Solder mask on plating | | | | 1.583 | | | | | | |

図 3-22. PCB 積層

アンテナは PCB の最上層 (Lyr 1) に実装されています。この層には FR408HR 誘電体があります。誘電体の重要な特性をいくつか以下に示します。

1. 誘電体は、2 x 1067 (2 層構造) のスプレッド ガラス構造を採用しています。この構造は、ガラス織り効果を低減し、損失を低減するのに役立ちます。
2. 誘電体の厚さは 5mil (127um) です。この厚さの値は、インピーダンス マッチングに合わせて調整されます。
3. 誘電体の Dk 値は 3.3 です。
4. コア材料です。

注

- 誘電体の厚さを変えると、インピーダンスのミスマッチが生じて放射電力の反射がより増える可能性があるため、誘電体の厚さは変えないでください。
- プリプレグ材はアンテナ層に使用しないでください。アンテナ以外の層には、プリプレグを使用できます。

接地された共平面導波管 (GCPW) 伝送ラインは、RF 信号をアンテナに伝送するために使用されています。以下に、アンテナ層とグランド層に関する重要な考慮事項を示します。

1. アンテナ層の仕上がり銅箔の厚さは 40μm です。
2. グランド プレーン (アンテナ プレーンの下、第 2 層) の厚さは 1oz (1oz が利用できない場合は 0.5oz も使用可能)。
3. PCB 表面仕上げは OSP または浸漬銀です。

注

ENIG 表面仕上げは、ミリ波周波数範囲で挿入損失が大きくなる可能性があるため推奨されません。

リファレンス デザインの PCB 全体の厚さは 1.6mm です。

注

テキサス・インスツルメンツの積層をそのまま使用することを推奨します。別の積層を希望する場合は、3D EM ソルバーが推奨され、アンテナの最適化を行う必要があります。

以下に、PCB 設計のコスト削減に効果があるとされる手法の一部を示します。

3.3.1 ビア イン パッドの排除

ビア イン パッドは完全に排除され、BGA ファンアウトにはドッグ ボーン ファンアウトが採用されています。これにより、ビア イン パッドやビア充填、メッキ 処理と比較して、PCB 製造コストを削減されます。図 3-23 は、BGA ファンアウトを示すレイアウトの拡大画像を示しています。

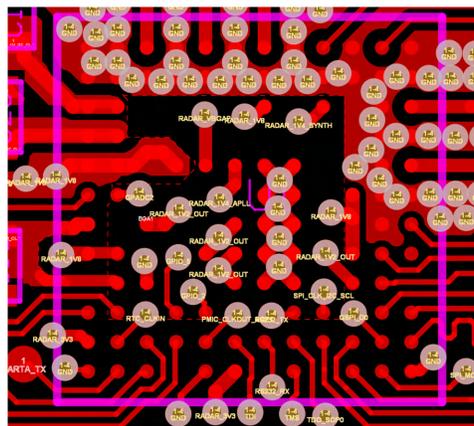


図 3-23. BGA ファンアウトにおけるビア イン パッドなし

3.3.2 マイクロビアプロセスの排除

このリファレンス デザインでは、パッケージから PCB への接続は、パッド上のビア、マイクロビア、ブラインドビアを使用せずに行われています。リファレンス デザインのすべてのビアはスルーホールビアです。これにより、PCB の設計コストを削減できます。図 3-24 は、スルーホールビアを使用したレイアウトの拡大画像を示しています。他のすべてのビアもスルーホール (1~4) ビアです。



図 3-24. スルーホールビア (第 1 層から第 4 層まで)

これら 2 つの取り組みにより、このリファレンス デザインでは PCB 全体のコストが大幅に削減されました。

3.4 構成パラメータ

IWRL6432 のコアにアプリケーション固有のバイナリがプログラムされた後、特定のコマンドを含む構成ファイルを送信することでフロント エンドを構成する必要があります。これらの各コマンドの詳細については、MMWAVE-L-SDK に記載されています。このセクションでは、アンテナの設計によって異なるいくつかの特定のコマンドについて説明します。

3.4.1 アンテナの形状

セクション 3.2 で説明したように、Tx アンテナと Rx アンテナの空間位置を変更することで、異なる仮想アンテナ アレイを生成することができます。これらの仮想アンテナ素子の相対位置は、対象物の到来角を決定するために必要です。このため、レーダー デバイスの内部処理チェーンには、検出空間の角度情報を提供するために、仮想アンテナの形状情報が必要です。

この特定の情報は特定の形式で構成ファイルに記述し、それを処理チェーンに供給することができます。構成ファイルには、`antGeometryCfg` と呼ばれる特定のフィールドがあり、アンテナの形状情報を記述できます。以下は、このコマンドの入力形式と、このリファレンス デザインに関連する 2 つのアンテナ構成の `antGeometryCfg` エントリの例です。

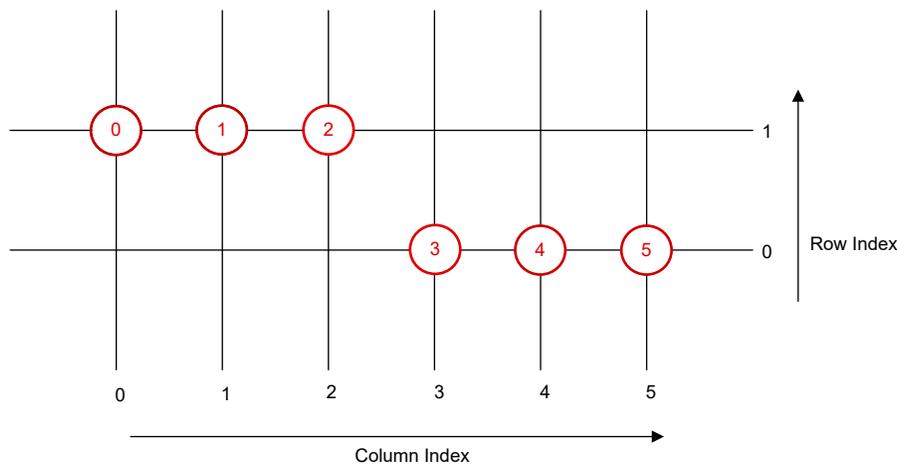


図 3-25. IWRL6432FCCSP リファレンス デザインの 2D アンテナ バリエーションにおける仮想アンテナ インデックス

2D アンテナ バリエーションのアンテナ形状コマンド: `antGeometryCfg 1 0 1 1 1 2 0 3 0 4 0 5 2.418 2.418`

この行は、構成ファイルに貼り付けることができます。

動作検出の構成例:

sensorStop 0

antGeometryCfg 1 0 1 1 1 2 0 3 0 4 0 5 2.418 2.418

channelCfg 7 3 0

chirpComnCfg 8 0 0 256 4 28 0

chirpTimingCfg 6 63 0 75 60

frameCfg 2 0 200 64 250 0

guiMonitor 2 1 0 0 0 1 0 0 0 0 0

sigProcChainCfg 32 2 1 0 4 4 0 15

cfarCfg 2 8 4 3 0 12.0 0 0.5 0 1 1 1

aoaFovCfg -60 60 -40 40

rangeSelCfg 0.1 12.0

clutterRemoval 1

compRangeBiasAndRxChanPhase 0.0 1.00000 0.00000 -1.00000 0.00000 1.00000 0.00000 -1.00000 0.00000
1.00000 0.00000 -1.00000 0.00000

adcDataSource 0

adcLogging 0

lowPowerCfg 1

factoryCalibCfg 1 0 40 0 0x1ff000

mpdBoundaryBox 1 0 1.48 0 1.95 0 3

mpdBoundaryBox 2 0 1.48 1.95 3.9 0 3

mpdBoundaryBox 3 -1.48 0 0 1.95 0 3

mpdBoundaryBox 4 -1.48 0 1.95 3.9 0 3

sensorPosition 0 0 1.44 0 0

minorStateCfg 5 4 40 8 4 30 8 8

majorStateCfg 4 2 30 10 8 80 4 4

clusterCfg 1 0.5 2

baudRate 1250000

sensorStart 0 0 0 0

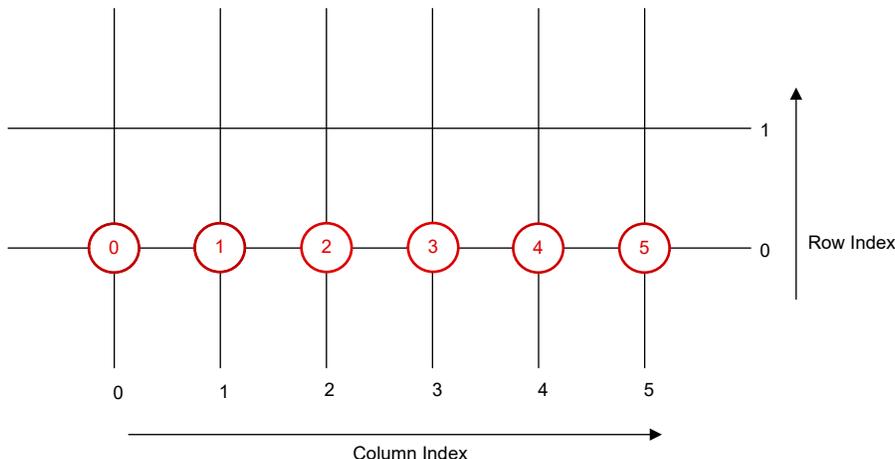


図 3-26. IWRL6432FCCSP リファレンス デザインの 1D アンテナ バリエーションにおける仮想アンテナ インデックス

1D アンテナ バリエーションのアンテナ形状コマンド: **antGeometryCfg 0 0 0 1 0 2 0 3 0 4 0 5 2.418 2.418**

この行は、構成ファイルに貼り付けることができます。

動作検出の構成例:

```
sensorStop 0
antGeometryCfg 0 0 0 1 0 2 0 3 0 4 0 5 2.418 2.418
channelCfg 7 3 0
chirpComnCfg 8 0 0 256 4 28 0
chirpTimingCfg 6 63 0 75 60
frameCfg 2 0 200 64 250 0
guiMonitor 2 1 0 0 0 1 0 0 0 0 0
sigProcChainCfg 32 2 1 0 4 4 0 15
cfarCfg 2 8 4 3 0 12.0 0 0.5 0 1 1 1
aoaFovCfg -60 60 -40 40
rangeSelCfg 0.1 12.0
clutterRemoval 1
compRangeBiasAndRxChanPhase 0.0 1.00000 0.00000 -1.00000 0.00000 1.00000 0.00000 -1.00000 0.00000
1.00000 0.00000 -1.00000 0.00000
adcDataSource 0
adcLogging 0
lowPowerCfg 1
factoryCalibCfg 1 0 40 0 0x1ff000
mpdBoundaryBox 1 0 1.48 0 1.95 0 3
mpdBoundaryBox 2 0 1.48 1.95 3.9 0 3
mpdBoundaryBox 3 -1.48 0 0 1.95 0 3
mpdBoundaryBox 4 -1.48 0 1.95 3.9 0 3
sensorPosition 0 0 1.44 0 0
```

```

minorStateCfg 5 4 40 8 4 30 8 8
majorStateCfg 4 2 30 10 8 80 4 4
clusterCfg 1 0.5 2
baudRate 1250000
sensorStart 0 0 0 0

```

注

各コマンドラインは、どの構成にも追加する必要があり、デバイスに送信する前に追加しなければなりません。そうしないと、処理チェーンによって計算される到来角が誤ったものになる可能性があります。

antGeometryCfg コマンドには合計 14 のエントリがあります。最初の 12 エントリは、[図 3-26](#) に示されたそれぞれの行インデックスと列インデックスに従って、仮想アンテナの空間位置を順番に指定します。たとえば、仮想アンテナ 0 の位置を定義する最初の 2 つのエントリを考えてみましょう。2D アンテナ バリエーションでは、仮想アンテナ 0 の行インデックスと列インデックスは 1 と 0 ですが、1D アンテナ バリエーションでは、仮想アンテナ 0 の行インデックスと列インデックスは 0 と 0 です。どちらの場合も、それぞれの **antGeometryCfg** コマンドの最初の 2 つのエントリに反映されます。同様に、残りの 5 つの仮想アンテナの空間位置は、次のエントリセットに入力されます。

最後の 2 つのエントリは、仮想アンテナ アレイ空間の単位長を定義します。たとえば、方位角列間と仰角行間のアンテナ間隔を mm 単位で定義します。この場合、両方向のアンテナ間隔は $\lambda/2$ に等しく、すなわち 2.418mm になります。ここで、 λ (波長) は、チャープ構成の中心周波数 62GHz に基づいて計算されます。

3.4.2 範囲および位相の補償

範囲バイアスと位相誤差は、**compRangeBiasAndRxChanPhase** コマンドを使用して、さまざまなアンテナ設計に応じて補償が必要です。MMWAVE-L-SDK に含まれるデモ構成にはデフォルト値が組み込まれています。

アンテナが反転した場合、振幅と位相の補償 API を使用して位相を補正する必要があります。詳細な手順については、MMWAVE-L-SDK を参照してください。

3.4.3 チャープ構成

チャープ特性は、構成ファイル内のさまざまなコマンドを使用して、アプリケーション要件に応じて変更することができます。特定のチャープ プロファイルを決定する要因には、最大検出距離要件、消費電力、性能などがあります。チャープ構成の詳細については、『テキサス・インスツルメンツのレーダー デバイスにおけるチャープ パラメータのプログラミング』と『MIMO レーダー』を参照してください。

このセクションでは、2 つの側面からチャープ プロファイルの例を示します。1 つは 10m と 15m での人の存在検出、もう 1 つは高性能と低消費電力のためのものです。

注

これらのチャープ プロファイルは、特定の環境条件でテストされています。したがって、環境条件の違いによって性能が異なる場合があります。

表 3-1. 10m および 15m での人の存在検出のためのチャープ構成

| パラメータ | 10m | 15m |
|------------------------|------|-------|
| ADC サンプリング レート (MHz) | 8 | 12.5 |
| ADC サンプル数 | 256 | 256 |
| ランプ終了時間 (μ s) | 37 | 90 |
| アイドル時間 (μ s) | 50 | 138 |
| スキップ サンプル数 | 24 | 40 |
| 周波数スロープ (MHz/ μ s) | 25 | 40 |
| 開始周波数 (GHz) | 61.5 | 59.75 |
| バースト内のチャープ数 | 8 | 170 |
| バースト周期 (μ s) | 811 | 40000 |

表 3-1. 10m および 15m での人の存在検出のためのチャープ構成 (続き)

| パラメータ | 10m | 15m |
|---------------|-----|-------|
| フレームあたりのバースト数 | 1 | 1 |
| フレーム周期 (ms) | 250 | 200 |
| 実効帯域幅 (MHz) | 768 | 819.2 |

表 3-2. 低消費電力と高性能のためのチャープ構成

| パラメータ | 低消費電力 | 高性能 |
|------------------------|-------|-------|
| 有効な Rx アンテナの数 | 3 | 3 |
| 有効な Tx アンテナの数 | 1 | 2 |
| ADC サンプリングレート (MHz) | 8.3 | 12.5 |
| ADC サンプル数 | 64 | 256 |
| MIMO モード | TDM | BPM |
| ランプ終了時間 (μ s) | 12 | 90 |
| アイドル時間 (μ s) | 18 | 138 |
| スキップ サンプル数 | 25 | 40 |
| 周波数スロープ (MHz/ μ s) | 60 | 40 |
| 開始周波数 (GHz) | 61 | 59.75 |
| バースト内のチャープ数 | 2 | 170 |
| バースト周期 (μ s) | 180 | 40000 |
| フレームあたりのバースト数 | 1 | 1 |
| フレーム周期 (ms) | 1000 | 200 |
| 実効帯域幅 (MHz) | 460.8 | 819.2 |
| 消費電力 (mW) | 1.5 | 254 |

チャープ構成は最適化の対象です。パラメータは、使用事例の要件に基づいてさらに最適化可能です。

3.5 回路図とレイアウトの設計条件

このセクションでは、いくつかの回路図とレイアウトの条件について説明します。その他の詳細については、『[デザイン チェックリスト](#)』を参照してください。

3.5.1 BOM 最適化トポロジにおける内部 LDO 出力デカップリング コンデンサおよびレイアウト条件

このセクションでは、デカップリング コンデンサの推奨値と、内部 LDO 出力パスの特定の部分の寄生インダクタンスおよび抵抗の許容値の範囲を示します。すべての低ドロップアウトレギュレータと同様、本内部 LDO では、内部制御ループを安定させるため、出力と GND との間に出力コンデンサを接続する必要があります。表 3-3 と表 3-6 に、コンデンサの最小値と最大値を示します。これらの表には、DC バイアス、許容誤差、温度変化による特定のコンデンサのバラツキが含まれています。

注

- 寄生素子の値が規定範囲内に収まらない場合、本デバイスの性能が低下する可能性があります。
- デカップリング コンデンサは、標準値の使用を推奨します。範囲の端付近の容量値を選択すると、性能が低下する可能性があります。選択されたコンデンサの動作範囲が、規定された範囲を上回ることはできません。

最大許容寄生値の最新情報については、『[IWRL6432 シングルチップ 57~64GHz 産業用レーダー センサ](#)』データシートを参照してください。

3.5.1.1 単一コンデンサレール

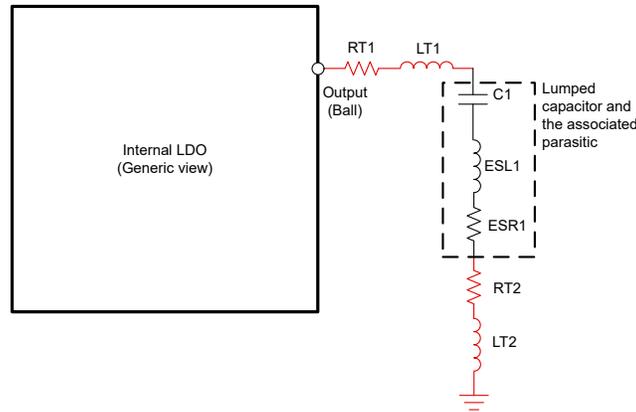


図 3-27. 出力パスの各部分が持つ寄生素子 (コンデンサが 1 つの場合)

1.2V デジタル LDO には、4.7 μ F (標準値) の 1 つのデカップリング コンデンサが必要です。温度による変動が小さい X7R タイプのコンデンサの使用が推奨されます。図 3-27 に、出力パスの各部分が持つ寄生素子を示します。RT1 と RT2 は、それぞれボールからコンデンサのリードまでのトレースとグラウンドトレースが持つ寄生抵抗です。同様に、LT1 と LT2 は、それぞれボールからコンデンサのリードまでのトレースとグラウンドトレースが持つ寄生インダクタンスです。ESL1 と ESR1 は、デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。表 3-3 に、容量と寄生素子の最小値、最大値、標準値を示します。

注

これらの条件は、APLL や SYNTH など、他の単一コンデンサの LDO には適用できません。

3.5.1.1.1 1.2V デジタル LDO

ボール名: VDD

表 3-3. 1.2V デジタル LDO の出力

| | 最小値 | 標準値 | 最大値 | 単位 |
|------------------------------------|-----|-----|-----|------------|
| 推奨 C 値 | 3.6 | 4.7 | 5.2 | μ F |
| 出力寄生インダクタンスの許容値 L_p ¹ | 1 | 1.5 | 2 | nH |
| 出力寄生抵抗の許容値 R_p ² | 15 | 20 | 35 | m Ω |

(1) $L_p = LT1 + ESL1 + LT2$

(2) $R_p = RT1 + ESR1 + RT2$

3.5.1.2 2 コンデンサレール

1.2V RF LDO、1.2V SRAM LDO、1.0V RF LDO には、10 μ F と 2.2 μ F (標準値) の 2 つのデカップリング コンデンサが必要です。

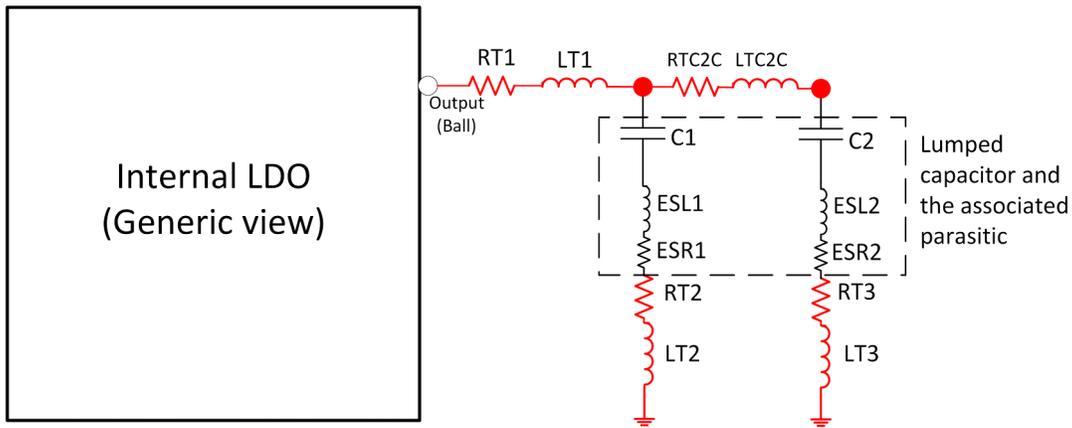


図 3-28. 出力パスの各部分が持つ寄生素子 (コンデンサが 2 つの場合)

図 3-28 に、出力パスの各部分が持つ寄生素子を示します。図示のように、出力パスは次の 4 つの部分に分割できます。

- ボールから第 1 コンデンサまで: RT1 と LT1 は、ボールから第 1 コンデンサのリードまでの部分が持つ寄生抵抗と寄生インダクタンスです。
- 第 1 コンデンサ沿い: ESL1 と ESR1 は、第 1 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。RT2 と LT2 はそれぞれ第 1 コンデンサのグラウンドトレースの抵抗とインダクタンスです。
- 第 1 コンデンサのリードから第 2 コンデンサのリードまで: RTC2C と LTC2C は、2 つのコンデンサの間のトレースの抵抗とインダクタンスです。
- 第 2 コンデンサ沿い: ESL2 と ESR2 は、第 2 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。RT3 と LT3 はそれぞれ第 2 コンデンサのグラウンドトレースの抵抗とインダクタンスです。

注

どちらのコンデンサも、それぞれのボールの近くに配置することを推奨します。

3.5.1.2.1 1.2V RF LDO

ボール名: VDDA_12RF

表 3-4. 1.2V RF LDO 出力

| | | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------|----------------------------|-----|------|------|----|
| 推奨 C 値 | C1 | 4.9 | 10.0 | 11.0 | μF |
| | C2 | 1.3 | 2.2 | 2.4 | μF |
| 出力寄生インダクタンスの許容値 | ボールから第 1 コンデンサのリードまで (LT1) | 0.3 | | 0.6 | nH |
| | 第 1 コンデンサ沿い (ESL1 + LT2) | 0.4 | | 0.7 | |
| | コンデンサの 2 本のリードの間 (LTC2C) | 0.1 | | 0.3 | |
| | 第 2 コンデンサ沿い (ESL2 + LT3) | 0.4 | | 0.7 | |
| 出力寄生抵抗の許容値 | ボールから第 1 コンデンサのリードまで (RT1) | 1 | | 5 | mΩ |
| | 第 1 コンデンサ沿い (ESR1 + RT2) | 15 | | 25 | |
| | コンデンサの 2 本のリードの間 (RTC2C) | 1 | | 5 | |
| | 第 2 コンデンサ沿い (ESR2 + RT3) | 15 | | 25 | |

3.5.1.3 1.2V SRAM LDO

ボール名: VDD_SRAM

表 3-5. 1.2V SRAM LDO 出力

| | | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------|----------------------------|-----|------|------|----|
| 推奨 C 値 | C1 | 4.9 | 10.0 | 11.0 | μF |
| | C2 | 1.3 | 2.2 | 2.4 | μF |
| 出力寄生インダクタンスの許容値 | ボールから第 1 コンデンサのリードまで (LT1) | 0.5 | | 1.0 | nH |
| | 第 1 コンデンサ沿い (ESL1 + LT2) | 1.0 | | 1.5 | |
| | コンデンサの 2 本のリードの間 (LTC2C) | 0.5 | | 1.0 | |
| | 第 2 コンデンサ沿い (ESL2 + LT3) | 1.0 | | 1.5 | |
| 出力寄生抵抗の許容値 | ボールから第 1 コンデンサのリードまで (RT1) | | | 1 | mΩ |
| | 第 1 コンデンサ沿い (ESR1 + RT2) | 15 | | 35 | |
| | コンデンサの 2 本のリードの間 (RTC2C) | | | 1 | |
| | 第 2 コンデンサ沿い (ESR2 + RT3) | 15 | | 35 | |

3.5.1.4 1.0V RF LDO

ボール名: VDDA_10RF

表 3-6. 1.0V RF LDO 出力

| | | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------|----------------------------|-----|------|------|----|
| 推奨 C 値 | C1 | 4.9 | 10.0 | 11.0 | μF |
| | C2 | 1.3 | 2.2 | 2.4 | μF |
| 出力寄生インダクタンスの許容値 | ボールから第 1 コンデンサのリードまで (LT1) | 0.3 | 0.3 | 0.6 | nH |
| | 第 1 コンデンサ沿い (ESL1 + LT2) | 0.3 | | 1.0 | |
| | コンデンサの 2 本のリードの間 (LTC2C) | 0.1 | | 0.3 | |
| | 第 2 コンデンサ沿い (ESL2 + LT3) | 0.3 | | 1.0 | |
| 出力寄生抵抗の許容値 | ボールから第 1 コンデンサのリードまで (RT1) | 1 | | 5 | mΩ |
| | 第 1 コンデンサ沿い (ESR1 + RT2) | 15 | | 25 | |
| | コンデンサの 2 本のリードの間 (RTC2C) | 1 | | 5 | |
| | 第 2 コンデンサ沿い (ESR2 + RT3) | 15 | | 25 | |

3.5.2 レイアウトの適切な事例と不適切な事例

このセクションでは、レーダー全体の性能に影響を及ぼす可能性のあるいくつかのレイアウト事例を取り上げます。

3.5.2.1 デカップリング コンデンサの配置

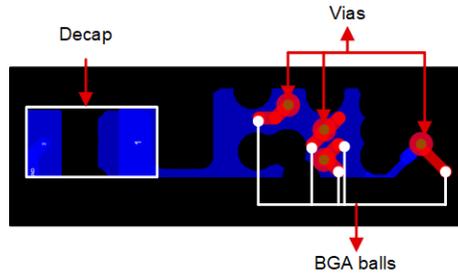


図 3-29. デカップリング コンデンサの配置: 不適切な事例

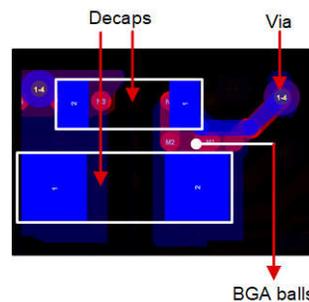


図 3-30. デカップリング コンデンサの配置: 適切な事例

オンチップ LDO には、主要な極を補償するために外付けコンデンサが必要です。この場合、コンデンサの配置と出力パスのパターンは、PCB 設計の制約に依存することになります。出力パスに寄与する寄生成分は、システムの安定性を決定する上で重要な役割を果たします。前のセクションでは、電源の安定性を確保できるように、高帯域幅に敏感な各 LDO のそれぞれについて、具体的な寄生インダクタンスと抵抗値をリストしました。ここでは、PCB レイアウトを設計する際の適切な事例と不適切な事例を紹介します。

図 3-29 は、デカップリング コンデンサが個々の LDO 出力 BGA ボールから離れた場所に配置されている設計を示しています。ボールからコンデンサのリードまでを接続する全パターンの長さを考慮して、以下を追加します。

1. BGA ボールと最上層の個々のビアを接続するパターン (赤で示されたパターンは PCB の最上層にある)
2. ビアの長さ
3. ビアとコンデンサのリードを接続するパターン (青で示されたパターンは PCB の最下層にある)。これにより、非常に長いパスが作られます。このような長いパスに存在する寄生成分が組み合わせられることで、データシートに記載されている寄生成分の仕様が変更されることがあり、LDO システムの安定性に影響する可能性があります。

図 3-30 は、コンデンサが BGA ボールのすぐ近くに配置されている設計を示しています。前述の例で挙げたシステム不安定の可能性を考慮すると、この設計は寄生値がデータシートの仕様内にあるため、はるかに優れています。

3.5.2.2 グランド帰還パス

最短のフォワードパスを維持するため、すべてのオンチップ LDO 出力ではこの設計手法に従うことが推奨されます。

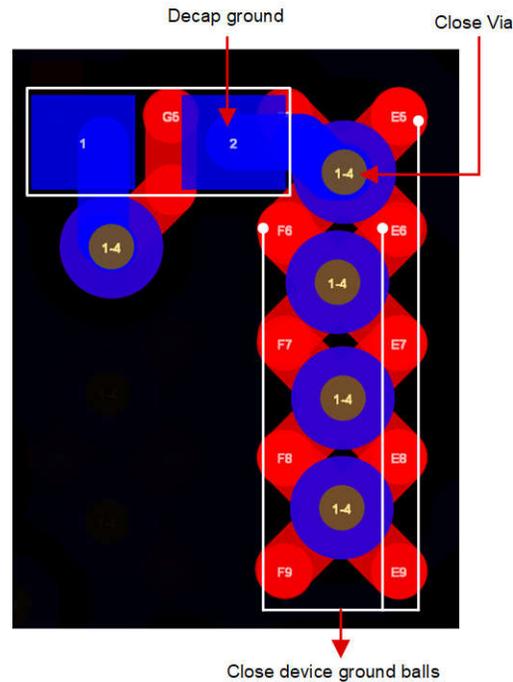


図 3-31. グランド帰還パス

仕様外の寄生値のソースとして機能する可能性のある出力パスは、次の 2 つの素子で構成されています。

1. BGA ボールをコンデンサリードに接続するフォワードパス
2. コンデンサのグラウンドをデバイスのグラウンドに接続し、ループを閉じるグラウンド帰還パス 図 3-31 は、グラウンド帰還パスの適切な例です。

図 3-31 に示すように、デカップリンググラウンドはコンデンサのグラウンドリードのすぐ近くにあるビアに接続されています。さらに、デバイスグラウンドもビアのすぐ近くにあります。これにより、信号のグラウンド帰還パスが最短になります。

3.5.2.3 大電流用パターンの幅

すべてのオンチップ LDO 出力にこの設計手法を適用し、最短のグラウンド帰還パスを維持します。

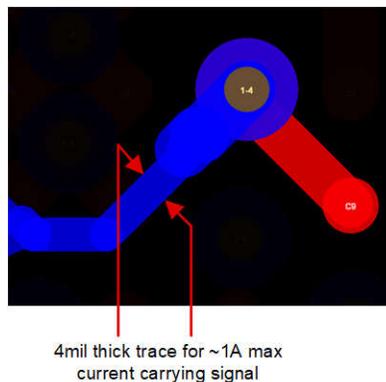


図 3-32. パターン幅: 不適切な事例

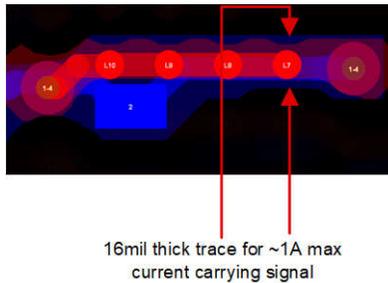


図 3-33. パターン幅: 適切な事例

PCB のパターン幅は、それぞれの信号の最大電流要件を満たすのに十分である必要があります。以下に、大電流信号を流すパターン設計の適切な事例と不適切な事例を示します。

図 3-32 に、最大 1A の電流を流すことができる信号用の幅 4mil のパターンを示します。このパターンは、ここまで大きな最大電流をサポートすることはできません。

図 3-33 に、最大 1A の電流を流すことができる信号用の幅 16mil のパターンを示します。このパターンはこの電流をサポートするのに十分な厚さであるため、これは良い設計と言えます。

最大電流を考慮し、それに応じてパターンの厚さを選択してください。通常、最大 1A の電流を流すには、12~15mil 厚のパターンで十分です。

3.5.2.4 グランド プレーンの分割

グランド プレーンは分割しないでください。図 3-34 に、分割なしの連続的なグランド プレーン (第 2 層) を示します。

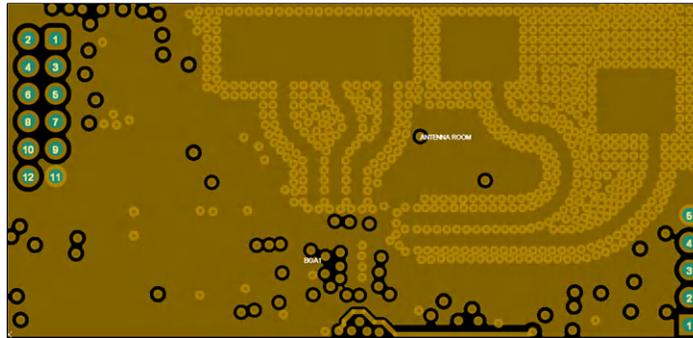


図 3-34. グランド プレーン: 分割なし

4 リンク バジェット

人の存在を検出できる最大距離は、以下で説明するリンク バジェットによって算出されます。これは、検出 SNR、対象物のレーダー断面積、レーダー デバイスの RF 性能、アンテナ ゲイン、チャープ パラメータに依存します。最大検出距離は、これらのパラメータを変更することで、アプリケーションの要件に基づいて変更できます。詳細については、MMWAVE-L-SDK を参照してください。

表 4-1. リンク バジェット - 選択されたパラメータ

| パラメータ | 値 | 単位 |
|-----------------------|-------|----------------|
| 送信信号電力 (最大値) | 10 | dBm |
| トランスミッタ/レシーバのアンテナ ゲイン | 5 | dBi |
| レシーバのノイズ指数 | 11 | dB |
| レーダー断面積 | 1 | m ² |
| システム全体の損失 | 5 | dB |
| 必要な検出 SNR | 9 | dB |
| 総仮想アンテナ | 6 | - |
| チャープ時間 | 25.6 | us |
| チャープ反復期間 | 300 | us |
| フレームあたりのチャープ数 | 32 | - |
| 有効な帯域幅 | 486 | MHz |
| SNR に基づく最大検出距離 | 28.78 | m |

5 ハードウェア、ソフトウェア、テスト要件、テスト結果

このセクションでは、リファレンス デザインのテストと、リファレンス デザインとホスト PC の接続手順について詳しく説明します。

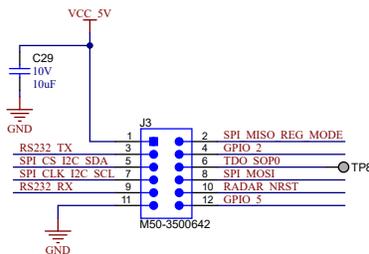


図 5-1. 12 ピン コネクタ

表 5-1. IWRL6432FCCSP リファレンス デザインのピン配置

| ピン番号 | ピン名 | 機能 |
|------|-------------------|--------------------------|
| 1 | VCC_5V | 5V 電源 |
| 2 | SPI_MISO_REG_MODE | SPI MISO 信号 |
| 3 | RS232_TX | UART B (RS232) Tx |
| 4 | GPIO_2 | GPIO |
| 5 | SPI_CS_I2C_SDA | SPI チップ セレクト / I2C の SDA |
| 6 | TDO_SOP0 | SOP0 制御 |
| 7 | SPI_CLK_I2C_SCL | SPI クロック / I2C の SCL |
| 8 | SPI_MOSI | SPI MISO 信号 |
| 9 | RS232_RX | UART B (RS232) Rx |
| 10 | RADAR_NRST | NRESET 制御ピン |
| 11 | GPIO_5 | GPIO |
| 12 | GND | グラウンド |

電源および通信インターフェイスに加えて、電源ラインと SOP ラインが安定してからレーダー動作を開始する前に、SOP0 が適切にアサートされるように (フラッシュ モードではロジック 0、機能モードではロジック 1 (オンボード プルアップ))、また NRESET がアサートされるように特別な注意が必要です。

5.1 ハードウェア要件

このセクションでは、リファレンス デザインをホスト PC に接続し、リファレンス デザインの検証とテストを行う手順について説明します。

このリファレンス デザインは、UART、SPI、I2C の各インターフェイスを使用して外部と通信します。UART インターフェイスは、リファレンス デザインとホスト PC 間の通信を確立するために使用されます。これには、USB から UART へのコンバータが必要です。テストに使用された USB から UART へのコンバータの一部は、以下のとおりです。

1. MSP-EXP432E401Y - XDS110 ベースの Launchpad
2. LP-XDS110ET - XDS110 ベースの Launchpad
3. FT232RL - FTDI ベースの USB から UART へのブリッジ

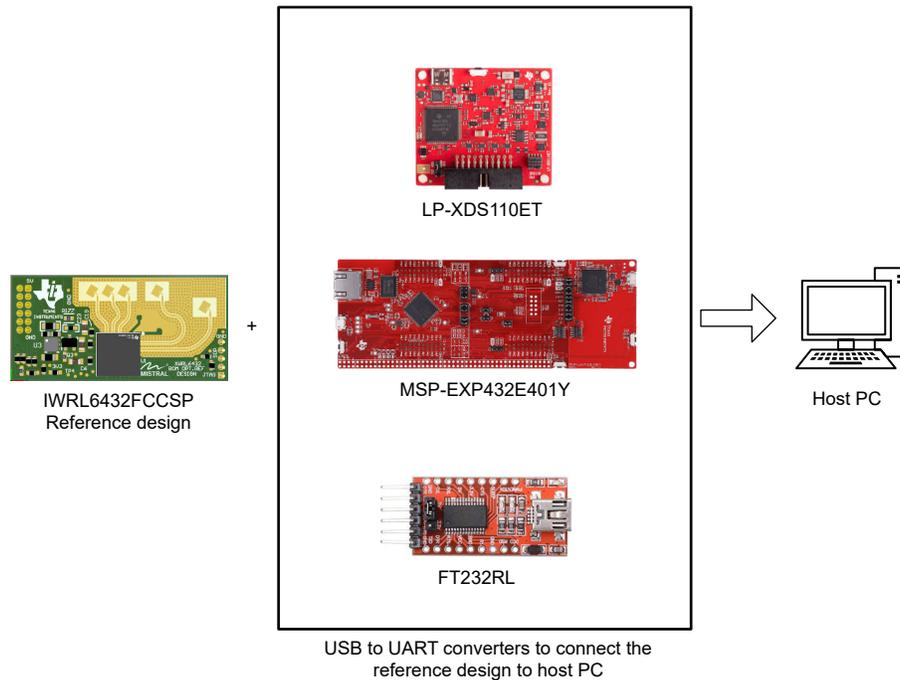


図 5-2. ホスト PC へのリファレンス デザインの接続

リファレンスデザインとホスト PC 間の通信の確立には、USB から UART へのコンバータ 3 つのうちの一つを使用できます。

このリファレンス デザインでは、1.27mm ピッチのピンを使用してフォームファクタを縮小しています。ただし、USB から UART へのほとんどのアダプタに接続するには、2.54mm ピッチのジャンパが必要で、このため、USB ブリッジに接続するために、ピッチ コンバータ DR127D254P20F が使用されています。次の画像を参照してください。

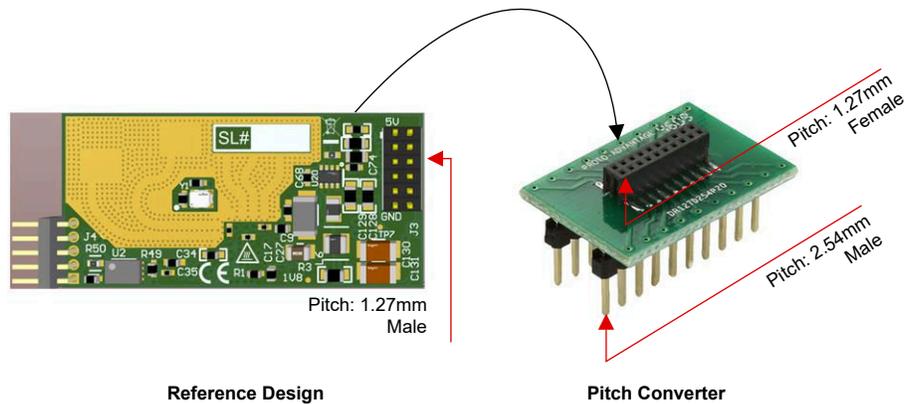


図 5-3. ピッチ コンバータの使用

この手順では、リファレンス デザインはピッチ コンバータに接続されており、ピッチ コンバータの反対側から 2.54mm ピッチのオス ヘッドを使用して接続が行われています。接続を行う際に注意が必要ないくつかの項目は、以下のとおりです。

5.1.1 USB から UART へのブリッジ接続

この接続では、次のようなジャンパ線が使用されます。

1. 電源ピン (5V) の最大ピーク電流要件 (例: 200~300mA) をサポートしている。
2. データ転送速度を低下させて情報を失う原因となるような大きな DCR を発生させることなく、より短く、同等の長さである。
3. 電源と GND のリンギングを防止するため、IR 電圧降下とインダクタンスが小さい。

5.1.2 ホスト PC 接続用 USB ケーブル

長さ 1m 以下の USB ケーブルが使用されています。ケーブルが長いと、ケーブルの寄生成分によってボーレートとのタイミング関係に影響を与える可能性があります。

5.1.3 RS232 の Rx-Tx 属性

Rx-Tx に関する考慮事項は、USB から UART へのブリッジによって異なります。ホスト PC とリファレンス デザイン間の接続が確立されていない場合は、Rx-Tx ピンをスワップして、接続を再確立できます。

5.2 ソフトウェア要件

このリファレンス デザインは、[Uniflash](#) を使用してプログラムされました。Matlab に実装されたアルゴリズムは、キャプチャされた未加工データの後処理に使用されています。歩行者検出テストは、[MMWAVE-L-SDK](#) を使用して実施されました。

5.3 テスト シナリオ

ここでは、4 つのテストを示します。

1. 15m での歩行者検出
2. アンテナ放射パターン の測定
3. FoV での角度誤差
4. 角度分解能

5.4 テスト結果

5.4.1 ポアサイトにおける 15m での人の存在検出

テストでは、センサをオープン スペースに設置しました。このテストで使用されたチャープ構成については、[セクション 3.4.3](#) で詳しく説明しています。

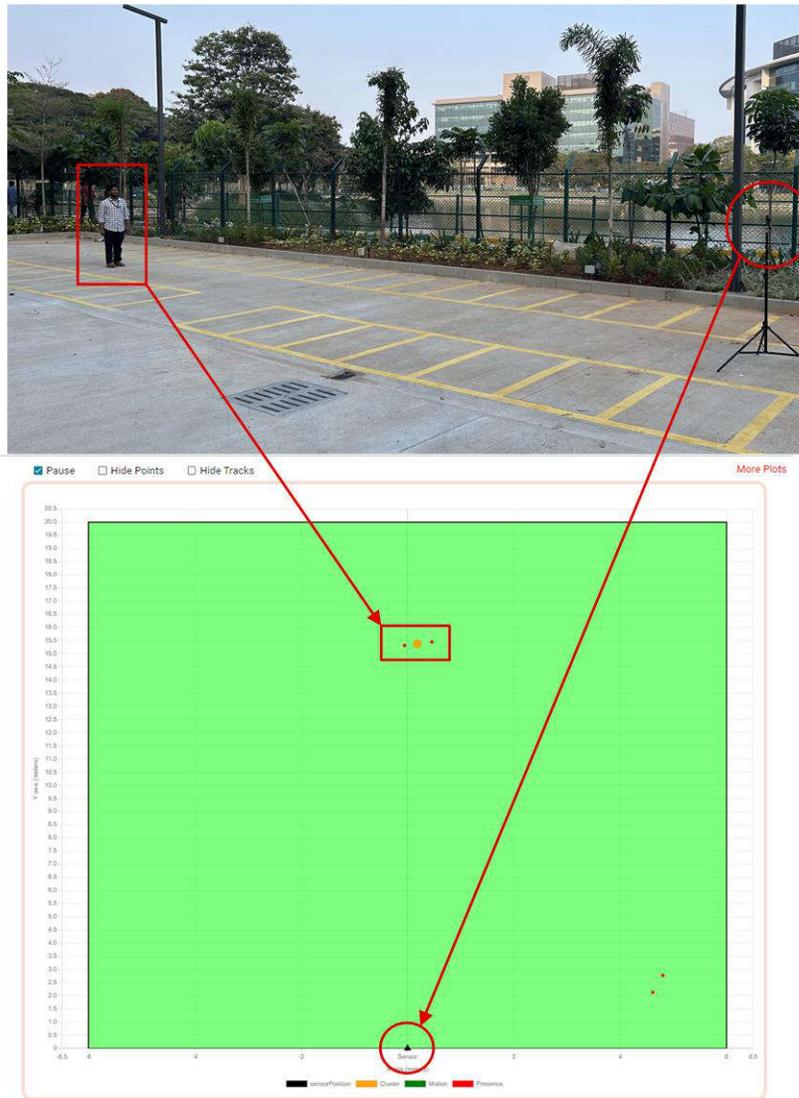


図 5-4. 15m での歩行者検出

5.4.2 アンテナの放射プロット

FoV 全体にわたるアンテナ放射パターンと角度誤差は、無響室で収集された未加工データを使用して matlab で処理されています。

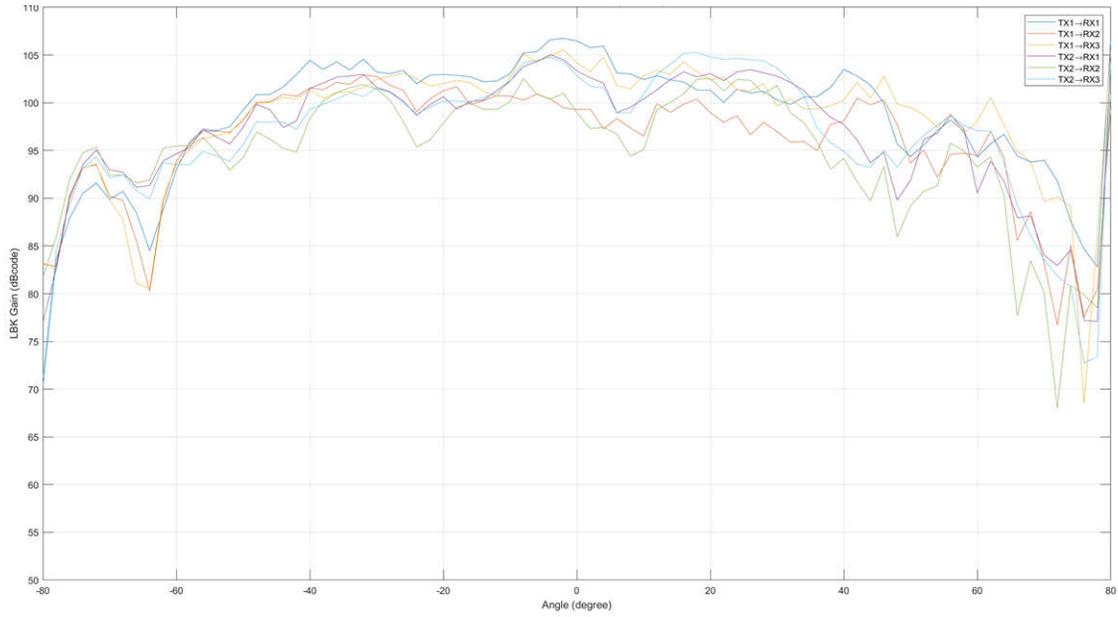


図 5-5. 放射パターンの測定 - 2D アンテナ (方位角)

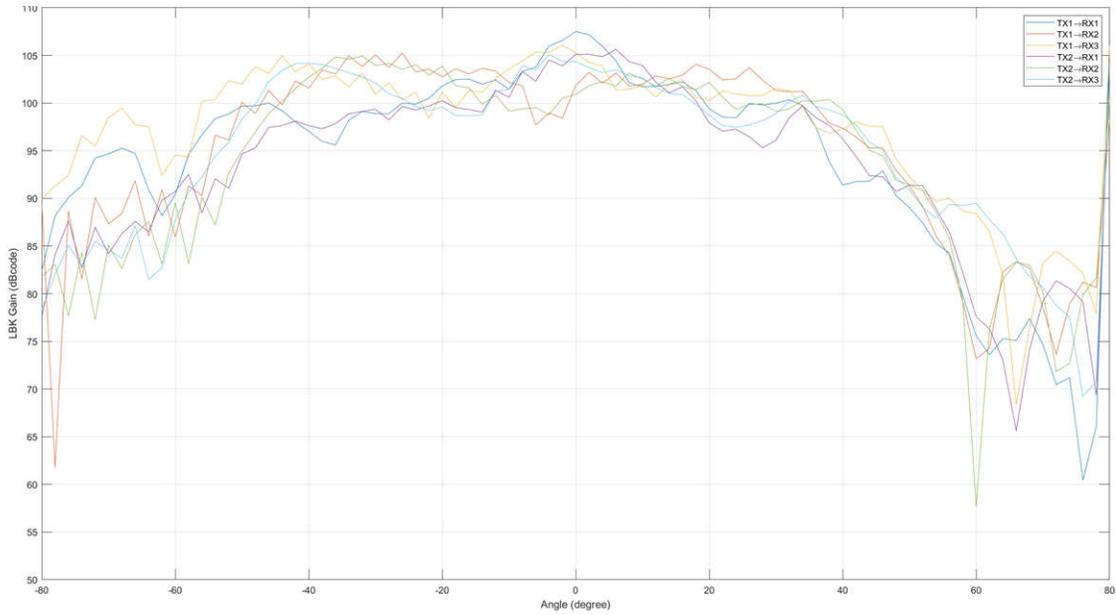


図 5-6. 放射パターンの測定 - 2D アンテナ (仰角)

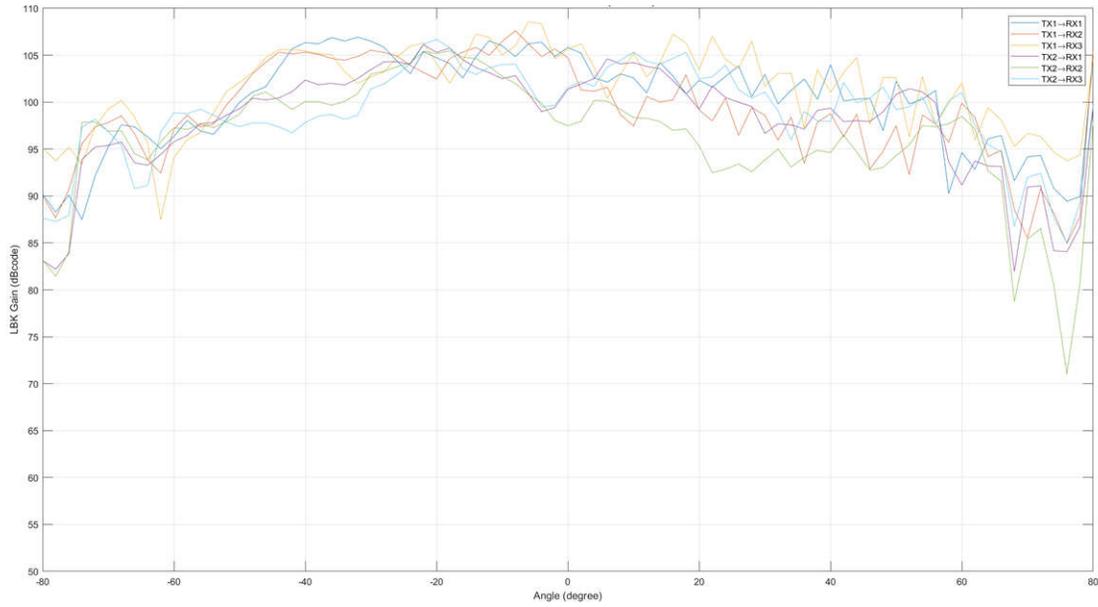


図 5-7. 放射パターンの測定 - 1D アンテナ (方位角)

5.4.3 方位角面における角度推定精度

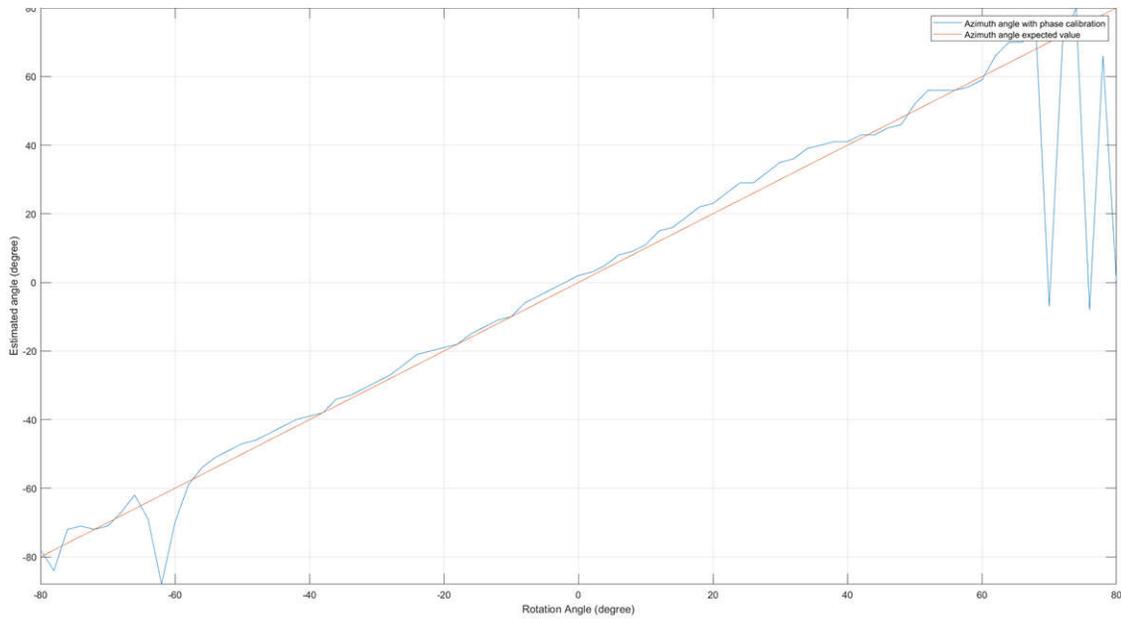


図 5-8. 方位角度の推定

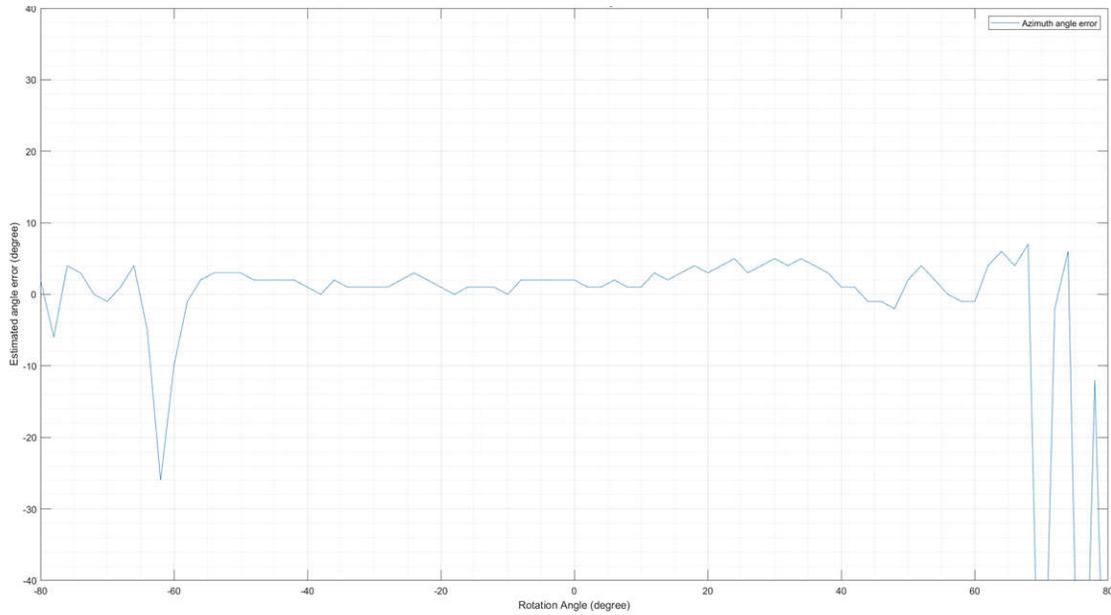


図 5-9. 方位角度の推定誤差

5.4.4 角度分解能

6つのアンテナ素子の方位角面における理論的な角度分解能は、19度です。このテストでは、センサに対して20度の位置にいる2人がテストされ、角度プロットで2つの異なるピークが観察されました。

この測定は2Dアンテナバリエーションで行われています。センサから対象となる人間までの距離は3mで、センサに対して約20度の角度を作る相互距離は1mです。21度離れた2つのピークが観察され、これらは対象となる人間に対応しています。

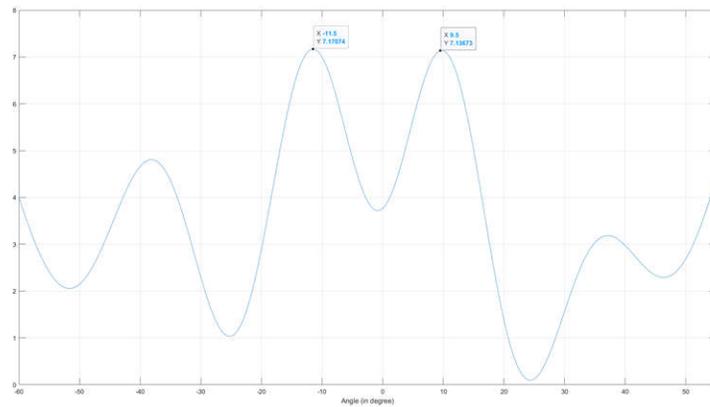


図 5-10. 角度分解能テスト

6 設計とドキュメントのサポート

6.1 デザイン ファイル

6.1.1 回路図

回路図をダウンロードするには、[TIDEP-01033](#) のデザイン ファイルを参照してください。

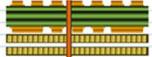
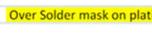
6.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDEP-01033](#) のデザイン ファイルを参照してください。

6.1.3 PCB レイアウトに関する推奨事項

レイアウトに関する重要な推奨事項の一部については、[セクション 3.5](#) で説明しています。

6.1.3.1 レイアウト プリント

| Lyr | Lyr Type | Image | Foil Wt | Thk (mm) | Cu Thk (mm) | Er | Generic Name | Construction | Material Family | TG |
|-----------------------------|----------|---|---------|----------|-------------|------|-------------------------|--------------|-----------------|-----|
| tsmp | | | | 0.020 | | 3.9 | | | | |
| 1 | Sir |  | 0.5 | 0.127 | 0.040 | 3.26 | 0.5OZ +plating | 2X1067 | FR408HR | 185 |
| 2 | Mix |  | 1 | 0.258 | 0.031 | 4.25 | Core 5mil 1/0.5 oz RTF | 2116 | 370HR | 170 |
| | | | | | | 4.25 | Prepreg | 2116 | 370HR | 170 |
| 3 | Mix |  | 1 | 1.016 | 0.031 | 4.4 | Core 40mil 1/0.5 oz RTF | 5x7628 | 370HR | 170 |
| 4 | Sir |  | 0.5 | 0.127 | 0.040 | 3.9 | 0.5OZ +plating | | | |
| bcmp | | | | 0.020 | | | | | | |
| Over Solder mask on plating | | | | | 1.583 | | | | | |

積層については、[セクション 3.3](#) で説明しています。

図 6-1. リファレンス デザインに使用されている PCB の積層

6.2 ツールとソフトウェア

ツール

CCS Studio

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ向けの統合開発環境 (IDE) です。このツールは、組込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。Code Composer Studio は、Windows®、Linux®、macOS® の各デスクトップからダウンロードできます。ツールは、[テキサス・インスツルメンツ デベロッパー ゾーン](#) にアクセスし、クラウド環境で使用することもできます。

ソフトウェア

Uniflash

Uniflash は、テキサス・インスツルメンツのマイコンやワイヤレス コネクティビティ デバイスが搭載しているオンチップ フラッシュと、テキサス・インスツルメンツ製プロセッサ向けのオンボード フラッシュに対してプログラミング (書き込み) を行うためのソフトウェア ツールです。Uniflash は、グラフィカル インターフェイスとコマンドライン インターフェイスの両方を採用しています。

6.3 ドキュメントのサポート

1. テキサス・インスツルメンツ、『[IWRL6432 シングルチップ 57~64GHz 産業用レーダー センサ](#)』データシート

6.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

6.5 商標

E2E™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Windows® is a registered trademark of Microsoft.

Linux® is a registered trademark of Linus Torvalds.

macOS® is a registered trademark of Apple, Inc.

すべての商標は、それぞれの所有者に帰属します。

7 著者について

CHETHAN KUMAR Y. B. は、テキサス・インスツルメンツに入社して 24 年になります。インド理科大学院で電子設計技術の修士号を取得し、2000 年に設計エンジニアとしてテキサス・インスツルメンツに入社した後、これまでにアナログ、ワイヤレス、組込みプロセッシングの各グループでさまざまな職位を経験してきました。この 24 年間、シリコン、システム、アプリケーション分野でさまざまなミックスドシグナル製品に携わり、自身の専門分野で複数の特許を取得して、さまざまな学会で論文を発表しています。現在は、ミリ波ワイヤレスシステムに特化したレーダーグループのハードウェアシステムとアプリケーションのチームを率いています。

SWARNENDU CHATTOPADHYAY は、産業用レーダーグループのハードウェアアプリケーションエンジニアです。2023 年にテキサス・インスツルメンツに入社し、現在まで上記の職務を担当しています。インド工科大学で VLSI 設計の修士号を取得しています。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated