

안티알리아싱 필터 설계 기술이 액티브 RF 컨버터 프론트 엔드를 개선하는 방법

Rob Reeder

Application Manager
High-Speed Data Converters

머리말

FDA(완전 차동 증폭기)를 사용하는 활성 ADC(아날로그-디지털) 프론트 엔드는 더 나은 임피던스 정합, 통과 대역 평탄도 및 신호 게인과 같은 다양한 이점을 제공할 수 있습니다. 하지만 다음 설계에 ADC 대역의 일부만 필요하다면 FDA의 출력과 ADC 입력 사이에 안티알리아싱 필터(AAF)를 사용해야 할 수 있습니다. AAF는 주파수 대역 요구 사항 내에서 더 나은 SNR(신호 대 잡음) 성능과 더 낮은 SFDR(Spurious-Free Dynamic Range)을 제공합니다.

모든 종류의 AAF 필터 구성에서는 구현 과정에서 필터 순서 및 토폴로지, FDA와 ADC 간의 인터페이스 향상을 위해 백 터미네이션 또는 직렬 저항이 필요한지 여부 등 몇 가지 절충점을 고려해야 합니다. 이 백서에서는 이러한 AAF 미묘한 차이와 다음 설계에서 발생할 수 있는 어려움을 피하는 방법에 대해 설명합니다.

AAF 설계 접근 방식

애플리케이션에 맞는 올바른 FDA를 결정했고 ADC 앞에서 최적의 성능(대역폭, SNR 및 SFDR)을 구현하기 위해 저역 통과 또는 대역 통과 필터를 사용할지 여부를 결정했다고 가정하면 다음 세 단계를 따르십시오.

1. 증폭기의 특성화된 부하 임피던스(RL)를 이해합니다. 증폭기가 최상의 성능을 발휘하도록 하려면 증폭기는 최적의 성능을 위해 데이터 시트에 나열된 올바른 DC 부하 또는 RL을 "참조"해야 합니다. 이 임피던스는 일반적으로 사양 표 상단에서 찾을 수 있는 특성화된 임피던스입니다.
2. 증폭기 출력에 가장 가까운 곳에서 사용할 올바른 출력 직렬 저항의 출발점을 결정합니다. 이렇게 하면 통과 대역에서 원치 않는 피킹이 방지됩니다. 일반적으로 이 정보는 FDA의 데이터 시트인 [LMH5401 8GHz, 저잡음, 저전력 완전 차동 증폭기 데이터시트](#)에서 확인할 수도 있습니다.
3. 하나 이상의 외부 병렬 저항을 사용하여 ADC에 대한 입력을 역종료할지, 입력 직렬 저항의 시작 값을 사용하여 ADC를 필터에서 절연합니다. 이러한 직렬 저항은 또한 통과 대역에서 불필요한 피킹과 버퍼링되지 않은 ADC에서 일반적으로 사용되는 "킱백"을 줄이는데 도움이 됩니다.

그림 1은(는) 사양 표의 예시입니다.

LMH5401
SBOS710D – OCTOBER 2014 – REVISED FEBRUARY 2018 www.ti.com

6.5 Electrical Characteristics: $V_S = 5\text{ V}$
at $T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{ V}$, $V_{S-} = -2.5\text{ V}$, $V_{CM} = 0\text{ V}$, $R_L = 200\text{-}\Omega$ differential, $G = 12\text{ dB}$ (4 V/V), single-ended input, differential output, and $R_S = 50\text{ }\Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	TEST LEVEL ⁽²⁾
AC PERFORMANCE						
GBP	Gain bandwidth product		8		GHz	C
SSBW	Small-signal, -3-dB bandwidth	$V_O = 200\text{ mV}_{PP}$	6.2		GHz	C
LSBW	Large-signal, -3-dB bandwidth	$V_O = 2\text{ V}_{PP}$	4.8		GHz	C
	Bandwidth for 0.1-dB flatness	$V_O = 2\text{ V}_{PP}$	800		MHz	C

그림 1. LMH5401 데이터시트에서 발췌한 전기 사양 표, 여기서 $R_L = 200\Omega$.

그림 2에 나와 있는 일반화된 회로와 표 1의 필터 매개변수 목록은 대부분의 고속 차동 FDA 및 ADC 인터페이스에 적용됩니다. 이 두 가지를 모두 AAF 설계의 기반으로 사용할 수 있습니다.

모든 필터 구조가 정확하게 동일하지는 않지만 그림 2을(를) 설계를 시작하는 방법에 대한 청사진으로 사용할 수 있습니다. 이 설계 접근 방식을 사용하면 대부분의 고속 ADC의 상대적으로 높은 입력 임피던스와 구동 소스(FDA)의 상대적으로 낮은 출력 임피던스를 활용하여 필터의 삽입 손실을 최소화하는 경향이 있습니다.

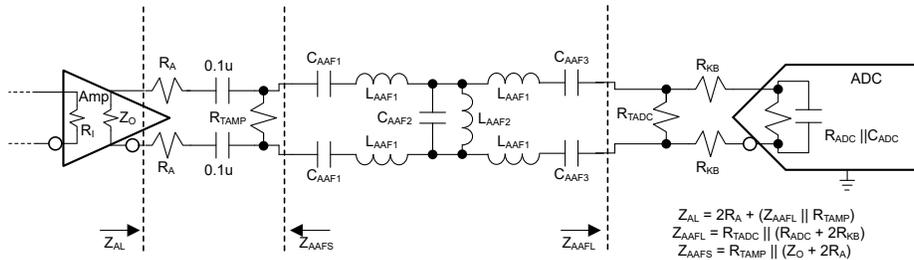


그림 2. 대역 통과 필터를 지원하는 범용 FDA 및 ADC 인터페이스.

기호	매개 변수 설명
R_i	증폭기 입력 임피던스
Z_o	증폭기 출력 임피던스
R_A	증폭기 출력 근처에 위치한 직렬 출력 저항
R_{TAMP}	증폭기 출력 근처의 백 터미네이션 저항
C_{AAF1}	첫 번째 AAF 커패시터
L_{AAF1}	첫 번째 AAF 인덕터
C_{AAF2}	두 번째 AAF 커패시터
L_{AAF2}	두 번째 AAF 인덕터
C_{AAF3}	세 번째 AAF 커패시터
R_{TADC}	ADC 입력 근처의 백 터미네이션 저항
R_{KB}	ADC 입력 근처에 위치한 직렬 킥백 저항
Z_{AL}	증폭기에 표시된 총 부하 임피던스
Z_{AAFS}	AAF의 총 소스 임피던스
Z_{AARL}	AAF의 총 부하 임피던스

표 1. 매개 변수 정의를 필터링합니다.

AAF 설계 프로세스 및 매개 변수

기본 AAF 설계 프로세스 및 지침은 다음과 같습니다.

1. 외부 ADC 종단 저항(R_{TADC})을 적절하게 설정합니다. 이를 통해 AAF는 원하는 주파수 응답에서 "실제" 임피던스를 실현할 수 있습니다.
2. 경험 또는 ADC 데이터 시트 권장 사항을 기준으로 R_{KB} 를 선택합니다. 일반적으로 $5\Omega \sim 50\Omega$ 사이입니다.
3. R_{TADC} , R_{KB} 및 R_{ADC} 의 병렬 및 직렬 조합의 합계가 100Ω 에서 400Ω 사이가 되도록 필터 부하 임피던스를 계산하는 데 **방정식 1**을(를) 사용합니다. 이전 섹션에서 내 권장 사항을 참조하십시오.

$$Z_{AAFL} = R_{TADC} \parallel (R_{ADC} + 2R_{KB}) \quad (1)$$

4. 증폭기 외부 직렬 저항(R_A)을 선택합니다. 이는 일반적으로 $5\Omega \sim 50\Omega$ 사이입니다. R_A 는 증폭기 출력 응답을 감소하고 통과 대역에서 불필요한 피킹을 줄이는 데 도움이 됩니다.
5. 계산된 Z_{AAFL} 을 사용하여 증폭기에서 확인할 수 있는 총 부하(Z_{AL})가 선택한 특정 차동 증폭기에 최적이 되도록 합니다. AAF 설계 접근 방법 섹션에서 위의 1단계를 참조하고 **방정식 2**을(를) 사용합니다.

$$Z_{AL} = 2R_A + Z_{AAFL} \quad (2)$$

Z_{AL} 은 FDA의 특성화된 R_L 이므로 너무 높거나 낮은 값을 사용하면 증폭기의 선형성에 악영향을 미칠 수 있습니다.

6. **방정식 3**을(를) 사용하여 필터 소스 저항을 계산합니다.

$$Z_{AAFS} = Z_O + 2R_A \quad (3)$$

7. 필터 설계 프로그램을 사용하여 가능하면 Z_{AAFS} 와 Z_{AAFL} 과 같은 소스와 부하 임피던스를 사용하여 필터를 설계합니다. 이렇게 하면 필터의 손실량을 줄이는 데 도움이 됩니다. 입력/출력 임피던스가 서로 일치하지 않으면 $10 \cdot \log(\text{입력 } Z / \text{출력 } Z)$ 가 손실됩니다. 예를 들어 입력 임피던스가 50Ω 이고 출력 임피던스가 200Ω 일 때 필터 손실은 -6.0dB 또는 $10 \cdot \log(50/200)$ 입니다. 또한 애플리케이션에서 원하는 대역폭보다 약 10% 이상 높은 대역폭을 사용하면 애플리케이션별로

의도한 대역폭이 보장되고 필터 구현 프로세스 중에 실현되지 않은 2차 및 3차 기생 손실을 극복하는 데 도움이 됩니다.

몇 가지 예비 시뮬레이션을 실행한 후 회로에서 다음 항목을 빠르게 검토합니다.

8. $C_{AAF2 \ \& \ 3}$ 의 값은 C_{ADC} 에 비해 충분히 크며, 이를 통해 C_{ADC} 의 변화에 대한 필터의 감도를 최소화해야 합니다.
9. 필터가 대부분의 필터 테이블 및 디자인 프로그램의 한계 내에 있도록 Z_{AAFL} 대 Z_{AAFS} 의 비율은 6대 7을 넘지 않아야 합니다. 이상적으로는 손실을 최소화하기 위해 동일해야 하지만 일반적으로 불가능합니다.
10. 기생 커패시턴스 및 부품 변화에 대한 감도를 최소화하기 위해 몇 피코패라드 범위에서 C_{AAF2} 값을 사용해 보십시오.
11. 인덕터 L_{AAF1} 및 L_{AAF2} 는 합리적인 값이어야 하며 나노헨리 범위 내에 있어야 합니다.
12. C_{AFF2} 및 L_{AAF2} 값은 합리적인 값이어야 합니다. 필터의 중심 주파수를 최적화하도록 이 두 가지 매개 변수를 선택합니다. 때때로 회로 시뮬레이터가 이러한 값을 너무 낮게 또는 너무 높게 만들 수 있습니다. 이러한 값을 보다 합리적으로 만들려면 동일한 공진 주파수를 유지하는 더 나은 표준 값 구성 요소와 이 값의 비율을 조정하면 됩니다.
13. Ghz 범위에서 설계할 때는 가능한 경우 0201 패키지 스타일을 사용하여 필터 문자 모양 또는 윤곽선을 방해할 수 있는 2차 및 3차 기생 효과를 최소화합니다.

일부 경우에는, 특히 고차 필터를 사용할 경우 필터 설계 프로그램이 둘 이상의 고유한 솔루션을 제공할 수 있습니다. 항상 가장 합리적인 구성 요소 값 집합을 사용하는 솔루션을 선택하십시오. 셉트 커패시터로 끝나는 필터 구성의 경우 ADC의 내부 입력 커패시턴스도 고려해야 합니다. 필터 극과 최종 대역폭을 올바르게 설정하려면 한두 번의 반복이 필요할 수 있습니다.

AAF 설계 장단점

이 인터페이스 회로의 매개 변수는 매우 상호 작용적이기 때문에 작은 장단점 없이 주요 사양(대역폭, 대역폭 평탄도, SNR, SFDR 및 게인)에 대한 회로를 최적화하는 것은 거의 불가능합니다. 그러나 R_A , R_{KB} 또는 둘 다를 변경하여

대역폭 응답의 끝 부분에서 자주 발생하는 대역폭 피킹을 최소화할 수 있습니다. 둘 중 하나는 AAF 대역폭 성능에 순 긍정적 또는 순 부정적 영향을 미칠 수 있습니다.

FDA의 출력 직렬 저항(R_A) 값이 변함에 따라 통과 대역 피크가 어떻게 향상되거나 평탄화되는지(파란색 점선 곡선)

그림 3에서 확인할 수 있습니다. 이 저항 값이 감소할수록 신호 피킹이 더 많아지고 증폭기는 AAF 주파수 응답의 가장자리 근처에서 통과 대역 평탄도 응답을 희생하면서 ADC의 전체 입력 범위를 채우기 위해 신호를 덜 구동할 수 있습니다.

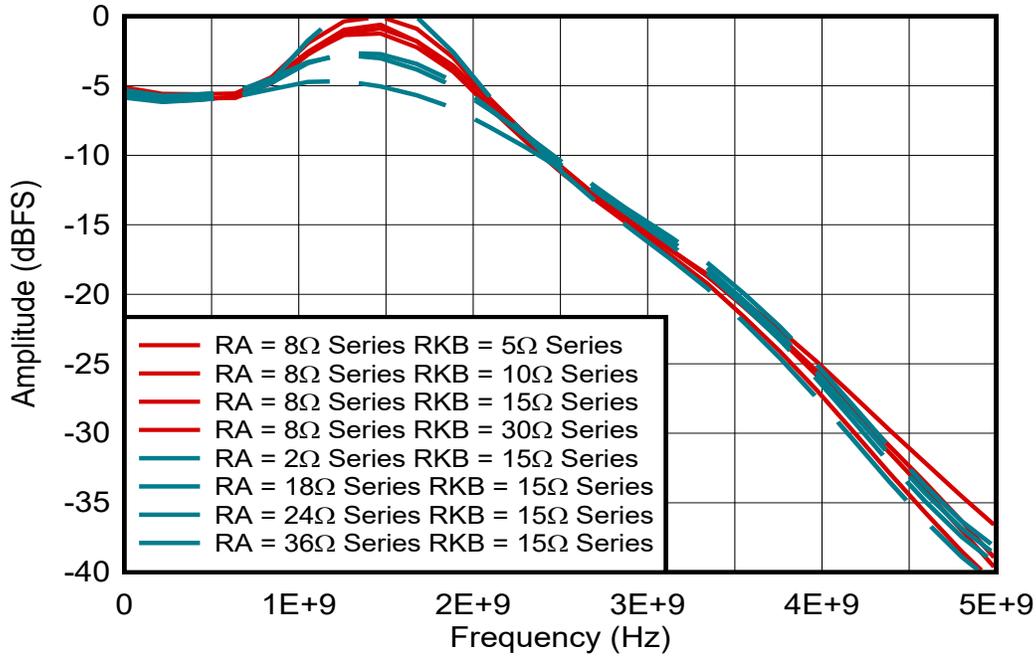


그림 3. 통과 대역 평탄도 성능 대 R_A 및 R_{KB} 변화.

R_A 값은 SNR 성능에도 영향을 줄 수 있습니다. 값이 작을수록 대역폭 피킹은 향상되지만 대역폭 증가 및 원치 않는 잡음으로 인해 SNR이 감소하는 경향이 있습니다.

또한 ADC 입력에 대한 R_{KB} 직렬 저항을 선택하여 ADC 내의 내부 샘플링 커패시터에서 잔류 전하 주입으로 인한 왜곡을 최소화하는 것이 중요합니다. 그러나 이 저항을 높이면 필터 토폴로지에 따라 대역폭 피킹도 향상되거나 감소하는 경향이 있습니다.

AAF의 롤오프 주파수를 최적화할 때 C_{AAF2} 를 소량 변화시키면 애플리케이션에 대한 최적의 주파수 범위를 보정할 수 있습니다.

일반적으로 ADC 입력 종단 저항 R_{TADC} 의 값을 결정하면 순 ADC 입력 임피던스가 대부분의 증폭기 특성 부하(R_L) 값의 일반적인 값과 비슷하게 보입니다. R_{TADC} 에 대한 값을 너무 높거나 너무 낮게 선택하면 증폭기의 선형성에 악

영향을 미칠 수 있으며, 이는 전체 SFDR 신호 체인 라인업에 반영됩니다.

AAF 설계 예

그림 4에 표시된 설계 예제 회로는 10MHz~11GHz, 3dB 대역폭, 단일 종단-차동 증폭기인 텍사스 인스트루먼트(TI) TRF1208 및 RF(무선 주파수) 샘플링 12비트 듀얼 채널 5.2GSPS ADC인 TI ADC12DJ5200RF에 기반을 둔 광대역 저역 리시버 프론트 엔드입니다. 증폭기와 ADC의 성능 및 인터페이스 요구 사항을 기반으로 3수준 Butterworth AAF를 최적화했습니다. 필터 네트워크 및 기타 구성 요소로 인한 총 삽입 손실은 6dB 미만이었습니다. 이 AC 결합 설계에서 0.1μF 커패시터는 증폭기, 종단 저항, ADC 입력 간의 공통 모드 전압을 차단합니다.

10MHz~11GHz TRF1208 차동 증폭기는 단일 종단 입력을 받아 16dB 게인에서 작동하는 차동 신호로 변환하여 필터 네트워크의 삽입 손실을 보상하여 +7.8dB의 전체 신호 게인을 제공합니다.

-6.8dBm의 입력 신호는 ADC 입력에서 풀 스케일 800mV 피크-대-피크 차동 신호를 생성합니다.

전체 회로는 통과 대역 평탄도가 3dB 미만이며 대역폭이 2.34GHz입니다. 534MHz 아날로그 입력 주파수로 측정된 SNR 및 SFDR은 각각 52.5dBFS 및 71.4dBFS입니다. 샘플링 주파수는 5.2GSPS로, 10MHz~2.5GHz 범위의 전체 첫 번째 Nyquist 영역을 다루는 광대역 저역 필터를 생성합

니다. 그림 4는 최종 필터 수동 부품에 대해 선택한 값을 보여줍니다(실제 회로 기생을 조정한 후).

AAF는 차동 소스 임피던스(Z_{AAFS})가 $39\Omega(2 \cdot 18\Omega + 3\Omega)$ 이고, 차동 부하 임피던스는 $103\Omega(Z_{AAFL})$ 이고 차단 주파수는 2.4GHz인 표준 필터 설계 프로그램을 사용하는 3차 Butterworth 필터로 설계되었습니다. 시뮬레이션에 필요한 직렬 인덕턴스의 값이 더 높기 때문에 레이아웃에 고유한 트레이스 인덕턴스를 고려하기 위해 이러한 인덕터를 3nH로 줄이고 시뮬레이션의 초기 1.8pF 커패시터를 2.2pF로 높였습니다. 이를 통해 2.4GHz 요구 사항 주변에서 적절한 롤오프를 유지하는 데 도움이 됩니다.

이 경우 TRF1208은 순 성능을 달성하기 위해 다시 종단되지 않았는데, 순 차동 임피던스 부하는 $139\Omega(Z_{AL})$ 입니다. 증폭기 출력에서 18Ω 시리즈 레지스터 절연 필터 커패시턴스를 구현합니다. FDA의 임피던스에 대한 자세한 정보를 보려면 [S-매개변수를 다운로드](#)할 수 있습니다.

필터와 증폭기에서 내부 스위칭 과도현상을 절연한 ADC 입력과 함께 15Ω 저항을 설치하고 FDA에 필요한 특성화된 부하를 제공합니다.

데이터 시트당 ADC의 100Ω 입력 임피던스를 사용했습니다. ADC의 임피던스에 대한 자세한 내용을 보려면 [S-매개변수를 다운로드하십시오](#).

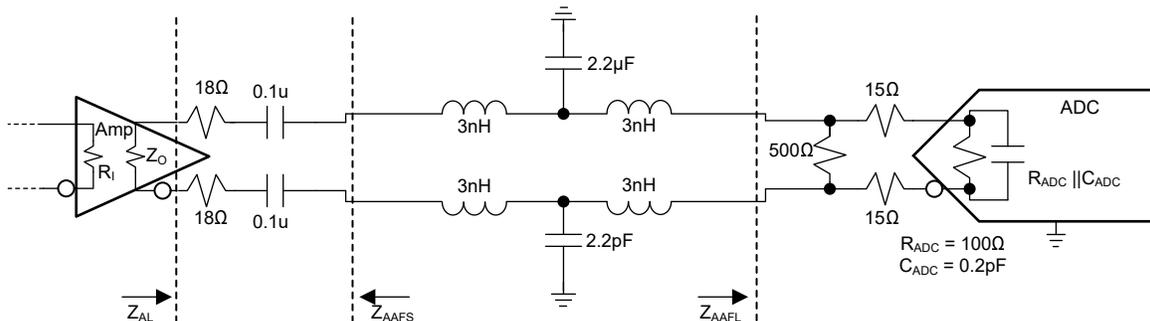


그림 4. FDA, AAF, ADC 광대역 리시버 프론트 엔드 설계(단순화된 회로도).

표 2에서는 시스템의 측정된 성능을 요약합니다. 이 경우 네트워크의 전체 삽입 손실은 약 5.8dB입니다.

-1dBFS(FS = 0.8V 피크-투-피크, 샘플 레이트 = 5.2GSPS, JMODE 3에서의 성능 사양)	최종 결과
차단 주파수	2,340MHz
통과 대역 평탄도(10MHz~2.2GHz)	<3.0dB
534MHz에서 SNR 최대 눈금	52.5dBFS
534MHz에서 SFDR	71.4dBFS

-1dBFS(FS = 0.8V 피크-투-피크, 샘플 레이트 = 5.2GSPS, JMODE 3에서의 성능 사양	최종 결과
534MHz에서 H2/H3	-71.4dBFS/-73.0dBFS
534MHz에서 전체 게인	+7.8dB
534MHz에서 입력 드라이브	-12.8dBm(-6dBFS)

표 2. 회로의 측정된 성능.

그림 5에서는 그 결과로 얻은 FDA, AAF 및 ADC 신호 체인의 주파수 응답을 보여줍니다.

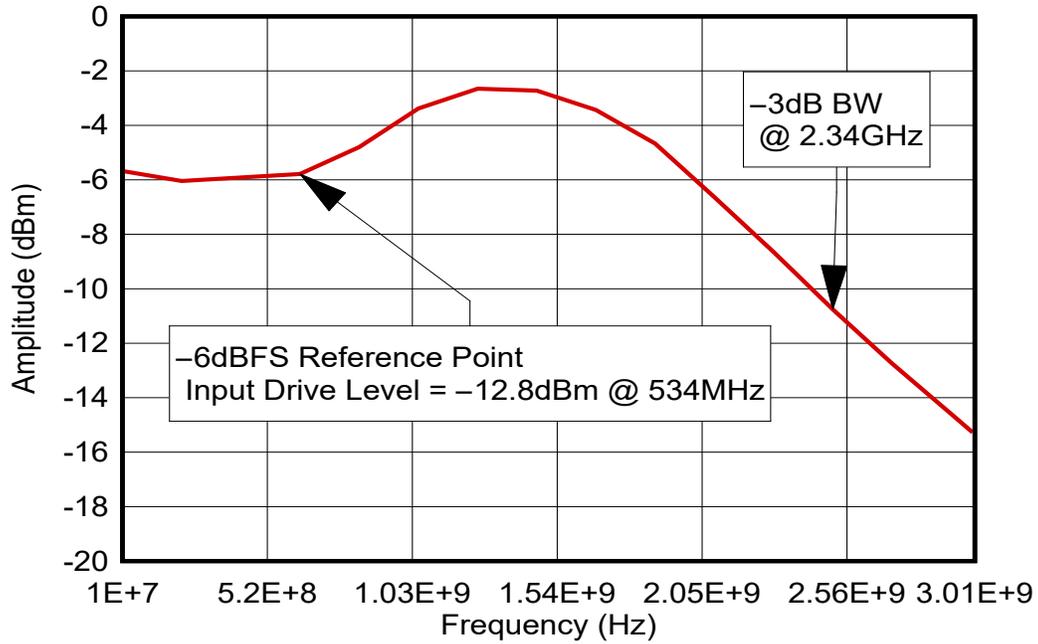


그림 5. 주파수 대비 통과 대역 평탄도 성능.

그림 6에서는 각각 SNR과 SFDR 성능을 보여줍니다.

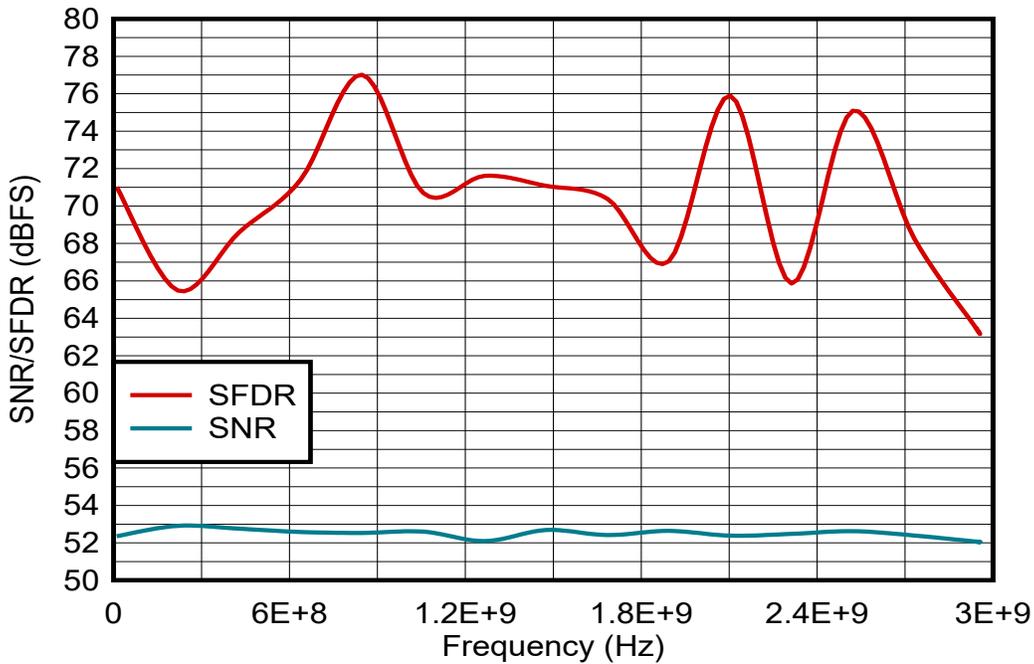


그림 6. SNR/SFDR 성능 대 주파수, 샘플 레이트 = 5.2GSPS.

AAF 설계 결론

FDA와 RF ADC 간의 AAF 설계에 관련된 다양한 요인, 매개변수 및 장단점을 모두 이해하는 것은 생각보다 어려울 수 있습니다. 이 문서에서 설명하는 설계 예에서는 각 매개변수가 동일한 가중치를 부여하므로 선택한 값은 모든 설계 특성에 대한 인터페이스 성능을 나타냅니다. 일부 설계의 경우 시스템 요구 사항에 따라 다른 값을 선택하여 SFDR, SNR, 입력 드라이브 레벨을 최적화할 수 있습니다. 다음 AAF가 공명하지 않도록 이 모든 필수 사항을 명심하십시오.

추가 리소스

1. Keysight ADS 시뮬레이션 소프트웨어: <https://www.keysight.com/us/en/products/software/pathwave-design-software/pathwave-advanced-design-system.html>.
2. Ansys/Nuhertz Technologies, 필터 솔루션 설계 프로그램: <https://www.ansys.com/products/electronics/ansys-nuhertz-filtersolutions>.
3. Reeder, Rob. 2022. "Evaluating high-speed RF converter front-end architectures." Planet Analog, 2022년 4월 7일.
4. Reeder, Rob. 2022. "A close look at active vs. passive RF converter front-ends." Planet Analog, 2022년 1월 24일.
5. Bowick, Chris. 1997. "RF Circuit Design." Boston, Massachusetts: Newnes.

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

모든 상표는 해당 소유권자의 자산입니다.

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated