

## 摘要

MSPM0 G 系列微控制器 (MCU) 產品組合提供多種 32 位元 MCU，搭配超低功耗及整合式類比與數位周邊設備，適用於感測、量測和控制應用。此應用說明涵蓋使用 MSPM0 G 系列 MCU 進行硬體開發所需的資訊，其中包括電源供應器、重設電路、時鐘、偵錯器連線、重要類比周邊設備、通訊介面、GPIO 和電路板佈線圖指引。

## 目錄

<b>1 MSPM0G 硬體設計檢查清單</b>	<b>3</b>
<b>2 MSPM0G 裝置中的電源供應器</b>	<b>4</b>
2.1 數位電源供應	4
2.2 類比電源供應	5
2.3 內建電源供應器與電壓參考	6
2.4 電源供應器的建議去耦電路	6
<b>3 重設和電源供應監控器</b>	<b>6</b>
3.1 數位電源供應	6
3.2 電源供應監控器	7
<b>4 時鐘系統</b>	<b>7</b>
4.1 內部振盪器	8
4.2 外部振盪器	9
4.3 外部時鐘輸出 (CLK_OUT)	10
4.4 頻率時鐘計數器 (FCC)	10
<b>5 偵錯器</b>	<b>12</b>
5.1 偵錯埠針腳和針腳配置	12
5.2 具備標準 JTAG 連接器的偵錯埠連接	12
<b>6 重要類比周邊設備</b>	<b>15</b>
6.1 ADC 設計考量	15
6.2 OPA 設計考量	15
6.3 DAC 設計考量	16
6.4 COMP 設計考量	17
6.5 GPAMP 設計考量	18
<b>7 主要數位周邊設備</b>	<b>20</b>
7.1 計時器資源和設計考量	20
7.2 UART 和 LIN 資源與設計考量	21
7.3 MCAN 設計考量	23
7.4 I2C 及 SPI 設計考量	24
<b>8 GPIO</b>	<b>26</b>
8.1 GPIO 輸出切換速度及負載電容	26
8.2 GPIO 電流汲極與源極	26
8.3 高速 GPIO (HSIO)	27
8.4 高驅動 GPIO (HDIO)	27
8.5 開汲極 GPIO 無需使用位準移位器即可實現 5-V 通訊	27
8.6 無需使用電平移位器即可與 1.8-V 裝置通訊	27
8.7 未使用的針腳連接	28
<b>9 佈線圖指南</b>	<b>29</b>
9.1 電源供應配置	29
9.2 接地佈線圖考量事項	29
9.3 佈線、導孔和其他 PCB 元件	30
9.4 如何選擇電路板層及建議的堆疊	31
<b>10 開機載入程式</b>	<b>32</b>
10.1 開機載入程式簡介	32
10.2 開機載入程式硬體設計考量	32

11 參考.....	32
12 修訂記錄.....	32
<b>圖</b>	
图 1-1. MSPM0G 典型應用程序電路圖.....	4
图 2-1. $V_{CORE}$ 穩壓器電路.....	4
图 2-2. VREF 電路.....	6
图 2-3. 電源供應去耦電路.....	6
图 3-1. NRST 建議的電路.....	7
图 3-2. POR 與 BOR 與電源電壓 (VDD).....	7
图 4-1. MSPM0G 系列 LFOSC.....	8
图 4-2. MSPM0G 系列 SYSOSC.....	8
图 4-3. MSPM0G SYSPLL 電路.....	9
图 4-4. MSPM0G LFXT 電路.....	9
图 4-5. MSPM0G HFXT 電路.....	10
图 4-6. MSPM0G 外部時脈輸出.....	10
图 4-7. MSPM0G 頻率時鐘計數器方塊圖.....	11
图 5-1. 主機到目標裝置連接.....	12
图 5-2. MSPM0G SWD 內部提取.....	12
图 5-3. JTAG 和 MSPM0G 連接.....	13
图 5-4. XDS110 探測器高階方塊圖.....	13
图 5-5. XDS110-ET 電路.....	14
图 5-6. Arm 標準 10 針腳纜線.....	14
图 6-1. ADC 輸入網路.....	15
图 6-2. 兩個 OPA 差動放大器方塊圖與方程式.....	15
图 6-3. 兩個 OPA 非反相至非反相串接放大器方塊圖與方程式.....	16
图 6-4. 8 位元 DAC 方塊圖.....	16
图 6-5. 8 位元 DAC 和 OPA 輸出方塊圖.....	16
图 6-6. 12 位元 DAC 輸出方塊圖.....	17
图 6-7. 比較器圖.....	17
图 6-8. 窗型比較器模式.....	18
图 6-9. 比較器短路開關.....	18
图 6-10. 放大模式中的 GPAMP 電路.....	19
图 6-11. 緩衝模式中的 GPAMP 電路.....	19
图 7-1. 典型 LIN TLIN1021A 收發器.....	22
图 7-2. 採用 MSPM0G 的典型 LIN 應用程式 (指揮者).....	22
图 7-3. 採用 MSPM0G 的典型 LIN 應用程式 (回應者).....	23
图 7-4. MCAN 典型匯流排佈線.....	23
图 7-5. 以 MSPM0G 提供的典型 CAN 匯流排應用.....	24
图 7-6. 不同 SPI 配置的外部連接.....	24
图 7-7. 典型 I2C 匯流排連接.....	25
图 8-1. 建議的 ODIO 電路.....	27
图 8-2. 與 1.8-V 裝置的建議通訊電路.....	27
图 9-1. 建議的電源供應器佈線圖.....	29
图 9-2. 數位與類比接地與共用區域.....	30
图 9-3. 正確與不正確的直角走線彎折方式.....	30
图 9-4. 正確與不正確的類比訊號和高頻訊號走線交越方式.....	30
图 9-5. 四層 PCB 堆疊範例.....	31
图 10-1. 已配置 GPIO 針腳的 BSL 進入順序.....	32
<b>表</b>	
表 1-1. MSPM0G 硬體設計檢查清單.....	3
表 4-1. SYSOSC 準確度與 FCL, 受 ROSC 公差、RSOC TCR 和環境溫度 ( $T_A$ ) 影響.....	8
表 5-1. MSPM0G 偵錯埠.....	12
表 7-1. TIMA 執行個體配置.....	20
表 7-2. TIMG 執行個體配置.....	20
表 7-3. TIMH 執行個體配置.....	20
表 7-4. UART 功能.....	21
表 7-5. MSPM0G UART 規格.....	21
表 7-6. MSPM0G I2C 特性.....	25
表 8-1. MSPM0G GPIO 切換特性.....	26
表 8-2. <b>MSPM0G GPIO 最大絕對額定值</b> .....	26

表 8-3. 未使用針腳的連接..... 28

**商標**

所有商標均為其各自所有者的財產。

**1 MSPM0G 硬體設計檢查清單**

表 1-1 說明在 MSPM0G 硬體設計過程需要檢查的主要內容。以下各節將提供更多詳細資訊。

**表 1-1. MSPM0G 硬體設計檢查清單**

針腳	說明	需求
VDD	電源供應器正極針腳	在 VDD 和 VSS 間放置 10- $\mu$ F 和 100-nF 電容器，並使其靠近 VDD 和 VSS 針腳。
VSS	電源供應器負極針腳	
VCORE	核心電壓 (典型：1.35V)	將 470-nF 電容器連接到 VSS。請勿對 VCORE 針腳供應任何電壓或施加任何外部負載。
NRST	重設針腳	使用 10-nF 下拉電容器連接外部 47-k $\Omega$ 上拉電阻器。
ROSC	外部參考電阻器針腳	<ul style="list-style-type: none"> <li>將外部 100-k<math>\Omega</math> /<math>\pm</math>0.1%、25-ppm 電阻器連接到 VSS，以視需要達到高 SYSOSC 準確度。</li> <li>可以保持打開，應用程式對 SYSOSC 的準確度要求不高。</li> </ul>
VREF+	電壓參考電源 - 外部參考輸入	<ul style="list-style-type: none"> <li>使用 VREF+ 和 VREF- 為類比周邊裝置 (如 ADC) 提供外部電壓參考時，必須在 VREF+ 到 VREF-/GND 安裝去耦電容器，且電容應以外部參考源為根據。</li> <li>如果應用時不需要外部電壓參考，則可保持開啟狀態。</li> </ul>
VREF-	電壓參考接地電源 - 外部參考輸入	
SWCLK	偵錯探測器的序列線時鐘	內部下拉至 VSS，不需任何外部零件。
SWDIO	雙向 (共用) 序列線路數據	內部上拉至 VDD，不需任何外部零件。
PA0、PA1	開漏 I/O	高輸出所需的上拉電阻器
PA18	預設 BSL 叫用針腳	保持下拉以避免在重設後進入 BSL 模式。(BSL 叫用針腳可重新對應)。
PAx (PA0、PA1 除外)	通用 I/O	將對應針腳功能設為 GPIO (PINCMx.PF = 0x1)，並將未使用的針腳配置為低輸出，或使用內部上拉電阻或下拉電阻輸入。

**备注**

針對任何與通用 I/O 共用函數的未使用針腳，請遵循「PAx」未使用針腳連接準則。

TI 建議將 10- $\mu$ F 和 0.1-nF 低 ESR 陶瓷去耦電容器組合連接到 VDD 和 VSS 針腳，可使用更高值的電容器，但會影響電源軌上升時間。去耦電容器的位置必須儘可能靠近去耦的針腳 (應在數毫米內)。

將外部 47-k $\Omega$  上拉電阻器與 10-nF 下拉電容器連接時需要 NRST 重設針腳。

SYSOSC 頻率修正迴路 (FCL) 電路利用位於 ROSC 針腳和 VSS 間的外部 100-k $\Omega$  電阻器，為 SYSOSC 提供精確的參考電流，以穩定 SYSOSC 頻率。如果未啟用 SYSOSC FCL，則不需要此電阻器。

若裝置支援外部晶體，使用外部晶體時需要適用於晶體振盪器針腳的外部旁路電容器。

VCORE 針腳需要 0.47- $\mu$ F 槽型電容器，且需要置於距離裝置接地最小距離的裝置附近。

若為 5-V 容錯開汲極 (ODIO)，需要上拉電阻器才能有高輸出，如果使用 ODIO 則需此電阻器以提供 I2C 和 UART 功能。

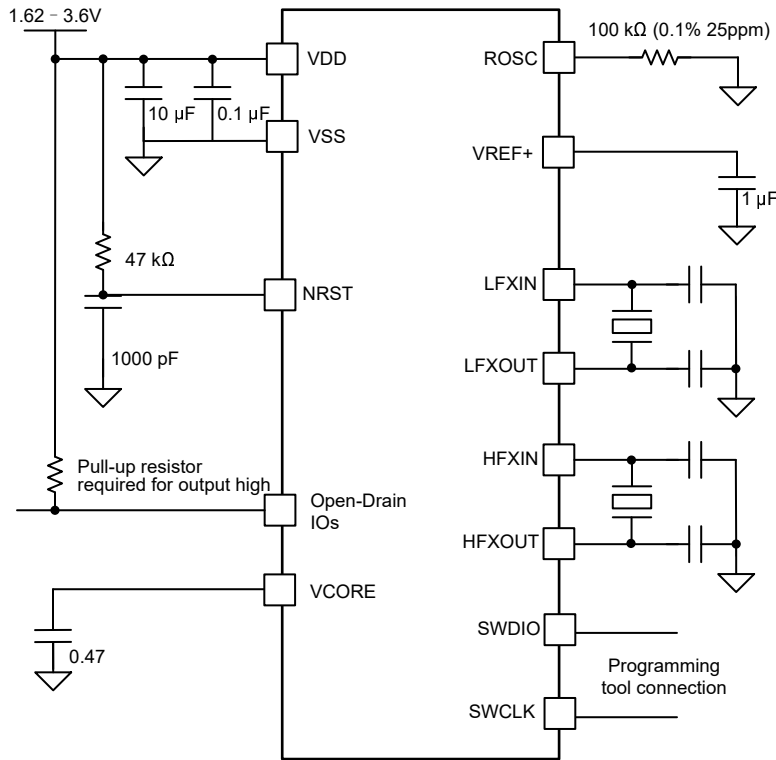


图 1-1. MSPM0G 典型應用程序電路圖

## 2 MSPM0G 裝置中的電源供應器

電源會透過 VDD 和 VSS 連接提供至裝置。裝置支援以 1.62 V 至 3.6 V 供應電壓運作，並可以 1.62-V 供電啟動。電源管理單元 (PMU) 可產生裝置的穩壓核心電源供應，並提供外部供應監督。另外也包含 PMU 及其他類比周邊裝置使用的能隙電壓參考。VDD 可直接提供 IO 電源(VDDIO) 和類比電源 (VDDA)。VDDIO 和 VDDA 在內部連接至 VDD，因此不需要額外電源供應針腳 (請參閱裝置產品規格表以獲得詳細資訊)。

### 2.1 數位電源供應

#### VCORE 穩壓器

內部低壓降線性穩壓器會產生 1.35-V 電源軌為裝置核心供電。一般而言，核心穩壓器輸出 (VCORE) 會為核心邏輯供電，其中包括 CPU、數位周邊設備和裝置記憶體。核心穩壓器需要連接裝置 VCORE 針腳與 VSS (接地) 的外部電容器 (CVCORE) (請參閱 图 2-1)。有關 CVCORE 的正確值和容差，請參閱裝置專屬產品規格表。CVCORE 應置於 VCORE 針腳附近。

核心穩壓器在所有電源模式下都處於啟用狀態，但關機模式除外。在其它所有電源模式 (執行、睡眠、停止和待機) 下，穩壓器的驅動強度將自動配置為支援每種模式的最大負載電流。使用低功耗模式時，會降低穩壓器的靜態電流，進而提升低功耗性能。

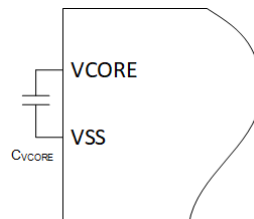


图 2-1. V<sub>CORE</sub> 穩壓器電路

## 2.2 類比電源供應

### 類比多工器 VBOOST

PMU 中的 VBOOST 電路會產生內部 VBOOST 電源，供 COMP、GPAMP 和 OPA 中的類比多工器 (如果存在於裝置) 使用。VBOOST 電路可在外部供應電壓 (VDD) 範圍中展現一致的類比多工器性能。

### 啟用和停用 VBOOST

SYSCTL 根據以下參數自動管理 VBOOST 電路的啟用請求：

1. COMP、OPA 和 GPAMP 週邊設備 PWREN 設定
2. 任何啟用的 COMP 的 MODE 設定 (FAST 與 ULP 模式)。
3. 在 SYSCTL 中，GENCLKCFG 暫存器的 ANACPUMPCFG 控制位元。

VBOOST 在 SYSRST 之後預設為停用。在使用 COMP、OPA 或 GPAMP 之前，應用軟體不需要啟用 VBOOST 電路。當應用軟體啟用 COMP、OPA 或 GPAMP 時，SYSCTL 也會啟用 VBOOST 電路來支援類比周邊設備。

---

#### 备注

VBOOST 電路有啟動時間需求 (一般為 12  $\mu$ s)，可從停用狀態轉換至啟用狀態。若 COMP、OPA 或 GPAMP 的啟動時間少於 VBOOST 啟動時間，周邊設備啟動時間會延長以計入 VBOOST 啟動時間。

---

### 能隙參考

PMU 提供溫度及供應電壓穩定能隙電壓參考，讓裝置用於內部功能，包括：

- 驅動掉電重設電路閾值。
- 設定核心穩壓器的輸出電壓。
- 驅動晶片內建類比周邊設備的晶片內建 Vref 電平。

能隙參考以 RUN (執行)、SLEEP (睡眠)、STOP (停止) 模式啟用。在 STANDBY (待機) 模式下以取樣模式運作，減少耗電量。以 SHUTDOWN (關機) 模式停用。SYSCTL 會自動管理能隙狀態，因此不需要使用者配置。

## 2.3 內建電源供應器與電壓參考

MSPM0G 系列的 VREF 模組為共用的電壓參考模組，可供各種板載類比周邊設備運用。

VREF 模組特性包括：

- 1.4-V 和 2.5-V 可供使用者選擇的內部參考。
- 支援接收 VREF+ 和 VREF- 裝置針腳的外部參考。
- 取樣保持模式支援 VREF 運作降至 STANDBY (待機) 運作模式。
- ADC、COMP 及 OPA 的內部參考支援。

在提供外部參考給 MCU 時，TI 建議使用以電壓來源為基礎的值連接參考針腳上的去耦電容器 (請參閱 圖 2-2)。

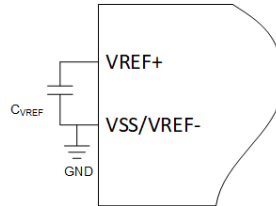


圖 2-2. VREF 電路

## 2.4 電源供應器的建議去耦電路

TI 建議將 10- $\mu$ F 和 100-nF 低 ESR 陶瓷去耦電容器的組合連接到 DVCC 針腳 (請參閱 圖 2-3)。可使用數值較高的電容器，但會影響電源供應軌上升時間。去耦電容器的位置必須儘可能靠近去耦的針腳 (應在數毫米內)。

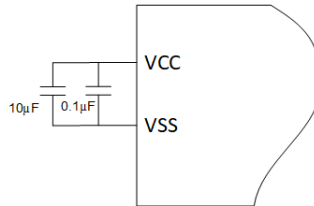


圖 2-3. 電源供應去耦電路

## 3 重設和電源供應監控器

### 3.1 數位電源供應

裝置有五種重設等級：

- 開機重設 (POR)
- 掉電重設 (BOR)
- 開機重設 (BOOTRST)
- 系統重設 (SYSRST)
- CPU 重設 (CPURST)

技術參考手冊 (TRM) 說明重設等級之間關係的詳細資訊。

冷起動後，NRST 針腳會以 NRST 模式配置。NRST 針腳必須夠高，裝置才能成功啟動。NRST 上沒有內部上拉電阻。外部電路 (上拉電阻至 DVCC 或重設控制電路) 必須主動將 NRST 拉高，裝置才能啟動。手動重設需要電容器和開啟按鈕 (請參閱 圖 3-1)。裝置啟動後，NRST 上的低脈衝若在持續時間內 <1 秒便會觸發 BOOTRST。如果 NRST 上的低脈衝超過 1 秒，即會觸發 POR。

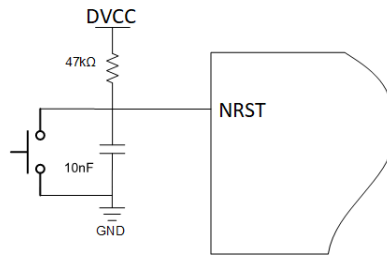


图 3-1. NRST 建議的電路

## 3.2 電源供應監控器

### 開機重設 (POR) 監控器

開機重設 (POR) 監控器可監控外部電源 (VDD)，並宣告或取消宣告對 SYSCTL 的 POR 違反。在冷開機期間，裝置會保持 POR 狀態，直到 VDD 通過 POR+ 為止。VDD 通過 POR+ 後，便會釋放 POR 狀態，並啟動能隙參考和 BOR 監控電路。如果 VDD 降到 POR- 級以下，則會宣告 POR- 違反，裝置將再次處於 POR 重設狀態。

POR 監控器不會指示 VDD 已達到支援裝置正常運作的足夠電平。此為開機程序第一步，可用來判斷供應電壓是否足以為能隙參考和 BOR 電路供電，之後可用來判斷供應是否達到讓裝置正常運作的足夠電平。POR 監控器在所有電源模式 (包括關機) 下均處於啟用狀態，且無法停用。(POR 觸發波形如 图 3-2 所示)。

### 電壓不足重設 (BOR) 監控器

電壓不足重設 (BOR) 監視器會監督外部電源 (VDD)，並宣告或取消宣告對 SYSCTL 的 BOR 違反。BOR 電路的主要責任是確保外部供應電壓維持夠高，以讓內部電路 (包括核心壓電器) 能夠正常運作。BOR 閾值參考源自內部能隙電路。閾值本身可編程，且永遠高於 POR 閾值。在冷啟動期間，能隙參考和 BOR 電路會在 VDD 通過 POR+ 閾值後啟動。裝置將保持在 BOR 狀態，直到 VDD 通過 BOR0+ 閾值。VDD 通過 BOR0+ 後，BOR 監控器便會釋放裝置以繼續開機程序，並啟動 PMU。(BOR 觸發波形如 图 3-2 所示)。

### 供應變更期間的 POR 和 BOR 行為

當電源電壓 (VDD) 降至 POR- 以下時，將會清除整個裝置狀態。VDD 中不會通過低於 BOR0- 閾值的微小變化不會導致 BOR- 違反，裝置將繼續運作。BOR 電路配置為產生中斷，而不是立即觸發 BOR 重設。

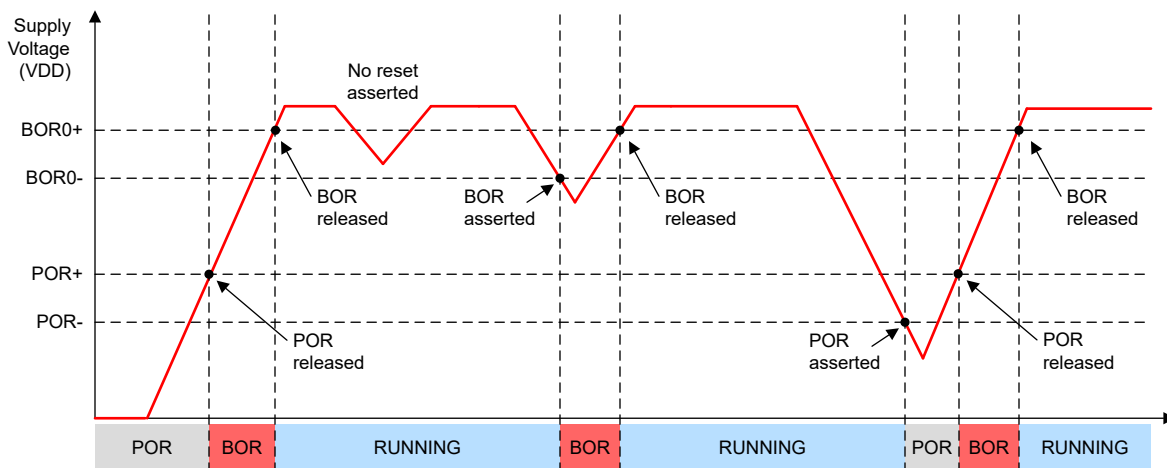


图 3-2. POR 與 BOR 與電源電壓 (VDD)

## 4 時鐘系統

MSPM0G 系列的時鐘系統包含內部振盪器、時鐘監視器、時鐘選擇和控制邏輯。

本節說明不同 MSPM0G 系列裝置上的時鐘資源，以及它們與外部訊號或裝置的互動。

## 4.1 內部振盪器

### 內部低頻振盪器 (LFOSC)

LFOSC 為晶片內建低功率振盪器，原廠修整頻率為 32.768 kHz。其提供低頻率時脈，可用於幫助系統實現低功耗。在較小溫度範圍內使用時，LFOSC 可提供較高的準確度。如需詳細資訊，請參閱裝置專屬產品規格表。

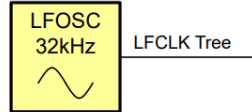


图 4-1. MSPM0G 系列 LFOSC

### 內部系統振盪器 (SYSOSC)

SYSOSC 為晶片內建、準確且可配置的振盪器，原廠修整頻率為 32 MHz (基本頻率) 與 4 MHz (低頻)，並支援 24 MHz 或 16 MHz 下的使用者修整操作。其提供高頻率時脈讓 CPU 在執行程式碼和處理效能時可以高速運作。

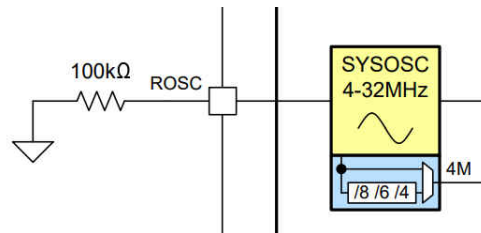


图 4-2. MSPM0G 系列 SYSOSC

### SYSOSC 頻率修正迴路

此振盪器的額外硬體設定為安裝在 ROSC 針腳和 VSS 間的外部電阻器，以將各種溫度下的 SYSOSC 從基本準確度  $\pm 2.5\%$  提升。

SYSOSC 應用程序的整體準確性需結合以下誤差源而定，以判斷總誤差：

1. ROSC 參考電阻錯誤 (由於公差和溫度漂移)
2. FCL 模式中的 SYSOSC 電路誤差 (-40°C 至 85°C 為  $\pm 0.75\%$ ，-40°C 至 125°C 為  $\pm 0.90\%$ )

表 4-1 說明如何計算兩種不同 ROSC 電阻器規格在兩種溫度範圍內的 SYSOSC 應用準確度。如需詳細資料，請參閱裝置特有的 TRM。

表 4-1. SYSOSC 準確度與 FCL，受 ROSC 公差、ROSC TCR 和環境溫度 ( $T_A$ ) 影響

環境溫度 ( $T_A$ )	$-40 \leq T_A \leq 125^\circ\text{C}$		$-40 \leq T_A \leq 85^\circ\text{C}$	
	$\pm 0.1\%$ 25 ppm/°C	$\pm 0.5\%$ 25 ppm/°C	$\pm 0.1\%$ 25 ppm/°C	$\pm 0.5\%$ 25 ppm/°C
額定 ROSC 電阻 ( $ROSC_{nom}$ )	100 k $\Omega$			
最大 ROSC 電阻 (25°C 時)	100.1 k $\Omega$	100.5 k $\Omega$	100.1 k $\Omega$	100.5 k $\Omega$
最小 ROSC 電阻 (25°C 時)	99.9 k $\Omega$	99.5 k $\Omega$	99.9 k $\Omega$	99.5 k $\Omega$
ROSC 電阻器 TCR	25 ppm/°C			
ROSC 溫度漂移	-0.16% 至 0.25%		-0.16% 至 0.15%	
最大 ROSC 電阻 (高溫下) ( $ROSC_{max}$ )	100.35 k $\Omega$	100.75 k $\Omega$	100.25 k $\Omega$	100.65 k $\Omega$
最小 ROSC 電阻 (低溫下) ( $ROSC_{min}$ )	99.74 k $\Omega$	99.34 k $\Omega$	99.74 k $\Omega$	99.34 k $\Omega$
ROSC 電阻誤差 (高溫) ( $ROSC_{err+}$ )	+0.35%	+0.75%	+0.25%	+0.65%
ROSC 電阻誤差 (低溫) ( $ROSC_{err-}$ )	-0.26%	-0.66%	-0.26%	-0.66%
SYSOSC 電路誤差 ( $SYSOSC_{err}$ )	$\pm 0.9\%$		$\pm 0.75\%$	
總準確度 ( $TOT_{err-}$ , $TOT_{err+}$ )	-1.2% 至 +1.3%	-1.6% 至 +1.7%	-1.0% 至 +1.0%	-1.4% 至 +1.4%



## 系統相位鎖定迴路 (SYSPLL)

SYSPLL 是具有可編程頻率的系統相位鎖定迴路，可用來達到 MSPM0G 系列最高速度 (80 MHz)。

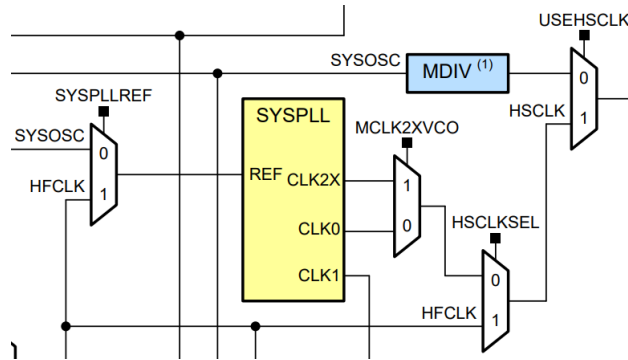


图 4-3. MSPM0G SYSPLL 電路

## 4.2 外部振盪器

針對跨裝置和溫度需要更高時鐘準確的應用，可以使用外部振盪器。LFXT 可以取代 LFOSC，而 HFXT 可以取代 SYSOSC。

### 低頻晶體振盪器 (LFXT)

LFXT 是一款超低功耗晶體振盪器，其支援驅動標準 32.768-kHz 手錶晶體。若要使用 LFXT，請在 LFXIN 和 LFXOUT 針腳之間填充手錶晶體。將 LFXIN 和 LFXOUT 針腳上的負載電容器放置到電路接地 (VSS)。根據使用的晶體規格調整晶體負載電容器的大小。透過可編程驅動器強度機制支援各種晶體類型。如需佈線圖建議，請參閱 節 9。

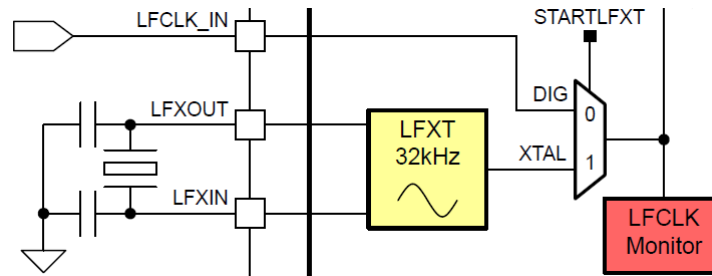


图 4-4. MSPM0G LFXT 電路

### LFCLK\_IN (數位時鐘)

可以繞過 LFXT 電路，並將 32.76-kHz 典型頻率數位時鐘導入裝置，用作 LFCLK 來源。LFCLK\_IN 和 LFXT 是互斥的，不得同時啟用。

LFCLK\_IN 與典型工作週期 50% 的數位方波 CMOS 時鐘輸入相容。透過啟用 LFCLK 監控器可以檢查 LFCLK\_IN 上的有效時鐘訊號。預設情況下，LFCLK 監測器在 LFXT 若未啟動，請檢查 LFCLK\_IN。

### 高頻晶體振盪器 (HFXT)

高頻晶體振盪器 (HFXT) 可搭配 4 至 48-MHz 範圍的標準晶體與諧振器使用，為系統產生穩定的高速參考時鐘。

若要使用 HFXT，請在 HFXIN 和 HFXOUT 針腳之間填充晶體或諧振器。將兩者的針腳上的負載電容器放置到電路接地 (VSS)。根據使用的晶體規格調整晶體負載電容器的大小。可編程的 HFXT 啟動時間具有 64- $\mu$ s 解析度。如需佈線圖建議，請參閱 節 9。

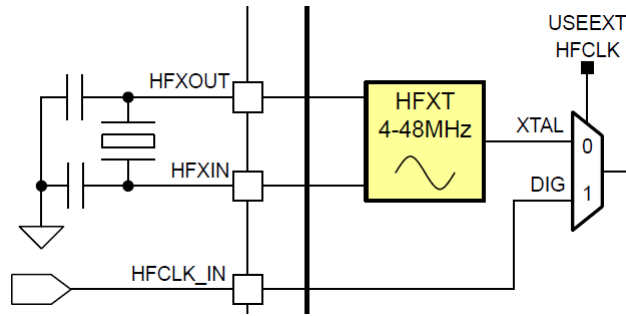


图 4-5. MSPM0G HFXT 電路

### HFCLK\_IN (數位時鐘)

可以繞過 HFXT 電路，將 4 至 48-MHz 典型頻率數位時鐘導入裝置，用作 HFCLK 來源，而不是 HFXT。HFCLK\_IN 和 HFXT 是互斥的，不得同時啓用。

HFCLK\_IN 與典型工作週期 50% 的數位方波 CMOS 時鐘輸入相容。

### 4.3 外部時鐘輸出 (CLK\_OUT)

時鐘輸出裝置可將數位時鐘從裝置傳送至外部電路或頻率時鐘計數器。此功能對於時鐘外部電路 (例如沒有自己的時鐘來源的外部 ADC) 非常有用。時鐘輸出裝置具有一組靈活的來源可供選擇，包括可編程的分頻器。

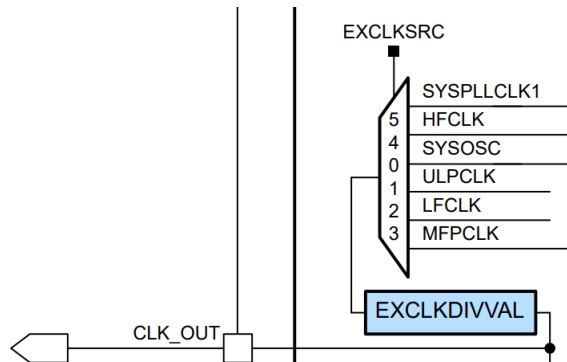


图 4-6. MSPM0G 外部時脈輸出

CLK\_OUT 的可用時鐘來源：

- SYSPLLCLK1
- HFCLK
- SYSOSC
- ULPCLK
- MFCLK
- LFCLK

所選時鐘來源在輸出至針腳或頻率時鐘計數器前，可以被 1、2、4、8、16、32、64 或 128 除盡。

### 4.4 頻率時鐘計數器 (FCC)

頻率時鐘計數器 (FCC) 可讓裝置上各種振盪器和時鐘的系統內測試及校準更為靈活。FCC 會計算在已知固定觸發期間 (得自從次要參考來源) 內所選來源時鐘上所看到的時鐘週期數，以提供來源時鐘頻率的預估値。

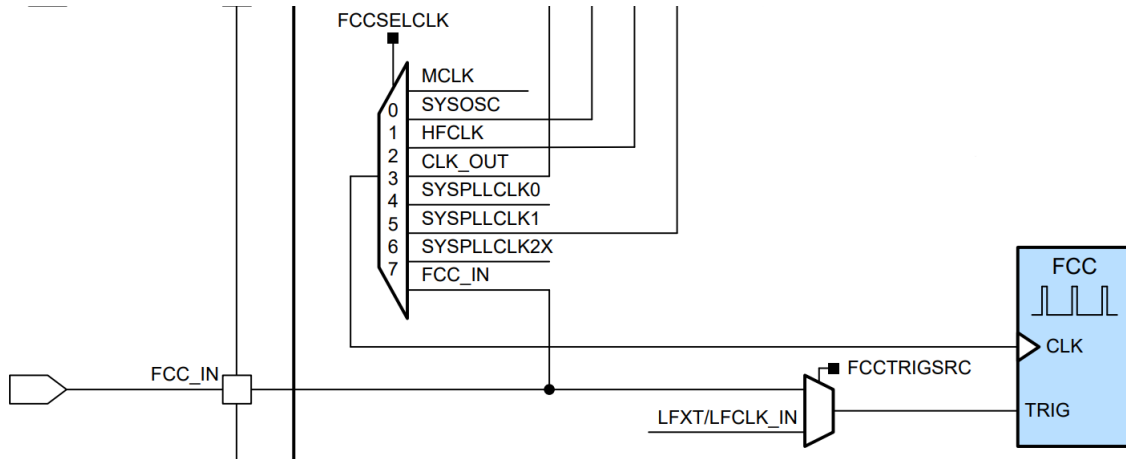


图 4-7. MSPM0G 頻率時鐘計數器方塊圖

應用軟體可以使用 FCC 測量下列振盪器和時鐘的頻率：

- MCLK
- SYSOSC
- HFCLK
- CLK\_OUT
- SYSPLLCLK0
- SYSPLLCLK1
- SYSPLLCLK2X
- 外部 FCC 輸入 (FCC\_IN)

#### 备注

雖然外部 FCC 輸入 (FCC\_IN 函數) 可以用作 FCC 時鐘來源或 FCC 觸發輸入，但在相同的 FCC 擷取過程中不能用於這兩種函數。其必須配置為 FCC 時鐘來源或 FCC 觸發器。

## 5 偵錯器

偵錯子系統 (DEBUGSS) 可將序列線偵錯 (SWD) 雙線實體介面連接至裝置內的多個偵錯功能。MSPM0G 裝置支援對處理器執行、裝置狀態和電源狀態 (使用 EnergyTrace 技術) 進行偵錯。

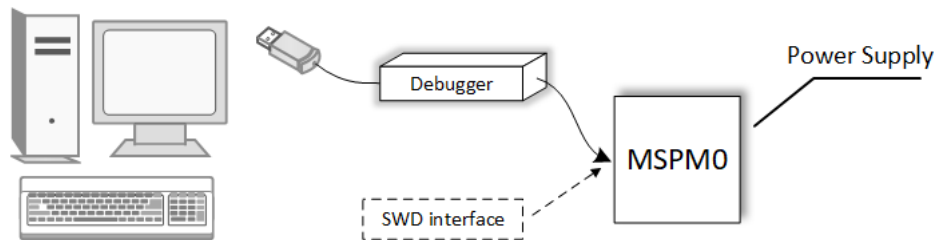


图 5-1. 主機到目標裝置連接

### 5.1 偵錯埠針腳和針腳配置

偵錯埠包含 SWCLK 和 SWDIO (請參閱 表 5-1)，其具內部下拉和上拉電阻器 (請參閱 图 5-2)。MSPM0G MCU 系列提供具不同針腳數量的各種封裝。如需裝置專屬詳細資訊，請參閱產品規格表。

表 5-1. MSPM0G 偵錯埠

裝置訊號	偵測	SWD 功能
SWCLK	輸入	偵錯探測器的序列線時鐘
SWDIO	輸入/輸出	雙向 (共用) 序列線數據

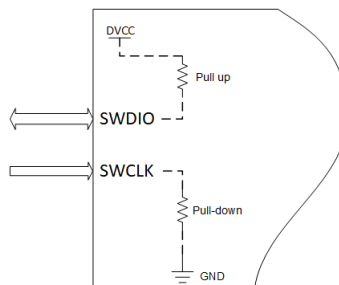


图 5-2. MSPM0G SWD 內部提取

### 5.2 具備標準 JTAG 連接器的偵錯埠連接

图 5-3 顯示了 MSPM0G 系列 MCU SWD 偵錯埠與標準 JTAG 連接器之間的連接。

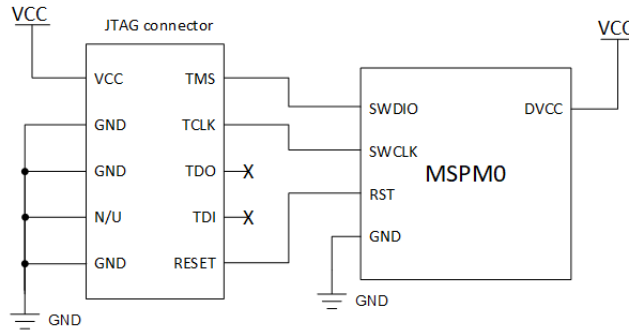


图 5-3. JTAG 和 MSPM0G 連接

對於 MSPM0G 裝置，您可以使用 XDS110 實作偵錯/下載功能。本章列出了 XDS110 的內容並提供硬體安裝指示。

### 標準 XDS110

您可以在 [ti.com](http://ti.com) 上購買標準 XDS110。图 5-4 顯示了 XDS110 探測器主要功能區和介面的高階圖。

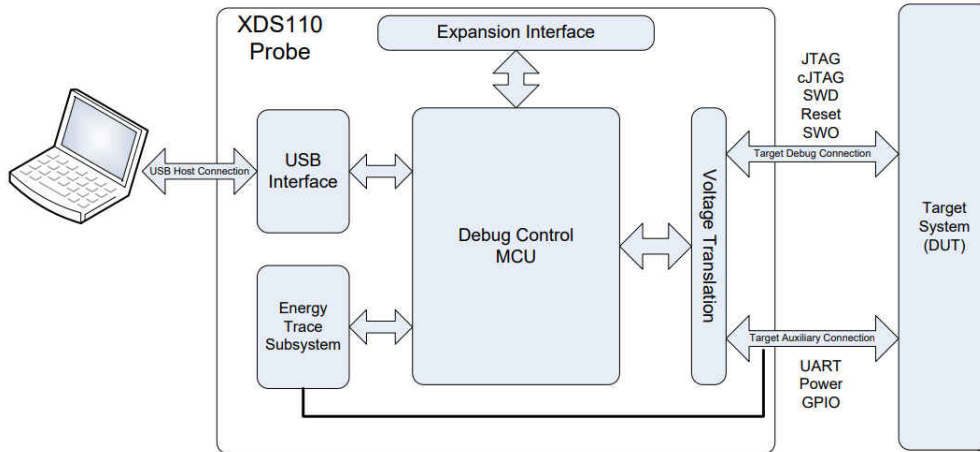


图 5-4. XDS110 探測器高階方塊圖

如需標準 XDS110 的詳細資訊，請參閱 [XDS110 偵錯探測器使用指南](#)。

### Lite XDS110 (MSPM0 LaunchPad 開發套件)

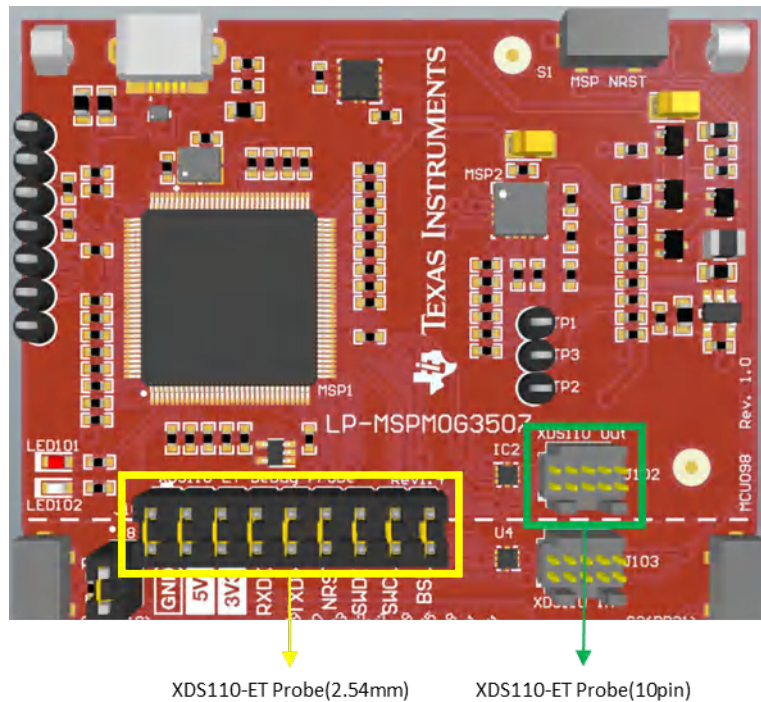
MSPM0 LaunchPad 套件包含 XDS110-ET (Lite) 電路。您可以使用此偵錯程式將韌體下載至 MSPM0 裝置。图 5-5 顯示 XDS110-ET 電路。

XDS110-ET 有兩種探針：

**2.54-mm 探針：**此埠支援 SWD 協定，包括 5-V 或 3.3-V 電源供應器。您可將 SWDIO SWCLK 3V3 GND 連接至主機板，並將韌體下載至 MSPM0G 裝置。

此探針還支援 EnergyTrace 技術，可即時精確測量功耗。

如需 EnergyTrace 技術的詳細資訊，請瀏覽 [EnergyTrace 技術工具頁](#)。



**图 5-5. XDS110-ET 電路**

**10 針腳探針：**此埠支援 JTAG 和 SWD 協定，包括 3.3-V 電源供應器。您可使用 10 針腳纜線連接電路板和 XDS110-ET，並將韌體下載至 MSPM0G 裝置。图 5-6 顯示 10 針腳纜線。



**图 5-6. Arm 標準 10 針腳纜線**

#### 备注

- 標準 XDS110 支援偵錯埠電平移位，XDS110-ET 僅支援 3.3v 探針電平。
- 我們不建議使用 XDS110 為 MSPM0G MCU 以外的其他裝置供電，因為 XDS110 整合了 LDO 及有限的電流驅動能力。
- XDS110-ET 2.54-mm 探針不支援 JTAG 協定。
- XDS110-ET 10 接腳探針不支援 EnergyTrace 技術。

## 6 重要類比周邊設備

MSPM0G 系列 MCU 包含類比周邊設備資源，可在晶片內提供許多類比訊號調整功能。若要充分運用 MSPM0G 類比周邊裝置效能，必須在硬體設計中考量一些事項。本章將討論許多典型類比電路配置的類比設計考量。

### 6.1 ADC 設計考量

MSPM0G 裝置具有 12 位元、高達 4 Msps 的類比轉數位轉換器 (ADC)。ADC 支援快速的 12 位元、10 位元和 8 位元類比轉數位轉換。ADC 執行 12 位元 SAR 核心、取樣/轉換模式控制，以及多達 12 個獨立轉換與控制緩衝器。

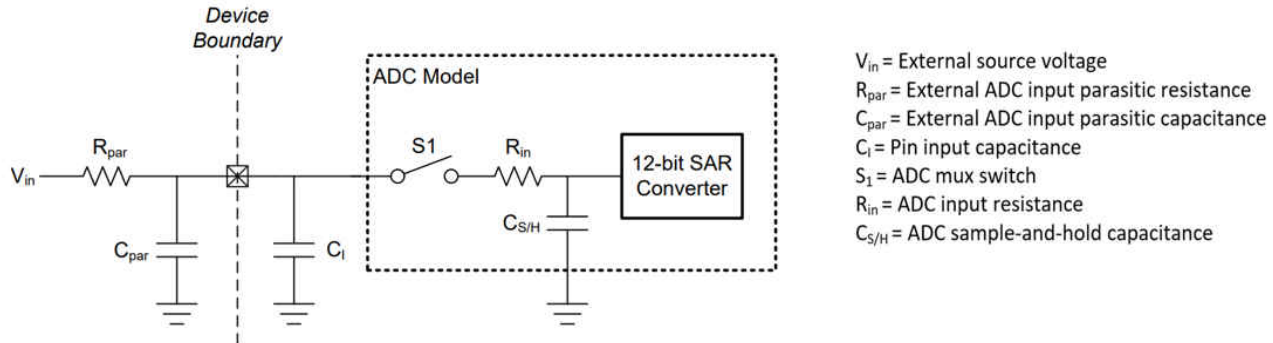


图 6-1. ADC 輸入網路

為了達到所需的轉換速度並維持高準確度，在硬體設計中必須確保適當取樣時間。取樣 (取樣保持) 時間決定在數位轉換前多久時間進行訊號取樣。在取樣期間，內部開關允許為輸入電容器充電。將電容器完全充電所需的時間，視連接至 ADC 輸入針腳的外部類比前端 (AFE) 而定。图 6-1 顯示 MSPM0G MCU 的典型 ADC 模型。 $R_{in}$  和  $C_{S/H}$  值可從特定裝置的產品規格表中取得。了解 AFE 驅動器功能並計算訊號取樣所需的最短取樣時間非常重要。 $R_{par}$  和  $R_{in}$  的電阻會影響  $t_{sample}$ 。方程式 1 可用於計算  $n$  位元轉換的最短取樣時間  $t_{sample}$  的保守值：

$$t_{sample} \geq (R_{par} + R_{in}) \times \ln(2^{n+2}) \times (C_{S/H} + C_i + C_{par}) \quad (1)$$

若要評估連續高速 (4 Msps) ADC 性能，TI 建議新增外部緩衝器以確保具有足夠的訊號來源驅動能力。如需設計參考，請參見 LP-MSPM0G3507 硬體設計，其中包含建議的外部 OPA。

### 6.2 OPA 設計考量

MSPM0G OPA 是零漂移截波穩定型運算放大器，具可編程增益級。OPA 可用於訊號放大和緩衝，可在一般用途模式、緩衝模式和 PGA 模式下運作。

在通用模式下使用 OPA 時，請新增外部電阻器和電容器以建立放大器電路。但在使用緩衝模式時，可透過軟體進行配置。在 PGA 模式下，軟體可配置高達 32x PGA 增益。

#### 备注

PGA 增益僅在負極端子內。

當裝置上有兩個或多個 OPA 時，可將兩者結合以形成差動放大器。差動放大器的輸出方程式由图 6-2 中的  $V_{diff}$  方程式提供。

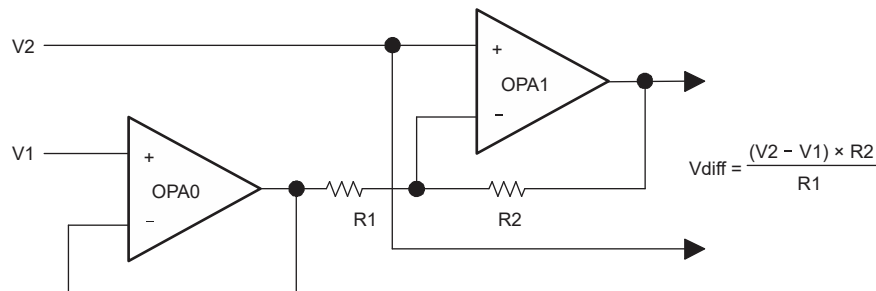


图 6-2. 兩個 OPA 差動放大器方塊圖與方程式

或者當裝置上有兩個或多個 OPA 時，可結合組成多級或串接放大器。使用可編程輸入多工器，即可執行反相和非反相多級放大器組合。非反向至非反向串接放大器的輸出方程式由 图 6-3 中的  $V_{out}$  方程式提供。

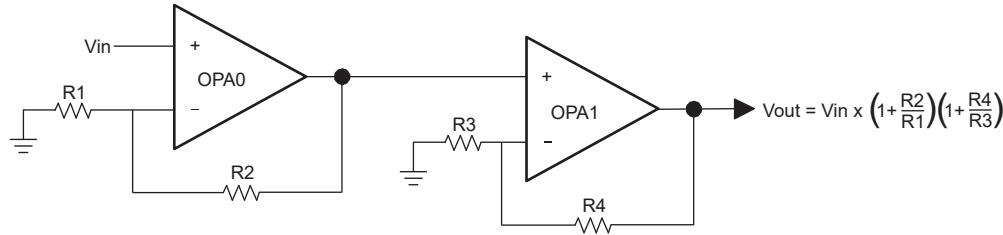


图 6-3. 兩個 OPA 非反相至非反相串接放大器方塊圖與方程式

### 6.3 DAC 設計考量

MSPM0G 裝置包含兩個 DAC 模組：8 位元和 12 位元。DAC 可當成參考電壓使用，也可搭配 OPA 直接驅動輸出端 PAD (被動式衰減器)。12 位元 DAC 模組包含緩衝器，因此可直接輸出至 PAD。然而，8 位元 DAC 模組通常會做為 OPA 和 COMP 的內部參考電壓，因此若要輸出至外部針腳，OPA 必須配置為緩衝模式以改善驅動強度。並非所有裝置都包含這兩個 DAC 模組。如需詳細資訊，請參閱裝置專屬產品規格表。

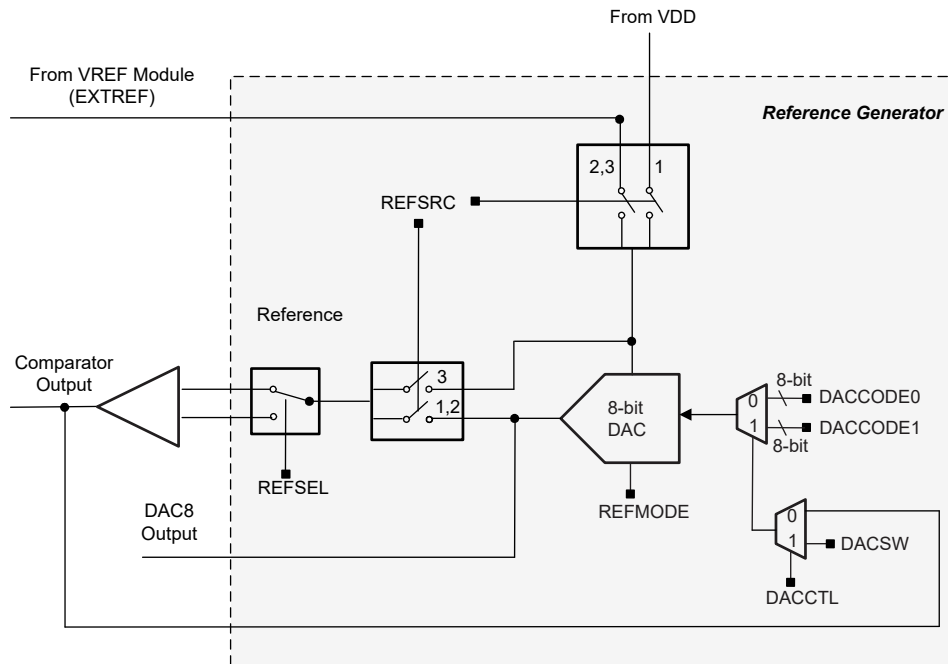


图 6-4. 8 位元 DAC 方塊圖

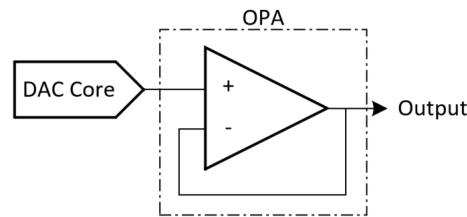


图 6-5. 8 位元 DAC 和 OPA 輸出方塊圖



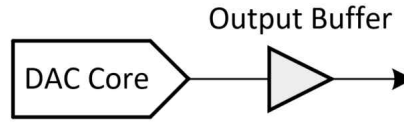


图 6-6. 12 位元 DAC 輸出方塊圖

## 6.4 COMP 設計考量

MSPM0G 比較器模組 (COMP) 是具有一般比較器功能的類比電壓比較器。

COMP 模組包含可用於靈活處理類比訊號的內部與外部輸入端。內部溫度感測器可用作 COMP 的直接輸入端。

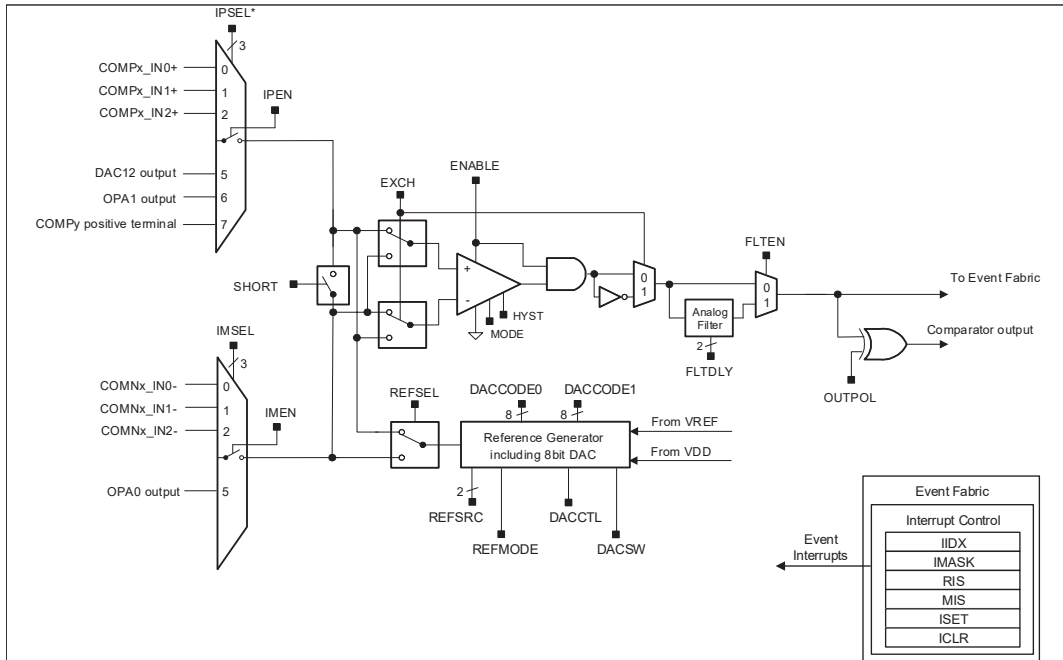


图 6-7. 比較器圖

MSPM0G 比較器模組也結合了兩個 COMP 來實作窗型比較器功能。如 图 6-8 所示，COMP0 和 COMP1 可合併配置以建立窗型比較器。在此配置中、輸入訊號連接併接之比較器的正極端子，而上下閾值電壓則連接比較器的負極端子。

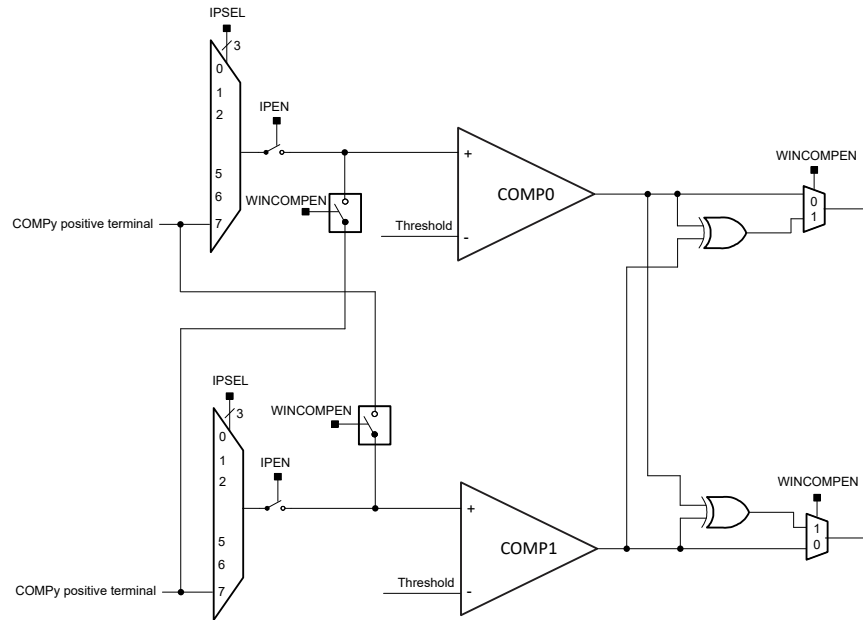


图 6-8. 窗型比較器模式

COMP 模組也包含一個短路開關，可用於建立比較器的簡易取樣保持。

如 图 6-9 所示，所需的取樣時間與採樣電容尺寸 (CS)、短路開關 (R) 串聯的輸入開關電阻，以及外部來源 (RS) 的電阻大小成比例。取樣電容 CS 應該大於 100 pF。可用以下公式計算取樣電容 CS 充電時間常量 Tau。

$$T_{au} = (R_I + R_S) \times C_S$$

視所需準確度而定，請使用 3 至 10 Tau 作為取樣時間。使用 3 Tau 時，取樣電容可充電至輸入訊號電壓電平的 95%；使用 5Tau 時，取樣電容可充電至 99% 以上；而用 10 Tau 時，取樣電壓可充分滿足 12 位元準確度要求。

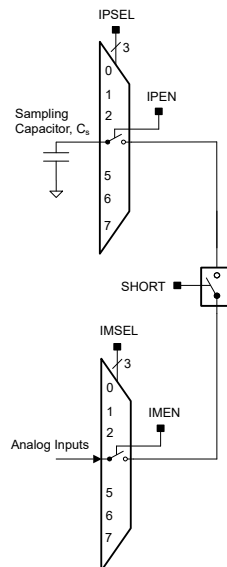


图 6-9. 比較器短路開關

## 6.5 GPAMP 設計考量

MSPM0G 裝置包括 GPAMP (通用放大器) 模組，可用於某些外部電阻器和電容器的訊號放大，如 图 6-10 中所示。

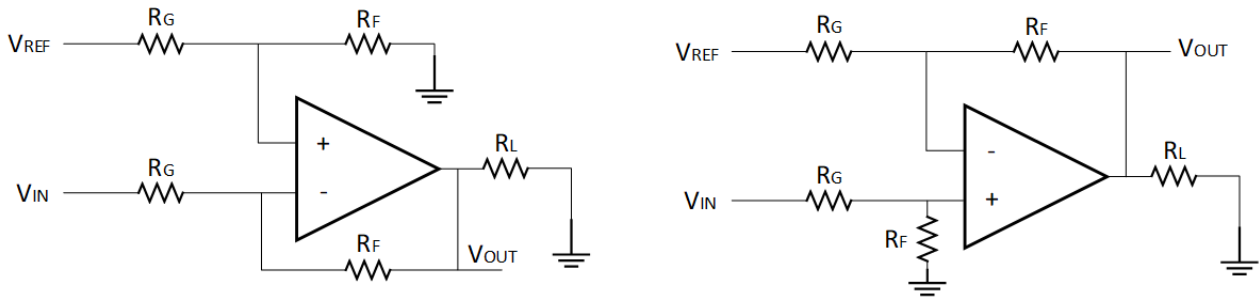


图 6-10. 放大模式中的 GPAMP 電路

GPAMP 也可以用作內部 ADC 的緩衝器。图 6-11 顯示此配置的範例。

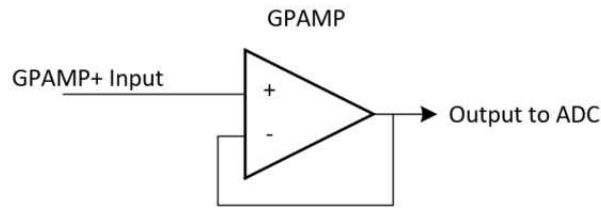


图 6-11. 緩衝模式中的 GPAMP 電路

## 7 主要數位周邊設備

MSPM0G 系列 MCU 包括大量的數位周邊設備資源如計時器、UART、SPI、MCAN 和 LIN 等，其提供豐富的通訊功能。若要充分運用 MSPM0G 數位周邊裝置，必須在硬體設計時考量一些事項。本章將討論許多典型數位周邊裝置配置的設計考量。

### 7.1 計時器資源和設計考量

計時器是任何 MCU 中最基本且最重要的模組之一，此資源可用於所有應用。可用於定期處理工作、延遲、輸出 PWM 波形以驅動 o 裝置、偵測外部脈衝的寬度與頻率、模擬波形輸出等。

MSPM0G L 系列 MCU 包含三種計時器模組類型：TIMA、TIMG 和 TIMH。先進計時器 (TIMA)、通用計時器 (TIMG) 和高解析度計時器 (TIMH) 都是可用於各種功能的計時器計數模組，包括測量輸入訊號邊緣和週期 (擷取模式) 或產生輸出波形 (比較模式輸出)，例如 PWM 訊號。然而，TIMA 會新增額外功能 (例如含死區插入的互補 PWM)，則 TIMH 會具有 24 位元解析度計數器。下表說明各計時器的不同功能和配置摘要。

表 7-1. TIMA 執行個體配置

執行個體	電源域	計數器解析度	預除器	重複計數器	CCP 通道	相位負載	遮蔽負載	管線式 CC	死區	故障處理程式	QEI
TIMA0	PD1	16 位元	8 位元	8 位元	4	有	有	有	有	有	-
TIMA1	PD1	16 位元	8 位元	-	2	有	有	有	有	有	-
TIMA2	PD1	16 位元	8 位元	-	2	有	有	有	有	有	-

表 7-2. TIMG 執行個體配置

執行個體	電源域	計數器解析度	預除器	重複計數器	CCP 通道	相位負載	遮蔽負載	管線式 CC	死區	故障處理程式	QEI
TIMG0	PD0	16 位元	8 位元	-	2	-	-	-	-	-	-
TIMG1	PD0	16 位元	8 位元	-	2	-	-	-	-	-	-
TIMG2	PD0	16 位元	8 位元	-	2	-	-	-	-	-	-
TIMG3	PD0	16 位元	8 位元	-	2	-	-	-	-	-	-
TIMG4	PD0	16 位元	8 位元	-	2	-	有	有	-	-	-
TIMG5	PD0	16 位元	8 位元	-	2	-	有	有	-	-	-
TIMG6	PD1	16 位元	8 位元	-	2	-	有	有	-	-	-
TIMG7	PD1	16 位元	8 位元	-	2	-	有	有	-	-	-
TIMG8	PD0	16 位元	8 位元	-	2	-	-	-	-	-	是
TIMG9	PD0	16 位元	8 位元	-	2	-	-	-	-	-	是
TIMG10	PD1	16 位元	8 位元	-	2	-	-	-	-	-	是
TIMG11	PD1	16 位元	8 位元	-	2	-	-	-	-	-	是

- 首先查看裝置特定產品規格表，檢查裝置上有哪些可用的 TIMG 執行個體
- 需要在技術參考手冊中檢查每個 TIMG 執行個體的可用功能

表 7-3. TIMH 執行個體配置

執行個體	電源域	計數器解析度	預除器	重複計數器	CCP 通道	相位負載	遮蔽負載	管線式 CC	死區	故障處理程式	QEI
TIMH0	PD1	24 位元	-	-	2	-	-	是	-	-	-
TIMH1	PD1	24 位元	-	-	2	-	-	是	-	-	-

## 7.2 UART 和 LIN 資源與設計考量

MSPM0G 系列 MCU 包括通用非同步接收器發射器 (UART)。如表 7-4 中所示，UART0 支援 LIN、DALI、IrDA、ISO7816 曼徹斯特編碼功能。

表 7-4. UART 功能

UART 功能	UART0 (延伸)	UART1 (主要)
停止和待機模式下啟用	有	有
獨立傳送與接收 FIFO	有	有
支援硬體流程控制	有	有
支援 9 位元配置	有	有
支援 LIN 模式	是	-
支援 DALI	是	-
支援 IrDA	是	-
支援 ISO7816 智慧卡	是	-
支持曼徹斯特編碼	是	-

MSPM0G UART 模組在電源域 1 支援高達 10-MHz 鮑率，可支援幾乎所有 UART 應用程式。

表 7-5. MSPM0G UART 規格

參數		測試條件	最小值	典型值	最大值	單元
$f_{\text{UART}}$	UART 輸入時脈頻率	電源域 1 中的 UART			80	MHz
$f_{\text{UART}}$	UART 輸入時脈頻率	電源域 0 中的 UART			40	MHz
$f_{\text{BITCLK}}$	BITCLK 時脈頻率 (與以 MBaud 為單位的鮑率相等)	電源域 1 中的 UART			10	MHz
$f_{\text{BITCLK}}$	BITCLK 時脈頻率 (與以 MBaud 為單位的鮑率相等)				5	MHz
$t_{\text{SP}}$	由輸入濾波器進行抑制的突波脈衝持續時間	AGFSELx = 0	5	5.5	32	ns
		AGFSELx = 1	8	15	55	ns
		AGFSELx = 2	18	38	115	ns
		AGFSELx = 3	30	74	165	ns

區域互連網路 (LIN) 是常用的低速網路介面，由與多個遠端回應器節點通訊的指令節點組成。只需一條纜線即可進行通訊，且纜線通常包含在車輛線束中。

TLIN1021A-Q1 傳送器支援高達 20 kbps 的資料傳輸速率。收發器會透過 TXD 針腳控制 LIN 匯流排狀態，並會在開汲極 RXD 輸出針腳上回報匯流排狀態。裝置配備電流限制波形成形驅動器，可減少電磁放射 (EME)。

TLIN1021A-Q1 的設計可支援具廣泛輸入電壓操作範圍的 12-V 應用。裝置支援低功耗休眠模式，並可透過 LIN、WAKE 針腳或 EN 針腳從低功耗模式中喚醒。此裝置可選擇性啟用透過 TLIN1021A-Q1 INH 輸入針腳在節點上出現的各種電源，以系統級方式減少電池耗電量。圖 7-1 說明使用 TI TLIN1021A LIN 收發器實作的典型介面。

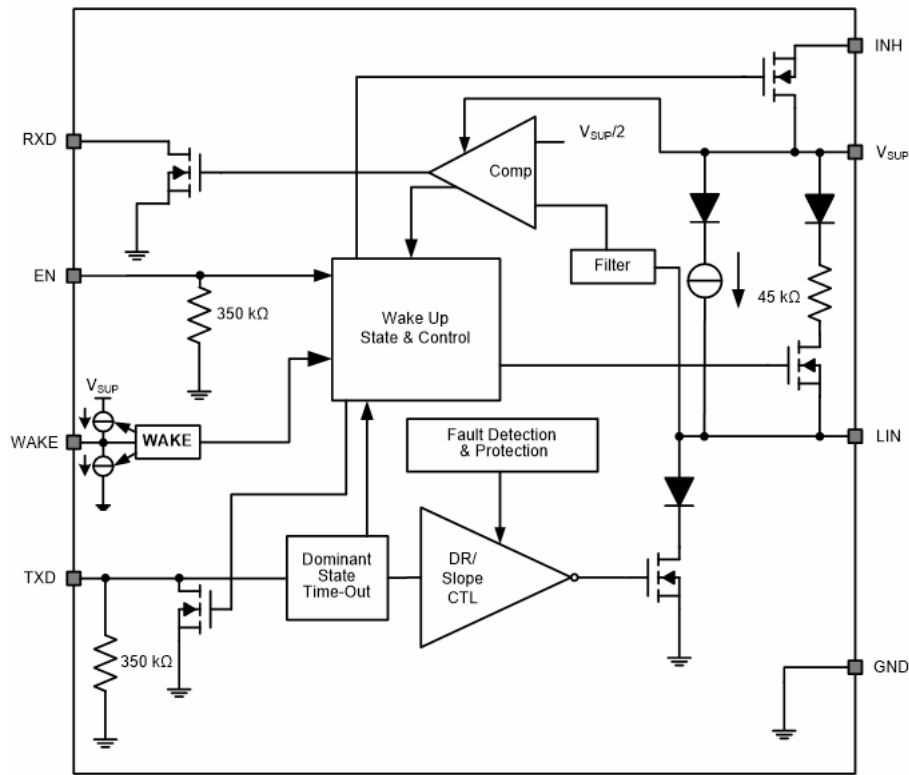


图 7-1. 典型 LIN TLIN1021A 收發器

只需一條纜線即可進行通訊，且纜線通常包含在車輛線束中。图 7-2 和 图 7-3 說明使用 TI TLIN1021A LIN 收發器實作的典型介面，如需詳細資訊，請參閱 TLIN1021 產品規格表。

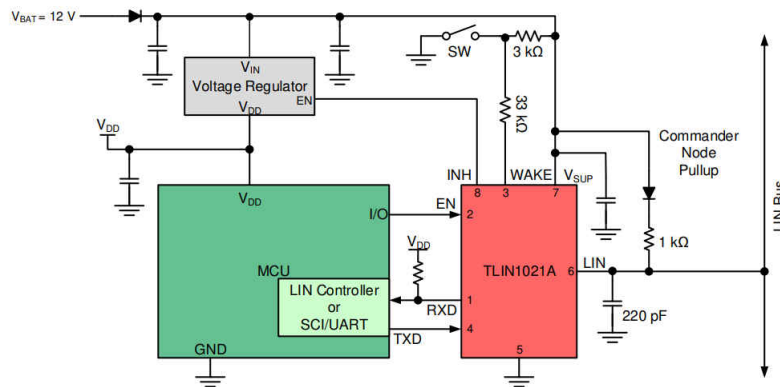


图 7-2. 採用 MSPM0G 的典型 LIN 應用程式 (指揮者)

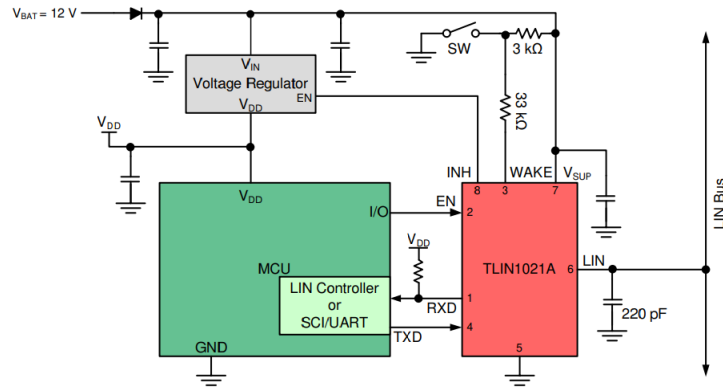


图 7-3. 採用 MSPM0G 的典型 LIN 應用程式 (回應者)

### 7.3 MCAN 設計考量

控制器區域網路 (CAN) 是一種序列通訊協定，可有效率地支援高度可靠的分散式即時控制。CAN 具有高抗電干擾能力，以及偵測各種類型錯誤的能力。在 CAN 中，許多簡短訊息會廣播到整個網路，進而在系統的每個節點中提供資料一致性。

MCAN 模組支援傳統 CAN 與 CAN FD (含彈性資料傳輸速率的 CAN) 通訊協定。CAN FD 功能可提高每個資料訊框的傳輸量與酬載。傳統 CAN 與 CAN FD 裝置可毫無衝突地共存於相同網路中，前提是傳統 CAN 裝置必須使用可偵測與忽略 CAN FD 但不會產生匯流排錯誤的部分網路收發器。MCAN 模組符合 ISO 11898-1:2015 標準。

部分 MSPM0G 裝置包含 MCAN 和 LIN 模組。要正常連接 CAN 和 LIN 匯流排，裝置需要外部 MCAN 收發器或 LIN 收發器，如 图 7-4 所示。

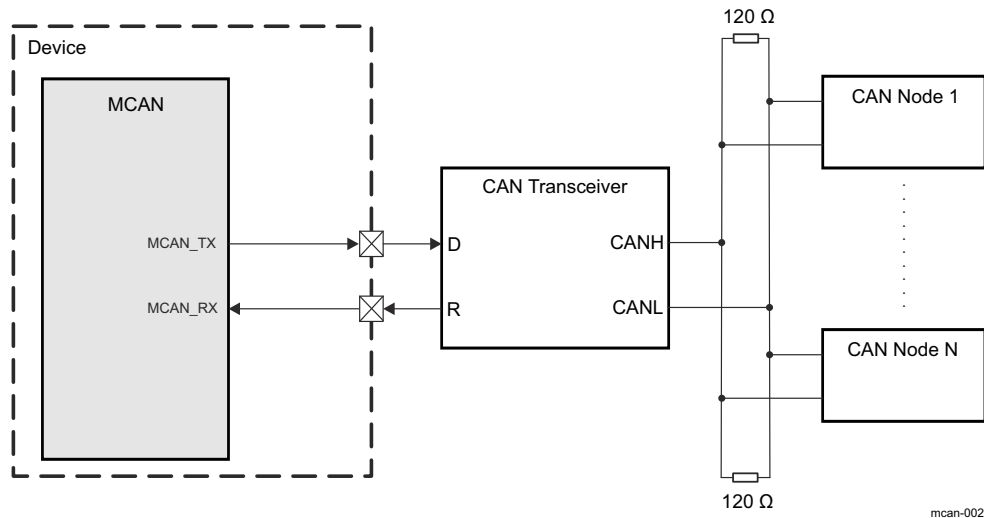


图 7-4. MCAN 典型匯流排佈線

TCAN1042GV 是 CAN 收發器，符合 ISO11898-2 (2016) 高速 CAN (控制器區域網路) 實體層標準。可用於最高達 5 Mbps (megabit 數/秒) 的 CAN FD 網路，用於 I/O 電平的二次電源供應輸入可改變輸入針腳閾值和 RXD 輸出電平。此裝置具有含遠端喚醒要求功能的低功率待機模式。此外，本裝置包含許多可強化裝置與網路完整度的防護功能。图 7-5 包括參考設計電路。如需詳細資訊，請參閱 TCAN1042 產品規格表。

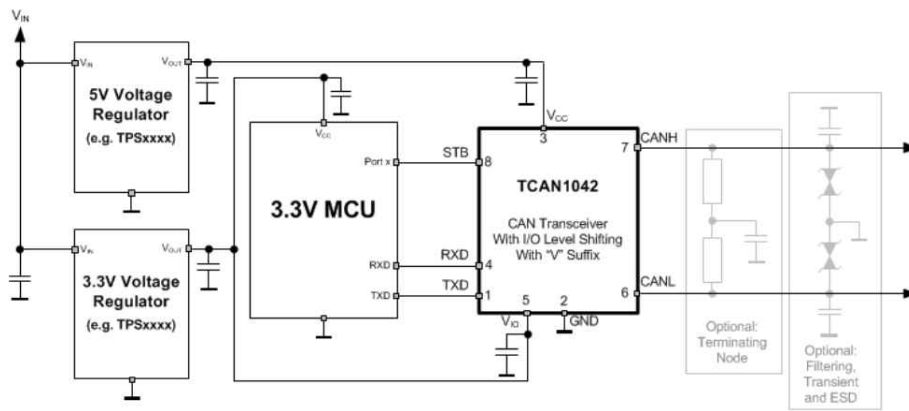


图 7-5. 以 MSPM0G 提供的典型 CAN 匯流排應用

## 7.4 I2C 及 SPI 設計考量

SPI 與 I2C 協定廣泛運用於裝置或電路板間通訊，例如 MCU 與感測器間的資料交換。MSPM0G 系列 MCU 包括高達 32-MHz 高速 SPI，並支援 3 線、4 線、晶片選擇和指令模式。請遵循 图 7-6 以根據您的需求設計系統。

部分 SPI 周邊裝置需要 PICO (周邊設備輸入控制器輸出) 維持高邏輯。如果您的外部裝置有需要，請將上拉電阻器加入 PICO 針腳。

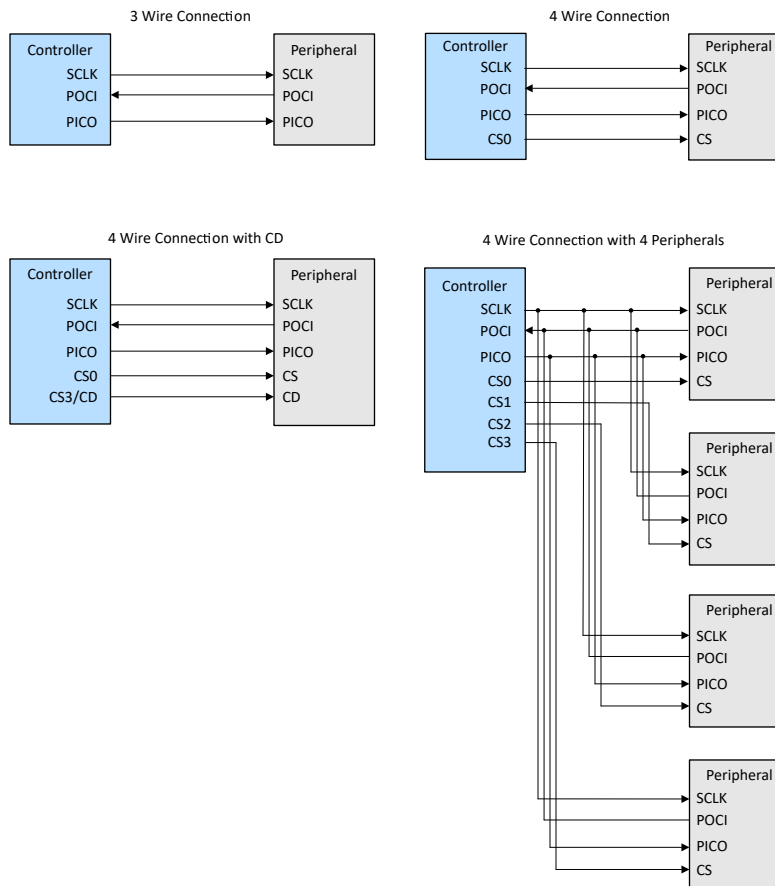


图 7-6. 不同 SPI 配置的外部連接

針對 I2C 匯流排，MSPM0G 裝置支援標準、快速和加快模式，如 表 7-6 中所示。

使用 I2C 匯流排時需要外部上拉電阻器。電阻器的值視 I2C 速度而定 - TI 建議使用 2.2k 支援快速模式+。若為與功耗有關的系統，則可使用較大電阻值。ODIO (請參閱 GPIO) 可用於實現與 5-V 裝置的通訊。



表 7-6. MSPM0G I2C 特性

參數	測試條件	標準模式		高速模式		加快模式		單元
		最小值	最大值	最小值	最大值	最小值	最大值	
$F_{I2C}$	I2C 輸入時脈頻率	40		40		40		MHz
$f_{SCL}$	SCL 時脈頻率	100K		400K		1M		MHz
$t_{HD,STA}$	保持時間 (重復) START	4		0.6		0.26		us
$t_{LOW}$	SCL 時脈的低期間	4.7		1.3		0.5		us
$t_{HIGH}$	SCL 時脈的高期間	4		0.6		0.26		us
$t_{SU,STA}$	重復 START 的設定時間	4.7		0.6		0.26		us
$t_{HD,DAT}$	資料保留時間	0		0		0		us
$t_{SU,DAT}$	資料設定時間	250		100		50		us
$t_{SU,STO}$	STOP 的設定時間	4		0.6		0.26		us
$t_{BUF}$	STOP 和 START 條件之間的匯流排空閒時間	4.7		1.3		0.5		us
$t_{VD,DAT}$	資料有效時間	3.46		0.9		0.45		us
$t_{VD,ACK}$	資料有效確認時間	3.46		0.9		0.45		us

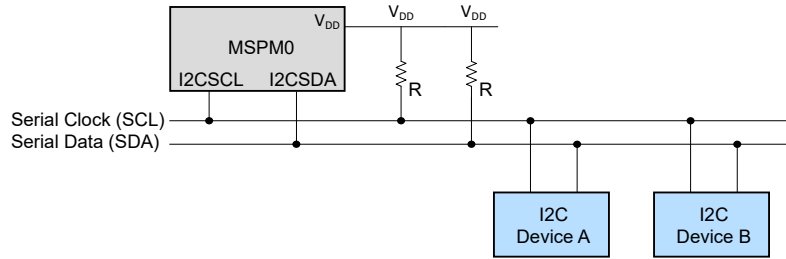


图 7-7. 典型 I2C 匯流排連接

## 8 GPIO

MSPM0G 系列 MCU 包含標準驅動 I/O (SDIO)、高驅動 I/O (HDIO)、高速 I/O (HSIO) 和 5-V 容錯開漏 I/O (ODIO)。使用者可以根據實際需求靈活選擇合適的 I/O 類型。在硬體設計中需要考慮以下特性。

### 8.1 GPIO 輸出切換速度及負載電容

使用 GPIO 做為 I/O 時，必須考量設計以確保正確運作。隨著負載電容變大，I/O 針腳的上升/下降時間也會增加。此電容包含針腳寄生電容 ( $C_I = 5\text{pF}$  (典型)) 及電路板追蹤記錄的影響。I/O 特性可在裝置的產品規格表中找到。表 8-1 列出了 MSPM0G 裝置的 I/O 輸出頻率特性。

表 8-1. MSPM0G GPIO 切換特性

參數		測試條件		最小值	典型值	最大值	單元
$f_{\max}$	埠輸出頻率	SDIO	$VDD \geq 1.71\text{ V}$ , $C_L = 20\text{ pF}$			16	MHz
			$VDD \geq 2.7\text{ V}$ , $C_L = 20\text{ pF}$			32	
		HSIO	$VDD \geq 1.71\text{ V}$ , $DRV = 0$ , $C_L = 20\text{ pF}$			16	
			$VDD \geq 1.71\text{ V}$ , $DRV = 1$ , $C_L = 20\text{ pF}$			24	
			$VDD \geq 2.7\text{ V}$ , $DRV = 0$ , $C_L = 20\text{ pF}$			32	
				$VDD \geq 2.7\text{ V}$ , $DRV = 1$ , $C_L = 20\text{ pF}$			
ODIO	$VDD \geq 1.71\text{ V}$ , $FM^+$ , $C_L = 20\text{ pF}$ 至 $100\text{ pF}$			1			
$t_r, t_f$	輸出上升或下降時間	除 ODIO 之外的所有輸出埠	$VDD \geq 1.71\text{ V}$			$0.3 \cdot f_{\max}$	s
$t_f$	輸出下降時間	ODIO	$VDD \geq 1.71\text{ V}$ , $FM^+$ , $C_L = 20\text{ pF}$ 至 $100\text{ pF}$	$20 \cdot VDD / 5.5$		120	ns

#### 备注

- 在規定的切換頻率下，輸出電壓至少達到  $V_{CC}$  的 10% 和 90%。
- 開漏 I/O 的輸出上升時間由上拉電阻和負載電容決定。

### 8.2 GPIO 電流汲極與源極

表 8-2. MSPM0G GPIO 最大絕對額定值

		最小值	正常值	最大值	單元
VDD	供應電壓	1.62		3.6	V
VCORE	VCORE 針腳上的電壓		1.35		V
$C_{VDD}$	置於 VDD 和 VSS 之間的電容器		10		$\mu\text{F}$
$C_{VCORE}$	置於 VCORE 與 VSS 間的電容器		470		nF
$T_A$	環境溫度, T 版本	-40		105	$^{\circ}\text{C}$
	環境溫度, S 版本	-40		125	
$T_A$	環境溫度, Q 版本	-40		125	$^{\circ}\text{C}$
$T_J$	最高接點溫度, T 版本			125	$^{\circ}\text{C}$
$T_J$	最高接點溫度, S 和 Q 版本			130	$^{\circ}\text{C}$
$f_{\text{MCLK(PD1 匯流排時鐘)}}$	具 2 個快閃等待狀態的 MCLK、CPUCLK、ULPCLK 頻率			80	MHz
	具 1 個快閃等待狀態的 MCLK、CPUCLK、ULPCLK 頻率			48	
	具 0 個快閃等待狀態的 MCLK、CPUCLK、ULPCLK 頻率			24	
$f_{\text{ULPCLK(PD0 匯流排時鐘)}}$	ULPCLK 頻率			40	MHz

#### 备注

- I/O 的總電流必須小於  $I_{VDD}$  的最大值。
- HDIO、HSIO 和 ODIO 以固定針腳進行修補；請參閱產品規格表。

SDIO 和 HSIO 能夠汲極或源極的最大電流為 6 mA (典型值)，足以驅動一般 LED。若為較大的電流負載，請使用 HDIO (最大電流為 20 mA (典型))。但是，總組合電流必須小於  $V_{DD}$  (典型值為 80 mA)。

### 8.3 高速 GPIO (HSIO)

HSIO 可支援高達 40MHz 的頻率，此速度與匯流排時脈、供應電壓和負載電容有關。使用者也可透過 DIO 暫存器中的 DRV 位元選擇輸出最大頻率。

### 8.4 高驅動 GPIO (HDIO)

HDIO 可輸出 20mA 電流來驅動負載，而最大來源電流則與供應電壓相關。

### 8.5 開汲極 GPIO 無需使用位準移位器即可實現 5-V 通訊

ODIO 可耐受 5-V 輸入。由於 ODIO 為開汲極，因此需要外部上拉電阻器才能使針腳有高輸出。此 I/O 可用於不同電壓電平的 UART 或 I2C 介面。若要限制電流、請在針腳與上拉電阻之間放置串聯電阻器，而  $R_{SERIES}$  系列不得低於 250  $\Omega$ 。如 圖 8-1 中所示，TI 建議使用 270  $\Omega$ 。上拉電阻器數值取決於輸出頻率 (請參閱 節 7.4)。

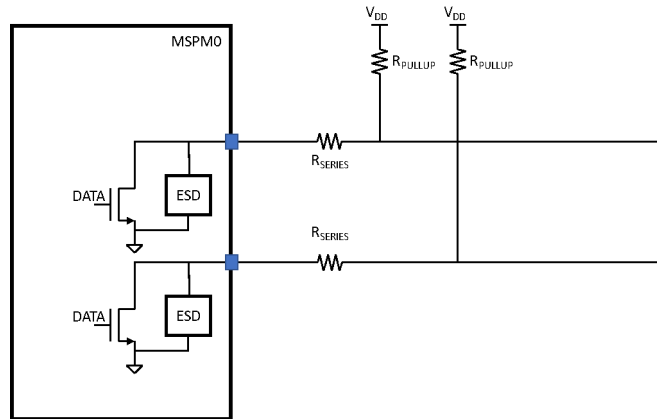


圖 8-1. 建議的 ODIO 電路

### 8.6 無需使用電平移器即可與 1.8-V 裝置通訊

MSPM0G 系列裝置使用 3.3-V 邏輯位準 (不包括 ODIO)。如果您需要與 1.8-V 裝置通訊，且不使用外部電平移器裝置的話，圖 8-2 會顯示與 1.8-V 裝置連接的建議電路。

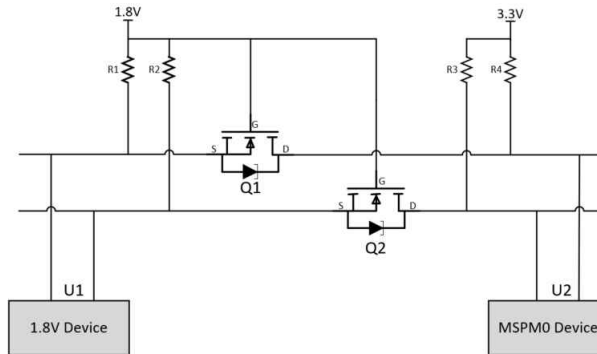


圖 8-2. 與 1.8-V 裝置的建議通訊電路

此電路使用兩個 MOSFET - 檢查  $V_{GS}$  以確保此 MOSFET 能以低  $R_{DS(on)}$  完全開啟：若為 1.8-V 裝置，請使用低於 1.8-V 的  $V_{GS}$  MOSFET。然而，過低的  $V_{GS}$  MOSFET 會導致 MOSFET 在極低電壓下開啟 (MCU 邏輯將其判斷為 0)，進而導致通訊邏輯錯誤。

#### U1 輸出和 U2 輸入

1. U1 輸出「1.8v 高」，Q1  $V_{GS}$  接近 0，因此 Q1 關閉，U2 在 R4 讀取「3.3v 高」。
2. U1 輸出「低」，Q1  $V_{GS}$  接近 1.8v，因此 Q1 開啟，U2 讀取「低」。

### U1 輸入和 U2 輸出

1. U2 輸出「3.3 V 高」，U1 在 R1 保持 1.8 V，Q1 關閉，因此 U1 讀取「1.8 V 高」。
2. U2 輸出「低」，U1 在 R1 保持 1.8 V，但 MOSFET 內的二極體會將 U1 拉低至 0.7 V (二極體壓降)，然後造成 VGS 大於開啟電壓，Q1 開啟，U1 讀取「低」。

### 8.7 未使用的針腳連接

所有微控制器皆為各種應用而設計，通常特定應用不會使用 100% 的 MCU 資源。為提高 EMC 效能，請勿讓未使用的時鐘、計數器和 I/O 自由變動或浮動；例如，應將 I/O 設為 0 或 1 (在未使用 I/O 針腳上進行上拉或下拉)，以及應將未使用的功能停用。

**表 8-3. 未使用針腳的連接**

針腳	電位	意見
PAn	開啟	將對應針腳功能設為 GPIO (PINCMx.PF = 0x1)，並將未使用的針腳配置為低輸出，或使用內部上拉/下拉電阻輸入。
OPAn_IN0-	開啟	此針腳為高阻抗
NRST	VDD	NRST 為低電位作動重設訊號；必須將其拉高至 VCC，否則裝置無法啟動。

#### 备注

- 為減少洩漏，可將 I/O 配置為類比輸入或推拉式，並將其設為 0。
- 請務必下拉 BSL 叫用針腳，以避免在重設後進入 BSL 模式。

## 9 佈線圖指南

### 9.1 電源供應配置

图 9-1 說明電源供應器配置的一般零件配置和佈線方式；您必須針對 MSPM0G 零件適當進行修改。您可選擇將濾波器電感器以串聯方式與 VCC 及 MCU VDD 連接。此電感器用於過濾 DCDC 的切換雜訊頻率。有關該值，請參閱 DCDC 供應商的產品規格表。MSPM0G 裝置產品規格表中的 C1/C2/C3 值與佈線圖。

#### 备注

- 保持最小電容，最接近 MCU VDD 針腳 ( $C1 < C2 < C3$ )。
- 使所有軌跡直接且無任何導孔。

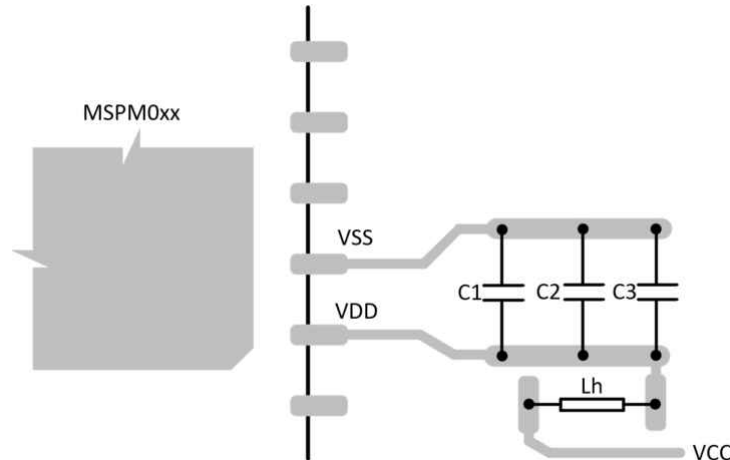


图 9-1. 建議的電源供應器佈線圖

### 9.2 接地佈線圖考量事項

系統接地是電路板上雜訊和 EMI 問題最重要的領域與基礎。將這些問題降到最低的最實際方法是使用單獨的接地平面。

#### 什麼是接地雜訊？

每個從電路 (例如驅動器) 產生的訊號都有返回電流透過接地路徑流向其源極。隨着頻率的增加，或者甚至對於如繼電器這類簡單卻高電流的開關，由於線路阻抗在接地系統中產生干擾，而導致電壓下降。傳回路徑總是通過最小電阻。對 DC 訊號而言，那是最低電阻路徑，而對高頻訊號而言，則是最低阻抗路徑。這說明了接地平面可以簡化問題，同時也是確保訊號完整性的關鍵。

不建議數位傳回訊號傳播至類比傳回 (接地) 區域內；因此，設計人員必須拆分接地平面，使所有數位訊號傳回迴圈保持在其接地區域內。這種拆分應小心進行。許多設計都使用單一 (共用) 電壓穩壓器來產生相同電壓電平的數位與類比供應 (例如 3.3 V)。您需要隔離類比軌及數位電源軌及其各自的接地。隔離接地時要小心，因為兩個接地都必須在某處短路。图 9-2 顯示了不允許數位訊號傳回路徑形成通過類比接地的迴路的可能性。在每個設計上，考慮零組件放置位置等以決定共同點。請勿在串聯中加入任何電感器 (鐵氧體磁珠) 或電阻 (甚至非零  $\Omega$ ) 與任何接地軌跡。阻抗會因高頻率的相關電感而增加，進而造成電壓差動。請勿將參考數位接地的訊號繞過類比接地或其他方向。

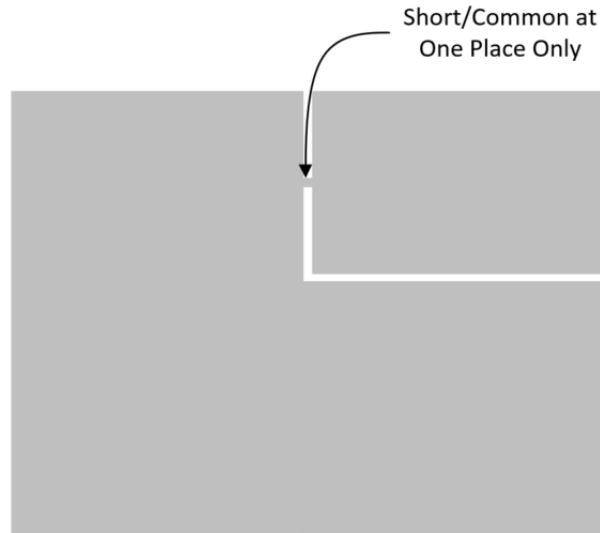


图 9-2. 數位與類比接地與共用區域

### 9.3 佈線、導孔和其他 PCB 元件

走線中若有直角，可能會導致更多輻射。角區域的電容增加，特性阻抗也有所改變。此阻抗變化會造成反射。避免在走線中出現直角彎折，嘗試以至少兩個 45° 角來佈線。為了儘量減少任何阻抗變化，最佳的佈線方式是採用圓角彎折，如 图 9-3 所示。

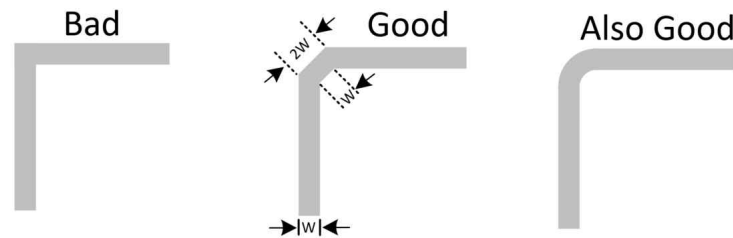


图 9-3. 正確與不正確的直角走線彎折方式

為了儘量減少串擾，不僅在單層的兩個訊號間，在相鄰層間也要以互呈 90° 方式進行佈線。較複雜的電路板在佈線時需使用導孔；但使用導孔時請務必小心，因為其會增加額外電感與電容，且會因特性阻抗變化而產生反射。導孔也會增加走線長度。使用差動訊號時，請在兩條走線中使用導孔，或也補償另一條走線中的延遲。

針對訊號走線，請更加注意高頻脈衝訊號的影響，特別是對相對較小類比訊號（如感測器訊號）的影響。過多交越會將高頻訊號的電磁雜訊與類比訊號耦合，進而產生訊號的低訊噪比，並影響訊號品質。因此在設計時必須避免交越。但如果真的有無法避免的交越，建議採用垂直相交以將電磁雜訊的干擾降至最低。图 9-4 說明如何減少此雜訊。

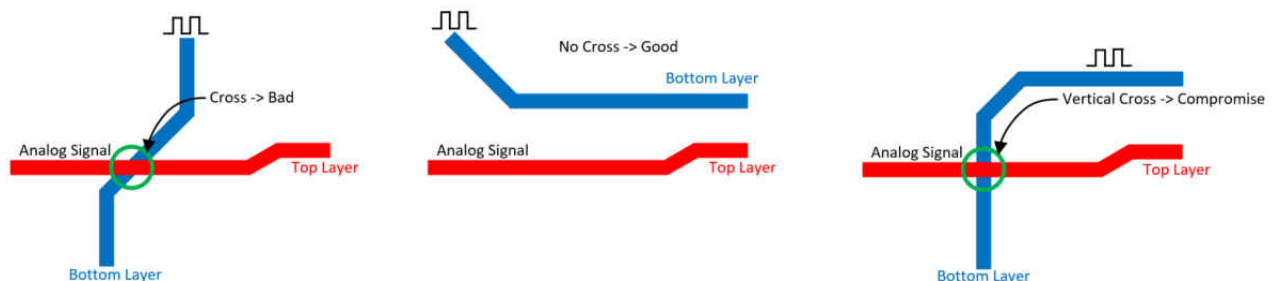


图 9-4. 正確與不正確的類比訊號和高頻訊號走線交越方式

## 9.4 如何選擇電路板層及建議的堆疊

為減少高速訊號的反射，需符合源極、汲極與傳輸線路間的阻抗。訊號軌跡的阻抗取決於其幾何及其與於任何參考平面的相對位置。

特定阻抗需求的差動對間軌跡寬度與間距，將視所選 PCB 堆疊而定。由於最小軌跡寬度和間距有所限制，且需視 PCB 技術類型和成本需求而定，因此需選擇 PCB 堆疊以實現所有必要的阻抗。

可使用的最低配置為 2 個堆疊。高密度 PCB 需要 4 或 6 層電路板，才能產生多個高速訊號。

以下堆疊設計 图 9-5 為 4 層範例，可作為堆疊評估和選擇的起點。這些堆疊配置使用鄰近電源平面的 GND 平面，以增加電容並縮小 GND 與電源平面間的差距。上層的高速訊號具有穩固的 GND 參考平面，有助於減少 EMC 排放。增加各 PCB 訊號層的層數並建立 GND 參考，可進一步提升輻射 EMC 效能。

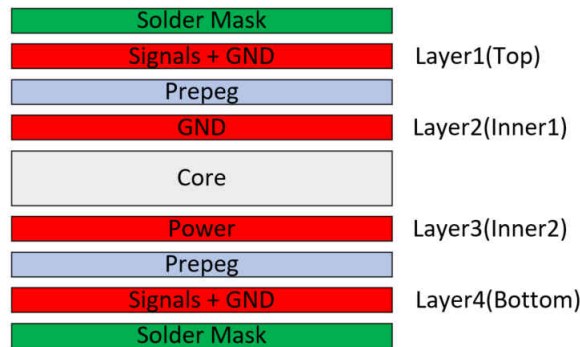


图 9-5. 四層 PCB 堆疊範例

如果系統不是很複雜、沒有高速訊號或一些敏感類比訊號，2 個堆疊架構便已足夠。

## 10 開機載入程式

### 10.1 開機載入程式簡介

開機載入程式為韌體 IP (預先編程的軟體隨附於裝置)，可用於使用 UART 或 I2C 等序列介面為 SoC 記憶體進行程式設計 (快閃記憶體和 SRAM)。開機載入程式通常會在裝置即將啟動客戶應用程式時，於開機程式碼完成後叫用。為了支援應用實例的生產編程，部分開機載入程式也會提供更多如 SPI 或 CAN 之類的介面。開機載入程式也可用於現場更新。

### 10.2 開機載入程式硬體設計考量

#### 10.2.1 實體通訊介面

MSPM0G 開機載入程式 (BSL) 在 UART 和 I2C 序列介面上執行。在 MSPM0G 裝置中，BSL 可以自動選取用來與裝置通訊的介面。BSL 通訊針腳已在 ROM 式開機載入程式中預先定義。使用的周邊裝置介面特定執行個體視所選裝置而定，可在裝置特定產品規格表中找到。請參閱產品規格表，在硬體設計前找出已指派 BSL 通訊功能的針腳。

**附註：** 請務必下拉 BSL 叫用針腳，以避免在重設後進入 BSL 模式。

#### 10.2.2 硬體叫用

開機載入程式支援透過使用 GPIO 在 BOOTRST 後叫用硬體。NONMAIN 快閃記憶體中的 BSL 配置包含 GPIO 叫用的 PAD、針腳和極性定義。裝置由 TI 針對特定 GPIO 和極性進行配置，但軟體可在 NONMAIN 快閃記憶體的 BSL 配置中修改 GPIO 針腳配置，以變更此預設值。請參閱裝置專屬產品規格表以判斷預設 BSL 叫用 GPIO。

图 10-1 顯示具有高電平並可觸發開機載入程式的 GPIO 針腳 PA18 的範例。

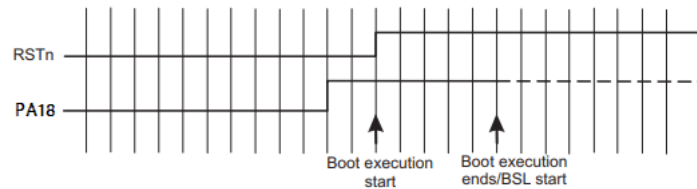


图 10-1. 已配置 GPIO 針腳的 BSL 進入順序

## 11 參考

1. MSPM0G350x 混合訊號微控制器產品規格表
2. MSPM0 G 系列 80-MHz 微控制器技術參考手冊
3. MSPM0 L 系列 MCU 硬體開發指南
4. 具有抑制和喚醒的 TLIN1021A-Q1 故障保護 LIN 收發器產品規格表 (B 版本)
5. 具有 CAN FD 的 TCAN1042-Q1 汽車故障防護 CAN 收發器產品規格表 (D 版本)

## 12 修訂記錄

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (March 2023) to Revision B (June 2023)	Page
• 更新了整份文件中表格、數字和交互參考的編號格式。.....	3
• 更新节 1。.....	3



## 重要聲明與免責聲明

TI 均以「原樣」提供技術性及可靠性數據（包括數據表）、設計資源（包括參考設計）、應用或其他設計建議、網絡工具、安全訊息和其他資源，不保證其中不含任何瑕疵，且不做任何明示或暗示的擔保，包括但不限於對適銷性、適合某特定用途或不侵犯任何第三方知識產權的暗示擔保。

所述資源可供專業開發人員應用 TI 產品進行設計使用。您將對以下行為獨自承擔全部責任：(1) 針對您的應用選擇合適的 TI 產品；(2) 設計、驗證並測試您的應用；(3) 確保您的應用滿足相應標準以及任何其他安全、安保或其他要求。

所述資源如有變更，恕不另行通知。TI 對您使用所述資源的授權僅限於開發資源所涉及 TI 產品的相關應用。除此之外不得複製或展示所述資源，也不提供其它 TI 或任何第三方的知識產權授權許可。如因使用所述資源而產生任何索賠、賠償、成本、損失及債務等，TI 對此概不負責，並且您須賠償由此對 TI 及其代表造成的損害。

TI 的產品均受 [TI 的銷售條款](#) 或 [ti.com](#) 上其他適用條款，或連同這類 TI 產品提供之適用條款所約束。TI 提供所述資源並不擴展或以其他方式更改 TI 針對 TI 產品所發布的可適用的擔保範圍或擔保免責聲明。

TI 不接受您可能提出的任何附加或不同條款。

郵寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated

## IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated