



Kazunobu Shin, Systems & Architecture, Member Group of Technical Staff  
Venkateswar Kowkutla, Senior Member of Technical Staff

## 目錄

1 簡介.....	2
2 AM62x 電源管理功能.....	3
2.1 低功耗模式.....	3
2.2 主動電源管理.....	4
2.3 電源供應簡化.....	4
2.4 電源解決方案.....	4
3 低功耗處理器架構考量.....	5
4 AM62x 功耗.....	6
5 功率估計工具.....	7
6 結論.....	8

## 商標

所有商標均為其各自所有者的財產。

## 1 簡介

嵌入式系統在各種應用領域中日益普及，將有助提升單一 SoC 的整合性。這種高度整合會導致更大的功耗、更高的熱系統成本、降低的性能和縮短的電池續航力。為了克服這些挑戰，應根據特定的嵌入式系統的使用情況來定義、架構和設計 SoC。由於每次應用都不同，因此為 SoC 選擇正確的運作設定將可達到最佳性能和功耗。本文介紹在 AM62x 處理器 (德州儀器的次世代 Sitara MPU 產品) 上開發的新穎功能和技術。

AM62x 處理器具有以下特色：採用 64 位元架構的高性能四核心 Cortex A53、強大的 3D 圖形引擎、用於一般用途或安全性且完全不受應用領域干擾 (FFI) 的整合式 M4F MCU 通道、用於基礎和汽車/工業安全的雙核心 M4F、用於產品資源的專屬 R5F 核心，以及低功耗管理。此產品的模組化架構所提供的性能，支援數種低功耗模式，無需犧牲關鍵系統資源，例如連接性、功率、安全保障、安全性和成本。圖 1 顯示高階 AM62x 處理器方塊圖。

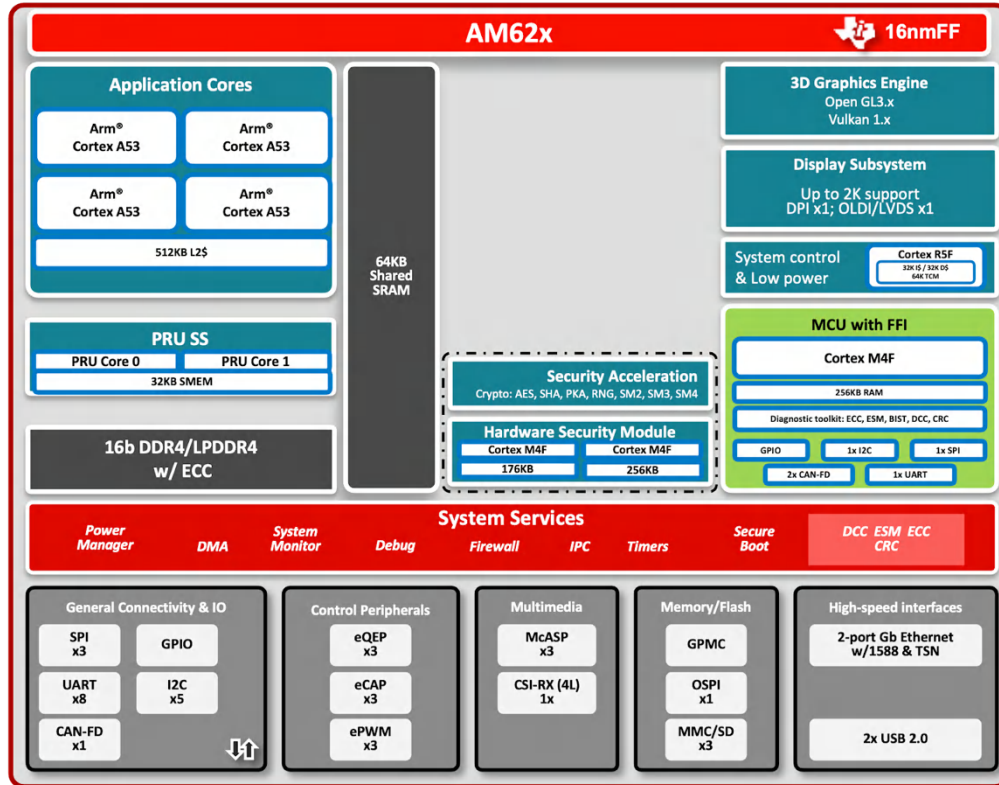


圖 1-1. Sitara™ AM62x 處理器的方塊圖

## 2 AM62x 電源管理功能

AM62 處理器使用數種基本技術來降低有效和靜態功耗。表 2-1 顯示 AM62x 電源管理功能和優點。

表 2-1. AM62x 電源管理功能

主要功能	AM62x 電源管理	優點
低功耗模式	深沉睡眠、僅限 MCU、待機、部分 I/O	延長電池運作使用壽命
主動電源管理	125 MHz (OPP Low) 時低匯流排時鐘頻率運作	適用於低活動應用實例的低有效功耗
	動態頻率調整 (DFS)	熱管理
電源供應簡化	0.75 V 時高達 1.25 GHz A53 0.85 V 時高達 1.4 GHz A53	具有 0.75 V 核心電源供應的差異化低功耗能力 具有 0.75 V 核心電源供應的較高性能
	單核心電源供應 較簡單的功率域	用於電源管理的較低成本電源解決方案，以及更簡單的軟體控制
	透過整合式低壓差線性穩壓器 (LDO) 的簡單電源排序，實現低成本離散式電源解決方案	更輕鬆最佳化整個系統的電源解決方案 低成本電源解決方案
伴隨 PMIC	全新低成本 PMIC	針對 AM62x 最佳化的低成本 PMIC

### 2.1 低功耗模式

AM62x 處理器支援具有不同功耗程度的最佳化低功耗模式：部分 I/O 模式到深沉睡眠模式到待機模式 (次毫瓦 (mW) 到數個 mW)。表 2-2 顯示 AM62x 處理器支援的各種低功耗模式的高階特性。

表 2-2. AM62x 低功耗模式

低功耗模式	喚醒來源	應用狀態和應用實例
部分 I/O	CANUART I/O 觸排針腳	除了 CANUART I/O 觸排中的 I/O 針腳外，整個 SoC 處於關閉狀態，以保持 CANUART I/O 觸排 I/O 針腳的 I/O 喚醒能力。
深沉睡眠	GP 計時器、RTC 計時器、UART、I2C、MCU GPIO0、I/O 菊鍊、USB 喚醒事件	核心領域暫存器資訊將會遺失。在進入此模式之前，應用程式需要將核心領域的晶片內建周邊設備暫存器 (內容) 資訊儲存到 DDR。DDR 處於自行刷新狀態。開機 ROM 執行並分支到周邊設備內容還原以進行喚醒，之後接著進行系統恢復。此模式主要用於記憶體休眠功能 (Suspend to RAM) 以延長電池續航力，或進行備份運作。
僅 MCU	深沉睡眠喚醒事件、MCU 通道中支援的中斷事件	MCU 子系統以 MCU PLL 時鐘執行。其餘 SoC 狀態與深沉睡眠相同。DDR 處於自行刷新狀態。MCU 可以在這種低功耗模式下執行具有 MCU 領域周邊設備的應用。
待機	任何 SoC 中斷事件	完全保留晶片內建內容。任何 SoC 中斷事件都可能導致此低功耗模式的喚醒事件。A53 和 MCU M4F 處於 WFI 或關機狀態。DDR 記憶體處於自行刷新狀態。該產品可以使用非喚醒/MCU 領域周邊設備執行低階處理，並支援從這些周邊設備喚醒。

**部分 I/O**：CANUART I/O 觸排中的 I/O 針腳和小邏輯元件均在作用中，其餘 SoC 則關閉。使用者可以使用 I/O 針腳彙總多個 I/O 喚醒事件，並在觸發 I/O 喚醒事件時切換 PMIC\_LPM\_EN 針腳以啟用 PMIC 或離散式電源解決方案。I/O 喚醒事件的資訊記錄在 CANUART I/O 觸排的 MMR 中，協助軟體區分冷開機和喚醒，以更快速回應喚醒事件。此模式可用於支援 CAN 喚醒或乙太網路喚醒。

**深沉睡眠**：深沉睡眠模式與待機或僅 MCU 相比，功耗更低。當使用者在等待需要處理或更高性能事件的同時需要極低功耗時，通常在非活動期間使用深沉睡眠模式。深沉睡眠是最低功耗模式，其仍然包括 DDR 自行刷新狀態，因此喚醒事件不需要完全冷開機，因而大幅降低喚醒延遲。當不需要 RTC 或其他計時器功能時，可以藉由停用兩個振盪器來實現此模式下的最低功耗。

**僅 MCU**：「僅 MCU」可用於在低功耗模式期間需要低階處理的低功耗應用實例。SoC 的狀態與深沉睡眠相同，只差在 MCU 通道完全處於作用中狀態，可以使用 MCU 通道資源和周邊設備執行應用程式。MCU 通道中的任何中斷事件都可以從「僅 MCU」中起始喚醒，而且深沉睡眠中支援的喚醒事件也可以從「僅 MCU」中觸發喚醒。

**待機**：產品可以置於待機模式以在低活動量期間降低功耗。第一階電源管理允許維護產品內容以實現快速恢復時間。待機狀態的功耗低於主動模式，但需要使用者將關閉的功率域內容儲存到晶片內建記憶體或 DDR，並在喚醒時還原內容以正常恢復。

## 2.2 主動電源管理

動態頻率調整 (DFS) 是一種電源管理技術，可跨產品運作性能點 (OPP) 動態調整運作頻率。OPP 是定義特定電源狀態的電壓/頻率對。軟體控制每個 OPP 的時鐘頻率，以調整到最佳性能和功率點。該產品僅支援適用於 Cortex-A53 的 DFS。

AM62x 處理器支援作為 OPP Low 的較低匯流排頻率運作。OPP Low 必須在開機時配置。在 OPP Low 中，主要 CBASS 時鐘頻率會減半以降低有效功耗，性能也會降低。在此運作條件下，有些周邊模組的性能會受到限制或無法使用。

## 2.3 電源供應簡化

在電源最佳化方面，必須考慮如何在指定系統中使用 SoC 以及整體系統電源最佳化，而不僅是 SoC 電源：這是全方位方法中關鍵的一環。將 SoC 所需的專用輸電軌道數量減到最少，不只能簡化電源解決方案而已。AM62x 產品採用共享核心 vdd 架構，可彈性調整電壓位準，以符合各種應用需求。

採用最佳化系統功率，為指定應用結果選擇正確的核心電壓。AM62x 產品能夠證明，透過將核心電源供應從製程節點的標準核心電壓 0.8 V 調整到 0.75 V，有功功率總共降低了 15%。另一方面，性能是重點關注點，將核心電源供應從 0.8 V 擴展到 0.85 V 可使產品性能提高 15%。

AM62x 處理器支援沒有 DVFS/AVS 的單核心電源供應，為具有完整性資格整個 SoC 啟用固定核心電壓來實現 100K POH。

## 2.4 電源解決方案

TI 利用上述簡化的電源要求，為 AM62x 處理器開發了兩種類型的低成本電源解決方案。TPS65219 是專為 AM62x 處理器設計的 PMIC，其充分利用簡化的電源要求為 AM62x 處理器提供最低成本的 PMIC。離散式電源解決方案可以提供可擴展性和彈性，以調整電源解決方案，可針對整體系統要求進行最佳化，或滿足不同的電流容量或客戶所需的電源供應量。表 2-3 比較針對 AM62x 處理器設計的兩種低成本電源解決方案。

**表 2-3. AM62x 電源解決方案**

	離散式電源	單一 PMIC 解決方案
供貨狀況	現在：(TPS6282x、TPS745xx、TLV7103318、TLV75518)	TPS65219
電源功能	利用 AM62x 類比整合簡化電源供應	2.7 至 5.5 V 輸入電壓
	支援多種輸入電壓：3.3 V、5 V	專為 AM62x/AM64x 處理器開發的單一 PMIC 解決方案
	可擴展性符合目前容量的不同自訂需求，而且成本最低	汽車支援
電源管理特色	不適用	可程式編輯的電源排序和預設電壓
功能安全	利用 AM62x 特色的客戶驅動實作	不適用
電源解決方案尺寸預估	可根據系統要求進行擴充	81.54 mm <sup>2</sup> 具有 4 x 4 mm <sup>2</sup> QFN、0.4 mm 間距 69.66 mm <sup>2</sup> 具有 5 x 5 mm <sup>2</sup> QFN、0.5 mm 間距
AM62x EVM	AM62x SK	AM62Q SK

### 3 低功耗處理器架構考量

軟硬體共同設計對於功耗和延遲最佳化至關重要。找出正確的軟、硬體界線，並在早期定義其為軟體或硬體功能是極大關鍵。透過免除 USB 和 DDR 重設隔離和保留方案等創新的新功能所支援配置設定的儲存和還原，可簡化低功耗模式進入和退出模式的軟體序列。根據低功耗應用實例和保留 IO 的能力將 IO 狀態最佳化 (上拉和下拉)，可強化系統的完整度和可靠性。

在開發階段早期，已評估幾個不同的硬體/軟體分割區，以判定符合整體系統應用實例和目標 (成本、性能、功率和延遲) 的最佳實作方式。AM62x 處理器主要分為 4 個領域，如 圖 3-1 中所示。

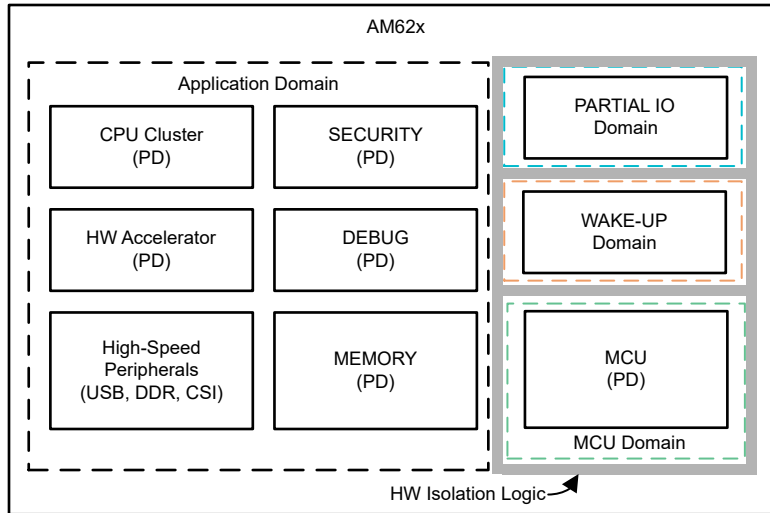


圖 3-1. SoC 分割區

**應用領域**由高性能 CPU、硬體加速器和高速周邊設備組成。此領域會進一步分成具有內部電源開關的各種子系統。根據系統應用實例，這些子系統可以使用內部功率域開關完全斷電。例如：叢集中未使用的 CPU 核心、硬體加速器 (圖形、顯示) 等。此外，在深沉睡眠和僅 MCU 低功耗模式期間，應用領域透過內部子系統電源閘控進入最低功耗模式。

**MCU 領域**由即時 CPU 和周邊設備組成。此領域可以配置為完全獨立於應用領域來運作：這是數個汽車、工業和電池供電應用的一個關鍵差異化功能。在深沉睡眠模式下，MCU 領域可以透過內部電源開關斷電。

**喚醒領域**包括電源管理 CPU 和系統元件，例如時鐘、重設、電源和喚醒。此領域負責產品啟動、資源配置和管理，以及低功耗管理。圍繞此領域建置硬體隔離，以確保應用領域和 MCU 領域之間的明確分隔。Sitara MPU 裝置藉由仔細劃分軟硬體功能之間的責任，實現更簡單且強固的低功耗模式進入和退出序列。此外，為了改善低功耗模式進入/退出延遲，Sitara MPU 裝置開發了創新的新功能，例如 USB 和 DDR 重設隔離和保留方案，以避免複雜的軟體序列，因其需要周邊設備配置儲存和還原。

## 4 AM62x 功耗

表 4-1 顯示各種 SoC 狀態下的功耗，以及功率和性能的可擴展性。利用低功耗模式實作和技術，AM62 處理器在 1 GHz 下執行 A53 單核心可達到低於 500 mW 的功耗。功耗幾乎是前幾代相似低功耗及低成本處理器可達到功耗的一半。當 A53 四核心在所有四個核心上以 1.4 GHz 執行工作負載較大的應用程式時，AM62x 處理器功率仍可能低於 1 W。

表 4-1. AM62x 功耗

	1 GHz 的 Cortex A53 0.75 V VDD_CORE			1.4 GHz 的 Cortex A53 0.85 V VDD_CORE		
	閒置 1xA53 (mW)	Dhrystone 1xA53 (mW)	Dhrystone 4xA53 (mW)	閒置 1xA53 (mW)	Dhrystone 1xA53 (mW)	Dhrystone 4xA53 (mW)
VDD_CORE	343	395	570	466	565	880
VDDR_CORE	3	4	7	2	4	8
VDDS_DDR	45	45	45	45	45	45
總計 (無 I/O 和類比)	391	444	622	513	614	933



## 5 功率估計工具

TI 根據從測量和模擬數據建立的處理器功率模型，提供功率估計工具 (PET)。開發人員可以在開始設計軟硬體之前，深入瞭解 AM62x 處理器在各種應用場景、電氣參數、矽片製程變異和環境條件下的功耗。工具的功率估計可用於確定 AM62x 處理器的運作性能點、評估熱設計或估算最終產品的電池使用壽命。該工具允許開發人員選擇不同的運作條件和處理器配置，以透過各種節能技術在運作性能和功耗之間取捨。此工具估計實際運作模式下的功耗，不適用於按尺寸供電。

**AM62x Power Estimation Tool**

Key:

- Modifiable fields
- Static Fields
- Calculated Power Outputs

Operating Performance Point (OPP)		Processor Core Utilization (%)	
MPU A530/L2/L3 Frequency (MHz)	1250	MPU-A530	100%
GPU Frequency (MHz)	500	MPU-A531	100%
MCU M4F Frequency (MHz)	400	MPU-A532	100%
PRU-SS Frequency (MHz)	333	MPU-A533	100%
HSM Frequency (MHz)	333	GPU	100%
RSF Frequency (MHz)	400	RSF	100%
		MCU-M4F	100%
		PRU-SS	1%
		HSM	100%
		Security Accelerator	100%

UVCMS ID	Mode	ID Utilization (%)	Peripherals	Mode	Utilization (%)
MCU UART	3m_3p3v	1%	DOR Type/Rate	data_533_36	99%
WKUP UART	112k_1p8v	1%	DOR Wk %		50%
MAIN UART	3p3m_1p8v	1%	USB2 Port 0	device_n	99%
MCU SPI_0	Slave_6.25_Mbaud_1p8v	99%	USB2 Port 1	host_n	1%
MCU SPI_1	Slave_2.083_Mbaud_1p8v	1%	MMC/SD0 (B)	dr_200mbs	9%
MCU SPI_2	Slave_6.25_Mbaud_1p8v	1%	MMC/SD1 (B)	dr_200mbs	99%
OSPI	host_ddr_master_150_3p3v	99%	MMC/SD2 (B)	str_50mbs	99%
GPMC	16b_80_MHz_3p3v	99%	CDI	disabled	100%
VDUT	ZE_1_2048x1080x60_fps_24b_1_1p8v	99%	CSI	power_down_reset	0%
Ethernet (QPSW) Port 0	off	0%			
Ethernet (QPSW) Port 1	gmii_100_3p3v	99%			
McASP0	2Ch_TX_48_kbps_24b_1p8v	1%			
McASP1	unused	100%			
PRU-SS	off	1%			

Estimated Power			General	
Power Supply	Voltage (V)	Power (W)	Junction Temperature (°C)	Power Estimation Mode
VDD_CORE	0.75	892	28	Max
VDDAR_CORE	0.85	6		
VDDA_LVB	1.8	62		
VDD5_DOR	1.1	93		
SDC_DVDD1V8	1.8	16		
SDC_DVDD3V3	3.3	197		
Total		1270		

Note: This power estimation spreadsheet provides power consumption estimates based on measured and simulated data. They are provided "as is" and are not guaranteed within a specified precision. Power consumption depends on electrical parameters, silicon process variations, environmental conditions, and use cases running on the processor during operation. Actual power consumption should be verified in the real system. The power estimates are meant for estimating power consumption during realistic operating modes; it is not intended for power supply sizing. The power estimates are preliminary and subject to change.

圖 5-1. AM62x 功率估計工具

## 6 結論

AM62 處理器支援具有分析或人機介面功能的邊緣產品的低功耗嵌入式系統。低功耗模式和低有效功耗允許各種電池供電應用和小型產品設計，無需散熱器或風扇。獨特的 0.75 V 核心電壓運作和電源管理功能支援調整性能和功率，用於將每個客戶的應用最佳化，並利用先進的類比整合功能來啟用簡單且低成本電源解決方案。



## IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated